

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5385679号
(P5385679)

(45) 発行日 平成26年1月8日(2014.1.8)

(24) 登録日 平成25年10月11日(2013.10.11)

(51) Int.Cl.	F I		
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	3 O 1 D	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 S	
	HO 1 L 29/78	3 O 1 G	

請求項の数 4 (全 12 頁)

(21) 出願番号	特願2009-116797 (P2009-116797)	(73) 特許権者	303046277
(22) 出願日	平成21年5月13日(2009.5.13)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2009-278100 (P2009-278100A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成21年11月26日(2009.11.26)	(74) 代理人	100066980
審査請求日	平成24年5月9日(2012.5.9)		弁理士 森 哲也
(31) 優先権主張番号	61/053, 830	(74) 代理人	100075579
(32) 優先日	平成20年5月16日(2008.5.16)		弁理士 内藤 嘉昭
(33) 優先権主張国	米国 (US)	(74) 代理人	100103850
			弁理士 田中 秀▲てつ▼
		(72) 発明者	ハオ ワン
			カナダ オンタリオ トロント ランスダ ウンアベニュー1011

最終頁に続く

(54) 【発明の名称】 横方向半導体デバイスおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

横方向半導体デバイスであって、
 p型基板と、
 デバイス間を隔離するためのディープnウェルと、
 ソースとボディ領域のバッティングコンタクトと、
 シャロートレンチアイソレーション(STI)と、
 前記STIの下に配置される表面電界緩和型(RESURF)nドリフト領域と、
 前記p型基板の基板面に平行に形成された水平ゲート電極部及び該水平ゲート電極部と
 断面視で垂直に交わるように形成された垂直ゲート電極部を有し、前記STIに埋め込まれたゲート電極と、

を備えた横方向半導体デバイス。

【請求項2】

高耐圧pウェルをさらに備え、
 前記ディープnウェルは、前記p型基板と前記高耐圧pウェルとの間に配置される請求
 項1に記載の横方向半導体デバイス。

【請求項3】

前記nドリフト領域は、前記STIの端部まで形成されている請求項1又は請求項2に
 記載の横方向半導体デバイス。

【請求項4】

請求項 2 に記載の横方向半導体デバイスを製造する方法であって、
前記ディープ n ウェル上に配置される前記高耐圧 p ウェルを形成する高耐圧 p ウェル・イオン注入工程と、
前記 n ドリフト領域上に配置され、且つ前記高耐圧 p ウェルに隣接する前記 S T I を形成する S T I 形成工程と、
前記 S T I をドライエッチングしてトレンチを形成するトレンチ形成工程と、
前記高耐圧 p ウェル表面並びに前記トレンチの該高耐圧 p ウェル側の側部及び底部にゲート酸化膜を成長させるゲート酸化工程と、
前記ゲート酸化膜を介して、前記高耐圧 p ウェル表面上及び前記トレンチの中にゲートポリシリコン膜を堆積するゲートポリシリコン膜堆積工程と、
ゲート・リソグラフィを用いて、前記ゲートポリシリコン膜から前記ゲート電極を形成するゲート電極形成工程と、
 を含むことを特徴とする横方向半導体デバイスを製造する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パワー金属酸化膜半導体型電界効果トランジスタ (MOSFET: metal-oxide-semiconductor field effect transistor) に関する。

【背景技術】

【0002】

オンとオフとの間を素早く切り替えるためには、現在の横方向ダブル拡散 MOS (LDMOS: Lateral Double Diffused MOS) または拡張ドレイン MOS (EDMOS: Extended Drain MOS) が必要とされる。これを達成させるためには、ゲート・ドレイン間オーバーラップ容量を最小化しなければならない。これはまた、各スイッチングサイクルの間に、ゲート端子が充電および放電されるときにゲート駆動損失を少なくする。

【0003】

特に、従来の LDMOS または EDMOS トランジスタにおける従来のゲート/フィールドプレート構造に取って代わる直交ゲート構造が提案されている。このゲート構造は、ゲート・ドレイン間容量 (ミラー容量) を減らすように設計されている。性能指数 (Figure-of-Merit)、ゲート充電時間オン抵抗 ($Q_g \times R_{on}$) は、53% 改善される。dv/dt 特性は、類似のデバイス構造を有する従来の EDMOS の性能より 4 倍高い。提案された構造もまた、シャロートレンチアイソレーション (STI) を含む標準 CMOS 製造プロセスと互換性を持つ。

【0004】

パワー金属酸化膜半導体型電界効果トランジスタ (MOSFETs) は、パワーエレクトロニクス回路においては、オン状態とオフ状態とを替える場合、高周波スイッチとして用いられる。これは、デバイスの最小の電力損失によって高い負荷電力の制御を可能にする。パワー MOSFET は少数キャリア輸送がないため高周波で動作できるが、入力容量が性能を制限する。パワー MOSFET においては、フィールドプレートとして働くゲート領域とドレイン領域との間に大きな重複部分があるため、その入力容量は比較的大きい。従って、周波数特性は、通常、この入力容量の充電および放電によって制限される。

【0005】

ゲート・ソース間容量 (C_{GS}) に加え、ドリフト領域上のゲート電極の重なりのため、その解析には、重要なゲート・ドレイン間容量 (C_{GD}) が含まなければならない。

合計入力容量 C_{ISS} は、以下の通りである：

$$C_{ISS} = C_{GS} + C_{GD}$$

入力容量が比較的高い場合、パワー MOSFET を動作させるためには比較的高いゲート電流が必要である。その結果、ゲートのスイッチング損失は、特に 1 MHz を超えるスイッチング周波数で大きくなる。これはゲート回路には関連せず、デバイス内での電力損失を考慮するだけであり、大きな C_{GD} は、大きなスイッチング損失を生じることになる。

10

20

30

40

50

【 0 0 0 6 】

入力ゲート回路のRC充電時定数によって制限される周波数特性は、以下によって与えられる。

$$f_{\text{INPUT}} = 1 / (2 C_{\text{ISS}} R_G)$$

小さい C_{GD} を有するデバイスは、低いスイッチング損失および高いカットオフ周波数を有することが分かる。

従って、標準CMOSプロセスと互換性を持つ製造技術を用いて小さい C_{GD} を有することを示すデバイスが必要とされている。

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 7 】

本発明の直交ゲート拡張ドレインMOSFET(EDMOS)構造は、低いゲート・ドレイン間容量(C_{GD})を提供し、その上で、標準CMOSフローと互換性を持つ製造工程を提供する。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の直交ゲート拡張ドレインMOSFET(EDMOS)構造は、従来のEDMOSトランジスタと類似するが、直交ゲート構造を有し、シャロートレンチアイソレーション(STI)酸化膜領域に折り曲げられるゲート電極を有する。水平および垂直のゲート電極セグメントによりゲートが制御される。

20

一実施形態は、p型基板と、デバイス間を隔離するためのディープnウェルと、ソースとボディ領域のバッティングコンタクト(butting contact)とシャロートレンチアイソレーション(STI)と、STIの下に配置される表面電界緩和型(RESURF)nドリフト領域と、p型基板の基板面に平行に形成された水平ゲート電極部及び該水平ゲート電極部と断面視で垂直に交わるように形成された垂直ゲート電極部を有し、前記STIに埋め込まれたゲート電極とを備える横方向半導体デバイスを含む。

【 0 0 0 9 】

プロセスの実施形態は、横方向半導体デバイスを製造する方法であって、ディープnウェル上に配置される高耐圧pウェルを形成する高耐圧(HV)pウェル・イオン注入が行われ、次に、nドリフト領域上に配置され、且つ高耐圧pウェルに隣接するSTIが形成される。続いて、STIをドライエッチングしてトレンチを形成し、高耐圧pウェル表面並びにトレンチの高耐圧pウェル側の側部及び底部にゲート酸化膜を成長させるゲート酸化が行われる。次に、ゲート酸化が行われた後、ゲート酸化膜を介して、高耐圧pウェル表面上及びトレンチの中にゲートポリシリコン膜を堆積し、ゲート・リソグラフィを用いて、ゲートポリシリコン膜からゲート電極を形成する。

30

【 0 0 1 0 】

本明細書において記載された特徴および効果はその全てを含んでいるわけではない。特に、図面、明細書および請求項を考慮すれば、当業者にとっては多くの付加的な特徴および効果が明らかになるであろう。さらに、主に、明細書で使用される言語が読みやすくかつ教育目的のために、また、発明の主要事項の範囲を限定しないように選択されている点に留意すべきである。

40

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 図 1 (a) は、MOSターンオン波形の簡略化されたグラフを示す。図 1 (b) は、MOSターンオフ波形の簡略化されたグラフを示す。

【 図 2 】 パワーMOSFETの等価回路を例示する簡略化されたブロック図である。

【 図 3 】 従来のEDMOSトランジスタの断面図である。

【 図 4 】 本発明の一実施形態によって構成された直交ゲートEDMOSトランジスタ構造を例示する断面立面図である。

50

【図5】図5(a)は、標準CMOS製造プロセスを表す簡略化されたフローチャートである。図5(b)は、本発明の一実施形態による直交ゲート製造プロセスを表す簡略化されたフローチャートである。

【図6】本発明の一実施形態によって構成された直交ゲートEDMOSトランジスタ構造を製造するための複数の簡略化された処理工程を例示する断面立面図である。

【図7】本発明の一実施形態によって構成された C_{GD} 減少の比較を例示するグラフである。

【図8】本発明の一実施形態によって構成されたBVおよび特定のオン抵抗対距離Aを例示するグラフである。

【図9】発明の一実施形態によって構成されたゲート充電の比較を例示するグラフである。

10

【発明を実施するための形態】

【0012】

図1(a)および1(b)は、MOSターンオン波形およびターンオフ波形の簡略化したグラフ100をそれぞれ示す。ターンオン遅延時間 t_{on} は、ドレイン電流の導通が開始する前の、デバイスの入力容量を充電するのにかかる時間である。同様に、ターンオフ遅延時間 t_{off} は、デバイスがオフに切り替えられた後に、容量を放電するのにかかる時間である。ターンオン遅延時間は、以下および図1Aに表すように、 t_{d105} と、 t_{ri110} と、 t_{fv115} との合計に等しい。

$$t_{on} = t_d + t_{ri} + t_{fv}$$

20

ここで、

【0013】

【数1】

$$t_d = R_G(C_{GS} + C_{GD}) \ln \frac{V_{GH}}{V_{GH} - V_{th}}$$

【0014】

【数2】

$$t_{ri} = R_G(C_{GS} + C_{GD}) \ln \frac{g_m V_{GH}}{g_m(V_{GS} - V_{th}) - I_D}$$

30

【0015】

【数3】

$$t_{fv} = \frac{(V_{DM} - V_{on}) R_G C_{GD}}{V_{GH} - (V_{th} + I_D/g_m)}$$

【0016】

ターンオフ遅延時間は、以下および図1(b)に表すように、 t_s120 と、 t_{rv125} と、 t_{fi135} との合計に等しい。

$$t_{off} = t_s + t_{rv} + t_{fi}$$

40

ここで、

【0017】

【数4】

$$t_s = R_G(C_{GS} + C_{GD}) \ln \frac{g_m V_{GH}}{g_m V_{th} + I_D}$$

【0018】

【数5】

$$t_{rv} = \frac{(V_{DM} - V_{on}) g_m R_G C_{GD}}{I_D + g_m V_{th}}$$

【0019】

【数6】

$$t_{fi} = R_G (C_{GS} + C_{GD}) \ln \frac{I_D + g_m V_{th}}{g_m V_{th}}$$

【0020】

10

小さい C_{GD} 値は、速いターンオン時間およびターンオフ時間を生じることが分かる。

ピークダイオードリカバリーは、許容されたドレイン・ソース電圧 (V_{DS}) の最大の上昇率、すなわち dv/dt 特性として定義される。この率を上回ると、ゲート・ソース端末にかかる電圧は、デバイスの閾値電圧より高くなり、デバイスを電流導通モードにし、一定の条件下で壊滅的な故障が生じる。 dv/dt 誘導されたターンオンの1つの機構は、ゲート・ドレイン間容量 (C_{GD}) のフィードバック動作によってアクティブになる。

【0021】

図2は、パワーMOSFETの等価回路200の簡略化したブロック図であり、電流通路 I_{1205} を示す。電圧の傾斜がデバイスのドレイン210およびソース215端末間に、電圧の傾斜が見られると、電流 I_{1205} は、ゲート・ドレイン容量 C_{GD225} によって、ゲート抵抗 R_G220 を通って流れる。回路内の合計抵抗は、 R_G220 であり、これを横切る電圧降下は以下に与えられる。

20

$$V_{GS} = I_{1205} \cdot R_G = R_G \cdot C_{GD} \cdot dv/dt$$

ゲート電圧 V_{GS230} がデバイスの閾値電圧 V_{th} を上回ると、デバイスは、導通状態になる。

従って、この機構の dv/dt 特性は、以下によって設定される。

$$dv/dt = V_{th} / (R_G \cdot C_{GD})$$

以上のように、小さい C_{GD225} 値により、大きい dv/dt 特性が生じるので、従って、パワーMOSFETはより信頼性が高くなることが明らかである。

【0022】

30

図3は、ゲートEDMOSTランジスタ構造305を描写する従来のEDMOSTランジスタ300の断面立面図を例示する。RESURFのnドリフト領域310は、シャロートレンチアイソレーション(STI)315の下にあり、 n^+ 領域330はドレイン335の真下にある。従来のゲートランジスタは、水平ゲート電極305を備えている。ボディ領域340およびソース345の端末はそれぞれ、 p^+ 領域350および n^+ 領域355の上にある。ディープnウェル320は、p基板360とHVのpウェル365との間にある。

【0023】

図4は、本発明の一実施形態によって構成された直交ゲートEDMOSTランジスタ構造400を例示する断面立面図である。直交ゲート電極405は、ゲート・ドレイン間のオーバーラップ容量 (C_{GD}) を減少させる。このデバイスは、 $0.18 \mu m$ で $30V$ のHV-CMOSプロセスで行われる。同じ電圧およびサイズを有する既知のEDMOSデバイスと比較して、75%の C_{GD} 減少が観察される。性能指数 (Figure-of-Merit) は、53%ほど改善される。一実施形態では、STIの深さは $0.35 \mu m$ 、垂直ゲートの幅は $0.2 \mu m$ 、およびゲート酸化膜の厚さは $12.5 nm$ である。

40

【0024】

直交ゲートEDMOS構造の実施形態は、このゲート構造によって従来のEDMOSTランジスタ(図3)と異なる。RESURFの概念は、高い降伏電圧と特定のオン抵抗 ($R_{on,sp}$) との間の最適化されたトレードオフを実現するために用いられる。RESURFは、Adriaan W. Ludikhuijzeによる刊行物 "A Review

50

of RESURF Technology”, International Symposium on Power Semiconductor Devices and ICs (ISPSD), pp11-18, 2000、および、Mohamed Imamらの“Design and Optimization of Double-RESURF High-Voltage Lateral Devices for a Manufacturable Process”, IEEE Transactions on Electron Devices, VOL. 50, NO. 7, July 2003, その全体を参照することにより本明細書に含まれる。

【0025】

図4を参照すると、nドリフト領域410は、シャロートレンチアイソレーション(STI)415の下に配置される。直交ゲートトランジスタは、STI415酸化膜領域に折り畳まれるゲート電極405を備える。水平および垂直ゲート電極部は、ゲートを制御するために用いられる。RESURFのnドリフト領域410によって、直交ゲートEDMOSトランジスタは従来のEDMOSトランジスタと同じ降伏電圧を有することができる。ゲート電極405とnドリフト・ドレイン領域410との重複部分は、ゲート電極の厚みだけであるので、全体のゲート・ドレイン容量 C_{GD} は、著しく減少する。

10

【0026】

ディープnウェル420は、高エネルギーイオン注入法によって形成され、隣接するデバイスとの間の隔離のために用いられる。さらに、ディープnウェル420をもつnチャネルEDMOSトランジスタは、浮動ソース電位を必要とする他の応用と同様にハイサイド・ドライバとしても用いられることができる。直交ゲートEDMOSは、 $0.18\mu\text{m}$ のCMOS製造技術と互換性を持つように設計される。ゲート構造は、STI製造工程の一部として容易に組み込むことができる。その製作方法を以下に説明する。

20

【0027】

図5(a)および5(b)は、製造プロセスの簡略化されたフローチャート500である。図5(a)は、標準CMOS製造プロセスを表す簡約されたフローチャートであり、一方、図5(b)は、本発明の一実施形態による直交ゲート製造プロセスを表す簡約されたフローチャートである。

p型基板は、図5(a)の工程505で設けられる。次に、工程510において、フィールド酸化膜およびアクティブ領域のリソグラフィが行われ、続いて、工程520においてSTIアニーリングが行われる。次に、工程530のゲート・リソグラフィが行われ、次に、工程540のゲート酸化が行われる。次に、ポリシリコン堆積およびアニーリング542が行われる。次に、テトラエチルオルトシリケート(TEOS)酸化膜堆積、および工程545のコンタクト形成が行われ、次に、工程550のメタライゼーションが行われる。

30

【0028】

図5(b)の一実施形態では、直交ゲートEDMOS製造プロセスは、 $0.18\mu\text{m}$ のCMOS技術に基づいている。この技術は、同一基板上に高耐圧デバイス(30Vのn型およびp型EDMOSトランジスタ)と標準CMOSとをともに搭載する。標準CMOSデバイスに割り当てられる熱処理量は、既知のプロセス条件と同じように設計される。これにより、標準CMOSデバイスの電気的特性は、変わらない。製造工程は、標準CMOSのフローと互換性を持つ。プロセスモジュールは、基本的なCMOS技術から追加または削除することができる任意の工程となるように設計される。

40

【0029】

開始ウエハは、 $1 \times 10^{15} \text{cm}^{-3}$ のドーピング濃度を有する $\langle 100 \rangle$ 方位のp型ウエハである。図5Aと同様に、工程510では、フィールド酸化膜およびアクティブ領域のリソグラフィが行われる。さらに、図5Bの実施形態では、工程515は、HVのpウェル・イオン注入を行う。この後、工程520において、図5(a)および図5(b)に共通である、STIアニーリングが続く。次に、この実施形態は、工程525において、nドリフト・イオン注入を行う。ゲート・リソグラフィ530の共通工程の後に、図5(b)

50

)の実施形態では、垂直ゲート形成535が続く。ゲート酸化540の共通工程の後に、ポリシリコン堆積、エッチングおよびドーピング・アニーリング542の共通工程、テトラエチルオルトシリケート(TEOS)酸化膜堆積およびコンタクト形成545、および工程550のメタライゼーションが続く。

【0030】

製造プロセスの初めに、酸化膜の厚い層を形成するためにフィールド酸化が行われ、続いて、工程510のアクティブ・リソグラフィが続く。工程510において、デバイス領域を定めるために酸化膜エッチングも行われる。HVのpウェルのイオン注入515の形成の後、STI堆積およびアニーリング520、およびディープnドリフト・イオン注入525が行われる。HVのpウェル・イオン注入された不純物は、STIアニーリング520の際、一緒に活性化され得る。nドリフト・イオン注入525は、STIアニーリング520の後に行われる。その理由は、RESURFの条件が、nドリフト・ドーズ量および接合深さを慎重に制御する必要があるからである。次に、ゲート・リソグラフィ530、エッチング535、ゲート酸化540、ポリシリコン堆積、ポリシリコン・エッチング、およびドーピング・アニーリング542が行われ、ゲート電極を形成する。

STIアニーリングの後、nドリフト・イオン注入工程が行われると、工程は、交代順序で行われてもよいことに注意されたい。

【0031】

図6は、本発明の一実施形態によって構成された直交ゲートEDMOSトランジスタ構造を製造するための複数の処理工程600を例示する断面立面図である。直交ゲート製造プロセスフローは、以下の工程(a)-(f)の通りである。工程(a)は、STI605形成の直後(図5(b)の工程525の後)の構造を表す。それはまた、nドリフト領域610およびHVのpウェル615を示す。工程(b)は、フォトレジスト620による直交ゲート・リソグラフィを表す(図5(b)の工程535も)。工程(c)のドライエッチングは、トレンチ625を形成する(図5(b)の工程535も)。工程(d)では、ゲート酸化630が、HV pウェル615表面およびSTI605トレンチ底部に沿って、トレンチ625内で、および、nドリフト領域610およびHV pウェル615の上面で成長する(図5(b)の工程540も)。工程(e)は、STI605に加えて、トレンチ625の中およびゲート酸化膜630上へのゲートポリシリコン635の堆積を表す。工程(f)では、ゲート・リソグラフィが用いられる。次に、従来のゲート・マスクが用いて、直交ゲート電極全体を画定する。その後、TEOSの厚い層間レベル酸化膜堆積、コンタクト・リソグラフィ、酸化膜エッチングと続き、コンタクト・ウィンドウを形成する(図5(b)の工程545)。最後に、メタライゼーションがチップ表面を被覆し、EDMOS用のコンタクトを形成する(図5(b)の工程550)。これらの工程から、垂直ゲート形成は、追加のマスク(図6(b)参照)および追加のエッチング工程(図6(c)参照)を必要とすることが分かる。

STIアニーリングの後に、nドリフト・イオン注入工程が行われると、工程は、交代順序で行われてもよいことに注意されたい。

【0032】

図7は、本発明の一実施形態に対する V_{DS} の比較の機能として、 C_{GD} の減少を例示するグラフ700である。曲線705は、従来のゲートEDMOSの C_{GD} を示す。曲線710は、直交ゲート(OG)EDMOSの C_{GD} を示す。

図8は、本発明の一実施形態によって構成された距離Aに対するBVおよび特定オン抵抗($R_{on,sp}$)を例示するグラフ800である。直交EDMOSトランジスタの特定オン抵抗は、種々の横方向チャンネル長A(図4の425)に対してシミュレーションされているが、その一方で、他の全てのパラメータを一定に保っている。Aによって寄与されるチャンネル抵抗は、 $0.1 \mu\text{m}$ 当たり $2 \text{ m} \cdot \text{mm}^2$ である。

【0033】

図9は、本発明の一実施形態によって構成される、OG-EDMOS905と従来のEDMOS910との間のゲート充電を比較するためのシミュレーションデータを例示する

10

20

30

40

50

グラフ900である。 C_{GD} の減少は、ドレイン電圧の dv/dt に対して、より速いスイッチング速度とより高い許容度とを導く。 Q_g の減少は、より低いゲート・スイッチング損失を生じる。

BV分析は、nドリフト領域がRESURF状態にある限り、降伏電圧が単純な関係、すなわち、

$$BV = E_{lat} \cdot L_{drift}, \quad E_{lat} = 10 - 15 \text{ V} / \mu\text{m}$$

に従う。ここで、 L_{drift} は、ドリフト領域の長さである。

R_{on} 分析は、 $R_{on,sp} = R_{sh} \cdot L_{drift}^2$, $R_{sh} = 4 - 5 \text{ k} / \text{sq}$ を与え、これは、シート抵抗である。

【0034】

RESURF状態は、単一のRESURF状態に対して、nドリフト領域のドーザ量が約 $1 \times 10^{12} \text{ cm}^{-2}$ である。

直交ゲートは、一般的な降伏電圧に対して使用してもよい。30Vを超える降伏電圧EDMOSに対しては、ドリフト領域長は、直交ゲート領域の近傍を除いては増加されるべきで、その臨界電界は、依然として同じ $10 - 15 \text{ V} / \mu\text{m}$ に保たれる。従って、OG-EDMOSは、 $R_{on,sp}$ を低く保ちながら、いかなる降伏電圧EDMOSに対しても作用することができる。

【0035】

本発明の実施形態の前述の説明は、図示および説明のために提供されてきた。本発明を開示された緻密な形態に包含されたり限定したりすることは、意図するものではない。この開示を考慮して、多くの改良および変形が可能である。本発明の範囲は、この詳細な説明によって限定されることはなく、むしろ本願明細書に追加される請求項によって限定されることを意図している。

【符号の説明】

【0036】

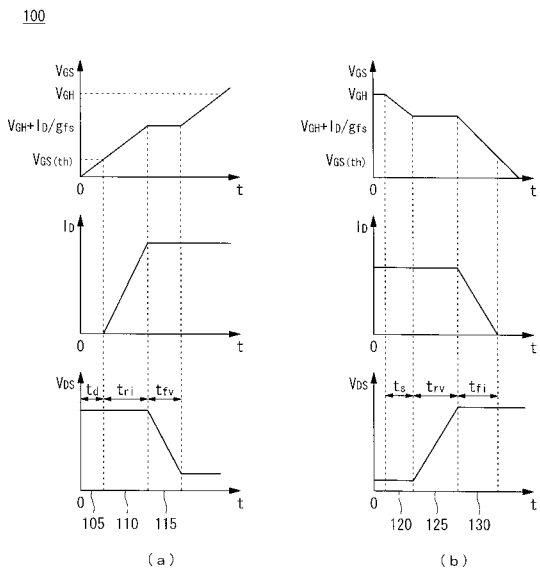
210...ドレイン, 215...ソース, 220...ゲート抵抗, 225...ゲート・ドレイン容量, 230...ゲート・ソース容量, 305...水平ゲート電極, 310...nドリフト, 315...STI, 320...ディープnウェル, 330, 355...n⁺領域, 335...ドレイン, 340...本体, 345...ソース, 350...p⁺領域, 360...p基板, 365...pウェル, 405...ゲート電極, 410...nドリフト, 420...ディープnウェル, 425...距離, 610...nドリフト, 615...HVpウェル, 620...フォトレジスト, 635... , 640...直交ゲート

10

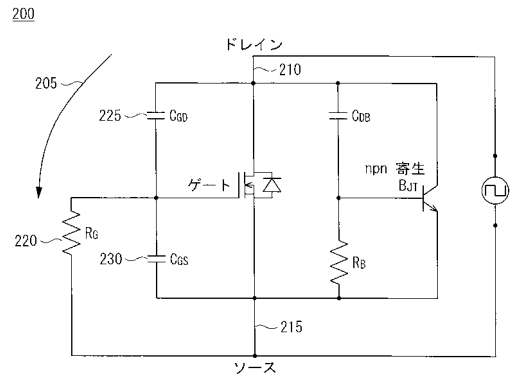
20

30

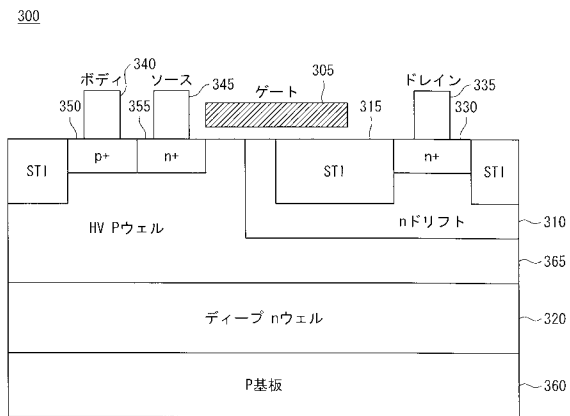
【 図 1 】



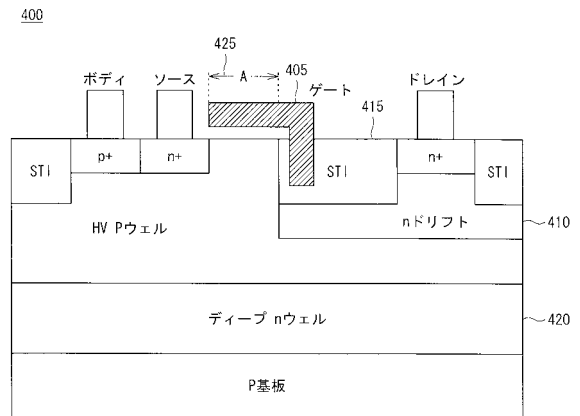
【 図 2 】



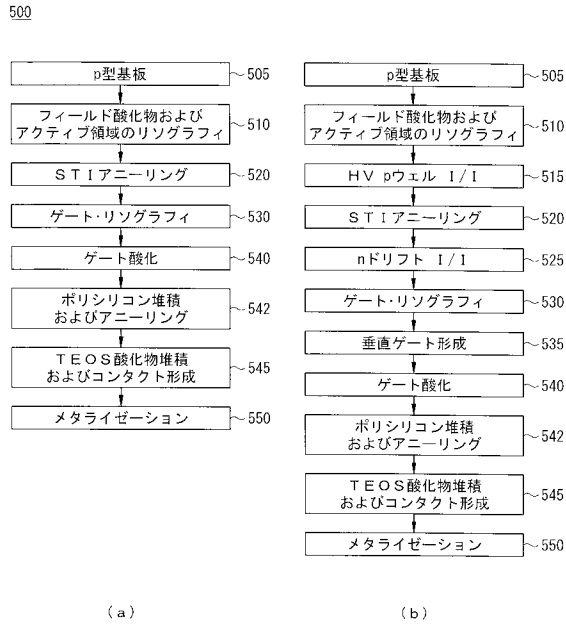
【 図 3 】



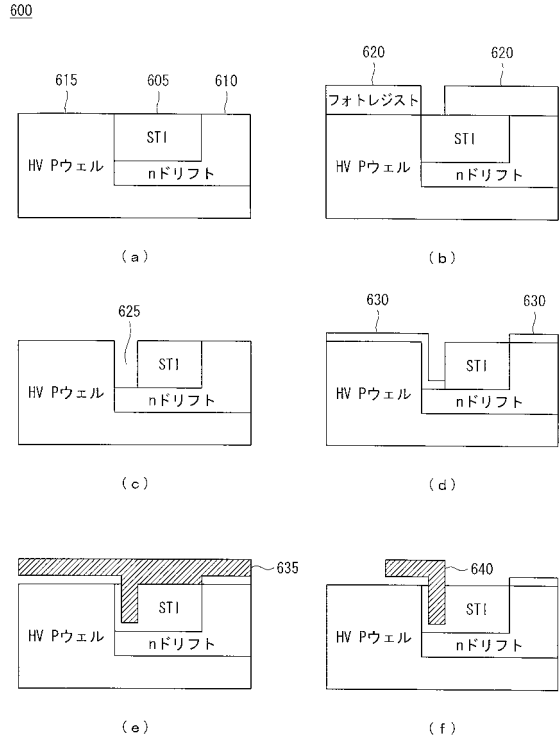
【 図 4 】



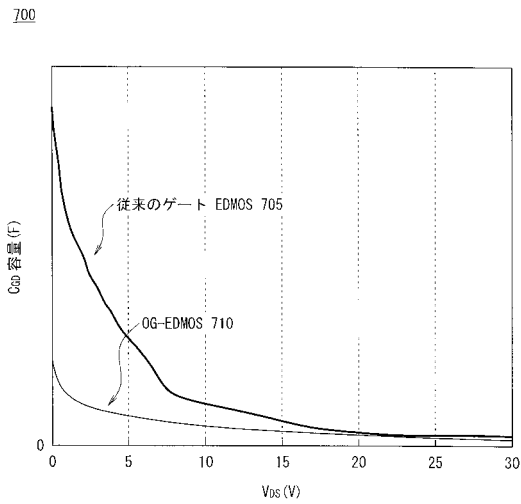
【図5】



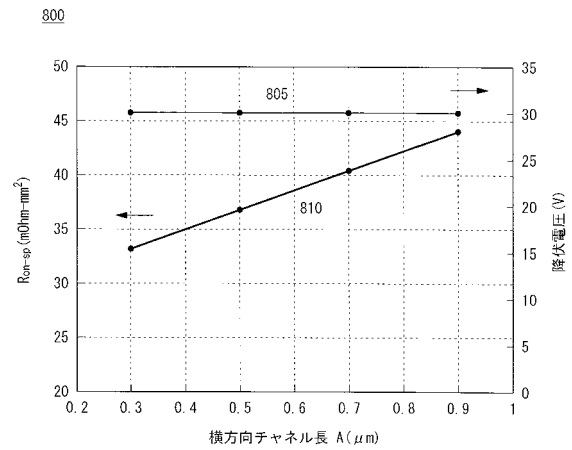
【図6】



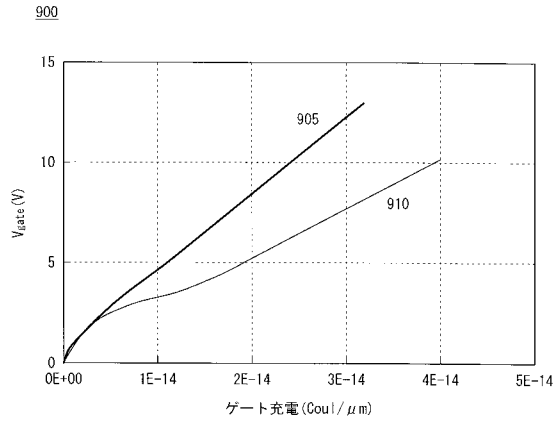
【図7】



【図8】



【 図 9 】



フロントページの続き

(72)発明者 ワイ タング ング

カナダ オンタリオ トールヒル カナディアナドライブ10

(72)発明者 フワピン シュ

カナダ オンタリオ ノースヨーク リーワードグレンウェイ100 Apt. 2022

審査官 岩本 勉

(56)参考文献 特開2006-245093(JP,A)

特開2008-091445(JP,A)

特開平03-035533(JP,A)

特開平06-097450(JP,A)

特開平10-321853(JP,A)

特開2002-314065(JP,A)

特開2006-310719(JP,A)

特開2005-243832(JP,A)

特開2009-302450(JP,A)

特開2004-134666(JP,A)

特開2003-303962(JP,A)

特開2006-060224(JP,A)

特開2008-182106(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/78