

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-226822

(P2012-226822A)

(43) 公開日 平成24年11月15日(2012.11.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 1 G	5 B 0 1 8
<b>G 0 6 F 12/16 (2006.01)</b>	G 1 1 C 17/00 6 1 3	5 B 1 2 5
	G 0 6 F 12/16 A	
	G 1 1 C 17/00 6 1 1 Z	

審査請求 未請求 請求項の数 10 O L (全 43 頁)

(21) 出願番号 特願2012-90508 (P2012-90508)  
 (22) 出願日 平成24年4月11日 (2012. 4. 11)  
 (31) 優先権主張番号 61/475, 695  
 (32) 優先日 平成23年4月15日 (2011. 4. 15)  
 (33) 優先権主張国 米国 (US)  
 (31) 優先権主張番号 10-2011-0079104  
 (32) 優先日 平成23年8月9日 (2011. 8. 9)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839  
 三星電子株式会社  
 Samsung Electronics  
 Co., Ltd.  
 大韓民国京畿道水原市靈通区三星路129  
 129, Samsung-ro, Yeon  
 gtong-gu, Suwon-si, G  
 yeonggi-do, Republic  
 of Korea

(74) 代理人 110000051  
 特許業務法人共生国際特許事務所

(72) 発明者 文 貴 妍  
 大韓民国 京畿道 華城市 盤松洞 ソル  
 ビット マウル ソヘ グランブルアパ  
 ト 414棟 1401号

最終頁に続く

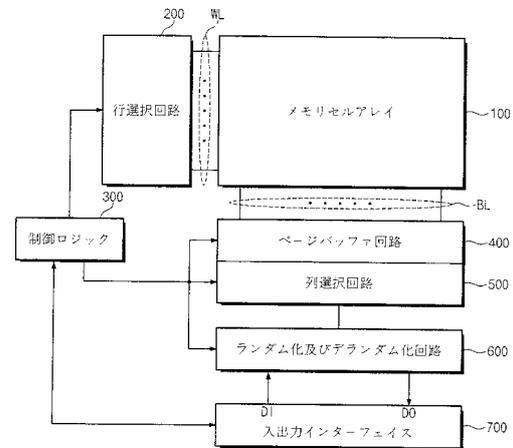
(54) 【発明の名称】 不揮発性メモリ装置

(57) 【要約】

【課題】信頼性を向上させることができる不揮発性メモリ装置の提供。

【解決手段】メモリセルアレイの選択されたページからデータを読み出すか、或いはメモリセルアレイの選択されたページへ書き込むように構成されたページバッファ回路と、選択されたページに割り当てられたシードに基づいて、ページバッファ回路へ伝送されるか、或いはページバッファ回路から伝送されるデータをランダム化及びデランダム化するように構成されたランダム化及びデランダム化回路と、を有し、選択されたページは複数のセグメントで構成され、ランダム化及びデランダム化回路は、選択されたページに割り当てられたシードに基づいて選択されたページのアクセス要請されたセグメントの各々に対するランダムシーケンスを生成するように構成され、シードにしたがって反復的に生成されたランダムシーケンスに基づいて各アクセス要請されたセグメントのデータをランダム化及びデランダム化するように構成される。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

メモリセルアレイの選択されたページからデータを読み出すか、或いはメモリセルアレイの選択されたページへ書き込むように構成されたページバッファ回路と、

前記選択されたページに割り当てられたシードに基づいて、前記ページバッファ回路へ伝送されるか、或いは前記ページバッファ回路から伝送されるデータをランダム化及びデランダム化するように構成されたランダム化及びデランダム化回路と、を有し、

前記選択されたページは複数のセグメントで構成され、

前記ランダム化及びデランダム化回路は、前記選択されたページに割り当てられたシードに基づいて、前記選択されたページのアクセス要請されたセグメントの各々に対するランダムシーケンスを生成するように構成され、前記シードにしたがって反復的に生成された前記ランダムシーケンスに基づいて前記各アクセス要請されたセグメントのデータをランダム化及びデランダム化するように構成されていることを特徴とする不揮発性メモリ装置。

10

## 【請求項 2】

前記ランダム化及びデランダム化回路は、

前記ページの各々に対応する複数のシードを格納するシードテーブルと、

前記シードテーブルから提供され、前記選択されたページに対応するシードに基づいてランダムシーケンスを生成する擬似ランダムシーケンス発生器と、

前記ランダムシーケンスとアクセス要請されたセグメントのデータとを論理的に組み合わせるミキサーと、

20

前記選択されたページに対応する前記シードにしたがって、反復的に生成される前記ランダムシーケンスにしたがって、アクセス要請されたセグメントの各々のデータをランダム化及びデランダム化するように、前記選択されたページに対応する前記シードに前記擬似ランダムシーケンス発生器を初期化するシード初期化部と、を含むことを特徴とする請求項 1 に記載の不揮発性メモリ装置。

## 【請求項 3】

前記シード初期化部は、前記擬似ランダムシーケンス発生器をシードに初期化するためのシード初期化の動作を遂行し、

前記アクセス要請されたセグメントの中で第 1 番目のアクセス要請されたセグメントのデータに対するシード初期化の動作は、アクセス要請の時に行われ、

30

残りのアクセス要請されたセグメントのデータに対するシード初期化の動作は、現在のアクセス要請されたセグメントの最後のセグメントデータが処理される時に行われることを特徴とする請求項 2 に記載の不揮発性メモリ装置。

## 【請求項 4】

前記シード初期化部は

レジスターと、

伝送されるデータを示すアドレスの値とセグメントの大きさより 1 程度小さい値  $SEG - 1$  を加算するように構成された第 1 加算器と、

前記レジスターの出力値と前記セグメントの大きさを加算するように構成された第 2 加算器と、

40

アクセス要請の完了の時、活性化される選択信号に応答して前記第 1 及び第 2 加算器の中で複数の出力値の中で 1 つを選択する選択器と、

前記選択器によって選択された出力値は前記レジスターへ伝送され、

前記レジスターの出力値が伝送されるデータを示すアドレスの値と一致するか否かを判別し、判別結果としてパルス信号を生成する比較器と、

前記選択信号及び前記パルス信号に応答して初期化信号を生成するように構成された論理ゲートと、を含み、

前記レジスターは、前記初期化信号に応答して前記選択器によって選択された出力値を格納し、前記擬似ランダムシーケンス発生器は、前記初期化信号に応答して前記選択さ

50

れたページに対応する前記シードに初期化されることを特徴とする請求項 3 に記載の不揮発性メモリ装置。

【請求項 5】

前記セグメントの大きさを示す値は、セツフィーチャ命令と共に外部装置から提供されることを特徴とする請求項 4 に記載の不揮発性メモリ装置。

【請求項 6】

特定命令によって入力されるランダムオン/オフ情報及びランダムオフ領域情報を格納する制御ロジックをさらに含み、前記制御ロジックは、アクセス要請の時、ランダムオフ領域情報に基づいてランダム化オフフラッグ信号を生成することを特徴とする請求項 1 に記載の不揮発性メモリ装置。

10

【請求項 7】

前記ランダムオフ領域情報によって定義されるオフ領域は、セグメントより小さい大きさのデータ、セグメント、ページ、ブロック、プラン、又はチップ単位に決定されることを特徴とする請求項 6 に記載の不揮発性メモリ装置。

【請求項 8】

前記ランダム化及びデランダム化回路は

前記ページの各々に対応するシードを格納するシードテーブルと、

前記シードテーブルから提供され、前記選択されたページに対応するシードに基づいてランダムシーケンスを生成する擬似ランダムシーケンス発生器と、

前記ランダムシーケンスとアクセス要請されたセグメントのデータとを論理的に組み合わせるミキサーと、

20

前記選択されたページに対応する前記シードにしたがって、反復的に生成される前記ランダムシーケンスにしたがって、アクセス要請されたセグメントの各々のデータをランダム化及びデランダム化するように前記選択されたページに対応する前記シードに前記擬似ランダムシーケンス発生器を初期化するシード初期化部と、

書込み要請の時、ランダム化オフフラッグ信号にตอบสนองして前記ミキサーの出力と前記アクセス要請されたセグメントのデータとの中で 1 つを選択するマルチプレクサーと、を有することを特徴とする請求項 6 に記載の不揮発性メモリ装置。

【請求項 9】

前記マルチプレクサーは、読出し要請の時、前記ランダム化オフフラッグ信号にตอบสนองしてアクセス要請されたセグメントのデータを、前記ミキサー又は入出力インターフェイス部へ伝達することを特徴とする請求項 8 に記載の不揮発性メモリ装置。

30

【請求項 10】

メモリセルアレイと、

ランダムシーケンスデータを順次的に生成するように構成されたランダムシーケンスデータ発生器と、

前記メモリセルアレイに格納されるプログラムデータと前記プログラムデータの反転されたデータを受信し、選択信号として前記ランダムシーケンスデータにตอบสนองして前記プログラムデータ又は前記反転されたデータを選択する第 1 マルチプレクサーを有し、前記第 1 マルチプレクサーによって選択されたデータは、ランダム化されたデータとして前記メモリセルアレイに格納され、

40

前記メモリセルアレイから読み出されたデータと前記読み出されたデータの反転されたデータを受信し、前記選択信号として前記ランダムシーケンスデータにตอบสนองして前記読み出されたデータ又は前記読み出されたデータの反転されたデータを選択する第 2 マルチプレクサーを有し、前記第 2 マルチプレクサーによって選択されたデータはデランダム化されたデータとして外部装置へ出力されることを特徴とする不揮発性メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は半導体メモリ装置に関し、特に不揮発性メモリ装置に関する。

【背景技術】

【0002】

フラッシュメモリ装置は、複数のメモリ領域が1回のプログラム動作で消去又はプログラムされる一種のEEPROMであるが、一般的なEEPROMは、1つのメモリ領域が1度に消去又はプログラムできるにすぎない。このことは、フラッシュメモリ装置を使用するシステムが、同時に他のメモリ領域に対する読み出しや書き込みをより速く効果的な速度でフラッシュメモリ装置を動作させることができることを意味する。

フラッシュメモリ及びEEPROMの全ての形態は、データの格納に使用される電荷格納手段の劣化や電荷格納手段の周囲の絶縁膜の摩滅によって、特定数の消去動作の後に摩滅される。

10

【0003】

フラッシュメモリ装置は、シリコンチップに格納された情報を維持するのに電源を必要としない方法でシリコンチップの上に情報を格納する。このことは、もしチップへ供給される電源が遮断されれば、電源の消耗無しで情報が維持されることを意味する。加えて、フラッシュメモリ装置は、物理的な衝撃抵抗性及び速い読み出し接近時間を提供する。このような特徴のため、フラッシュメモリ装置は、バッテリーによって電源を供給される装置の格納装置として一般的に使用されている。

【先行技術文献】

【特許文献】

20

【0004】

【特許文献1】韓国特許公開第10-2009-0066680号公報

【特許文献2】米国特許公開第2009-0164710号公報

【特許文献3】米国特許第7、529、124号明細書

【特許文献4】米国特許第6、858、906号明細書

【特許文献5】米国特許公開第2004-0169238号公報

【特許文献6】米国特許公開第2006-0180851号公報

【特許文献7】韓国特許公開第10-673020号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0005】

本発明は、上記従来技術に鑑みてなされたものであって、本発明の目的は、信頼性を向上させることができる不揮発性メモリ装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明の一態様による不揮発性メモリ装置は、メモリセルアレイの選択されたページからデータを読み出すか、或いはメモリセルアレイの選択されたページへ書き込むように構成されたページバッファ回路と、前記選択されたページに割り当てられたシードに基づいて、前記ページバッファ回路へ伝送されるか、或いは前記ページバッファ回路から伝送されるデータをランダム化及びデランダム化するように構成されたランダム化及びデランダム化回路と、を有し、前記選択されたページは複数のセグメントで構成され、前記ランダム化及びデランダム化回路は、前記選択されたページに割り当てられたシードに基づいて前記選択されたページのアクセス要請されたセグメントの各々に対するランダムシーケンスを生成するように構成され、前記シードにしたがって反復的に生成された前記ランダムシーケンスに基づいて前記各アクセス要請されたセグメントのデータをランダム化及びデランダム化するように構成されることを特徴とする。

40

【0007】

上記目的を達成するためになされた本発明の一態様による不揮発性メモリ装置は、メモリセルアレイと、ランダムシーケンスデータを順次的に生成するように構成されたラン

50

ダムシーケンスデータ発生器と、前記メモリセルアレイに格納されるプログラムデータと前記プログラムデータの反転されたデータを受信し、選択信号として前記ランダムシーケンスデータに回答して前記プログラムデータ又は前記反転されたデータを選択する第1マルチプレクサーを有し、前記第1マルチプレクサーによって選択されたデータは、ランダム化されたデータとして前記メモリセルアレイに格納され、前記メモリセルアレイから読み出されたデータと前記読み出されたデータの反転されたデータを受信し、前記選択信号として前記ランダムシーケンスデータに回答して前記読み出されたデータ又は前記読み出されたデータの反転されたデータを選択する第2マルチプレクサーを有し、前記第2マルチプレクサーによって選択されたデータはデランダム化されたデータとして外部装置へ出力されることを特徴とする。

10

【発明の効果】

【0008】

本発明の不揮発性メモリ装置によれば、ページに割り当てられたシードをページのアクセス要請された複数のセグメントに各々適用することによって、ランダム化されたデータをデランダム化させ、プログラムされるデータをランダム化させることができる。

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

【図2】(A)は、本発明の一実施形態によるフラッシュメモリ装置のランダム化単位を説明するための図であり、(B)は、(A)に示したセグメントの一例を示す図である。

20

【図3】本発明の一実施形態による図1に示したランダム化及びデランダム化回路の構成を説明するためのブロック図である。

【図4】本発明の一実施形態による図3に示した擬似ランダムシーケンス発生器の構成を説明するためのブロック図である。

【図5】本発明の一実施形態による図3に示したシード初期化部の構成をするためのブロック図である。

【図6】本発明の一実施形態によるセグメントの大きさの設定方法を説明するためのタイミング図である。

【図7】本発明の一実施形態によるセグメントの大きさの設定方法を説明するためのタイミング図である。

30

【図8】本発明の一実施形態によるランダム化及びデランダム化回路の動作を説明するためのタイミング図である。

【図9】本発明の一実施形態によるランダム化及びデランダム化回路の動作を説明するためのタイミング図である。

【図10】本発明の一実施形態によるフラッシュメモリ装置の読出し及び書込みの動作を説明するためのタイミング図である。

【図11】本発明の一実施形態によるフラッシュメモリ装置の読出し及び書込みの動作を説明するためのタイミング図である。

【図12】本発明の一実施形態によるフラッシュメモリ装置の動作方法を説明するためのフローチャートである。

40

【図13】(A)、(B)は、ランダム化オン/オフ機能の設定において決定されるランダム化領域を説明するための概略図である。

【図14】本発明の他の実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

【図15】本発明の他の実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

【図16】本発明の他の実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

【図17】図14及び図15で説明したランダム化オン/オフ機能を有するフラッシュメ

50

メモリ装置の動作を説明するためのフローチャートである。

【図 18】オルビットラインメモリ構造又はオッドイーブンメモリ構造のために図 1 に示したメモリセルアレイをメモリブロックで構成する例を説明するための例示図である。

【図 19】本発明の他の実施形態によるメモリセルアレイを説明するための図である。

【図 20】本発明の一実施形態による図 19 に示したメモリブロック B L K 1 ~ B L K z の内の 1 つの一部を示す斜視図である。

【図 21】図 20 に示したメモリブロックを I - I ' 線に沿って切断した断面を示す図である。

【図 22】本発明の一実施形態による図 21 に示したメモリブロックの等価回路を示す回路図である。

【図 23】本発明の一実施形態によるメモリシステムを説明するためのブロック図である。

【図 24】本発明の他の実施形態によるメモリシステムを説明するためのブロック図である。

【図 25】本発明の他の実施形態によるメモリシステムを説明するためのブロック図である。

【図 26】本発明の一実施形態による半導体ドライブを説明するためのブロック図である。

【図 27】本発明の他の実施形態による半導体ドライブを説明するためのブロック図である。

【図 28】図 26 又は図 27 に示した半導体ドライブを利用するストレージを説明するためのブロック図である。

【図 29】図 26 又は図 27 に示した半導体ドライブを利用するストレージサーバを説明するためのブロック図である。

【図 30】本発明の一実施形態によるシステムを説明するための概略図である。

【図 31】本発明の一実施形態によるシステムを説明するための概略図である。

【図 32】本発明の一実施形態によるシステムを説明するための概略図である。

【図 33】本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

【図 34】本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

【図 35】本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

【図 36】本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

【図 37】本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

【発明を実施するための形態】

【0010】

以下、本発明の不揮発性メモリ装置を実施するための形態の具体例を、図面を参照しながら詳細に説明するが、本発明は、ここで説明する実施形態に限定されるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【0011】

また、本発明の実施形態は、図面に示した特定形態に制限されるものではない。明細書全体に掛けて同一な参照番号に表示された部分は、同一な構成要素を示す。

本明細書において、「及び/又は」という表現は前後に羅列された構成要素の中で少なくとも 1 つを含む意味に使用し、「連結される」もしくは「結合される」という表現は、他の構成要素と直接的に連結されるか、或いは他の構成要素を通じて間接的に連結されることを含む意味に使用している。本明細書において、単数形の文言は特別に言及しない限り複数形も含む。また、本明細書で使用される「含む」又は「包含する」で表現された構

10

20

30

40

50

成要素、段階、動作及び素子は、1つ以上の他の構成要素、段階、動作、素子及び装置の存在又は追加を意味する。

【0012】

図1は、本発明の一実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

図1を参照すれば、フラッシュメモリ装置は、例えば、NANDフラッシュメモリ装置であるが、本発明は、フラッシュメモリ装置に限定されるものではなく、例えば、相変換メモリ(Phase change Random Access Memory: PRAM)、磁気抵抗メモリ(Magnetoresistive Random Access Memory: MRAM)、強誘電体メモリ(Ferroelectric Random Access Memory: FRAM(登録商標))、抵抗変化メモリ(Resistance Random Access Memory: RRAM(登録商標))、スピン注入磁化反転メモリ(Spin transfer Torque Random Access Memory: STT-RAM)、等の不揮発性メモリ装置にも適用できる。

10

20

【0013】

フラッシュメモリ装置は、複数の行(複数のワードライン: WL)と複数の列(複数のビットライン: BL)とに配列されたメモリセルを有するメモリセルアレイ100を含む。各メモリセルは、1ビットデータ又はMビット(マルチビット)データ(Mは2又はそれより大きい整数)を格納する。

各メモリセルが1ビットデータを格納する場合、メモリセルアレイ100の各行に属する複数のメモリセルは、メモリ空間(memory space)を構成し、各メモリセルがMビットデータを格納する場合、メモリセルアレイ100の各行に属するメモリセルは、複数のページに各々対応するメモリ空間を構成する。

【0014】

各メモリセルは、フローティングゲート又は電荷トラップ層のような電荷格納層を有するメモリセル又は可変抵抗素子を有するメモリセルで具現することができる。

メモリセルアレイ100は、単層アレイ構造(single-layer array structure)(又は、2次元アレイ構造と称される)又は多層アレイ構造(multi-layer array structure)(又は、垂直形又はスタック形3次元アレイ構造と称される)を有するように具現される。

30

40

【0015】

行選択回路200は、制御ロジック300によって制御され、メモリセルアレイ100の複数の行に対する選択及び駆動動作を実行するように構成される。

制御ロジック300は、フラッシュメモリ装置の動作を全般的に制御するように構成される。

ページバッファ回路400は、制御ロジック300によって制御され、動作モードにしたがって感知増幅器又は書込みドライバーとして動作する。例えば、読出し動作の間に、ページバッファ回路400は、選択された行のメモリセルからデータを感知する感知増幅器として動作する。プログラム動作の間に、ページバッファ回路400は、プログラムデータにしたがって選択された行のメモリセルを駆動する書込みドライバーとして動作する。

ページバッファ回路400は、ビットライン又はビットライン対に各々対応する複数のページバッファを有する。メモリセルの各々がマルチビットデータを格納する場合、ページバッファ回路400の各ページバッファは、2つ又はそれより多いラッチを有するように構成される。

【0016】

列選択回路500は、制御ロジック300によって制御され、読出し/プログラム動作の時、列(又はページバッファ)を定められた単位にしたがって順次的に選択される。

ランダム化及びデランダム化回路600は、制御ロジック300によって制御され、入

50

出力インターフェイス700を通じて伝達されるデータ(即ち、プログラムされるデータ又は原本データ)をランダム化させるように構成される。

ランダム化及びデランダム化回路600は、列選択回路500を通じて伝達されるページバッファ回路400のデータ(即ち、ランダム化されたデータ)をデランダム化させるように構成される。

【0017】

本発明の一実施形態によるランダム化及びデランダム化回路600は、フルページデータのみでなく、フルページデータより量的に少ないランダムデータ(例えば、スピア領域のデータ、セクターデータ、セクターデータより大きくてページデータより小さいデータ、等)に対するランダム化及びデランダム化動作を実行するように構成され、これについては以後に詳細に説明する。

10

【0018】

メモリセルは、電荷格納手段に格納される電荷の量にしたがって2N個の閾値電圧散布(Nはメモリセルに格納されたデータビットの数を示す)の中でいずれか1つを有する。メモリセルの閾値電圧(又は、閾値電圧散布)は、隣接するメモリセルとの間に生じるカップリング(これはワードラインカップリングと称される)によって変化する。

【0019】

本発明のデータランダム化によれば、ワードラインカップリングによって生じるメモリセルの閾値電圧の変化を減らすことが可能であり、メモリセルの状態が均一に分布しているので、メモリセルの間に生じるワードラインカップリングの程度が、データランダム化の前と比較して相対的に緩和される。即ち、メモリセルの閾値電圧の変化が抑制される。これは読出しマージンの向上、即ち、信頼性の向上につながる。

20

【0020】

本発明の幾つかの実施形態において、ランダム化及びデランダム化の動作は、選択的に遂行することができる。例えば、特定データに対するアクセス又は特定領域に対するアクセスが要請された時、ランダム化及びデランダム化回路600は、ランダム化及びデランダム化の動作を遂行しないように構成することができる。

ランダム化及びデランダム化回路600は、ランダム化動作の遂行無しで、入出力インターフェイス700を通じて入力されるデータをページバッファ回路400へ伝達するように構成することができ、ページバッファ回路400へロードされたデータに対するランダム化は、制御ロジック300の制御の下にランダム化及びデランダム化回路600を通じて遂行することができる。

30

【0021】

図2の(A)は、本発明の一実施形態によるフラッシュメモリ装置のランダム化単位を説明するための図であり、図2の(B)は、(A)に示したセグメントの一例を示す図である。

【0022】

フラッシュメモリ装置には、複数のメモリ空間が提供されているが、説明の便宜上、図2の(A)には1つのメモリ空間のみを示している。メモリ空間は、例えば、1つのページに対応する。

40

メモリ空間、即ち、ページは、使用者によって定義された大きさL(又は、長さと呼ぶ)を有する複数のセグメントで構成され、セグメントの大きさLは、例えば、プログラムデータとECCデータの大きさにしたがって決定される。

【0023】

セグメントは、図2の(B)に図示したように、フラッシュメモリ装置のメモリ空間に格納されるプログラムデータを有する。また、セグメントは、プログラムデータに基づいて生成するECCパリティを有する。したがって、1つのセグメントにはプログラムデータ及びECCパリティが包含される。

セグメントの大きさLは、例えば、プログラムデータの大きさにしたがって決定され、フラッシュメモリ装置に対するランダム読出し及び書込み動作は、プログラムデータ(又

50

は、セグメント)を基準に行われる。

【0024】

プログラムデータの大きさは、使用者の定義にしたがって多様に決定することができる。また、ECCの大きさも同様に使用者の定義にしたがって多様に決定することができる。したがって、セグメントの大きさLは、フラッシュメモリ装置が適用されるアプリケーションにしたがって変更することができる。即ち、セグメントの大きさLは、使用者の定義にしたがって変更することができる。

【0025】

本実施形態によれば、データランダム化/デランダム化のために、1つのページには1つのシードが割り当てられる。また、ページを基準にデータランダム化が行われるのではなく、セグメントを基準にデータランダム化/デランダム化が行われる。

このような場合、1つのページに割り当てられたシードは、ランダムアクセス、順次アクセスのいずれにおいても、各セグメントに反復的に適用され、図2の(A)に示したように、セグメント毎にシード初期化が行われる。

【0026】

シード初期化において、各セグメントのデータは、対応するページに割り当てられたシードにしたがって生成されるランダムシーケンスに基づいて、ランダム化もしくはデランダム化される。即ち、1つのページに割り当てられたシードは、各セグメントに反復的に適用される。

この後、1つのページに割り当てられたシードが、各セグメントに反復的に適用される技術について詳細に説明する。

【0027】

本実施形態において、使用者の定義にしたがって決定された大きさを有するセグメントという用語の代わりに、セクターという用語を使用する場合がある。また、「セグメント」の文言は、プログラムデータとECCとで構成されるデータ単位を示すのにも使用される。

【0028】

図3は、本発明の一実施形態による図1に示したランダム化及びデランダム化回路の構成を説明するためのブロック図である。

【0029】

図3を参照すれば、ランダム化及びデランダム化回路600は、シードテーブル610、シード初期化部620、擬似ランダムシーケンス発生器(Pseudo-Random sequence generator)630、及びミキサー640を有する。

シードテーブル610は、複数の行(又は、複数のページ)に各々割り当てられた複数のシードを格納するように構成される。

シードテーブル610のシードは、アクセス要請されたページ(又は、行)のアドレス(例えば、ページアドレス)によって選択され、選択されたシードは、擬似ランダムシーケンス発生器630へロードされる。

【0030】

選択されたシードが擬似ランダムシーケンス発生器630へロードされる動作を、「シード初期化の動作(seed initialization operation)」と称する。

シード初期化の動作によって、シードテーブル610の選択されたシードに、擬似ランダムシーケンス発生器630が初期化される。

シード初期化部620は、擬似ランダムシーケンス発生器630を、選択されたシードに初期化するための初期化信号INITを生成する。

初期化信号INITは、アクセス要請の時、及び各セグメントのランダム化/デランダム化の前に生成される。

初期化信号INITを生成する動作は、以後詳細に説明する。

【0031】

10

20

30

40

50

初期化信号 I N I T は、例えば、パルス形態に生成される。擬似ランダムシーケンス発生器 6 3 0 は、初期化信号 I N I T に応答して、シードテーブル 6 1 0 から提供されるシードに初期化され、シード初期化動作以後、ランダムシーケンスデータ R S D を順次的に生成する。

ランダムシーケンスデータ R S D は、ミキサー 6 4 0 へ提供される。

ミキサー 6 4 0 へ順次的に提供されるランダムシーケンスデータ R S D のグループは、ランダムシーケンスを構成する。ここで、ランダムシーケンスデータ R S D は、1 - ビットデータであることができる。

【 0 0 3 2 】

しかし、ランダムシーケンスデータ R S D のビット数は、ここに示したものに制限されず、例えば、マルチ - 状態を有するランダムシーケンスデータ R S D を使用することもできる。この時、各々のマルチ - 状態を示す値は、1 つのシンボル ( s y m b o l ) に定義され、元のシンボル値は、ランダムシーケンスシンボルデータと論理的に組み合わせられて、全体のシンボル値の間のランダム性を向上させる。

10

【 0 0 3 3 】

ミキサー 6 4 0 は、ランダムシーケンスデータ R S D と伝送データ ( 又は、ランダムシーケンスデータ R S D とミキサー 6 4 0 へ入力されたデータ ) とを論理的に組み合わせ、ランダム化されたもしくはデランダム化されたデータとして組み合わせられたデータを出力する。

【 0 0 3 4 】

20

例えば、読出し動作の時、ミキサー 6 4 0 は、図 1 に示した列選択回路 5 0 0 を通じて提供されるランダム化されたデータとランダムシーケンスデータ R S D とを論理的に組み合わせ、デランダム化されたデータとして組み合わせられたデータを入出力インターフェイス 7 0 0 へ出力する。

また、書込み動作の時、ミキサー 6 4 0 は、入出力インターフェイス 7 0 0 を通じて提供されるデータとランダムシーケンスデータ R S D とを論理的に組み合わせ、ランダム化されたデータとして組み合わせられたデータを列選択回路 5 0 0 へ出力する。

ミキサー 6 4 0 へバイト単位のデータが提供される場合、ランダムシーケンスデータビットは、読み出されるかもしくはプログラムされるデータビットと各々論理的に組み合わせられる。

30

【 0 0 3 5 】

本実施形態において、ミキサー 6 4 0 は、例えば、X O R ロジックで構成されるが、ミキサー 6 4 0 の構成は、ここに示したものに制限されるものではない。

【 0 0 3 6 】

図 4 は、本発明の一実施形態による図 3 に示した擬似ランダムシーケンス発生器の構成を説明するためのブロック図である。

【 0 0 3 7 】

図 4 を参照すれば、擬似ランダムシーケンス発生器 6 3 0 は、シフトレジスタ ( s h i f t r e g i s t e r ) を構成するフリップフロップ F F 0 、 F F 1 、 F F 2 、マルチプレクサー M U X 0 、 M U X 1 、 M U X 2 、及び X O R ロジックゲート 6 3 1 を有し、図に示したように連結されている。

40

【 0 0 3 8 】

擬似ランダムシーケンス発生器 6 3 0 は、1 つのシフトレジスタと 1 つの X O R ロジックゲート 6 3 1 とを有する線型フィードバックシフトレジスタ ( L i n e a r F e e d b a c k S h i f t R e g i s t e r : L F S R ) として具現することができる。

擬似ランダムシーケンス発生器 6 3 0 の構成は、ここに示したものに制限されるものではなく、P N ( P s e u d o - r a n d o m N u m b e r ) シーケンス発生器、C R C ( C y c l i c R e d u n d a n c y C o d e ) 発生器などでも具現することができる。

50

## 【 0 0 3 9 】

初期化信号 I N I T がパルス形態に活性化される時、図 3 に示したシードテーブル 6 1 0 から提供されるシード S 2、S 1、S 0 は、マルチプレクサ M U X 2、M U X 1、M U X 0 を通じてフリップフロップ F F 2、F F 1、F F 0 へ伝達される。

例えば、シード値 S 2 は、マルチプレクサ M U X 2 を通じてフリップフロップ F F 2 へロードされ、シード値 S 1 は、マルチプレクサ M U X 1 を通じてフリップフロップ F F 1 へロードされ、シード値 S 0 は、マルチプレクサ M U X 0 を通じてフリップフロップ F F 0 へロードされる。

## 【 0 0 4 0 】

即ち、初期化信号 I N I T が活性化される毎に、擬似ランダムシーケンス発生器 6 3 0 がシードテーブル 6 1 0 の選択されたシードに、設定されるシード初期化の動作が行われる。

シード初期化の動作が行われた後、擬似ランダムシーケンス発生器 6 3 0 は、クロック信号 C L K に応答してランダムシーケンスデータ R S D を順次的に生成する。ここで、クロック信号 C L K は、データ入力/出力の時、トグルされる信号(例えば、読出しイネーブル信号 / R E 又は書込みイネーブル信号 / W E に同期されて生成される。

## 【 0 0 4 1 】

図 5 は、図 3 に示したシード初期化部の構成を説明するためのブロック図である。

## 【 0 0 4 2 】

図 5 を参照すれば、シード初期化部 6 2 0 は、第 1 及び第 2 加算器 6 2 1、6 2 2、選択器 6 2 3、レジスタ 6 2 4、比較器 6 2 5、及び O R ゲート 6 2 6 を有する。

シード初期化部 6 2 0 は、アクセス要請の時、初期化信号 I N I T を生成する。

また、シード初期化部 6 2 0 は、現在セグメントのデータに対するランダム化/デランダム化を終了する前に、初期化信号 I N I T を生成する。

初期化信号 I N I T の発生により、アクセスされたページに対応するシードテーブル 6 1 0 のシードが、擬似ランダムシーケンス発生器 6 3 0 へロードされる。即ち、擬似ランダムシーケンス発生器 6 3 0 は、アクセスされたページに対応するシードテーブル 6 1 0 のシードに初期化される。

擬似ランダムシーケンス発生器 6 3 0 の初期化は、初期化信号 I N I T の発生毎に行われる。

## 【 0 0 4 3 】

第 1 加算器 6 2 1 は、入力 C U R R \_ P B \_ P T R、S E G \_ L - 1 を加算し、第 2 加算器 6 2 2 は、入力 C U R R \_ L \_ R E G、S E G \_ L を加算する。ここで、入力 C U R R \_ P B \_ P T R は、図 1 の列選択回路 5 0 0 によって選択されるページバッファを示すためのポインタを示す。即ち、入力 C U R R \_ P B \_ P T R は、現在の列アドレス値を示す。入力 S E G \_ L は使用者によって定義されたセグメントの大きさを示し、入力 C U R R \_ L \_ R E G は、レジスタ 6 2 4 の出力を示す。

選択器 6 2 3 は、選択信号 A C C \_ R E Q に応答して、第 1 及び第 2 加算器 6 2 1、6 2 2 の出力 A O、B O の中の 1 つを選択する。

選択信号 A C C \_ R E Q は、アクセス要請の時、パルス形態に活性化される。

選択器 6 2 3 は、選択信号 A C C \_ R E Q の活性化の時は、第 1 加算器 6 2 1 の出力 A O を選択し、選択信号 A C C \_ R E Q の非活性化の時は、第 2 加算器 6 2 2 の出力 B O を選択する。

## 【 0 0 4 4 】

レジスタ 6 2 4 は、O R ゲート 6 2 6 から出力される初期化信号 I N I T に応答して、選択器 6 2 3 によって選択された値を格納するために使用される。

比較器 6 2 5 は、レジスタ 6 2 4 の出力 C U R R \_ L \_ R E G と現在の列アドレス C U R R \_ P B \_ P T R とが互に一致するか否かを判別し、判別結果としてパルス信号 P U L を生成する。

O R ゲート 6 2 6 は、選択信号 A C C \_ R E Q とパルス信号 P U L とに両方とも応答して初期化

10

20

30

40

50

信号INITを生成する。選択信号ACC\_REQとパルス信号PULとの中でいずれか1つが活性化される時、初期化信号INITがパルス形態に活性化される。初期化信号INITが活性化される時、擬似ランダムシーケンス発生器630に対するシード初期化の動作と同時に、次のセグメントの最後のデータを示す値がレジスタ624へロードされる。

#### 【0045】

本実施形態によるシード初期化部620は、ここに示したものに制限されず、図面に示していないが、第1及び第2加算器621、622の中の1つは除去することができる。この場合、選択器623は、加算器の前端に位置し、入力CURR\_PB\_PTR、SEG\_L-1又は、入力CURR\_L\_REG、SEG\_Lを加算器へ伝達する。加算器によって加算された値はレジスタ624へ伝達される。

10

#### 【0046】

図6及び図7は、本発明の一実施形態によるセグメントの大きさの設定方法を説明するためのタイミング図である。

#### 【0047】

セグメントの大きさSEG\_Lは、特定命令を利用してフラッシュメモリ装置が適用されるメモリ制御器から提供される。例えば、図6に示したように、セグメントの大きさSEG\_Lを示すパラメータは、セットフィーチャ命令(set feature command)と共にメモリ制御器からフラッシュメモリ装置へ伝送される。

ここで、アドレスは、セグメントの大きさSEG\_Lを示すデータD0~Dnが格納される位置(例えば、レジスタ位置)を示すために使用される。

20

#### 【0048】

セグメントの大きさSEG\_Lを示すデータD0~Dnは、DQS信号の下降及び上昇エッジに各々同期されて、フラッシュメモリ装置のレジスタ(例えば、図1の制御ロジック300に包含される)に格納される。

図7に示したように、図6に示したダブルデータレートDDR方式ではなく、シングルデータレートSDR方式において、セグメントの大きさSEG\_Lを示すデータD0~Dnを入力することができる。

セグメントの大きさSEG\_Lを設定する動作は、パワーアップ以後セットフィーチャ命令と共にセグメントの大きさSEG\_Lの値を、フラッシュメモリ装置へ伝送することによって達成することができる。

30

#### 【0049】

本実施形態において、図6に示したように、コマンドとアドレスは、WE信号をトグルして伝送し、書込み動作の時、データは、データストロブ信号(data strobe signal)としてDQS信号のトグルにしたがって外部から入力される。

同様に、読出し動作の時、データは、外部で入力されるRE信号にしたがって発生するDQS信号のトグルにしたがって外部へ出力される。このようなデータ入出力方式を採用したフラッシュメモリ装置については、「トグルDDR NANDフラッシュメモリ装置」と称して、ウェブサイト([http://www.samsung.com/global/business/semiconductor/products/flash/Products\\_Toggle\\_DDR\\_NANDFlash.html](http://www.samsung.com/global/business/semiconductor/products/flash/Products_Toggle_DDR_NANDFlash.html))に開示されている。

40

#### 【0050】

また、フラッシュメモリ装置は、ONFI(Open NAND Flash Interface)DDR NANDフラッシュメモリ装置として構成することができ、このことはウェブサイト(<http://onfi.org/specifications/>)に開示されている。

一方、図7に示したように、SDR(Single Data Rate)形式に従う読出し/書込み動作の場合は、DQS信号の代わりにRE/WE信号を使用することができる。

50

## 【 0 0 5 1 】

本実施形態において、セツフィーチャ命令と共に提供されるデータ D 0 ~ D n の中で、一部のみがセグメントの大きさ S E G \_ L を示すデータとして使用することができる。残りのデータは、セグメントの大きさその他のパラメータとを指定することに使用することができる。このことについては、以後に詳細に説明する。セグメントの大きさ S E G \_ L を設定するために、セツフィーチャ命令の代わりにテスト命令を使用することもできる。

## 【 0 0 5 2 】

本実施形態において、セグメントの大きさ S E G \_ L を設定する動作は、ここに示したものに制限されず、例えば、フラッシュメモリ装置のメモリセルアレイ 1 0 0 に、不揮発性トリム情報としてセグメントの大きさ S E G \_ L の値を格納することもできる。このような場合、パワーアップ時、セグメントの大きさ S E G \_ L の値は、制御ロジック 3 0 0 の制御の下にランダム化及びデランダム化回路 6 0 0 へロードされる。また、他の例として、セグメントの大きさ S E G \_ L の値は、ウエハーレベル又はパッケージレベルで、ヒューズオプションを通じて設定することもできる。

10

## 【 0 0 5 3 】

図 8 は、本発明の一実施形態によるランダム化及びデランダム化回路の動作を説明するためのタイミング図である。

以下に図 8 を参照して、本実施形態によるランダム化及びデランダム化回路の動作を詳細に説明する。以下の説明において、セグメントの大きさ L は、1 0 8 4 B ( B はバイトを示す) と仮定し、アクセス要請の時の入力された列アドレスは、C A 0 であると仮定する。これらの仮定により、要請されたアクセスは、フルページデータを読み出すための順次アクセス ( s e q u e n t i a l a c c e s s ) とすることができる。

20

## 【 0 0 5 4 】

読出し / 書込み動作が要請された時、アクセス要請されたページに対応するアドレスが、フラッシュメモリ装置へ伝送され、シードテーブル 6 1 0 のシードの中の 1 つがページアドレスにしたがって選択される。

選択されたシードは、擬似ランダムシーケンス発生器 6 3 0 へ伝送される。アクセス要請は、読出し動作の時に特定命令 ( 例えば、3 0 h ) が入力された後、及び書込み動作の時にアドレスが入力された後、完了し、アクセス要請が完了すると、選択信号 A C C \_ R E Q は、制御ロジック 3 0 0 によってパルス形態に活性化される。

30

## 【 0 0 5 5 】

選択信号 A C C \_ R E Q が活性化されることにより、シード初期化部 6 2 0 の O R ゲート 6 2 6 は、活性化された選択信号 A C C \_ R E Q に応答して、初期化信号 I N I T をパルス形態に活性化させる。

初期化信号 I N I T がパルス形態に活性化されることにより、擬似ランダムシーケンス発生器 6 3 0 は、シードテーブル 6 1 0 から提供されるシードに初期化される。言い換えれば、初期化信号 I N I T が活性化される時、擬似ランダムシーケンス発生器 6 3 0 のマルチプレクサー M U X 0 - M U X 2 を通じて、シード S 0 - S 2 がフリップフロップ F F 0 - F F 2 へ伝達される。

40

結果的に、初期化信号 I N I T が活性化される時、擬似ランダムシーケンス発生器 6 3 0 がシードテーブル 6 1 0 から提供されるシードに初期化されるシード初期化の動作が行われる。

## 【 0 0 5 6 】

選択信号 A C C \_ R E Q が活性化されることにより、シード初期化部 6 2 0 の選択器 6 2 3 は、第 1 加算器 6 2 1 の出力 A O をレジスター 6 2 4 へ伝達する。レジスター 6 2 4 には、初期化信号 I N I T の活性化により第 1 加算器 6 2 1 の出力 A O が格納される。

第 1 加算器 6 2 1 の出力 A O は、現在の列アドレス C A 0 を示す値 C U R R \_ P B \_ P T R とセグメントの大きさより 1 程度小さい値 S E G \_ L - 1 の合計、即ち、1 0 8 3 の値を有する。即ち、レジスター 6 2 4 は 1 0 8 3 の値として設定される。これはレジスタ

50

− 6 2 4 の出力  $CURR\_L\_REG$  が 1 0 8 3 の値を有することを意味する。レジスタ − 6 2 4 に格納された値は現在伝送されるセグメントの最後データ（又は、最後のセグメントデータと称し、例えば、D 1 0 8 3）を示すために使用される。これは次のセグメントに属する第 1 番目のセグメントデータ（例えば、D 1 0 8 4）のランダム化 / デランダム化のためのシード初期化の動作を遂行するためである。

#### 【 0 0 5 7 】

シード初期化の動作の以後、データ（例えば、読み出されたデータとしてランダム化されたデータ又はプログラムされるデータ）がランダム化及びデランダム化回路 6 0 0 へ伝送される。

ミキサ − 6 4 0 は、ランダム化及びデランダム化回路 6 0 0 へ伝送されるデータと擬似ランダムシーケンス発生器 6 3 0 からのランダムシーケンスデータ  $RSD$  とを論理的に組み合わせる。即ち、ランダム化及びデランダム化回路 6 0 0 へ伝送されるデータはランダム化されるか、或いはデランダム化される。

ランダム化及びデランダム化回路 6 0 0 へ、データが順次的に伝送されることにより、図 8 に示したように、列アドレス  $CA$  も順次的に増加される。現在の列アドレス  $CA$  を示す値  $CURR\_PB\_PTR$  は、シード初期化部 6 3 0 の比較器 6 2 5 へ伝送される。

比較器 6 2 5 は、レジスタ − 6 2 4 の出力  $CURR\_L\_REG$ （現在セグメントの最後のセグメントデータを示す）と現在の列アドレスを示す値  $CURR\_PB\_PTR$  が一致するか否かを判別する。

#### 【 0 0 5 8 】

仮にレジスタ − 6 2 4 の出力  $CURR\_L\_REG$  と現在の列アドレスを示す値  $CURR\_PB\_PTR$  とが一致すれば、比較器 6 2 5 の出力  $PUL$  は、パルス形態に活性化される。言い換えれば、図 8 に示したように、レジスタ − 6 2 4 の出力  $CURR\_L\_REG$  が 1 0 8 3 であり、現在の列アドレスを示す値  $CURR\_PB\_PTR$  が 1 0 8 3 である時、比較器 6 2 5 の出力  $PUL$  は、パルス形態に活性化される。

比較器 6 2 5 の出力が活性化されることは、現在セグメントの最後のセグメントデータのためのランダムシーケンスデータ  $RSD$  が生成されたことを意味する。

比較器 6 2 5 の出力  $PUL$  がパルス形態に活性化されたことにより、初期化信号  $INIT$  もパルス形態に活性化される。これはシードテーブル 6 1 0 から出力されるシード（アクセス要請されたページに対応すること）が擬似ランダムシーケンス発生器 6 3 0 のマルチプレクサ  $MUX2 - MUX0$  を通じてフリップフロップ  $FF2 - FF0$  へロードされることを意味する。即ち、擬似ランダムシーケンス発生器 6 3 0 のシード初期化の動作が遂行される。

#### 【 0 0 5 9 】

この時、選択信号  $ACC\_REQ$  が非活性化状態に維持されるので、第 2 加算器 6 2 2 の出力  $BO$  は、選択器 6 2 3 を通じてレジスタ − 6 2 4 へ伝送される。初期化信号  $INIT$  が比較器 6 2 5 の出力  $PUL$  の活性化によりパルス形態に活性化される時、レジスタ − 6 2 4 には、第 2 加算器 6 2 2 の出力  $BO$  がロードされる。ここで、第 2 加算器 6 2 2 の出力  $BO$  は、セグメントの大きさ  $SEG\_L$  とレジスタ − 6 2 4 の出力  $CURR\_L\_REG$  との合計として、2 1 6 7 の値を有する。即ち、レジスタ − 6 2 4 は、第 2 番目のセグメントの最後のセグメントデータ  $D2167$  を示す 2 1 6 7 の値に設定される。これはレジスタ − 6 2 4 の出力  $CURR\_L\_REG$  が 2 1 6 7 の値を有することを意味する。

#### 【 0 0 6 0 】

以後、第 2 番目のセグメントに対するデータランダム化 / デランダム化動作と残りのセグメントに対するシード初期化の動作は、先に説明したことと実質的に同様に遂行されるので、それに対する説明は省略する。

#### 【 0 0 6 1 】

以上の説明のように、シード初期化の動作は、各セグメントの第 1 番目のデータ  $D0$ 、 $D1084$ 、 $D2168$ 、... がランダム化 / デランダム化される以前に行われる。したがって、ページに割り当てられたシードは、使用者によって定義された大きさを有するセグ

10

20

30

40

50

メント（１つのページに属する）に反復的に適用される。

【 0 0 6 2 】

図 9 は本発明の一実施形態によるランダム化及びデランダム化回路の動作を説明するためのタイミング図である。

以下、本実施形態によるランダム化及びデランダム化回路の動作について、図面を参照して詳細に説明する。

以下の説明において、セグメントの大きさが 1 0 8 4 B（B はバイトを示す）であると仮定する。また、アクセス要請の時、入力された列アドレスが C A 1 0 8 4 であると仮定する。このような仮定により、要請されたアクセスは、フルページデータ（即ち、１つのページ）に属する 1 つ又はそれより多いセグメントを読み出すためのランダムアクセス（`random access`）であり得る。

10

【 0 0 6 3 】

先ず、読出し／書込み動作が要請される時、アクセス要請されたページに対応するアドレスがフラッシュメモリ装置へ伝送される。シードテーブル 6 1 0 のシードの中で 1 つがページアドレスにしたがって選択される。選択されたシードは、擬似ランダムシーケンス発生器 6 3 0 へ伝送される。アクセス要請は、読出し動作において特定命令（例えば、3 0 h）が入力された後、及び書込み動作においてアドレスが入力された後、完了する。アクセス要請が完了すると、選択信号 A C C \_ R E Q は、制御ロジック 3 0 0 によってパルス形態に活性化される。

【 0 0 6 4 】

20

選択信号 A C C \_ R E Q が活性化されることにより、シード初期化部 6 2 0 の O R ゲート 6 2 6 は、活性化された選択信号 A C C \_ R E Q に応答して、初期化信号 I N I T をパルス形態に活性化させる。

初期化信号 I N I T がパルス形態に活性化されることにより、擬似ランダムシーケンス発生器 6 3 0 は、シードテーブル 6 1 0 から提供されるシードに初期化される。言い換えれば、初期化信号 I N I T が活性化される時、擬似ランダムシーケンス発生器 6 3 0 のマルチプレクサ M U X 0 - M U X 2 を通じて、シード S 0 - S 2 がフリップフロップ F F 0 - F F 2 へ伝達される。

結果的に、初期化信号 I N I T が活性化される時、擬似ランダムシーケンス発生器 6 3 0 が、シードテーブル 6 1 0 から提供されるシードに初期化される、シード初期化の動作が行われる。

30

【 0 0 6 5 】

選択信号 A C C \_ R E Q が活性化されることにより、シード初期化部 6 2 0 の選択器 6 2 3 は、第 1 加算器 6 2 1 の出力 A O をレジスタ 6 2 4 へ伝達する。レジスタ 6 2 4 には初期化信号 I N I T の活性化にしたがって第 1 加算器 6 2 1 の出力 A O が格納される。第 1 加算器 6 2 1 の出力 A O は現在の列アドレス C A 1 0 8 4 を示す値 C U R R \_ P B \_ P T R とセグメントの大きさより 1 程度小さい値 S E G \_ L - 1 の合計、即ち、2 1 6 7 の値を有する。即ち、レジスタ 6 2 4 は 2 1 6 7 の値に設定される。これは、レジスタ 6 2 4 の出力 C U R R \_ L \_ R E G が 2 1 6 7 の値を有することを意味する。

レジスタ 6 2 4 に格納された値は、現在伝送されるセグメントの最後のデータ（又は、最後のセグメントデータと称し、例えば、D 2 1 6 7）を示すのに使用される。これは次のセグメントに属する第 1 番目のセグメントデータ（例えば、D 2 1 6 8）のランダム化／デランダム化のためのシード初期化の動作を遂行するためである。

40

【 0 0 6 6 】

シード初期化の動作の後、データ（例えば、読み出されたデータとしてランダム化されたデータ又はプログラムされるデータ）がランダム化及びデランダム化回路 6 0 0 へ伝送される。ミキサ 6 4 0 はランダム化及びデランダム化回路 6 0 0 へ伝送されるデータと擬似ランダムシーケンス発生器 6 3 0 からのランダムシーケンスデータ R S D を論理的に組み合わせる。即ち、ランダム化及びデランダム化回路 6 0 0 へ伝送されるデータはランダム化されるか、或いはデランダム化される。ランダム化及びデランダム化回路 6 0

50

0 にデータが順次的に伝送されることにより、図 9 に示したように、列アドレス CA も順次的に増加される。現在の列アドレス CA を示す値 CURR\_PB\_PTR は、シード初期化部 630 の比較器 625 へ伝送される。

比較器 625 は、レジスタ 624 の出力 CURR\_L\_REG (現在セグメントの最後のセグメントデータを示す) と現在の列アドレスを示す値 CURR\_PB\_PTR が一致するか否かを判別する。

#### 【0067】

仮にレジスタ 624 の出力 CURR\_L\_REG と現在の列アドレスを示す値 CURR\_PB\_PTR とが一致すれば、比較器 625 の出力 PUL はパルス形態に活性化される。言い換えれば、図 9 に示したように、レジスタ 624 の出力 CURR\_L\_REG が 2167 であり、現在の列アドレスを示す値 CURR\_PB\_PTR が 2167 である時、比較器 625 の出力 PUL はパルス形態に活性化される。比較器 625 の出力が活性化されることは現在セグメントの最後のセグメントデータのためのランダムシーケンスデータ RSD が生成されたことを意味する。比較器 625 の出力 PUL がパルス形態に活性化されることにより、初期化信号 INIT もやはりパルス形態に活性化される。これはシードテーブル 610 から出力されるシード (アクセス要請されたページに対応する) が擬似ランダムシーケンス発生器 630 のマルチプレクサー MUX2 - MUX0 を通じてフリップフロップ FF2 - FF0 へロードされることを意味する。即ち、擬似ランダムシーケンス発生器 630 のシード初期化の動作が遂行される。

10

#### 【0068】

この時、選択信号 ACC\_REQ が非活性化状態に維持されるので、第 2 加算器 622 の出力 BO は選択器 623 を通じてレジスタ 624 へ伝送される。初期化信号 INIT が比較器 625 の出力 PUL の活性化にしたがってパルス形態に活性化される時、レジスタ 624 には第 2 加算器 622 の出力 BO がロードされる。ここで、第 2 加算器 622 の出力 BO はセグメントの大きさ SEG\_L とレジスタ 624 の出力 CURR\_L\_REG として、3251 の値を有する。即ち、レジスタ 624 は、第 2 番目のセグメントの最後のセグメントデータ D3251 を示す 3251 の値に設定される。これはレジスタ 624 の出力 CURR\_L\_REG が 3251 の値を有することを意味する。

20

#### 【0069】

以後、第 2 番目のセグメントに対するデータランダム化 / デランダム化動作と残りのセグメントに対するシード初期化の動作とは、先の説明と実質的に同じに遂行されるので、それに対する説明は省略する。

30

#### 【0070】

以上の説明から分かるように、シード初期化の動作は、各セグメントの第 1 番目のデータ D1084、D2168、... がランダム化 / デランダム化される前に行われる。したがって、ページに割り当てられたシードは、使用者によって定義された大きさを有するセグメント (1 つのページに属する) に反復的に適用される。

#### 【0071】

図 10 及び図 11 は、本発明の一実施形態によるフラッシュメモリ装置の読出し及び書込み動作を説明するためのタイミング図である。

40

書込み動作の時、命令 80h とアドレス C1C2R1R2R3 (C は列アドレスを示し、R は行アドレスを示す) の入力に続いて、プログラムされるデータとして一連のセグメント SEG[0] ~ SEG[i-1] が入力される。ここで、セグメント SEG[0] ~ SEG[i-1] の各々は、プログラムデータと ECC とで構成される。図 10 に示したように、セグメント毎にシード初期化の動作が行われる。シード初期化の動作は、図 8 及び図 9 で説明したことと実質的に同一であり、それに対する説明は省略する。一連のセグメント SEG[0] ~ SEG[i-1] が入力された後、レディレディ / ビジー信号

$\overline{R/B}$

は、命令 10h の入力にしたがってローレベルへ遷移する。プログラム動作が完了すれば

50

、レディ/ビジー信号

$R/\overline{B}$

はハイレベルへ遷移する。即ち、書込み動作が終了する。

【0072】

図11に示したように、読出し動作は、一連の命令00h、アドレスC1C2R1R2R3、及び命令30hの入力に応答して行われる。読出し動作の間に、レディ/ビジー信号

$R/\overline{B}$

はローレベルに維持される。以後、読み出されたデータとして、一連のセグメントSegment[0]、Segment[1]、等が順次的に出力される。ここで、セグメントSegment[0]、Segment[1]、等の各々はプログラムデータとECCとで構成される。図11に示したように、セグメント毎にシード初期化の動作が行われる。

シード初期化の動作は、図8及び図9で説明したことと実質的に同一であり、それに対する説明は省略される。図面には示していないが、図8及び図9で説明したように、最初のシード初期化の動作は実質的なデータランダム化/デランダム化の前に、アクセス要請にしたがって行われる。

【0073】

図12は本発明の一実施形態によるフラッシュメモリ装置の動作方法を説明するためのフローチャートである。

以下、本実施形態によるフラッシュメモリ装置の動作方法について図面を参照して詳細に説明する。

【0074】

図12を参照すれば、フラッシュメモリ装置の動作方法は、アクセス要請を受ける段階(S100)、アクセス要請されたページに対応するシードを選択する段階(S200)、選択されたシードに擬似ランダムシーケンス発生器630が初期化されるシード初期化の動作を遂行する段階(S300)、ランダムシーケンスデータを生成してランダムシーケンスデータと伝送されたデータとを組み合わせる段階(S400)、そして全てのセグメントが伝送されたか否か(即ち、アクセス要請されたセグメントが全て伝送されたか否か)を判別する段階(S500)を有する。

全てのセグメントが伝送されない場合、動作方法は、シード初期化の動作を遂行するためのS300段階へ移行し、全てのセグメントが伝送されたことが判別されれば、フラッシュメモリ装置の動作方法は終了する。本実施形態において、セグメントの大きさLを定義するための動作は図12で説明した正常的なアクセス要請の以前に行われる。

【0075】

図13の(A)及び(B)は、ランダム化オン/オフ機能の設定に決定されるランダム化領域を説明するための概略図である。

【0076】

セットフィーチャ命令(又は、テスト命令)と共に提供されるデータD0~Dnには、セグメントの大きさを設定するためのパラメータ値のみでなく、ランダム化オン/オフ情報及び/又はランダム化オフ領域情報を示すパラメータ値が包含される。

例えば、図13の(A)に示したように、セットフィーチャ命令(又は、テスト命令)と共に提供されるデータは、ランダム化オン/オフ情報を示すオン/オフフラグとランダム化オフ領域情報を示すオフ領域情報とを包含する。

ランダム化オフ領域情報として、ランダム化オフ開始アドレス(又は、ポインタ)及びランダム化オフ終了アドレス(又は、ポインタ)によって、セグメントの一部領域(図面で斜線をつけた領域であり、以下、ランダム化オフ領域であると称する)が指定される。この場合、ランダム化オフ領域を除外した残りの部分のデータは、ランダム化される。

。

10

20

30

40

50

## 【 0 0 7 7 】

ランダム化オフ領域を指定する方法は、多様に変更することができる。例えば、ランダム化オフ開始アドレス（又は、ポインター）のみが提供される時、ランダム化オフ領域は、ランダム化オフ開始アドレスによって指定されたアクセスポイントでセグメントの最後まで決定される。即ち、図 1 3 の（ B ）に示したように、セグメントのパリティ情報に対応する領域をランダム化オフ領域として定義しようとする場合、ランダム化オフ開始アドレスのみがパラメータ値に包含される。

ランダム化オフ領域は、スペアデータ及び / 又はモニターリングデータを格納する領域を包含することができる。ここで、モニターリングデータは、MLC 読出しレベル制御のためのモニターリングデータパターンを包含する。これは特許文献 1 と特許文献 2（特許文献 1 の対応する米国特許出願の公開公報）に「半導体メモリシステム及びそのアクセス方法」という題目で開示されている。

本実施形態において、3つのフィーチャ命令の代わりに、ランダム化するオンリード / オフリード命令を別に使用することができる。

## 【 0 0 7 8 】

本実施形態において、ランダム化オフ領域の単位は多様に決定することができる。例えば、ランダム化オフ領域の単位は、セグメント内の任意の大きさ、1つ又はそれ以上のセグメント、1つ又はそれ以上のページ、1つ又はそれ以上のメモリブロック、1つ又はそれ以上のプラン、1つ又はそれ以上のチャンネル、又はそれらの組み合わせで構成することができる。

## 【 0 0 7 9 】

本実施形態において、ランダム化オン / オフ機能は、ウェアインデックス（wear index）に基づいて自動的に設定することができる。例えば、ウェアインデックスは、プログラム - 消去サイクル、プログラム時間（又は、プログラムループの回数）、消去時間（又は、消去ループの回数）、読出しレベルシフト（又は、電荷損失）等を包含する。メモリ制御器は、ウェアインデックスに基づいてフラッシュメモリ装置のランダム化オン / オフ機能を自動的に設定する。

図面には示していないが、ランダム化オン / オフ機能の設定は、ランダム化のみではなく、デランダム化にも適用することができる。

## 【 0 0 8 0 】

図 1 4 は本発明の他の一実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

図 1 4 を参照すれば、フラッシュメモリ装置は、メモリセルアレイ 1 0 0 a、制御ロジック 3 0 0 a、ページバッファ回路 4 0 0 a、列選択回路 5 0 0 a、ランダム化及びデランダム化回路 6 0 0 a、及び入出力インターフェイス 7 0 0 a を包含する。図 1 4 に示したメモリセルアレイ 1 0 0 a、ページバッファ回路 4 0 0 a、列選択回路 5 0 0 a、及び入出力インターフェイス 7 0 0 a は、図 1 に示したものと実質的に同様に動作するので、それに対する説明は省略する。

## 【 0 0 8 1 】

制御ロジック 3 0 0 a は、レジスター 3 0 1 とデコーダー 3 0 2 とを有する。

レジスター 3 0 1 は、セットフィーチャ命令と共に入力されるパラメータ値（例えば、ランダム化オフ領域情報及びランダム化オン / オフ情報を包含する）として設定される。

デコーダー 3 0 2 は、レジスター 3 0 1 に格納されたパラメータ値をデコーディングして、ランダム化オフフラグ信号 R F S を生成する。

ランダム化オフフラグ信号 R F S は、アクセス要請（又は、読出し / 書込み要請）の時、現在列オフセット値がレジスター 3 0 1 に格納されたランダム化オフ領域に属するかどうかにしたがって活性化される。

ランダム化オフフラグ信号 R F S の活性化は、ランダム化機能がオフにされることを意味する。デコーダー 3 0 2 は、例えば、カウンター、カウンターの値とランダム化オフ領

10

20

30

40

50

域の開始アドレスを比較するための比較器、等で構成することができる。

【 0 0 8 2 】

ランダム化及びデランダム化回路 6 0 0 a は、入出力インターフェイス 7 0 0 a と列選択回路 5 0 0 a との間に位置し、伝送されるデータ（プログラムデータ又は読み出されたデータ）のランダム化／デランダム化を行う。

ランダム化及びデランダム化回路 6 0 0 a は、ランダム化及びデランダム化ユニット 6 0 1 とマルチプレクサー／デマルチプレクサー 6 0 2 とを包含する。

ランダム化及びデランダム化ユニット 6 0 1 は、図 3 に示したものと実質的に同様に動作するので、それに対する説明は省略する。

【 0 0 8 3 】

マルチプレクサー／デマルチプレクサー 6 0 2 は、ランダム化オフフラッグ信号 R F S に応答して動作し、入出力インターフェイス 7 0 0 a から伝達されるデータとランダム化及びデランダム化ユニット 6 0 1 から出力されるデータの内の 1 つを選択する。

例えば、ランダム化オフフラッグ信号 R F S が活性化される時（即ち、ランダム化機能がオフされる時）、マルチプレクサー／デマルチプレクサー 6 0 2 は、入出力インターフェイス 7 0 0 a から伝達されるデータ（即ち、ランダム化されないデータ）を選択する。

マルチプレクサー／デマルチプレクサー 6 0 2 は、ランダム化オフフラッグ信号 R F S の非活性化に応答して、ランダム化及びデランダム化ユニット 6 0 1 から出力されるデータ（即ち、ランダム化されたデータ）を選択する。

【 0 0 8 4 】

マルチプレクサー／デマルチプレクサー 6 0 2 は、ランダム化オフフラッグ信号 R F S に応答して動作し、列選択回路 5 0 0 a から出力されるデータを入出力インターフェイス 7 0 0 a 及びランダム化及びデランダム化ユニット 6 0 1 の内のいずれか 1 つへ伝達する。

例えば、マルチプレクサー／デマルチプレクサー 6 0 2 は、ランダム化オフフラッグ信号 R F S の活性化に応答して、列選択回路 5 0 0 a から出力されるデータを入出力インターフェイス 7 0 0 a へ伝達する。

マルチプレクサー／デマルチプレクサー 6 0 2 は、ランダム化オフフラッグ信号 R F S の非活性化に応答して、列選択回路 5 0 0 a から出力されるデータをランダム化及びデランダム化ユニット 6 0 1 へ伝達する。

【 0 0 8 5 】

本実施形態において、ランダム化及びデランダム化ユニット 6 0 1 は、図 1 4 において点線で示したように、ランダム化オフフラッグ信号 R F S が提供されるように構成することができる。これはランダムオフ領域の大きさにしたがって、選択的にランダム化及びデランダム化ユニット 6 0 1 が動作するようにするためである。

例えば、ランダム化オン／オフがセグメント単位で行われる場合、ランダム化及びデランダム化ユニット 6 0 1 は、ランダム化オフフラッグ信号 R F S に影響を及ぼさない。

ランダム化オン／オフがページもしくはブロックもしくはプラン単位に行われる場合、ランダム化及びデランダム化ユニット 6 0 1 は、ランダム化オフが適用されるデータが入力される間に動作しないように、ランダム化オフフラッグ信号 R F S の影響を受ける。

以上の説明のように、レジスタ 3 0 1 に設定されたパラメータ値に基づいて、ランダム化／デランダム化機能を活性化又は非活性化させることが可能である。

【 0 0 8 6 】

図 1 5 は、本発明の他の実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

図 1 5 を参照すれば、フラッシュメモリ装置は、メモリセルアレイ 1 0 0 b、制御ロジック 3 0 0 b、ページバッファ回路 4 0 0 b、列選択回路 5 0 0 b、ランダム化及びデランダム化回路 6 0 0 b、及び入出力インターフェイス 7 0 0 b を有する。

図 1 5 に示したメモリセルアレイ 1 0 0 b、制御ロジック 3 0 0 b、ページバッファ回路 4 0 0 b、列選択回路 5 0 0 b、及び入出力インターフェイス 7 0 0 b は、図 1 4 に示

10

20

30

40

50

したものと実質的に同様に動作するので、それに対する説明は省略する。

【0087】

ランダム化及びデランダム化回路600bは、ランダムシーケンスデータ発生ユニット603、ORゲート604、及び第1及び第2マルチプレクサー605、606を有する。

ランダムシーケンスデータ発生ユニット603は、ミキサー630が除去される点を除外すれば、図3に示したものと同様に構成される。例えば、ランダムシーケンスデータ発生ユニット603は、シードテーブル610、シード初期化部620、及び擬似ランダムシーケンス発生器630を有する。

ランダムシーケンスデータ発生ユニット603によって順次的に生成されるランダムシーケンスデータ(例えば、1ビットランダムシーケンスデータ)は、インバータINV1を通じてORゲート604に提供される。

ORゲート604は、ランダム化オフフラッグ信号RFS及び反転されたランダムシーケンスデータに応答して選択信号SELを出力する。

【0088】

第1マルチプレクサー605は、選択信号SELに응答して動作し、入出力インターフェイス700bから出力されるデータData\_In及びインバータINV2を通じて反転されたデータData\_In\_bの内の1つを選択する。

例えば、ランダム化オフフラッグ信号RFSがハイに活性化される場合、ランダム化機能はオフされる。このような場合、選択信号SELは、ランダムシーケンスデータの値に関わらず、論理ハイレベルを有する。

【0089】

選択信号SELが論理ハイレベルを有すれば、第1マルチプレクサー605は、反転されたデータData\_In\_bではなく、データData\_Inを選択する。即ち、データランダム化機能がバイパスされる。

ランダム化オフフラッグ信号RFSがローに非活性化される場合、ランダム化機能はオンされる。このような場合、選択信号SELは、論理ハイレベル又は論理ローレベルに固定されるのではなく、ランダムシーケンスデータの値にしたがって論理ハイレベルと論理ローレベルとを有する。

選択信号SELがランダムシーケンスデータの値にしたがって論理ハイレベルと論理ローレベルに設定されることにより、第1マルチプレクサー605はランダムシーケンスデータの値にしたがってデータData\_Inと反転されたデータData\_In\_bを選択する。即ち、データランダム化が行われる。

【0090】

第2マルチプレクサー606は、選択信号SELに응答して動作し、列選択回路500cから出力されるデータData\_Out及びインバータINV3を通じて反転されたデータData\_Out\_bの内の1つを選択する。

選択信号SELが論理ハイレベルを有すれば、第2マルチプレクサー606は、データData\_Outを選択する。即ち、データデランダム化がバイパスされる。

ランダム化オフフラッグ信号RFSがローに非活性化される場合、デランダム化機能はオンされる。このような場合、選択信号SELは、ランダムシーケンスデータの値にしたがって論理ハイレベルと論理ローレベルとを有する。

選択信号SELがランダムシーケンスデータの値にしたがって論理ハイレベルと論理ローレベルとに設定されることにより、第2マルチプレクサー606は、ランダムシーケンスデータの値にしたがってデータData\_Outと反転されたデータData\_Out\_bを選択する。即ち、データデランダム化が行われる。

【0091】

図16は、本発明の他の実施形態によるフラッシュメモリ装置を説明するためのブロック図である。

図16を参照すれば、フラッシュメモリ装置は、メモリセルアレイ100c、ページバ

10

20

30

40

50

ッファ回路 400c、列選択回路 500c、ランダム化及びデランダム化回路 600c、及び入出力インターフェイス 700c を有する。

図 16 に示したメモリセルアレイ 100c、ページバッファ回路 400c、列選択回路 500c、及び入出力インターフェイス 700c は、図 17 に示したものと実質的に同様に動作するので、それに対する説明は省略する。

#### 【0092】

図 16 に示したランダム化及びデランダム化回路 600c は、第 1 及び第 2 マルチプレクサー 608、609 の選択信号 SEL として、ランダムシーケンスデータ発生ユニット 607 の出力、即ち、ランダムシーケンスデータが使用される点を除外すれば、図 15 に示したものと実質的に同一であり、それに対する説明は省略する。

10

#### 【0093】

図 17 は図 14 及び図 15 で説明したランダム化オン/オフ機能を有するフラッシュメモリ装置の動作を説明するためのフローチャートである。

説明の便宜上、ランダム化オフ領域がセグメントの特定領域（例えば、図 13 の (B) の ECC / パリティデータに対応する領域）として設定されると仮定する。

#### 【0094】

先に説明したように、フラッシュメモリ装置のセグメントの大きさ SEG\_L は、セットアップコマンド（又は、テスト命令）を利用して設定される。

制御ロジック 300a もしくは 300b のレジスタ（例えば、301）は、セグメントの大きさ SEG\_L を示すパラメータ値と、さらにランダム化オン/オフ情報及びランダム化オフ領域を指定するための領域情報に設定される。これは S200 段階で行われる。この動作（セグメントの大きさの設定及び/又はランダム化オン/オフの設定）は、パワーアップ以後又は必要により行われる。

20

#### 【0095】

フラッシュメモリ装置に対するアクセス（読み出し/書き込み動作）は、S210 段階で要請される。

S220 段階において、アクセス要請の時に入力された現在のオフセットアドレスについて、レジスタ 301 に設定されたランダム化オフ領域に属するか否かが判別される。これは制御ロジック 300a もしくは 300b によって行われる。

仮に、現在のオフセットアドレスがレジスタ 301 に設定されたランダム化オフ領域に属しないと判別されれば、ランダム化/デランダム化無しでデータが伝送される。

30

以後、手続は S250 へ進行する。仮に現在のオフセットアドレスがレジスタ 301 に設定されたランダム化オフ領域に属することと判別されれば、伝送されるデータに対するランダム化/デランダム化が行われる。これは図 14 及び図 15 で説明したものと実質的に同様に行われる。以後、フラッシュメモリ装置の動作は、S250 段階へ移行する。

#### 【0096】

S250 段階において、ランダム化オフ領域の単位に対応するデータ（例えば、512 - バイト）について、全て伝送されたか否かが判別される。例えば、1つのセグメントに対応するデータ（例えば、512 - バイト）が、全て伝送されたか否かが判別される。

仮に伝送されていないければ、フラッシュメモリ装置の動作は、S220 段階へ移行する。

40

仮に伝送されていなければ、フラッシュメモリ装置の動作は、S260 段階へ移行する。S260 段階において、アクセス要請されたデータが全て伝送されたか否かが判別される。仮に伝送されていないければ、フラッシュメモリ装置の動作は、S220 段階へ移行する。もし伝送されていないければ、フラッシュメモリ装置の動作は、終了する。

#### 【0097】

図 18 は、オルビットラインメモリ構造又はオッドイーブンメモリ構造のために、図 1 に示したメモリセルアレイを複数のメモリブロックで構成する例を説明するための例示図であり、メモリセルアレイ 100 の例示的な構造を示す。

一例として、メモリセルアレイ 100 が、1024 個のメモリブロックに分けた NAND フラッシュメモリ装置を示している。各メモリブロックに格納されたデータは、同時に

50

消去されるか、或いはメモリサブブロック単位で消去することができる。

本実施形態において、メモリブロック又はメモリサブブロックは、同時に消去される格納素子の最小単位である。各メモリブロックには、例えば、ビットライン（例えば、1KBのビットライン）に各々対応する複数の列がある。オールビットライン（all bit line: ABL）構造と称される本実施形態において、メモリブロックの全てビットラインは、読出し及びプログラム動作の間に同時に選択することができる。行選択回路200によって選択されたワードラインに属し、全てビットラインと連結された格納素子は、同時にプログラムすることができる。

#### 【0098】

本実施形態において、同一の列に属する複数の格納素子は、NANDストリングを構成するように直列に連結される。NANDストリングの一端子は、ストリング選択ラインSSLによって制御される選択トランジスタを通じて、対応するビットラインに連結され、他の端子は、接地選択ラインGSLによって制御される選択トランジスタを通じて、共通ソースラインCSLに連結される。

10

#### 【0099】

オッドイーブン構造（odd-even architecture）と称される他の実施形態において、ビットラインは、イーブンビットラインBLEとオッドビットラインBLOとに区分される。オッド/イーブンビットライン構造において、選択されたワードラインに属し、オッドビットラインと連結された格納素子が、第1時間にプログラムされ、選択されたワードラインに属し、イーブンビットラインと連結された格納素子は、第2

20

#### 【0100】

図19は、本発明の他の実施形態によるメモリセルアレイを説明するための図である。本実施形態によるメモリセルアレイは、垂直構造を有するように構成される。垂直構造は、基板に対してストリングが垂直に形成された構造を意味する。

#### 【0101】

図19を参照すれば、メモリセルアレイ100aは、複数のメモリブロックBLK1～BLKzを含む。メモリブロックBLK1～BLKzの各々は、3次元構造（又は垂直構造）を有する。

例えば、メモリブロックBLK1～BLKzの各々は、第1乃至第3方向にしたがって伸張された構造物を含み、メモリブロックBLK1～BLKzの各々は、第2方向に沿って伸張された複数のストリング（又は、NANDストリング）を含む。

30

他の例として、第1又は第3方向に沿って複数のNANDストリングが提供され得る。例示的に、メモリブロックBLK1～BLKzは、図1に示した行選択回路200によって選択される。

#### 【0102】

図20は、本発明の一実施形態による図19に示したメモリブロックBLK1～BLKzの内の1つの一部を示す斜視図である。

図21は、図20に示したメモリブロックをI-I'線に沿って切断した断面を示す図である。

40

図20及び図21を参照すれば、メモリブロックBLKaは、第1乃至第3方向にしたがって伸張された構造物を含む。

#### 【0103】

先ず、基板111が提供されるが、基板111としては、第1タイプを有するウェル（well）を用いることができ、例えば、ホウ素（B、Boron）のような5族元素が注入されて形成されたpウェルを用いることができる。

また、基板111は、例えば、nウェル内に提供されるポケットpウェルを用いることもできる。以下の説明においては、基板111がpウェルであると仮定するが、基板111は、pウェルに限定されるものではない。

#### 【0104】

50

基板 1 1 1 の上に、第 1 方向に沿って伸張された複数のドーピング領域 3 1 1 ~ 3 1 4 が提供される。例えば、複数のドーピング領域 3 1 1 ~ 3 1 4 は、基板 1 1 1 と互いに異なる第 2 タイプを有する。図示の便宜上、図 2 0 には 4 つのドーピング領域 3 1 1 ~ 3 1 4 のみが図示されている。しかし、第 3 方向に沿ってさらに多くのドーピング領域を提供することができる。複数のドーピング領域 3 1 1 ~ 3 1 4 は、n - タイプを有する。

以下においては、ドーピング領域 3 1 1 ~ 3 1 4 が n - タイプを有すると仮定するが、ドーピング領域 3 1 1 ~ 3 1 4 は、n - タイプに限定されるものではない。

#### 【 0 1 0 5 】

ドーピング領域 3 1 1、3 1 2 の間の基板 1 1 1 の上に、第 1 方向に沿って伸張される複数の絶縁物質 1 1 2 が、第 2 方向に沿って順次的に提供される。例えば、複数の絶縁物質 1 1 2 は、所定距離程度に離隔されるように第 2 方向に沿って提供される。絶縁物質 1 1 2 は、例えばシリコン酸化物 ( Silicon Oxide ) のような絶縁物質を包含する。

10

#### 【 0 1 0 6 】

ドーピング領域 3 1 1、3 1 2 の間の基板 1 1 1 の上に、第 1 方向に沿って順次的に配置され、第 2 方向に沿って絶縁物質 1 1 2 を貫通する複数のピラー 1 1 3 が提供される。複数のピラー 1 1 3 は、絶縁物質 1 1 2 を貫通して基板 1 1 1 と連結される。また、各ピラー 1 1 3 は、複数の物質で構成される。

例えば、各ピラー 1 1 3 の表面層 1 1 4 は、第 1 タイプを有するシリコン物質を包含する。他の例として、各ピラー 1 1 3 の表面層 1 1 4 は、基板 1 1 1 と同一なタイプを有するシリコン物質を包含する。

20

以下の説明においては、各ピラー 1 1 3 の表面層 1 1 4 が p - タイプシリコンを含むと仮定する。しかし、各ピラー 1 1 3 の表面層 1 1 4 は、p - タイプシリコンを含むことに限定されるものではない。

各ピラー 1 1 3 の内部層 1 1 5 は絶縁物質で構成される。例えば、各ピラー 1 1 3 の内部層 1 1 5 はシリコン酸化物 ( Silicon Oxide ) のような絶縁物質を包含する。又は、各ピラー 1 1 3 の内部層 1 1 5 はエアギャップ ( air gap ) を包含することができる。

#### 【 0 1 0 7 】

隣接するドーピング領域の間に配置された各構造物を参照すれば、絶縁物質 1 1 2、ピラー 1 1 3、及び基板 1 1 1 の露出された表面に沿って、絶縁膜 1 1 6 が提供される。た、第 2 方向に沿って提供される最後の絶縁物質 1 1 2 の第 2 方向側の露出面に提供される絶縁膜 1 1 6 は、除去することができる。

30

絶縁膜 1 1 6 は 1 つ又はそれより多い物質層で構成できる。絶縁膜 1 1 6 の露出された表面の上に、第 1 導電物質 2 1 1 ~ 2 9 1 が提供される。例えば、第 1 方向に沿って伸張される第 1 導電物質 2 1 1 が、基板 1 1 1 に隣接する絶縁物質 1 1 2 及び基板 1 1 1 の間に提供される。第 1 導電物質 2 1 1 ~ 2 9 1 は、例えば、金属物質であり、他の例としては、ポリシリコンなどの導電物質が挙げられる。

#### 【 0 1 0 8 】

ドーピング領域 3 1 2、3 1 3 の間に配置された構造物は、ドーピング領域 3 1 1、3 1 2 の間に配置された構造物と同様に構成される。同様に、ドーピング領域 3 1 3、3 1 4 の間に配置された構造物は、ドーピング領域 3 1 1、3 1 2 の間に配置された構造物と同様に構成される。

40

#### 【 0 1 0 9 】

複数のピラー 1 1 3 の上にプラグ 3 2 0 が各々提供される。例えば、プラグ 3 2 0 は、第 2 タイプでドーピングされたシリコン物質を用いることができる。また、プラグ 3 2 0 は、n - タイプでドーピングされたシリコン物質であってもよい。

以下において、プラグ 3 2 0 は、n - タイプシリコンを含むと仮定する。しかし、プラグ 3 2 0 は、n - タイプシリコンを含むことに限定されるものではない。

例示的に、各プラグ 3 2 0 の幅は、対応するピラー 1 1 3 の幅より大きい。例えば、各

50

プラグ 3 2 0 は、対応するピラー 1 1 3 の上部面にパッド形態で提供される。

第 3 方向に伸張された第 2 導電物質 3 3 1 ~ 3 3 3 は、プラグ 3 2 0 と電氣的に連結されるように提供される。

第 2 導電物質 3 3 1 ~ 3 3 3 は、第 1 方向に沿って順次的に配置され、例えば、金属物質であり、他の例としては、ポリシリコン等の導電物質が挙げられる。

#### 【 0 1 1 0 】

図 2 1 において、隣接するドーピング領域（例えば、3 1 1、3 1 2）の間に配置された構造物は、ビットラインとして作用する導電物質（例えば、3 3 1、3 3 2、3 3 3）に各々電氣的に連結される複数のピラー 1 1 3 を含む。

ビットラインとして作用する導電物質（例えば、3 3 1、3 3 2、3 3 3）に各々電氣的に連結されるピラー 1 1 3 は、1 つのプランを構成する。これは 1 つのメモリブロックが複数のプランで構成されたことを意味する。

図 2 0 及び図 2 1 において、導電物質 2 1 1 ~ 2 1 3 は、接地選択ラインとして作用し、導電物質 2 9 1 ~ 2 9 3 は、ストリング選択ラインとして作用し、ドーピング領域 3 1 1 ~ 3 1 4 は、共通ソースラインとして作用し、導電物質 2 2 1 ~ 2 8 1、2 2 2 ~ 2 8 2、2 2 3 ~ 2 8 3 は、ワードラインとして作用する。

#### 【 0 1 1 1 】

図 2 2 は、本発明の一実施形態による図 2 1 に示したメモリブロックの等価回路を示す回路図である。

図 2 2 を参照すれば、複数のビットライン及び共通ソースライン C S L の間に、複数の N A N D ストリングが提供される。例えば、ビットライン B L 1 及び共通ソースライン C S L の間に、N A N D ストリング N S 1 1、N S 2 1、N S 3 1 が提供され、ビットライン B L 2 及び共通ソースライン C S L の間に、N A N D ストリング N S 1 2、N S 2 2、N S 3 2 が提供され、ビットライン B L 3 及び共通ソースライン C S L の間に、N A N D ストリング N S 1 3、N S 2 3、N S 3 3 が提供される。

ビットライン B L 1 ~ B L 3 は、第 3 方向に伸張された第 2 導電物質 3 3 1 ~ 3 3 3（図 2 0 参照）に各々対応する。

#### 【 0 1 1 2 】

各 N A N D ストリングのストリング選択トランジスタ S S T は、対応するビットラインと連結される。各 N A N D ストリングの接地選択トランジスタ G S T は、共通ソースライン C S L と連結される。

各 N A N D ストリングのストリング選択トランジスタ S S T 及び接地選択トランジスタ G S T の間に、複数のメモリセル M C が提供される。

#### 【 0 1 1 3 】

1 つのビットラインに共通に連結された N A N D ストリングは、1 つの列を形成する。

例えば、ビットライン B L 1 に連結された N A N D ストリング N S 1 1 ~ N S 3 1 は、第 1 列を形成し、ビットライン B L 2 に連結された N A N D ストリング N S 1 2 ~ N S 3 2 は、第 2 列を形成し、ビットライン B L 3 に連結された N A N D ストリング N S 1 3 ~ N S 3 3 は、第 3 列を形成する。

1 つのストリング選択ライン S S L に連結される N A N D ストリングは、1 つの行を形成する。

例えば、ストリング選択ライン S S L 1 に連結された N A N D ストリング N S 1 1 ~ N S 1 3 は、第 1 行を形成し、ストリング選択ライン S S L 2 に連結された N A N D ストリング N S 2 1 ~ N S 2 3 は、第 2 行を形成し、ストリング選択ライン S S L 3 に連結された N A N D ストリング N S 3 1 ~ N S 3 3 は、第 3 行を形成する。

#### 【 0 1 1 4 】

図 2 2 に示したように、複数の行と列に配列された N A N D ストリングは、接地選択ライン G S L を共有する。各行（又は、各プラン）に属するメモリセルは、他の層に各々配列されたワードライン W L 1 ~ W L 7 を共有する。

例えば、プラン P L 1 に属し、接地選択トランジスタ G S T に隣接するメモリセル M

10

20

30

40

50

C 1 は、ワードライン W L 1 を共有し、プラン P L 1 に属し、ストリング選択トランジスタ S S T に隣接するメモリセル M C 7 は、ワードライン W L 7 を共有する。

【 0 1 1 5 】

同一の行もしくはプランに属する N A N D ストリングは、ストリング選択ラインを共有する。

例えば、プラン P L 1 に属する N A N D ストリング N S 1 1、N S 1 2、N S 1 3 は、ストリング選択ライン S S L 1 を共有し、プラン P L 2 に属する N A N D ストリング N S 2 1、N S 2 2、N S 2 3 は、ストリング選択ライン S S L 2 を共有し、プラン P L 3 に属する N A N D ストリング N S 3 1、N S 3 2、N S 3 3 は、ストリング選択ライン S S L 3 を共有する。

10

ストリング選択ライン S S L 1、S S L 2、S S L 3 は、独立的に制御され、その結果、任意のプランもしくは行（例えば、P L 1）に属する N A N D ストリング N S 1 1、N S 1 2、N S 1 3 が、ビットライン B L 1、B L 2、B L 3 と電氣的に各々連結される。

残りのプラン（例えば、P L 2、P L 3）に属する N A N D ストリング N S 2 1、N S 2 2、N S 2 3、N S 3 1、N S 3 2、N S 3 3 は、ビットライン B L 1、B L 2、B L 3 と電氣的に各々分離される。

【 0 1 1 6 】

本実施形態において、プログラム及び読出し動作の時、ストリング選択ライン S S L 1 ~ S S L 3 の内のいずれか 1 つが行デコーダ回路 2 0 0（図 1 参照）によって選択される。即ち、プログラム及び読出し動作は N A N D ストリング N S 1 1 ~ N S 1 3、N S 2 1 ~ N S 2 3、N S 3 1 ~ N S 3 3 の行単位（又は、プラン単位）に遂行される。

20

1 つのページは、例えば、1 つのストリング選択ラインによって選択され、1 つのプランに属するメモリセル（1 つのワードラインに連結される）で構成できる。しかし、ページは、ここに開示されたことに限定されるものではない。

【 0 1 1 7 】

図 2 3 は、本発明の一実施形態によるメモリシステムを説明するためのブロック図である。

図 2 3 を参照すれば、メモリシステム 3 0 0 0 は、少なくとも 1 つのフラッシュメモリ 1 0 0 0 と制御器 2 0 0 0 とを包含する。

フラッシュメモリ 1 0 0 0 は、制御器 2 0 0 0 の制御の下に動作し、格納媒体として使用される。

30

【 0 1 1 8 】

制御器 2 0 0 0 は、フラッシュメモリ 1 0 0 0 を制御するように構成され、フラッシュメモリ 1 0 0 0 は、ランダム化及びデランダム化回路 1 1 0 0 を包含する。

図 2 3 に示したフラッシュメモリ 1 0 0 0 は、図 1、図 1 4、又は図 1 5 に示したものと実質的に同様に構成され、それに対する説明は省略する。

ランダム化及びデランダム化回路 1 1 0 0 は、先に説明したように、アクセス要請されたセグメントに各々同一なシードを適用するように構成される。

【 0 1 1 9 】

制御器 2 0 0 0 は、第 1 インターフェイス 2 1 0 0、第 2 インターフェイス 2 2 0 0、処理ユニット 2 3 0 0、バッファメモリ 2 4 0 0、及び E C C ブロック 2 5 0 0 を包含する。

40

第 1 インターフェイス 2 1 0 0 は、外部（例えば、ホスト）とインターフェイスするように構成され、第 2 インターフェイス 2 2 0 0 は、フラッシュメモリ 1 0 0 0 とインターフェイスするように構成される。

処理ユニット 2 3 0 0 は、制御器 2 0 0 0 の全般的な動作を制御するように構成される。

バッファメモリ 2 4 0 0 は、フラッシュメモリ 1 0 0 0 に格納されるデータ又はフラッシュメモリ 1 0 0 0 から読み出されたデータを格納するように構成される。

E C C ブロック 2 5 0 0 は、バッファメモリ 2 4 0 0 から出力されるデータに基づいて

50

ECCデータを生成し、ECCデータに基づいてフラッシュメモリ1000から読み出されたデータに対するエラー検出及び訂正動作を遂行する。

ECCデータは、フラッシュメモリ1000に格納されるデータと同一のページ又はフラッシュメモリ1000に格納されるデータと、異なる領域に格納することができる。

#### 【0120】

制御器2000は、図6で説明したように、パワーアップ以後セットフィーチャ命令を利用して、セグメントの大きさSEG\_Lを設定する。

セグメントの大きさSEG\_Lの設定と、さらにランダム化オン/オフ機能及びランダム化オフ領域の設定が、制御器2000によって行われる。

又、フラッシュメモリ装置のメモリセルアレイ100に、不揮発性トリム情報としてセグメントの大きさSEG\_Lの値を格納することができる。このような場合、パワーアップの時、セグメントの大きさSEG\_Lの値は、フラッシュメモリ装置の制御ロジック300の制御の下に、ランダム化及びデランダム化回路600へロードされる。

他の例として、セグメントの大きさSEG\_Lの値は、ウエハーレベル又はパッケージレベルでヒューズオプションを通じて設定することができる。

#### 【0121】

例示的な実施形態において、第1インターフェイス2100は、コンピューターバス標準、ストレージバス標準、iFCP Peripheralバス標準、等の中で1つ又はそれより多いことの組合で構成できる。

コンピューターバス標準 (computer bus standards) は、S-100 bus、Mbus、Smbus、Q-Bus、ISA、Zorro II、Zorro III、CAMAC、FASTBUS、LPC、EISA、VME、VXI、NuBus、TURBOchannel、MCA、Sbus、VLB、PCI、PXI、HP GSC bus、CoreConnect、InfiniBand、UPA、PCI-X、AGP、PCIe、Intel QuickPath Interconnect、Hyper Transport、等を含む。

#### 【0122】

ストレージバス標準 (Storage bus standards) は、ST-506、ESDI、SMD、Parallel ATA、DMA、SSA、HIPPI、USB MSC、FireWire (1394)、Serial ATA、eSATA、SCSI、Parallel SCSI、Serial Attached SCSI、Fibre Channel、iSCSI、SAS、RapidIO、FCIP、等を含む。

iFCP Peripheralバス標準 (iFCP Peripheral bus standards) は、Apple Desktop Bus、HIL、MIDI、Multibus、RS-232、DMX512-A、EIA/RS-422、IEEE-1284、UNI/O、1-Wire、I2C、SPI、EIA/RS-485、USB、Camera Link、External PCIe、Light Peak、Multidrop Bus、等を含む。

#### 【0123】

図24は、本発明の他の実施形態によるメモリシステムを説明するためのブロック図である。

図24を参照すれば、メモリシステム3000は、少なくとも1つのフラッシュメモリ1000、制御器2000、及びボンディングオプション3010を包含する。

図24に示したフラッシュメモリ1000と制御器2000とは、以下の相異点を除けば、図24に示したものと実質的に同一であり、それに対する説明は省略する。

#### 【0124】

ボンディングオプション3010は、不揮発性メモリ装置1000にセグメントの大きさSEG\_Lの値を提供するために使用され、例えば、特定セグメントの大きさSEG\_Lの値 (例えば、バイナリコード値) を設定するように構成され、パッドに連結されたヒューズを包含する。

10

20

30

40

50

特定セグメントの大きさSEG\_Lにの設定は、パッケージレベルで行われる。このような場合、セグメントの大きさSEG\_Lを設定するためにパワーアップ以後、制御器2000からフラッシュメモリ1000に、セットフィーチャ命令を伝送する動作は行わない。

**【0125】**

図25は本発明の他の実施形態によるメモリシステムを説明するためのブロック図である。

図25を参照すれば、メモリシステム3000aは、少なくとも1つのフラッシュメモリ1000aと制御器2000aとを包含する。

フラッシュメモリ1000aは、制御器2000aの制御の下に動作し、格納媒体として使用される。

図25に示したフラッシュメモリ1000aは、先に言及したランダム化及びデランダム化回路を包含しない。

制御器2000aは、フラッシュメモリ1000aを制御するように構成され、フラッシュメモリ1000aに格納されるデータをランダム化するように、そしてランダム化されたデータにECCデータを付加するように構成される。

制御器2000aは、また、フラッシュメモリ1000aから読み出されたランダム化されたデータのエラーに対する検出及び訂正動作を遂行し、ランダム化されたデータをデランダム化するように構成される。

**【0126】**

制御器2000aは、第1インターフェイス2100a、第2インターフェイス2200a、処理ユニット2300a、バッファメモリ2400a、ECCブロック2500a、及びランダム化/デランダム化ブロック2600を包含する。

図25に示した構成要素2100a、2200a、2300a、2400a、2500aは、以下の相異点を除けば、図23に示したものと実質的に同一であり、それに対する説明は省略する。

**【0127】**

ランダム化及びデランダム化ブロック2600は、バッファメモリ2400aから出力されるデータをランダム化するように、そしてフラッシュメモリ1000aから読み出されたデータ(即ち、ランダム化されたデータ)をデランダム化するように構成される。

ランダム化及びデランダム化ブロック2600は、図1乃至図17で説明した方式にしたがって、順次データ及びランダムデータに対するランダム化及びデランダム化動作を遂行するので、それに対する説明は省略する。

ECCブロック2500aは、ランダム化及びデランダム化ブロック2600から出力されるランダム化されたデータに基づいて、ECCデータを生成する。

ECCブロック2500aは、また、ECCデータに基づいてフラッシュメモリ1000aから読み出されたデータ、即ち、ランダム化されたデータに対するエラー検出及び訂正動作を遂行する。

ECCデータは、フラッシュメモリ1000aに格納されるデータと同一のページに格納されるか、又はフラッシュメモリ1000aに格納されるデータと異なる領域に格納することができる。

**【0128】**

図25に示したメモリシステムの場合、書込み動作は、フラッシュメモリ1000aに格納されるデータをランダム化させ、ランダム化されたデータに基づいてECCデータを生成し、フラッシュメモリ1000aにECCデータとランダム化されたデータを格納することを包含するか、又は、格納されるデータとECCデータとを全てランダム化して格納することを包含する。

読出し動作は、ECCデータに基づいて読み出されたデータ(即ち、ランダム化されたデータ)に対するエラー検出及び訂正動作を遂行し、読み出されたデータをランダム化させることを包含する。

10

20

30

40

50

## 【 0 1 2 9 】

図 2 6 は、本発明の一実施形態による半導体ドライブを説明するためのブロック図である。

図 2 6 を参照すれば、半導体ドライブ 4 0 0 0 ( S S D ) は、格納媒体 4 1 0 0 と制御器 4 2 0 0 とを包含する。

格納媒体 4 1 0 0 は、複数のチャンネル C H 0 - C H n - 1 を通じて、制御器 4 2 0 0 と連結される。チャンネル C H 0 - C H n - 1 の各々には、複数の不揮発性メモリ N V M が共通に連結され、各不揮発性メモリは、図 1、図 1 4、又は図 1 5 で説明したフラッシュメモリで構成される。即ち、各不揮発性メモリ N V M は、ランダム化及びデランダム化回路 4 1 0 1 を包含する。このような場合、制御器 4 2 0 0 は、図 2 3 に示したものと実質的に同様に構成される。即ち、データランダム化及びデランダム化は、各不揮発性メモリ内で行われ、エラー検出及び訂正は制御器 4 2 0 0 内で行われる。

10

## 【 0 1 3 0 】

1 つのチャンネル ( 例えば、 C H 0 ) に連結された不揮発性メモリ装置は、単一ビットデータ ( 例えば、メタデータ、パリティデータ、又はそのようなこと ) を格納するのに使用され、残りのチャンネル ( 例えば、 C H 1 ~ C H n - 1 ) の各々に連結された不揮発性メモリ装置は、マルチ - ビットデータを格納するのに使用することができる。

このような場合、制御器 4 2 0 0 は、セツフィーチャ命令を利用してチャンネル C H 0 の不揮発性メモリ装置のランダム化機能をオフさせ得る。同様に、制御器 4 2 0 0 は、セツフィーチャ命令を利用して残りチャンネル C H 1 ~ C H n - 1 の不揮発性メモリ装置に対するランダム化オフ領域を設定することができる。

20

## 【 0 1 3 1 】

図 2 7 は本発明の他の実施形態による半導体ドライブを説明するためのブロック図である。

図 1 7 を参照すれば、半導体ドライブ 4 0 0 0 a ( S S D ) は、格納媒体 4 1 0 0 a と制御器 4 2 0 0 a とを包含する。

格納媒体 4 1 0 0 a は、複数のチャンネル C H 0 - C H n - 1 を通じて制御器 4 2 0 0 a と連結される。チャンネル C H 0 - C H n - 1 の各々には、複数の不揮発性メモリ N V M が共通に連結される。

各不揮発性メモリ N V M は、ランダム化及びデランダム化回路を包含しない。このような場合、各不揮発性メモリ N V M は、図 2 5 に示したものと実質的に同様に構成される。

30

制御器 4 2 0 0 a は、ランダム化及びデランダム化回路 4 1 0 2 を包含する。このような場合、制御器 4 2 0 0 a は、図 2 5 に示したものと実質的に同様に構成される。即ち、データランダム化及びデランダム化、エラー検出及び訂正は、制御器 4 2 0 0 a 内で行われる。

## 【 0 1 3 2 】

図 2 8 は、図 2 6 又は図 2 7 に示した半導体ドライブを利用するストレージを説明するためのブロック図であり、図 2 9 は、図 2 6 又は図 2 7 に示した半導体ドライブを利用するストレージサーバーを説明するためのブロック図である。

本実施形態による半導体ドライブ 4 0 0 0 は、ストレージの構成に使用することができる。

40

図 2 8 に示したように、ストレージは、図 2 6 又は図 2 7 で説明したものと実質的に同様に構成される複数の半導体ドライブ 4 0 0 0 を包含する。

本実施形態による半導体ドライブ 4 0 0 0 は、ストレージサーバーの構成に使用することができる。

図 2 9 に示したように、ストレージサーバーは、図 2 6 又は図 2 7 で説明したものと実質的に同様に構成される複数の半導体ドライブ 4 0 0 0、及びストレージサーバーの全般的な動作を制御するためのサーバー 4 0 0 0 A とを包含する。

また、半導体ドライブ 4 0 0 0 に格納されたデータに対する欠陥を治癒するために、適用されるパリティ方式によるパリティ管理のための R A I D 制御器 4 0 0 0 B をスト

50

レージサーバーに提供することができる。

【0133】

図30乃至図32は本発明の一実施形態によるシステムを説明するための概略図である。

本実施形態によるメモリ制御器及びフラッシュメモリ装置で構成される半導体ドライブがストレージに適用される場合、図30に示したように、システム6000は、有線及び/又は無線でホストと通信するストレージ6100を包含する。

本実施形態によるデータ格納装置を含む半導体ドライブが、ストレージサーバーに適用される場合、図31に示したように、システム7000は、有線及び/又は無線でホストと通信するストレージサーバー7100、7200を包含する。

また、図32に示したように、本実施形態によるデータ格納装置を含む半導体ドライブは、メールサーバー8100にも適用することができる。

メールサーバー8100は、POP及びSMTP方式で連結されたメールデーモンを通じて使用者メールプログラムと通信し、インターネット網を通じて通信する。

【0134】

図33乃至図37は本発明の一実施形態による不揮発性メモリ装置が適用される他のシステムを説明するための概略図である。

図33は、本発明の一実施形態によるフラッシュメモリ装置が使用される携帯電話システム (cellular phone system) を説明するためのブロック図である。

【0135】

図33を参照すれば、携帯電話システムは、音を圧縮するか、或いは圧縮された音を解く (compression or decompression) ADPCMコーデック回路9202、スピーカ (speaker) 9203、マイクロフォン (microphone) 9204、デジタルデータを時分割マルチプレクシングするTDMA回路9206、無線信号のキャリア周波数 (carrier frequency) をセッティングするPLL回路9210、無線信号を伝達するか、或いは受信するためのRF回路9211等を包含できる。

【0136】

また、携帯電話システムは、様々な種類のメモリ装置を包含でき、例えば、不揮発性メモリ装置9207、ROM9208、SRAM9209を包含できる。

携帯電話システムの不揮発性メモリ装置9207として、例えば、図1で説明したフラッシュメモリ装置が使用される。即ち、不揮発性メモリ装置9207は、アクセス要請されたセグメントに各々同一なシードを適用するように構成される。

ROM9208は、プログラムを格納でき、SRAM9209は、システムコントロールマイクロコンピュータ9212のための作業領域として役割を果たすか、或いはデータを一時的に格納する。

ここで、システムコントロールマイクロコンピュータ9212は、プロセッサとして、不揮発性メモリ装置9207の書込み動作及び読出し動作を制御できる。

【0137】

図34は、本発明の一実施形態によるフラッシュメモリ装置が使用されるメモリカード (memory card) の例示図である。

メモリカードは、例えば、MMCカード、SDカード、マルチユーズ (multiuse) カード、マイクロSDカード、メモリスティック、コンパクトSDカード、IDカード、PCMCIAカード、SSDカード、チップカード (chip card)、スマートカード (smart card)、USBカード、MCP - タイプ埋め込み型カードストレージ、等が挙げられる。

MCP - タイプ埋め込み型カードストレージは、eMMC (embedded MMC)、Esd (embedded SD)、eSSD (embedded SSD)、PPN (Perfect Page NAND)、等を包含する。

10

20

30

40

50

## 【0138】

図34を参照すれば、メモリカードは、外部とのインターフェイスを遂行するインターフェイス部9221、バッファメモリを有し、メモリカードの動作を制御するコントローラ9222、本実施形態による不揮発性メモリ装置9207を少なくとも1つ包含できる。

不揮発性メモリ装置9207は、アクセス要請されたセグメントに各々同一なシードを適用するように構成される。

コントローラ9222は、プロセッサとして、不揮発性メモリ装置9207の書込み動作及び読出し動作を制御できる。具体的に、制御器9222は、データバス(DATA)とアドレスバス(ADDRESS)とを通じて不揮発性メモリ装置9207、インターフェイス部9221とカップリングされている。

10

## 【0139】

図35は本発明の一実施形態によるフラッシュメモリ装置が使用されるデジタルスチールカメラ(digital still camera)の例示図である。図35を参照すれば、デジタルスチールカメラはボディ9301、スロット9302、レンズ9303、ディスプレイ部9308、シャッターボタン9312、ストロボ(strobe)9318等を含む。特に、スロット9302には、メモリカード9331が挿入することができ、メモリカード9331は、アクセス要請されたセグメントに各々同一のシードを適用するように構成された本実施形態による不揮発性メモリ装置9207を少なくとも1つ包含できる。

20

メモリカード9331が接触形(contact type)である場合、メモリカード9331がスロット9302へ挿入される時、メモリカード9331と回路基板の上の特定電気回路が電氣的に接触される。

メモリカード9331が非接触形(non-contact type)である場合、無線信号を通じてメモリカード9331がアクセスされる。

## 【0140】

図36は図35のメモリカードが使用される多様なシステムを説明するための例示図である。

図36を参照すれば、メモリカード2331は(a)ビデオカメラ、(b)テレビジョン、(c)オーディオ装置、(d)ゲーム装置、(e)電子音楽装置、(f)携帯電話、(g)コンピューター、(h)PDA(Personal Digital Assistant)、(i)ボイスレコーダー(voice recorder)、(j)PCカード等に使用することができる。

30

## 【0141】

図37は、本発明の一実施形態によるフラッシュメモリ装置が使用されるイメージセンサー(image sensor)システムを説明するための例示図である。

図37を参照すれば、イメージセンサーシステムはイメージセンサー9332、入出力装置9336、RAM9348、CPU9344、本実施形態によるフラッシュメモリ装置9354等を包含できる。

フラッシュメモリ装置9354はアクセス要請されたセグメントに各々同一なシードを適用するように構成される。各構成要素、即ち、イメージセンサー9332、入出力装置9336、RAM9348、CPU9344、フラッシュメモリ装置9354は、バス9352を通じて互に通信する。

40

イメージセンサー9332は、フォトゲート、フォトダイオード等のようなフォトセンシング(photo sensing)素子を包含できる。各々の構成要素はプロセッサと共に1つのチップで構成することができ、プロセッサと各々別個のチップで構成することもできる。

## 【0142】

本実施形態において、メモリセルは、可変抵抗メモリセルで構成することができ、例示的な可変抵抗メモリセル及びそれを含むメモリ装置が特許文献3に開示されている。

50

本発明の他の実施形態において、メモリセルは電荷格納層を有する多様なセル構造の内の1つを利用して具現することができる。

電荷格納層を有するセル構造は、電荷トラップ層を利用する電荷トラップフラッシュ構造、アレイが多層に積層されるスタックフラッシュ構造、ソース・ドレーンが無いフラッシュ構造、ピン・タイプフラッシュ構造、等を包含する。

電荷格納層で電荷トラップフラッシュ構造を有するメモリ装置が、特許文献4、特許文献5、及び特許文献6に各々開示されている。また、ソースもしくはドレーンが無いフラッシュ構造は、特許文献7に開示されている。

#### 【0143】

本発明によるフラッシュメモリ装置及び/又はメモリ制御器は、多様な形態のパッケージを利用して実装することができる。

例えば、フラッシュメモリ装置及び/又はメモリコントローラは、PoP (Package on Package)、Ball grid arrays (BGAs)、Chip scale packages (CSPs)、Plastic Leaded Chip Carrier (PLCC)、Plastic Dual In-Line Package (PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board (COB)、Ceramic Dual In-Line Package (CERDIP)、Plastic Metric Quad Flat Pack (MQFP)、Thin Quad Flat pack (TQFP)、Small Outline (SOIC)、Shrink Small Outline Package (SSOP)、Thin Small Outline (TSOP)、Thin Quad Flat pack (TQFP)、System In Package (SIP)、Multi Chip Package (MCP)、Wafer-level Fabricated Package (WFP)、Wafer-Level Processed Stack Package (WSP)等の方式にパッケージングされて実装さうることができる。

#### 【0144】

以上、図面を参照しながら本発明の実施形態について詳細に説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

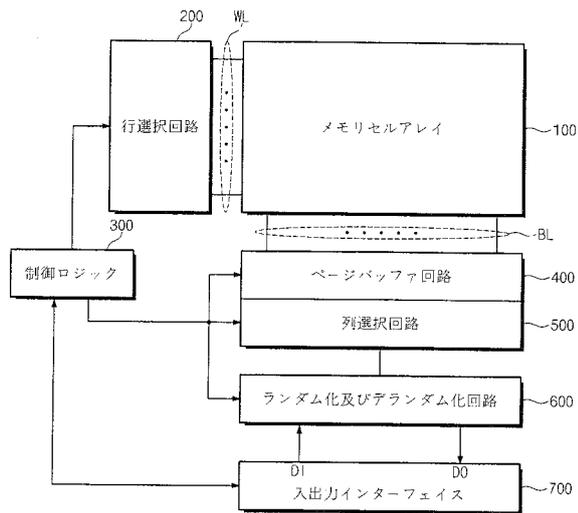
#### 【符号の説明】

#### 【0145】

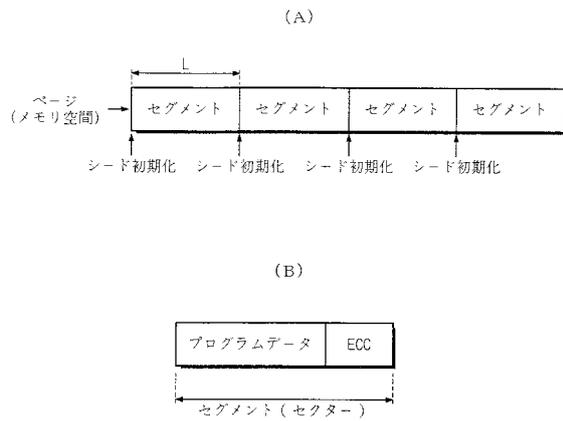
100、100a、100b、100c	メモリセルアレイ	
200、200a、200b、200c	行選択回路	
300、300a、300b、300c	制御ロジック	
301	レジスター	
302	デコーダー	
400、400a、400b、400c	ページバッファ回路	
500、500a、500b、500c	列選択回路	
600、600a、600b、600c	ランダム化及びデランダム化回路	40
601	ランダム化及びデランダム化ユニット	
602	マルチプレクサー/デマルチプレクサー	
603、607	ランダムシーケンスデータ発生ユニット	
604	ORゲート	
605、608	第1マルチプレクサー	
606、609	第2マルチプレクサー	
610	シードテーブル	
620	シード初期化部	
621	第1加算器	
622	第2加算器	50

6 2 3	選択器	
6 2 4	レジスタ	
6 2 5	比較器	
6 3 0	擬似ランダムシーケンス発生器	
6 3 1	X O Rロジックゲート	
6 4 0	ミキサー	
7 0 0、7 0 0 a、7 0 0 b、7 0 0 c	入出力インターフェイス	
1 0 0 0、1 0 0 0 a	フラッシュメモリ	
1 1 0 0、2 6 0 0、4 1 0 1、4 1 0 2	ランダム化及びデランダム化回路	
2 0 0 0、2 0 0 0 a、4 2 0 0、4 2 0 0 a、9 2 2 2	制御器	10
2 1 0 0、2 1 0 0 a	第1インターフェイス	
2 2 0 0、2 2 0 0 a	第2インターフェイス	
2 3 0 0、2 3 0 0 a	処理ユニット	
2 4 0 0、2 4 0 0 a	バッファメモリ	
2 5 0 0、2 5 0 0 a	E C Cブロック	
3 0 0 0、3 0 0 0 a	メモリシステム	
3 0 1 0	ボンディングオプション	
4 0 0 0、4 0 0 0 a、8 0 0 0	半導体ドライブ	
4 0 0 0 A	サーバー	
4 0 0 0 B	R A I D制御器	20
4 1 0 0、4 1 0 0 a	格納媒体	
6 0 0 0、7 0 0 0	システム	
6 1 0 0	ストレージ	
7 1 0 0、7 2 0 0	ストレージサーバー	
8 1 0 0	メールサーバー	
9 2 0 1	液晶モジュール	
9 2 0 2	A D P C Mコーデック回路	
9 2 0 3	スピーカー	
9 2 0 4	マイクロフォン	
9 2 0 5	キーボード	30
9 2 0 6	T D M A回路	
9 2 0 7、9 3 5 4	不揮発性メモリ装置	
9 2 0 8	R O M	
9 2 0 9	S R A M	
9 2 1 0	P L L回路	
9 2 1 1	R F回路	
9 2 1 2	システムコントロールマイクロコンピューター	
9 2 2 1	インターフェイス部	
9 3 0 1	ポディー	
9 3 0 2	スロット	40
9 3 0 3	レンズ	
9 3 0 8	ディスプレイ部	
9 3 1 2	シャッターボタン	
9 3 1 8	ストロボ	
9 3 3 1	メモリカード	
9 3 3 2	イメージセンサー	
9 3 3 6	入出力装置	
9 3 4 4	C P U	
9 3 4 8	R A M	
9 3 5 2	バス	50

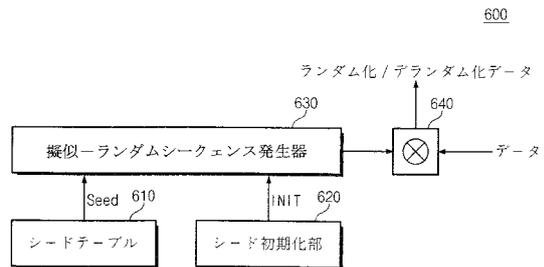
【 図 1 】



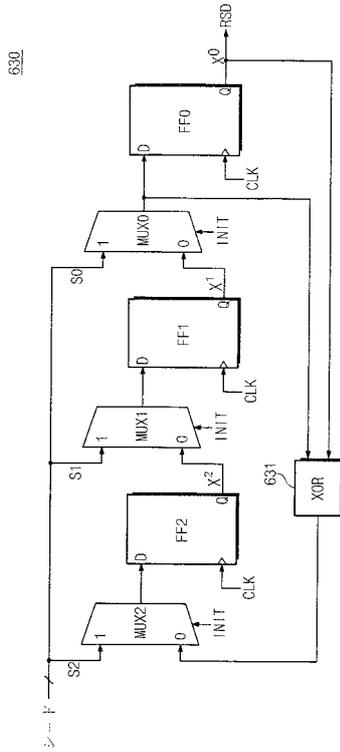
【 図 2 】



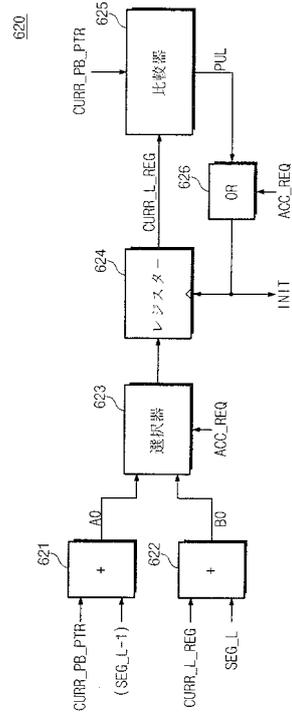
【 図 3 】



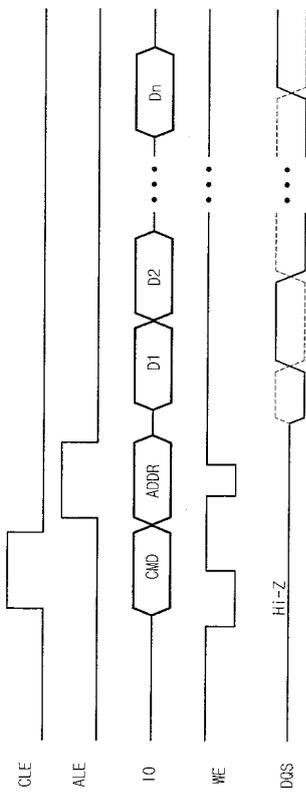
【 図 4 】



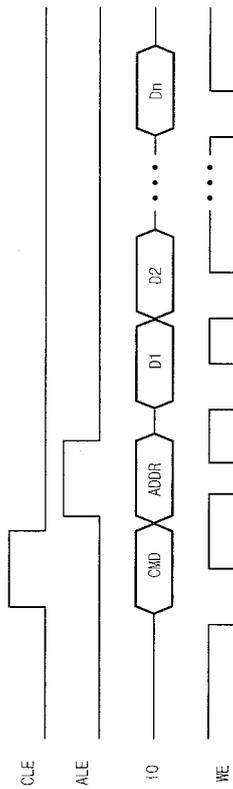
【 図 5 】



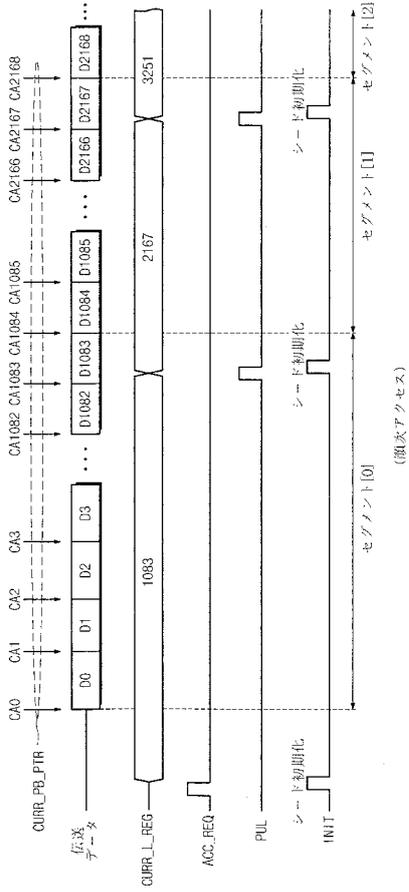
【 図 6 】



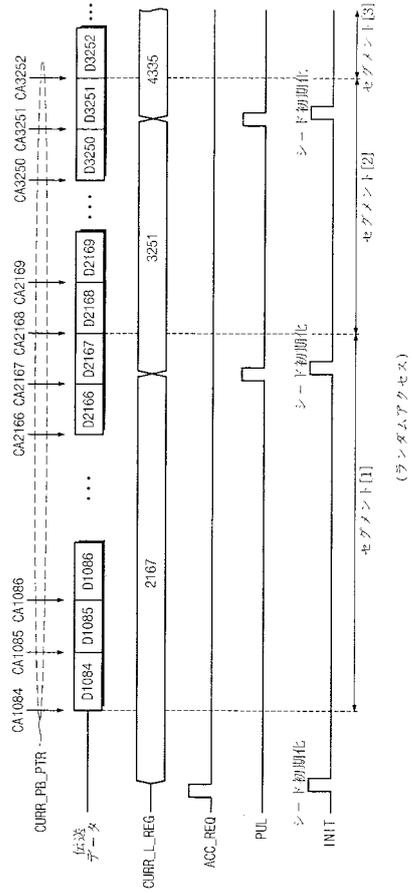
【 図 7 】



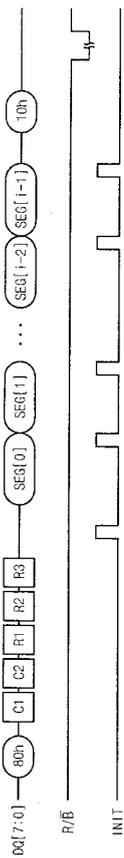
【 図 8 】



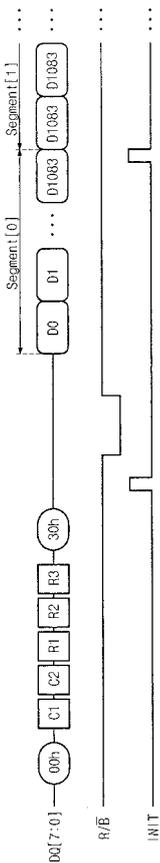
【 図 9 】



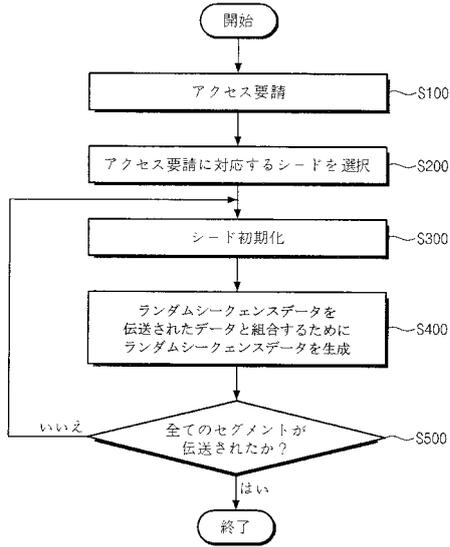
【 図 10 】



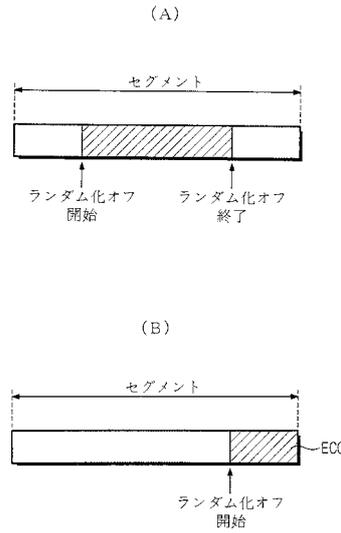
【 図 11 】



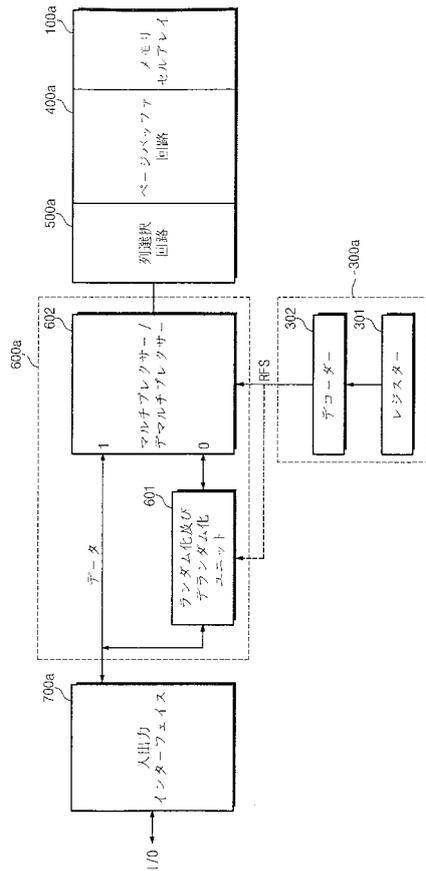
【図12】



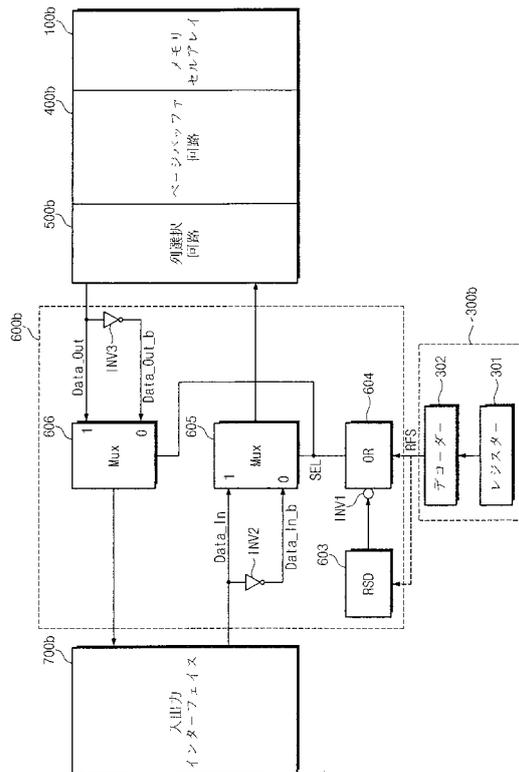
【図13】



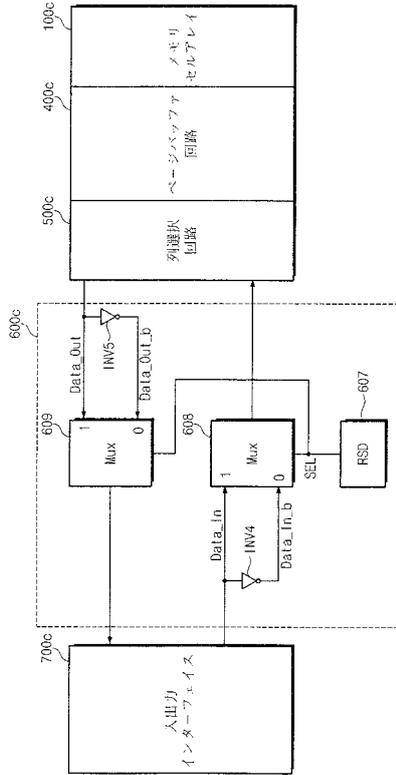
【図14】



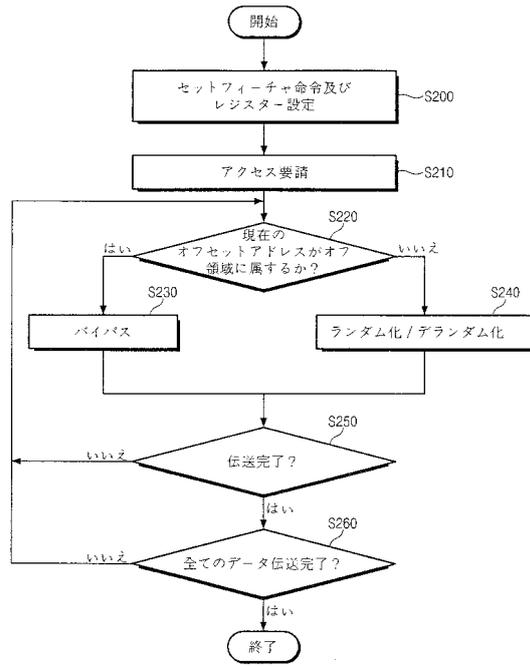
【図15】



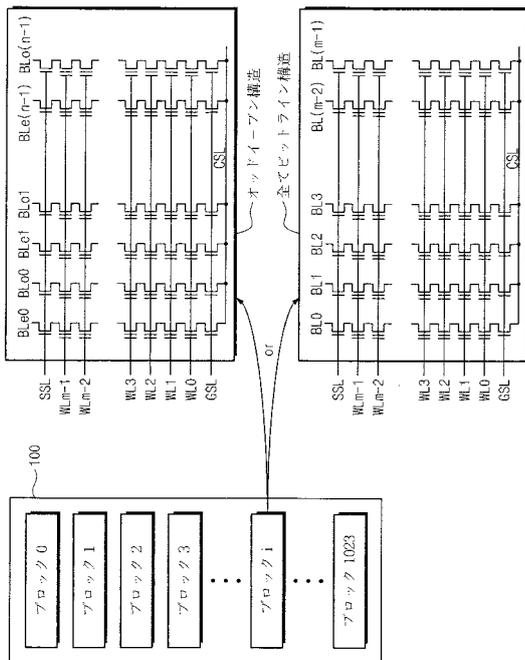
【図16】



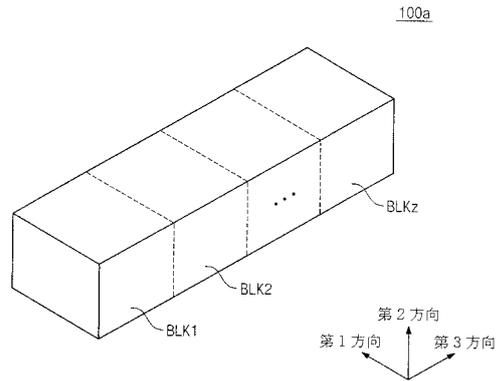
【図17】



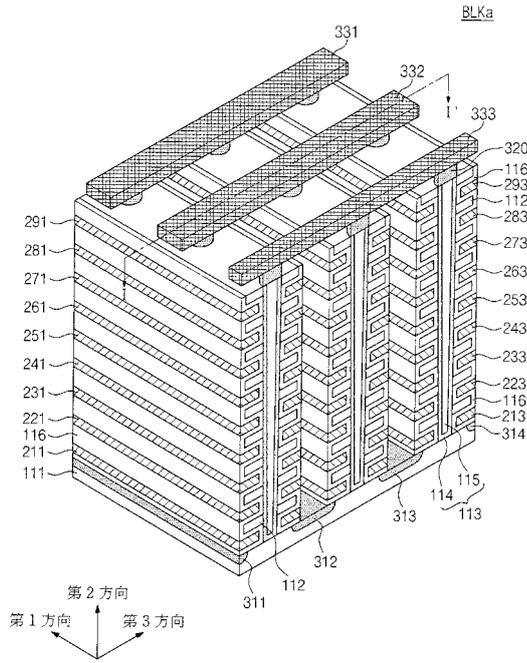
【図18】



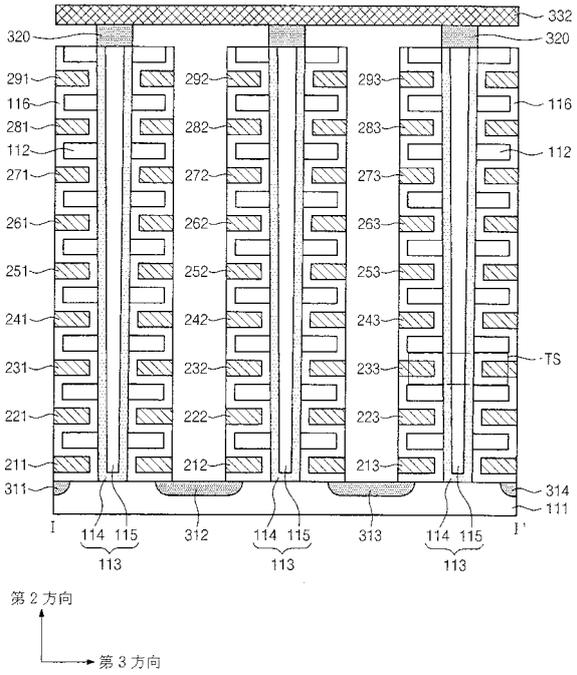
【図19】



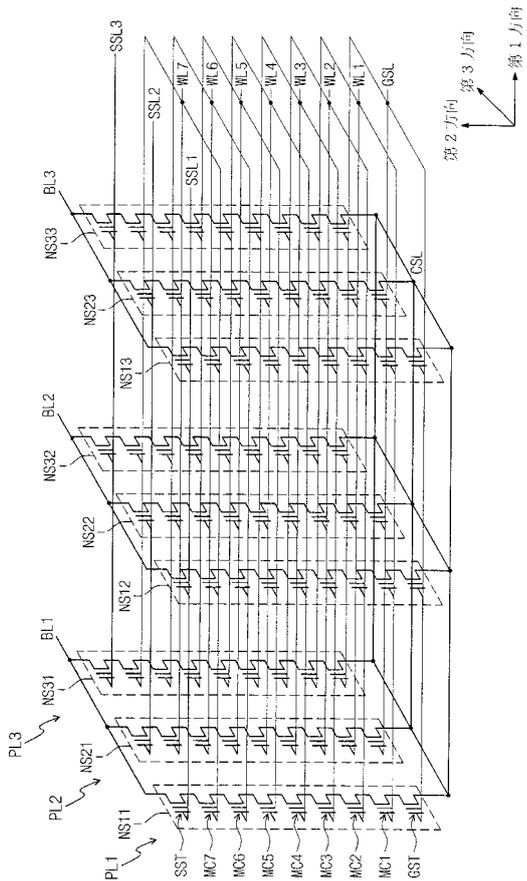
【図20】



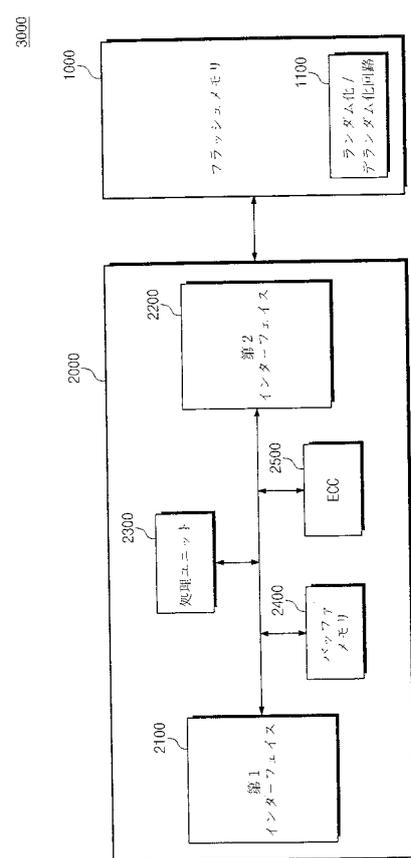
【図21】



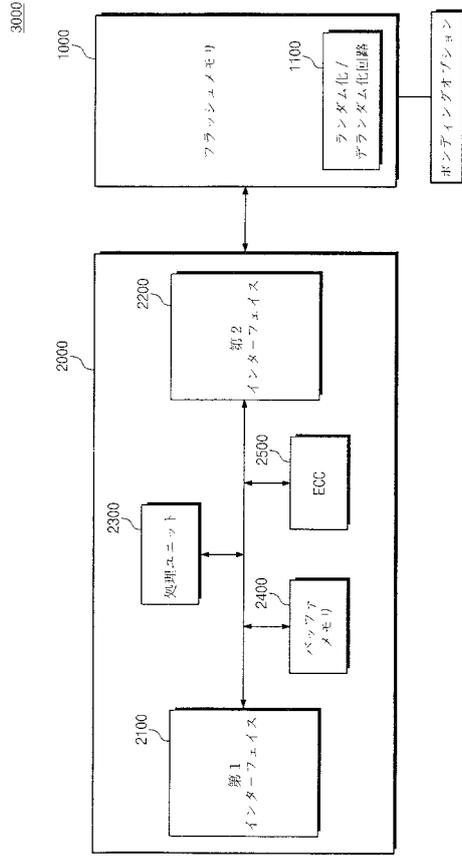
【図22】



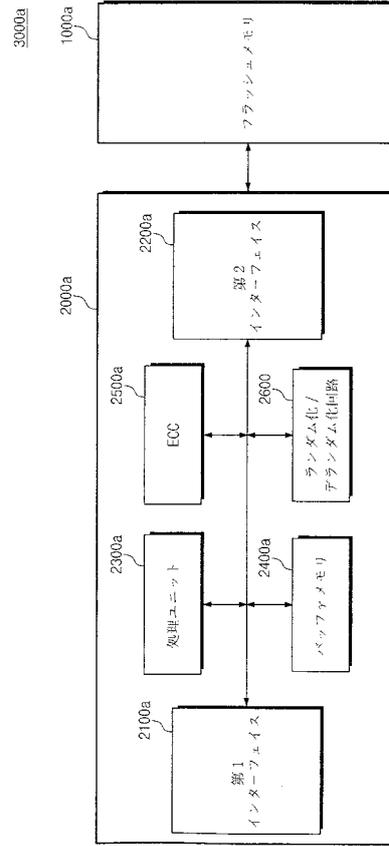
【図23】



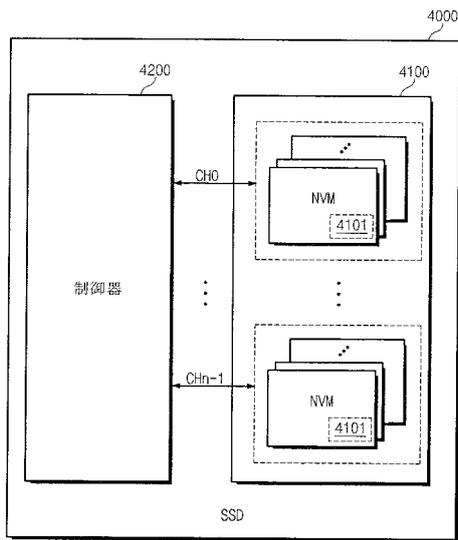
【図 2 4】



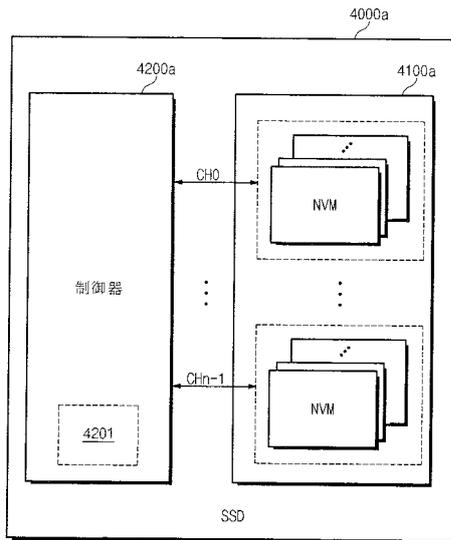
【図 2 5】



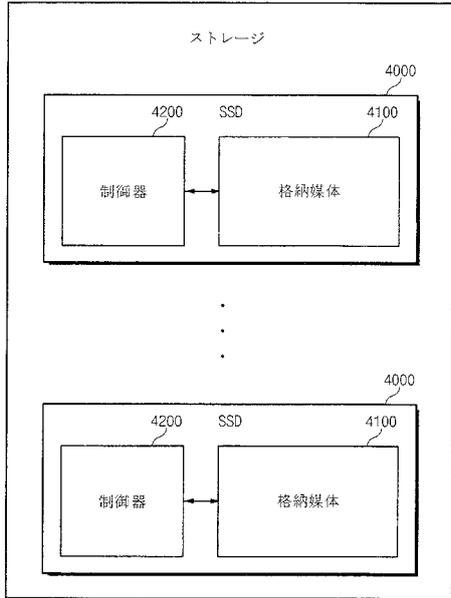
【図 2 6】



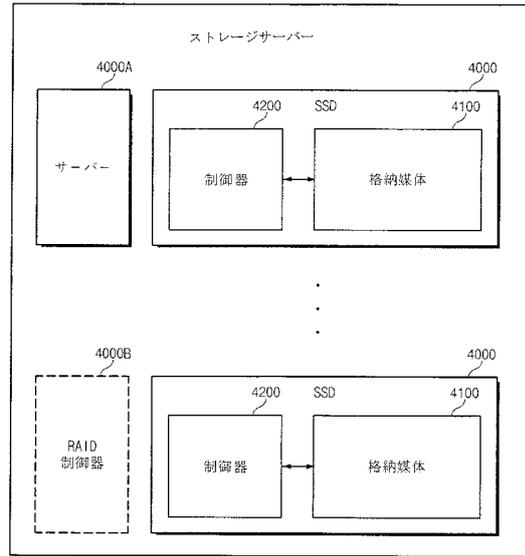
【図 2 7】



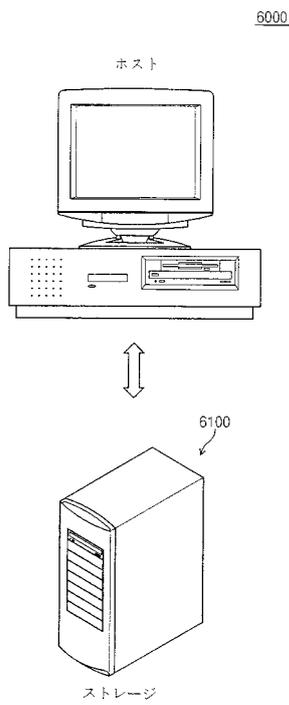
【図 28】



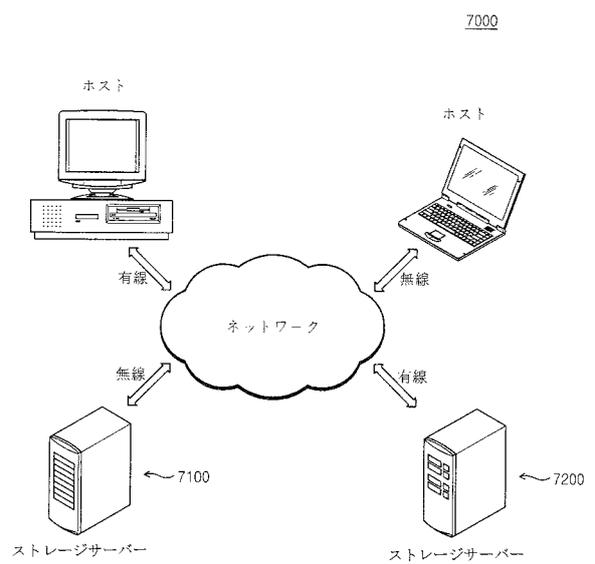
【図 29】



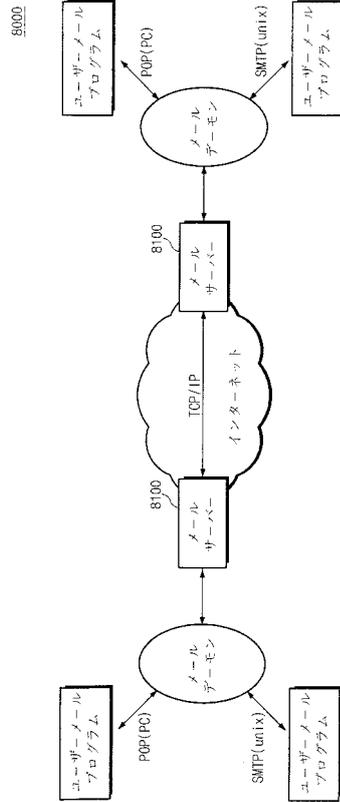
【図 30】



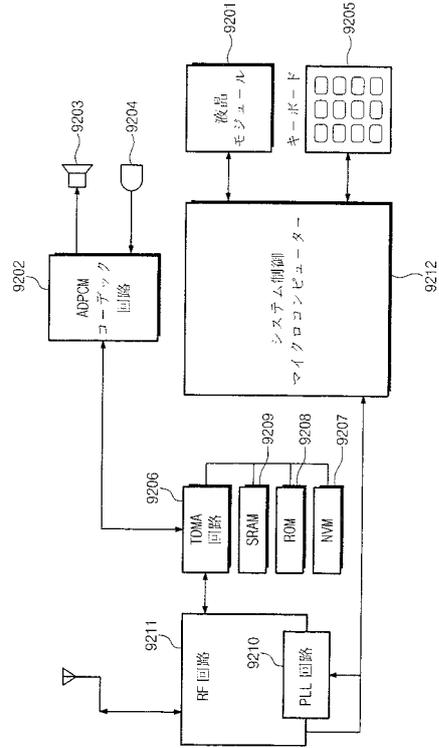
【図 31】



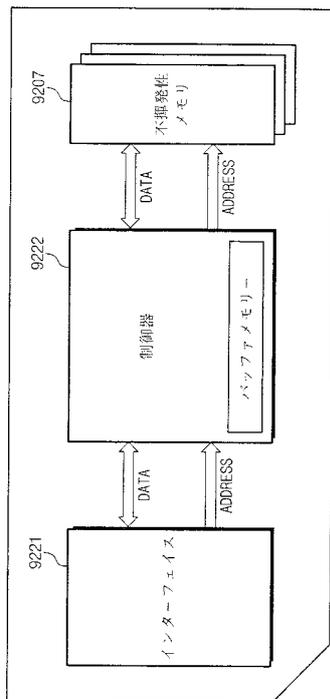
【 図 3 2 】



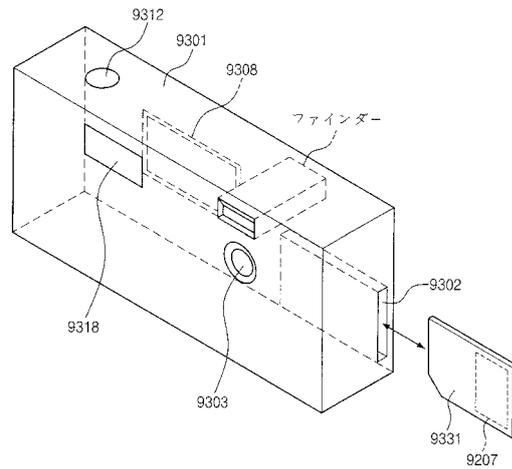
【 図 3 3 】



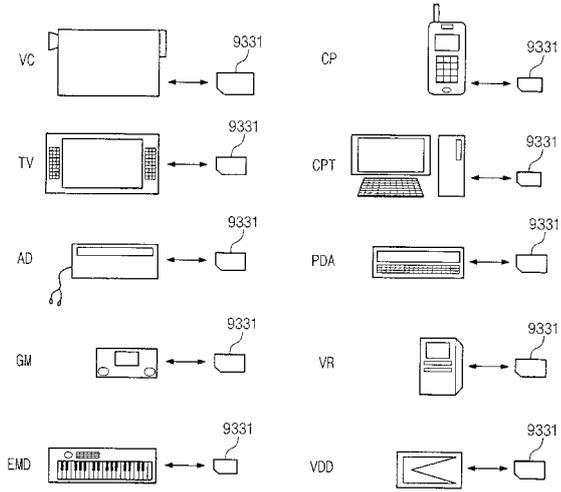
【 図 3 4 】



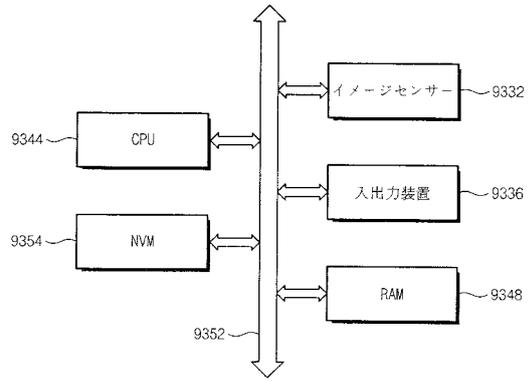
【 図 3 5 】



【 図 3 6 】



【 図 3 7 】



---

フロントページの続き

(72)発明者 李 熙 元

大韓民国 京畿道 水原市 靈通区 梅灘3洞 シンメタン ウィーブ ハヌルチェアパート 1  
21棟 2104号

Fターム(参考) 5B018 GA04 HA40 MA23 MA24 NA06

5B125 BA02 CA14 CA19 DA03 DB02 DD03 DD04 DE08 EA05 EA10

EF02 EF03 EF05 EK01 FA01 FA02 FA10