

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4722502号
(P4722502)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int. Cl. F 1
G 0 5 F 3 / 3 0 (2006.01) G 0 5 F 3 / 3 0

請求項の数 4 (全 10 頁)

(21) 出願番号	特願2005-20325 (P2005-20325)	(73) 特許権者	303046277
(22) 出願日	平成17年1月27日(2005.1.27)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2006-59315 (P2006-59315A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成18年3月2日(2006.3.2)	(74) 代理人	100077481
審査請求日	平成19年12月11日(2007.12.11)		弁理士 谷 義一
(31) 優先権主張番号	10/921, 808	(72) 発明者	小澤 勝己
(32) 優先日	平成16年8月20日(2004.8.20)		神奈川県厚木市岡田3050番地 旭化成 マイクロシステム株式会社内
(33) 優先権主張国	米国 (US)	審査官	三島木 英宏

最終頁に続く

(54) 【発明の名称】 バンドギャップ回路

(57) 【特許請求の範囲】

【請求項1】

第1の電流経路を構成する第1のバイポーラトランジスタと、
第2の電流経路を構成する第2のバイポーラトランジスタと、
前記第1のバイポーラトランジスタのエミッタに接続され、前記第1の電流経路を構成する第1の電圧制御電流源と、
前記第2のバイポーラトランジスタのエミッタに接続され、前記第2の電流経路を構成する第2の電圧制御電流源と、
前記第1のバイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのエミッタの電圧がそれぞれ入力され、前記第1のバイポーラトランジスタのエミッタ電圧と前記第2のバイポーラトランジスタのエミッタ電圧が等しくなるように、前記第1の電圧制御電流源及び前記第2の電圧制御電流源を制御するフィードバック制御用増幅器と、
前記第1のバイポーラトランジスタのベースとエミッタ間に接続された少なくとも2つに分割された抵抗素子と、
前記第2のバイポーラトランジスタのベースとコレクタ間、及びベースとエミッタ間にそれぞれ接続された抵抗素子と、を備え、
前記第2のバイポーラトランジスタのベースとエミッタ間の抵抗素子の分割ノードから出力信号を得るようにしたことを特徴とするバンドギャップ回路。

【請求項2】

前記第2のバイポーラトランジスタのエミッタ面積が、前記第1のバイポーラトランジ

10

20

スタのエミッタ面積のN倍（Nは正の整数）であることを特徴とする請求項1に記載のバンドギャップ回路。

【請求項3】

前記第1の電圧制御電流源と前記第2の電圧制御電流源の電流比が異なり、前記第1のバイポーラトランジスタと前記第2のバイポーラトランジスタに流れる電流の比が異なることを特徴とする請求項1に記載のバンドギャップ回路。

【請求項4】

前記第1のPMOSトランジスタ52のゲート幅とゲート長の比が、前記第2のPMOSトランジスタゲート幅とゲート長の比のK倍（Kは正の整数）であることを特徴とする請求項1に記載のバンドギャップ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、所定の基準電圧を生成して出力するバンドギャップ回路に関し、より詳細には、バンドギャップ電圧に比例した温度依存性のない低電圧の基準電圧を出力することにより、低電源電圧動作を可能とし、高PSRR（power supply rejection ratio；電源電圧除去比）、低ノイズ、電圧ばらつきの少ないバンドギャップ回路に関するものである。

【背景技術】

【0002】

従来、温度依存性のない基準電圧を生成する回路として、バンドギャップ回路が知られている。通常、バンドギャップ回路が生成するバンドギャップ電圧は、1.2V位であるが、特許文献1には、低電源電圧で動作可能なバンドギャップ回路として、0.5V程度のバンドギャップ回路が知られている。

20

【0003】

図1は、従来の低電源電圧バンドギャップ回路を示す構成図で、図中符号OP1、OP2は演算増幅器、QP1～QP5はPMOSトランジスタ、11、12バイポーラトランジスタ、R₁₁～R₁₃は抵抗を示している。

【0004】

このバンドギャップ回路は、バンドギャップ電圧以下の電源電圧で、温度特性を損なうことなくバンドギャップ電圧に比例した定電圧を発生させるもので、第1の電流経路～第5の電流経路の5つの電流経路からなり、PMOSトランジスタQP1及びQP2で、温度に比例した抵抗R₁₁の両端電圧を電流I_{PTAT}に変換し、PMOSトランジスタQP3でこの電流I_{PTAT}に対して所定の比をなす電流I_{PTAT}を出力するとともに、バイポーラトランジスタ11の電圧を演算増幅器OP2とPMOSトランジスタQP4によって電流I_{CTAT}に変換し、温度変化に対して変動しないバンドギャップ電圧に比例した、バンドギャップ電圧以下の定電圧を得るために、電流I_{CTAT}に対して所定の比をなす電流I_{CTAT}をPMOSトランジスタQP5から出力して、電流I_{PTAT}と電流I_{CTAT}とを加えた電流を抵抗R₁₃で電圧に変換して出力電圧V_{BG}を生成するように構成されている。

30

【0005】

このように従来のバンドギャップ回路は、正の傾きで絶対温度に比例する特性を有するPTAT（Proportional To Absolute Temperature；絶対温度比例）電流と、負の傾きで絶対温度に依存する特性を有するCTAT（Complementary To Absolute Temperature；絶対温度依存）電流をそれぞれ別の回路ブロックで作成し、それらを加算した温度依存性のない電流を出力部の抵抗に流すことによって電流-電圧変換し、温度依存性のない低基準電圧を作成している。

40

【0006】

このような従来のバンドギャップ回路では、低電源電圧の場合でも電流源トランジスタが動作可能となる。そして、この回路構成の場合、2つのフィードバック制御用増幅器O

50

P1, OP2と、5つの電流経路が必要である。

【0007】

また、非特許文献1には、PTAT電流とCTAT電流を同じ電流経路で作成することで、1つのフィードバック制御用増幅器OP1と、3つの電流経路のみで低基準電圧を作成するバンドギャップ回路が示されている。

【0008】

図2は、非特許文献1に記載されている従来の他のバンドギャップ回路を示す構成図で、このバンドギャップ回路は、第1の電流経路～第3の電流経路の3つの電流経路からなり、PMOSトランジスタQP1及びQP2で、温度に比例した抵抗 R_{22} の両端電圧を電流 I_{PTAT} に変換するとともに、抵抗 R_{23} の両端電圧を電流 I_{CTAT} に変換し、電流 I_{PTAT} と電流 I_{CTAT} とを加えた電流をPMOSトランジスタQP3から出力して、電流 I_{PTAT} と電流 I_{CTAT} とを加えた電流を抵抗 R_{24} で電圧に変換して出力電圧V_{BG}を生成するように構成されている。

10

【0009】

【特許文献1】特開2002-318626号公報

【非特許文献1】Hirofumi Banba et al, 「A CMOS Band-Gap Reference Circuit with Sub 1V Operation」1998 Symposium on VLSI Circuits Digest of Technical Papers, p.228-229

【発明の開示】

20

【発明が解決しようとする課題】

【0010】

しかしながら、これらの従来の技術では、PTAT電流とCTAT電流を加算し、これを第3の電流経路に流して電流から電圧に変換する必要がある。第3の電流経路に流れる電流は、電源ノイズが加わった際に、電流をミラーするPMOSトランジスタの V_{DS} が変わることにより影響を受ける。この影響により、電流値が変化するため、PSRRが悪化する。従って、通常の1.2V出力バンドギャップ回路よりも、PSRRやノイズ特性が悪いという問題があった。また、電流経路数が多いため、全体の素子数が増えてノイズや基準電圧ばらつき量が悪化するという問題があった。

【0011】

30

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、低基準電圧を出力することにより、低電源電圧動作を可能とし、高PSRR、低ノイズで、基準電圧ばらつきの少ないバンドギャップ回路を提供することにある。

【課題を解決するための手段】

【0012】

本発明は、このような目的を達成するためになされたもので、請求項1に記載の発明は、第1の電流経路を構成する第1のバイポーラトランジスタと、第2の電流経路を構成する第2のバイポーラトランジスタと、前記第1のバイポーラトランジスタのエミッタに接続され、前記第1の電流経路を構成する第1の電圧制御電流源と、前記第2のバイポーラトランジスタのエミッタに接続され、前記第2の電流経路を構成する第2の電圧制御電流源と、前記第1のバイポーラトランジスタのエミッタと前記第2のバイポーラトランジスタのエミッタの電圧がそれぞれ入力され、前記第1のバイポーラトランジスタのエミッタ電圧と前記第2のバイポーラトランジスタのエミッタ電圧が等しくなるように、前記第1の電圧制御電流源及び前記第2の電圧制御電流源を制御するフィードバック制御用増幅器と、前記第1のバイポーラトランジスタのベースとエミッタ間に接続された少なくとも2つに分割された抵抗素子と、前記第2のバイポーラトランジスタのベースとコレクタ間、及びベースとエミッタ間にそれぞれ接続された抵抗素子と、を備え、前記第2のバイポーラトランジスタのベースとエミッタ間の抵抗素子の分割ノードから出力信号を得るようにしたことを特徴とする。

40

【0013】

50

また、請求項 2 に記載の発明は、請求項 1 に記載の発明において、前記第 2 のバイポーラトランジスタのエミッタ面積が、前記第 1 のバイポーラトランジスタのエミッタ面積の N 倍 (N は正の整数) であることを特徴とする。

【0014】

また、請求項 3 に記載の発明は、請求項 1 に記載の発明において、前記第 1 の電圧制御電流源と前記第 2 の電圧制御電流源の電流比が異なり、前記第 1 のバイポーラトランジスタと前記第 2 のバイポーラトランジスタに流れる電流の比が異なることを特徴とする。

【0015】

また、請求項 4 に記載の発明は、請求項 1 に記載の発明において、前記第 1 の PMOS トランジスタ 5 2 のゲート幅とゲート長の比が、前記第 2 の PMOS トランジスタゲート幅とゲート長の比の K 倍 (K は正の整数) であることを特徴とする。

10

【発明の効果】

【0016】

本発明によれば、フィードバック制御用増幅器と PMOS トランジスタを備え、エミッタ面積の異なる 2 つのバイポーラトランジスタを有し、エミッタ面積の小さい側のバイポーラトランジスタのベース・エミッタ間に抵抗を備え、エミッタ面積の大きい側のバイポーラトランジスタのベース・コレクタ間及びベース・エミッタ間に抵抗を備えてバンドギャップ回路を構成したので、低電源電圧で動作可能な、高 P S R R、低ノイズ、低ばらつき

のバンドギャップ回路を提供することができる。

【発明を実施するための最良の形態】

20

【0017】

以下、図面を参照して本発明の実施例について説明する。

【実施例 1】

【0018】

図 3 は、本発明のバンドギャップ回路の実施例 1 を説明するための構成図で、図中符号 3 1 はフィードバック制御用増幅器、3 2, 3 5 は PMOS トランジスタ、3 3, 3 4 はバイポーラトランジスタ、 R_1 , R_2 , R_p は抵抗を示している。

【0019】

本実施例 1 のバンドギャップ回路は、第 1 の電流経路と第 2 の電流経路の 2 つの電流経路を備え、これらの電流経路は電源電圧とグランド電圧の間に設けられている。第 1 の電流経路は、PMOS トランジスタ 3 2 とバイポーラトランジスタ 3 3 とからなり、PMOS トランジスタ 3 2 のソースが電源電圧に接続され、PMOS トランジスタ 3 2 のドレインがバイポーラトランジスタ 3 3 のエミッタに接続されている。また、バイポーラトランジスタ 3 3 のコレクタとベースはグランド電位に接続されている。さらに、バイポーラトランジスタ 3 3 のエミッタとベースとの間には、抵抗 R_1 と抵抗 R_2 と抵抗 R_p が直列に接続されている。

30

【0020】

第 2 の電流経路は、PMOS トランジスタ 3 5 とバイポーラトランジスタ 3 4 とからなり、PMOS トランジスタ 3 5 のソースが電源電圧に接続され、PMOS トランジスタ 3 5 のドレインがバイポーラトランジスタ 3 4 のエミッタに接続されている。また、バイポーラトランジスタ 3 4 のコレクタはグランド電位に接続されている。さらに、バイポーラトランジスタ 3 4 のエミッタとベースとの間には、抵抗 R_1 と抵抗 R_2 とが直列に接続されており、バイポーラトランジスタ 3 4 のコレクタとベースとの間には、抵抗 R_p が接続されている。

40

【0021】

第 1 の電流経路の PMOS トランジスタ 3 2 のドレインとバイポーラトランジスタ 3 3 のエミッタとの接続ノード N_1 の電圧は、フィードバック制御用増幅器 3 1 の反転入力端子に接続されている。また、第 2 の電流経路の PMOS トランジスタ 3 5 のドレインとバイポーラトランジスタ 3 4 のエミッタとの接続ノード N_2 の電圧は、フィードバック制御用増幅器 3 1 の非反転入力端子に接続されている。このフィードバック制御用増幅器 3 1

50

の出力端子から出力される信号は、PMOSトランジスタ32, 35のゲートに入力されている。この場合、2つのMOSトランジスタ32, 35の特性は等しいものとする。

【0022】

このような構成において、フィードバック制御用増幅器31は、接続ノードN₁とN₂の電位が等しくなるように、2つの電流経路に流れる電流を制御する。2つのPMOSトランジスタ32, 35のゲート・ソース間電圧が常に等しいため、それぞれのPMOSトランジスタ32, 35に流れる電流I₁とI₂は、常に等しい電流となる。接続ノードN₁、N₂の電位が等しいため、2つのバイポーラトランジスタ33と34のベース・エミッタ間電圧の差V_{BE}は、接続ノードN₃の電位であり、以下の式(1)で表せる。

$$\begin{aligned} V_{BE} &= V_{BE1} - V_{BE2} \\ &= V_T * \ln(I_3 / I_S) - V_T * \ln(I_5 / (N * I_S)) \\ &= V_T * \ln(N * I_3 / I_5) \quad \dots (1) \end{aligned}$$

10

【0023】

ここでV_Tは、ボルツマン定数k、絶対温度T、電荷qを用いて、V_T = kT / qで表せられる。I_Sはバイポーラトランジスタ33の逆方向飽和電流であり、I₄はバイポーラトランジスタ33のベース・エミッタ間に接続された抵抗R₁, R₂, R_Pを流れる電流である。また、I₅はバイポーラトランジスタ34の逆方向飽和電流であり、I₆はバイポーラトランジスタ34のベース・エミッタ間に接続された抵抗R₁, R₂を流れる電流である。バイポーラトランジスタ34のエミッタ面積E_{A2}は、バイポーラトランジスタ33のエミッタ面積のN倍である。さらに、電流I₁は、電流I₃とI₄の和、電流I₂は、電流I₅とI₆の和であり、I₁ = I₂であるから、以下の式(2)が成り立つ。

$$I_3 + I_4 = I_5 + I_6 \quad \dots (2)$$

20

【0024】

また、接続ノードN₁, N₂の電位は、抵抗を流れる電流I₄, I₆と、バイポーラトランジスタ34のベース電流I₅ / (1 + β₂)、抵抗R₁, R₂, R_Pの値を用いてそれぞれ以下の式(3)で表せる。ここで、β₂は、バイポーラトランジスタ34のエミッタ接地電流増幅率である。

$$\begin{aligned} N_1 \text{の電位} &: (R_1 + R_2 + R_P) I_4 \\ N_2 \text{の電位} &: (R_1 + R_2) I_6 + R_P (I_6 + I_5 / (1 + \beta_2)) \quad \dots (3) \end{aligned}$$

【0025】

さらに、接続ノードN₁, N₂の電位は等しいことから、以下の式(4)が成り立つ。

$$(R_1 + R_2) I_6 + R_P (I_6 + I_5 / (1 + \beta_2)) = (R_1 + R_2 + R_P) I_4 \quad \dots (4)$$

30

【0026】

上述した式(2)と式(4)から、電流I₃とI₅の比は、以下の式(5)で表せる。

$$I_3 / I_5 = 1 + R_P / ((R_1 + R_2 + R_P) (1 + \beta_2)) \quad \dots (5)$$

【0027】

したがって、上述した式(1)のV_{BE}は、上述した式(5)を用いて表すと以下の式(6)となる。

$$V_{BE} = V_T * \ln(N (1 + R_P / ((R_1 + R_2 + R_P) (1 + \beta_2)))) \quad \dots (6)$$

40

【0028】

これは、温度に正比例するPTAT電圧である。

【0029】

一方、接続ノードN₂, N₃間の電圧差は、バイポーラトランジスタ34のベース・エミッタ間電圧V_{BE2}であり、一般的に知られている様に、温度の増加と共に減少するCTAT電圧である。したがって、バイポーラトランジスタ34のベースとエミッタ間の抵抗R₁とR₂の分割ノードである出力ノードV_{BG}と、接続ノードN₃間の電圧V_Dは、V_{BE2}を抵抗R₁と、抵抗R₂を用いて分圧した電圧であり、以下の式(7)で表せる。これも、温度に逆比例するCTAT電圧である。

50

$$V_D = V_{BE2} * R_2 / (R_1 + R_2) \quad \dots (7)$$

【0030】

出力基準電圧V_{BG}は、CTAT電圧である接続ノードN₃とV_{BG}間の電位V_Dと、PTAT電圧である接続ノードN₃の電位V_{BE}を加算した電圧である。各抵抗を任意の抵抗値に調整することで、PTAT電圧とCTAT電圧が互いに温度依存をうち消し、温度依存性のない基準電圧が出力される。この時の出力基準電圧V_{BG}は、上述した式(6)及び式(7)を用いて、以下の式(8)で表すことができ、バンドギャップ電圧に比例した低電圧を出力することが可能となる。

$$\begin{aligned} V_{BG} &= V_D + V_{BE} \\ &= V_{BE2} * R_2 / (R_1 + R_2) + V_T * \ln(N(1 + R_P / ((R_1 + R_2 + R_P)(1 + \dots))) \dots (8) \end{aligned} \quad 10$$

【0031】

なお、上述した式(8)から分かるように、基準電圧値は、バイポーラトランジスタのエミッタ面積比Nを変化させることにより、任意の値に設定可能である。例えば、本実施例1では、N=8の時にV_{BG} 0.2V、N=56の時にはV_{BG} 0.3Vとなる。

【0032】

本実施例1のバンドギャップ回路では、フィードバック制御用増幅器によりフィードバック制御されて安定している接続ノードN₂と接地電位V_{SS}の間から基準電圧を出力するため、電源電圧変動の影響を受けにくく、従来技術と比較して、例えば、低周波領域でのPSRRを30dB程度改善できる。 20

【0033】

図4は、フィードバック制御用増幅器の入力にノイズが存在する場合のバンドギャップ回路を示す構成図である。ここでは、フィードバック制御用増幅器のノイズの影響を考える。図4に示すように、出力基準電位V_{BG}は、入力換算ノイズV_{Noise}を用いて以下の式(9)で表せる。

$$V_{BG} = V_{BE2} * R_2 / (R_1 + R_2) + V_T * \ln(N(1 + R_P / ((R_1 + R_2 + R_P)(1 + \dots))) + V_{Noise} \quad \dots (9)$$

【0034】

この式(9)から分かるように、ノイズ成分は1倍でV_{BG}に加算される。一方、従来のバンドギャップ回路は、ノイズ成分の増幅される度合いが1以上であり、本発明のバンドギャップ回路が低ノイズ特性であることが分かる。フィードバック制御用増幅器の入力換算オフセットに対しても同様である。以上の理由と、電流経路が少なく、ノイズや電圧ばらつきの原因となるPMOSトランジスタ数が少ないことから、低ノイズと出力基準電圧の低ばらつきが実現される。 30

【0035】

一方、このバンドギャップ回路が動作可能な最低電源電圧は、PMOSトランジスタ32が飽和領域で動作する必要があることから、一般的に以下の式(10)で表せる。

$$V_{DD} > V_{BE1} + V_{DSAT} \quad \dots (10)$$

【0036】

ここで、V_{DSAT}は、PMOSトランジスタ32, 35が飽和領域で動作するのに必要なドレイン電圧である。 40

【0037】

上述した式(10)から、低スレッショルド電圧のPMOSトランジスタ32, 35の利用と、低電源電圧動作可能なフィードバック制御用増幅器31を用いることで、1V以下の低電源電圧動作が可能なバンドギャップ回路を構成することが可能となる。

【0038】

以上のことから、CTAT電圧として直接V_{BE}を分圧した電位を用いることで、2つの電流経路のみで、バンドギャップ電圧に比例した温度依存性のない低基準電圧を生成でき、低電源電圧動作が可能となる。つまり、第3の電流経路を必要としないために、高PSRR、低ノイズ、低ばらつき化を図れる。 50

【0039】

上述した実施例1では、CMOSプロセスを用いた例で説明したが、言うまでもなくバイポーラプロセスを用いても実現できる。

【実施例2】

【0040】

図5は、本発明のバンドギャップ回路の実施例2を説明するための構成図で、図中符号51, 52はPMOSトランジスタ、53, 54はバイポーラトランジスタ、55はフィードバック制御用増幅器を示している。

【0041】

図5に示した実施例2のバンドギャップ回路は、図3に示した実施例1のバンドギャップ回路の構成とは異なり、電流源PMOSトランジスタ52のゲート幅 W /ゲート長 L の比(W/L)をPMOSトランジスタ51のゲート幅 W /ゲート長 L の比の K 倍として、バイポーラトランジスタ53, 54のエミッタ面積が等しい回路である。接続ノード N_1 と N_2 の電位が等しくなるように、2つの電流経路に流す電流を制御すると、その際に2つのPMOSトランジスタ51, 52に流れる電流 I_1, I_2 の関係は、 $I_2 = I_1 / K$ となる。したがって、バイポーラトランジスタ53側の抵抗 R_1', R_2', R_p' の値を、バイポーラトランジスタ52側の抵抗 R_1, R_2, R_p の値の K 倍とすることにより、図3に示したバンドギャップ回路と同様なバイアス状態となり、この時の出力基準電圧 V_{BG} は、温度依存性のないバンドギャップ電圧に比例した低電圧を出力することが可能となる。出力基準電圧値は、電流源PMOSトランジスタ52のゲート幅 W /ゲート長 L の比を変化させる、つまり、2つのバイポーラトランジスタ53, 54に流れる電流比を変化させることで、任意の値に設定可能である。

【産業上の利用可能性】

【0042】

本発明のバンドギャップ回路は、所定の基準電圧を生成して出力するもので、バンドギャップ電圧に比例した温度依存性のない低電圧の基準電圧を出力することにより、低電源電圧動作を可能とし、高 $PSRR$ 、低ノイズ、電圧ばらつきの少ないバンドギャップ回路を提供することができる。

【図面の簡単な説明】

【0043】

【図1】従来の低電源電圧バンドギャップ回路を示す構成図である。

【図2】従来の他のバンドギャップ回路を示す構成図である。

【図3】本発明のバンドギャップ回路の実施例1を説明するための構成図である。

【図4】フィードバック制御用増幅器の入力にノイズが存在する場合のバンドギャップ回路を示す構成図である。

【図5】本発明のバンドギャップ回路の実施例2を説明するための構成図である。

【符号の説明】

【0044】

OP1, OP2 演算増幅器

QP1 ~ QP5 PMOSトランジスタ

11, 12 バイポーラトランジスタ

$R_{11} \sim R_{13}$ 抵抗

31, 55 フィードバック制御用増幅器

32, 35, 51, 52 PMOSトランジスタ

33, 34, 53, 54 バイポーラトランジスタ

$R_1, R_2, R_p, R_1', R_2', R_p'$ 抵抗

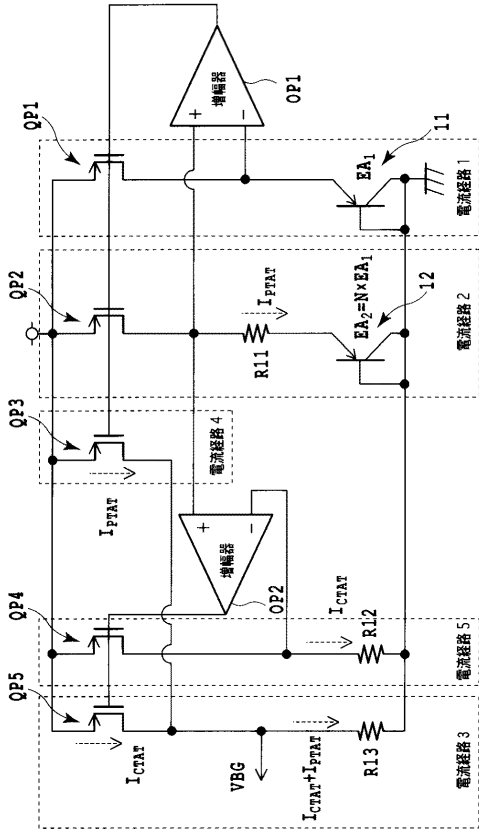
10

20

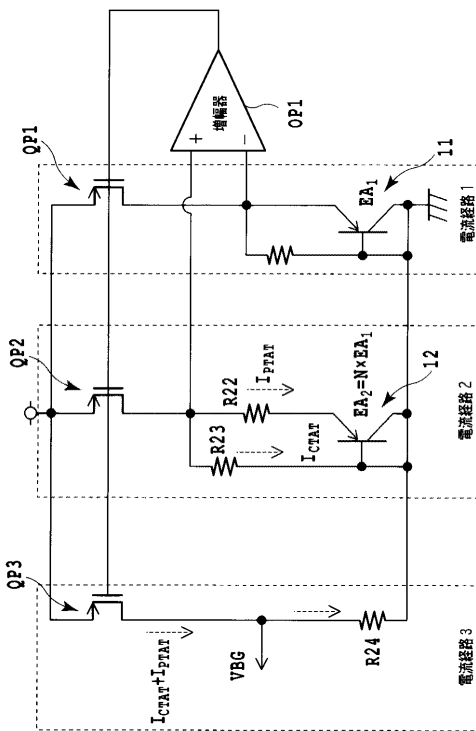
30

40

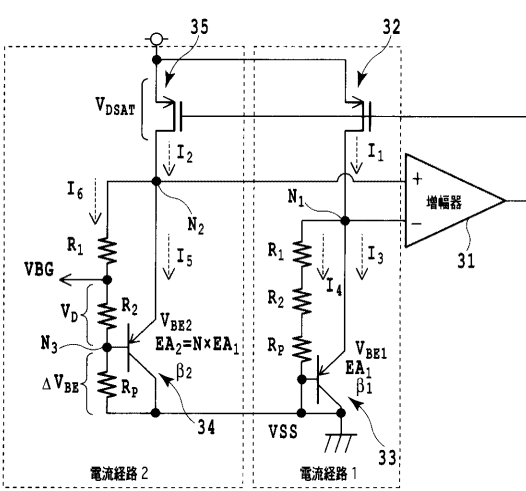
【図1】



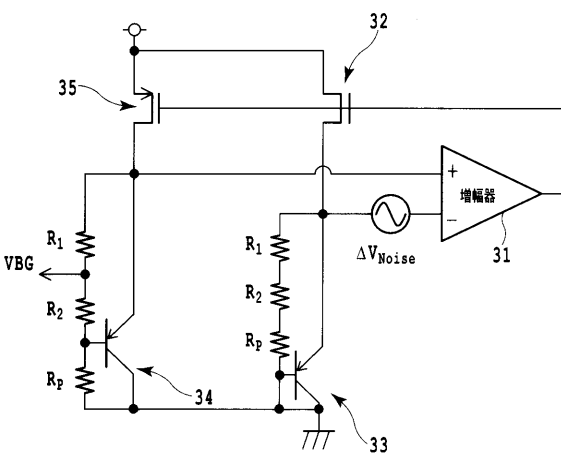
【図2】



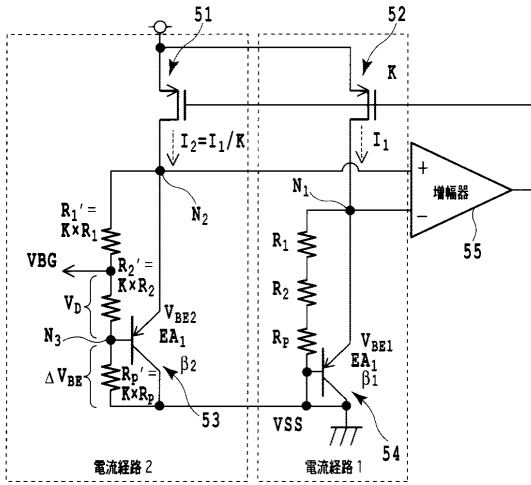
【図3】



【図4】



【図5】



フロントページの続き

(56)参考文献 米国特許第06242897(US, B1)
米国特許第06724176(US, B1)
特開平11-122049(JP, A)
特開平05-061558(JP, A)

(58)調査した分野(Int.Cl., DB名)
G05F 3/30