



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136381
 (43) 공개일자 2014년11월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/316* (2006.01)
 (21) 출원번호 10-2014-0057800
 (22) 출원일자 2014년05월14일
 심사청구일자 없음
 (30) 우선권주장
 JP-P-2013-106337 2013년05월20일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
야마자키 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
사카쿠라 마사유키
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
스자와 히데오미
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인
양영준, 박충범

전체 청구항 수 : 총 9 항

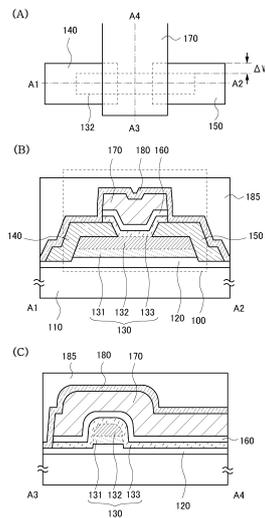
(54) 발명의 명칭 **반도체 장치**

(57) 요약

본 발명은 미세화에 따른 전기 특성 저하를 억제할 수 있는 구성을 갖는 반도체 장치를 제공한다.

상기 반도체 장치는 절연 표면 위에 제 1 산화물 반도체층 및 제 2 산화물 반도체층이 순차적으로 형성된 적층과, 상기 적층의 표면의 일부를 덮도록 형성된 제 3 산화물 반도체층을 구비하며, 제 3 산화물 반도체층은 적층과 접촉하는 제 1 층, 및 상기 제 1 층 위의 제 2 층을 구비하고, 제 1 층은 미결정층으로 형성되고, 제 2 층은 제 1 층의 표면에 수직인 방향으로 c축이 배향되는 결정층으로 형성되는 구성을 갖는다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서,
 절연 표면 위에 순차적으로 형성된 제 1 산화물 반도체층 및 제 2 산화물 반도체층을 포함하는 적층과;
 제 3 산화물 반도체층을 포함하고,
 상기 제 3 산화물 반도체층은 상기 절연 표면의 일부와 상기 적층의 일부에 접촉하는 제 1 층을 포함하고,
 상기 제 3 산화물 반도체층은 상기 제 1 층 위에 제 2 층을 포함하고,
 상기 제 1 층은 미결정층을 포함하고,
 상기 제 2 층은 c축이 상기 제 1 층의 표면에 수직인 방향으로 배향되는 결정층을 포함하는, 반도체 장치.

청구항 2

반도체 장치에 있어서,
 절연 표면 위에 순차적으로 형성된 제 1 산화물 반도체층 및 제 2 산화물 반도체층을 포함하는 적층과;
 상기 적층의 제 1 측면에 접촉하는 소스 전극층과;
 상기 적층의 상기 제 1 측면의 반대쪽의 제 2 측면에 접촉하는 드레인 전극층과;
 제 3 산화물 반도체층을 포함하고,
 상기 제 3 산화물 반도체층은 상기 적층의 제 3 측면의 일부, 상기 적층의 상면의 일부, 및 상기 적층의 상기 제 3 측면의 반대쪽의 제 4 측면의 일부에 접촉하는 제 1 층을 포함하고,
 상기 제 3 산화물 반도체층은 상기 제 1 층 위에 제 2 층을 포함하고,
 상기 제 1 층은 미결정층을 포함하고,
 상기 제 2 층은 c축이 상기 제 1 층의 표면에 수직인 방향으로 배향되는 결정층을 포함하는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,
 상기 제 2 산화물 반도체층은 상기 제 1 층에 접촉하는 영역에서 곡면을 갖는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,
 상기 제 1 층은 1nm 이상 10nm 이하의 크기의 나노 결정(nanocrystal)을 포함하는, 반도체 장치.

청구항 5

반도체 장치에 있어서,
 제 1 절연층 위의 제 1 산화물 반도체층과;
 상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층과;
 상기 제 2 산화물 반도체층 위에 있고, 상기 제 1 산화물 반도체층 및 상기 제 2 산화물 반도체층과 각각 전기적으로 접속되는 소스 전극층 및 드레인 전극층과;
 상기 제 1 절연층, 상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층의 각각과 중첩되는 제 3 산화물 반도체층과;

상기 제 3 산화물 반도체층 위의 게이트 절연막과;
 상기 게이트 절연막 위의 게이트 전극층과;
 상기 게이트 전극층 위의 제 2 절연층을 포함하고,
 상기 제 2 절연층은 상기 소스 전극층의 상면 및 상기 드레인 전극층의 상면에 접촉하는, 반도체 장치.

청구항 6

제 1 항, 제 2 항, 및 제 5 항 중 어느 한 항에 있어서,
 상기 제 1 산화물 반도체층은 c축이 상기 절연 표면에 수직인 방향으로 배향되는 결정층을 포함하고,
 상기 제 2 산화물 반도체층은 c축이 상기 제 1 산화물 반도체층의 상면에 수직인 방향으로 배향되는 결정층을 포함하는, 반도체 장치.

청구항 7

제 5 항에 있어서,
 상기 제 2 산화물 반도체층은 상기 제 3 산화물 반도체층에 접촉하는 영역에서 곡면을 갖는, 반도체 장치.

청구항 8

제 1 항, 제 2 항, 및 제 5 항 중 어느 한 항에 있어서,
 상기 제 1 산화물 반도체층의 전도대 하단의 에너지 및 상기 제 3 산화물 반도체층의 전도대 하단의 에너지는 상기 제 2 산화물 반도체층의 전도대 하단의 에너지보다 0.05eV 이상 2eV 이하만큼 진공 준위에 가까운, 반도체 장치.

청구항 9

제 5 항에 있어서,
 상기 제 3 산화물 반도체층은 1nm 이상 10nm 이하의 크기의 나노 결정을 포함하는, 반도체 장치.

명세서

기술분야

- [0001] 본 발명의 일 형태는 산화물 반도체를 사용한 반도체 장치에 관한 것이다.
- [0002] 다만, 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로, 본 명세서에 개시되는 본 발명의 일 형태의 기술 분야의 더 구체적인 일례로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 들 수 있다.
- [0003] 또한, 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 트랜지스터나 반도체 회로는 반도체 장치의 일 형태이다. 또한, 기억 장치, 표시 장치, 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경 기술

- [0004] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 사용할 수 있는 반도체 박막의 재료로서는 실리콘계 반도체가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다.
- [0005] 예를 들어, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 비정질 산화물 반도체를 사용한 트랜지스터가 특허문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특개2006-165528호 공보

발명의 내용

해결하려는 과제

[0007] 집적 회로의 고밀도화를 위해서는 트랜지스터의 미세화가 필수 기술이다. 한편, 트랜지스터의 미세화에 따라 트랜지스터의 전기 특성이 열화되거나 편차가 발생하기 쉬워지는 것이 알려져 있다. 즉, 트랜지스터의 미세화에 따라 집적 회로의 수율이 저하되기 쉬워진다.

[0008] 따라서, 본 발명의 일 형태는 미세화에 따라 현저해지는 전기 특성의 저하를 억제할 수 있는 구조의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는 미세화에 따른 수율 저하를 억제할 수 있는 구조의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 집적도가 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 온 전류 특성의 열화가 저감된 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 저소비 전력의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신뢰성이 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신규 반도체 장치를 제공하는 것을 목적 중 하나로 한다.

[0009] 다만, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 모든 과제를 해결할 필요는 없다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 내용으로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 내용으로부터 이들 외의 과제를 만들어낼 수 있다.

과제의 해결 수단

[0010] 본 발명의 일 형태는 적층된 산화물 반도체층을 구비하는 반도체 장치에 관한 것이다.

[0011] 본 발명의 일 형태는 절연 표면 위에 제 1 산화물 반도체층 및 제 2 산화물 반도체층이 순차적으로 형성된 적층과, 상기 적층의 측면의 일부, 상면의 일부, 및 상기 측면과 대향하는 측면의 일부를 덮도록 형성된 제 3 산화물 반도체층을 구비하며, 제 3 산화물 반도체층은 적층과 접촉하는 제 1 층, 및 상기 제 1 층 위의 제 2 층을 구비하고, 제 1 층은 미결정층으로 형성되고, 제 2 층은 제 1 층의 표면에 대하여 c축이 수직 방향으로 배향되는 결정층으로 형성되는 것을 특징으로 하는 반도체 장치이다.

[0012] 또한, 본 발명의 다른 일 형태는 절연 표면 위에 제 1 산화물 반도체층 및 제 2 산화물 반도체층이 순차적으로 형성된 적층과, 상기 적층의 일부와 접촉하는 소스 전극층 및 드레인 전극층과, 절연 표면, 적층, 소스 전극층 및 드레인 전극층 각각의 일부와 접촉하도록 형성된 제 3 산화물 반도체층과, 제 3 산화물 반도체층 위에 형성된 게이트 절연막과, 게이트 절연막 위에 형성된 게이트 전극층과, 소스 전극층, 드레인 전극층, 및 게이트 전극층 위에 형성된 절연층을 구비하고, 제 3 산화물 반도체층은 적층과 접촉하는 제 1 층, 및 상기 제 1 층 위의 제 2 층을 구비하고, 제 1 층은 미결정층으로 형성되고, 제 2 층은 제 1 층의 표면에 대하여 c축이 수직 방향으로 배향되는 결정층으로 형성되는 것을 특징으로 하는 반도체 장치이다.

[0013] 또한, 본 명세서 등에서 '제 1', '제 2' 등의 서수사는 구성 요소의 혼동을 피하기 위해서 붙인 것이며, 수(數)적으로 한정하는 것이 아님을 부기한다.

[0014] 상기 제 1 산화물 반도체층은 절연 표면에 대하여 수직 방향으로 c축이 배향되는 결정층을 구비하고, 상기 제 2 산화물 반도체층은 제 1 산화물 반도체층의 상면에 대하여 수직 방향으로 c축이 배향되는 결정층을 구비하는 것이 바람직하다.

[0015] 또한, 상기 적층과 제 3 산화물 반도체층이 접촉하는 영역에서, 제 2 산화물 반도체층의 표면이 곡면을 갖는 것이 바람직하다.

[0016] 또한, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 전도대 하단의 에너지가 제 2 산화물 반도체층의 전도대 하단의 에너지보다 0.05eV 이상 2eV 이하만큼 진공 준위에 가까운 것이 바람직하다.

[0017] 또한, 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 제 3 산화물 반도체층은 In-M-Zn산화물층(M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf)이고, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 제 2 산화물 반도체층에 비해 In에 대한 M의 원자수비가 큰 것이 바람직하다.

발명의 효과

[0018] 본 발명의 일 형태를 사용함으로써, 미세화에 따라 현저해지는 전기 특성의 열화를 억제할 수 있는 구조의 반도체 장치를 제공할 수 있다. 또는 미세화에 따른 수율 저하를 억제할 수 있는 구조의 반도체 장치를 제공할 수 있다. 또는, 집적도가 높은 반도체 장치를 제공할 수 있다. 또는, 온 전류 특성의 열화가 저감된 반도체 장치를 제공할 수 있다. 또는, 저소비 전력의 반도체 장치를 제공할 수 있다. 또는, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공할 수 있다. 또는, 신규 반도체 장치를 제공할 수 있다.

[0019] 다만, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 이들 모든 효과를 가질 필요는 없다. 또한, 이들 외의 효과는 명세서, 도면, 청구항 등의 내용으로부터 저절로 명확해지는 것이며, 명세서, 도면, 및 청구항 등의 내용으로부터 이들 외의 효과를 만들어낼 수 있다.

도면의 간단한 설명

- [0020] 도 1은 트랜지스터의 상면도 및 단면도.
- 도 2는 트랜지스터의 단면도.
- 도 3은 산화물 반도체층의 밴드 구조를 설명하기 위한 도면.
- 도 4는 산화물 반도체층의 적층의 일부에서의 결정 구조를 설명하기 위한 도면.
- 도 5는 트랜지스터의 확대 단면도.
- 도 6은 트랜지스터의 단면도.
- 도 7은 트랜지스터의 제작 방법을 설명하기 위한 도면.
- 도 8은 트랜지스터의 제작 방법을 설명하기 위한 도면.
- 도 9는 반도체 장치의 단면도 및 회로도.
- 도 10은 반도체 장치의 회로도.
- 도 11은 반도체 장치의 회로도 및 단면도.
- 도 12는 반도체 장치의 회로도.
- 도 13은 반도체 장치를 사용할 수 있는 전자 기기를 설명하기 위한 도면.
- 도 14는 산화물 반도체층의 적층 상태를 관찰하기 위한 샘플의 단면도.
- 도 15는 산화물 반도체층의 단면 TEM 사진.

발명을 실시하기 위한 구체적인 내용

[0021] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 다른 도면에 공통적으로 이용하며, 그 반복되는 설명은 생략하는 경우가 있다.

[0022] 또한, 본 명세서 등에서, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우에는 X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접 접속되어 있는 경우를 포함한다. 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장으로 제시된 접속 관계에 한정되지 않으며, 도면 또는 문장으로 제시된 접속 관계 이외의 것도 포함한다.

- [0023] X와 Y가 전기적으로 접속되어 있는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태 또는 오프 상태로 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다.
- [0024] X와 Y가 기능적으로 접속되어 있는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되어 있는 것으로 한다.
- [0025] 또한, 'X와 Y가 접속되어 있다'라고 명시적으로 기재하는 경우는, X와 Y가 전기적으로 접속되어 있는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 개재(介在)하여 접속되어 있는 경우)와, X와 Y가 기능적으로 접속되어 있는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 개재하여 기능적으로 접속되어 있는 경우)와, X와 Y가 직접 접속되어 있는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되어 있는 경우)를 포함하는 것으로 한다. 즉, '전기적으로 접속되어 있다'라고 명시적으로 기재하는 경우에는 단순히 '접속되어 있다'라고만 명시적으로 기재되어 있는 경우와 같은 것으로 한다.
- [0026] 또한, 회로도상 독립되어 있는 구성 요소끼리가 전기적으로 접속되어 있는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선 및 전극 양쪽의 구성 요소의 기능을 함께 가지고 있다. 따라서, 본 명세서에서 '전기적으로 접속'이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 함께 가지고 있는 경우도 그 범주에 포함한다.
- [0027] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 개재하여(또는 개재하지 않고) X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 개재하여(또는 개재하지 않고) Y와 각각 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와, Z1의 다른 일부가 X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와, Z2의 다른 일부가 Y와 각각 직접적으로 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.
- [0028] 예를 들어, 'X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 각각 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 개재하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이러한 예와 같은 표현 방법을 이용하여 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 다만, 이러한 표현 방법은 일례이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다.
- [0029] 또한, 본 명세서 등에서는 다양한 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 것에 한정되지 않는다. 그 기판의 일례로서는 반도체 기판(예를 들어 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스강 기판, 스테인리스강박이 사용된 기판, 텅스텐 기판, 텅스텐박이 사용된 기판, 가요성 기판, 접합 필름, 섬유재를 포함하는 종이, 또는 기재(基材) 필름 등이 있다. 유리 기판의 일례로서는, 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 또는 소다 석회 유리 등이 있다. 가요성 기판의 일례로서는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리에테르설폰(PES)으로 대표되는 플라스틱, 또는 아크릴 등 가요성을 갖는 합성 수지 등이 있다. 접합 필름의 일례로서는, 폴리프로필렌, 폴리에스테르, 폴리불화비닐, 또는 폴리염화비닐 등이 있다. 기재 필름의 일례로서는, 폴리에스테르, 폴리아마이드, 폴리이미드, 무기 증착 필름, 또는 종이류 등이 있다. 특히 반도체 기판, 단결정

기관, 또는 SOI 기관 등을 사용하여 트랜지스터를 제조함으로써, 특성, 크기, 또는 형상 등의 편차가 적고 전류 능력이 높고 크기가 작은 트랜지스터를 제조할 수 있다. 이러한 트랜지스터로 회로를 구성하면, 회로의 저소비 전력화 또는 고집적화를 도모할 수 있다.

[0030] 또한, 기관으로서 가요성 기관을 사용하고, 이 가요성 기관 위에 직접 트랜지스터를 형성하여도 좋다. 또는, 기관과 트랜지스터 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치의 일부 또는 전체를 형성한 후에 기관으로부터 분리하여 다른 기관으로 전재(轉載)하기 위해서 사용할 수 있다. 이와 같이 하면, 내열성이 낮은 기관이나 가요성 기관에도 트랜지스터를 전재할 수 있다. 또한, 상기 박리층은 예를 들어, 텅스텐막과 산화 실리콘막 등의 무기막을 적층한 구조나, 기관 위에 폴리이미드 등의 유기 수지막이 형성된 구조 등을 가질 수 있다.

[0031] 즉, 한 기관을 사용하여 트랜지스터를 형성한 후, 다른 기관으로 트랜지스터를 전치하여 그 다른 기관 위에 트랜지스터를 배치하여도 좋다. 트랜지스터가 전치되는 기관의 일례로서는, 트랜지스터를 형성하는 것이 가능한 상술한 바와 같은 기관에 더하여, 종이 기관, 셀로판 기관, 아라미드 필름 기관, 폴리이미드 필름 기관, 석재 기관, 목재 기관, 직물 기관(천연 섬유(견, 면, 마), 합성 섬유(나일론, 폴리에틸렌, 폴리에스테르) 또는 재생 섬유(아세테이트, 큐프라, 레이온, 재생 폴리에스테르) 등을 포함함), 피혁 기관, 또는 고무 기관 등을 들 수 있다. 이러한 기관을 사용함으로써, 특성이 양호한 트랜지스터의 형성, 소비 전력이 작은 트랜지스터의 형성, 깨지기 어려운 장치의 제조, 내열성의 부여, 경량화, 또는 박형화를 도모할 수 있다.

[0032] (실시형태 1)

[0033] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여 도면을 사용하여 설명한다.

[0034] 도 1은 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도이다. 도 1의 (A)는 상면도이고, 도 1의 (A)를 일점 쇄선 A1-A2에서 절단한 단면이 도 1의 (B)이다. 또한, 도 1의 (A)를 일점 쇄선 A3-A4에서 절단한 단면이 도 1의 (C)이다. 또한, 도 1의 (A)의 상면도에서는 도면의 명료화를 위해서 요소의 일부를 생략하였다. 또한, 일점 쇄선 A1-A2 방향을 채널 길이 방향, 일점 쇄선 A3-A4 방향을 채널 폭 방향으로 부르는 경우가 있다.

[0035] 도 1 및 도 2에 도시한 트랜지스터(100)는 기관(110) 위에 형성된 하지 절연막(120)과, 상기 하지 절연막 위의, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)이 순차적으로 형성된 적층과, 상기 적층의 일부와 접촉하도록 형성된 소스 전극층(140) 및 드레인 전극층(150)과, 하지 절연막(120), 상기 적층, 소스 전극층(140), 및 드레인 전극층(150) 각각의 일부와 접촉하는 제 3 산화물 반도체층(133)과, 상기 제 3 산화물 반도체층 위에 형성된 게이트 절연막(160), 상기 게이트 절연막 위에 형성된 게이트 전극층(170)과, 소스 전극층(140), 드레인 전극층(150), 및 게이트 전극층(170) 위에 형성된 절연층(180)을 구비한다.

[0036] 여기서, 제 1 산화물 반도체층(131)은 하지 절연막(120)의 표면에 대하여 수직 방향으로 c축이 배향되는 결정층을 구비하고, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131)의 상면에 대하여 수직 방향으로 c축이 배향되는 결정층을 구비하는 것이 바람직하다.

[0037] 또한, 제 3 산화물 반도체층(133)은 상기 적층과 접촉하는 제 1 층, 및 상기 제 1 층 위의 제 2 층을 구비하는 구조로 형성된다. 상기 제 1 층은 미결정층이고, 상기 제 2 층은 상기 제 1 층의 표면에 대하여 c축이 수직 방향으로 배향되는 결정층으로 형성된다.

[0038] 또한, 절연층(180) 위에 산화물로 형성된 절연층(185)이 형성되어도 좋다. 상기 절연층(185)은 필요에 따라 제공하면 좋고, 그 위에 다른 절연층을 더 형성하여도 좋다. 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)을 총칭하여 산화물 반도체층(130)으로 부른다.

[0039] 또한, 트랜지스터의 '소스'나 '드레인'의 기능은 다른 극성을 갖는 트랜지스터가 적용되는 경우나, 또는 회로 동작에서 전류 방향이 변화되는 경우 등에 서로 바뀔 수 있다. 그러므로, 본 명세서에서는 '소스'나 '드레인'이라는 용어는 교체하여 사용할 수 있다.

[0040] 또한, 본 발명의 일 형태에 따른 트랜지스터는 산화물 반도체층(제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132))과 중첩되는 소스 전극층(140) 또는 드레인 전극층(150)에서, 도 1의 (A)의 상면도에 도시한 산화물 반도체층의 한쪽 단부로부터 소스 전극층(140) 또는 드레인 전극층(150)의 한쪽 단부까지의 거리(ΔW)를 50nm 이하, 바람직하게는 25nm 이하로 한다. ΔW 를 작게 함으로써, 소스 전극층(140) 또는 드레인 전극층(150)의 구성 재료인 금속 재료로 확산되는, 하지 절연막(120)에 함유되는 산소의 양을 억제할 수 있다. 따라서, 하지 절연막(120)에 함유된 산소, 특히 과잉으로 함유된 산소가 불필요하게 방출되는 것을 억제할 수 있어, 하

지 절연막(120)으로부터 산화물 반도체층으로 산소를 효율적으로 공급할 수 있다.

- [0041] 다음에, 본 발명의 일 형태에 따른 트랜지스터(100)의 구성 요소에 대하여 자세히 설명한다.
- [0042] 기관(110)은 단순한 지지 기관에 한정되지 않으며, 트랜지스터 등 다른 디바이스가 형성된 기관이어도 좋다. 이 경우에는 트랜지스터(100)의 게이트 전극층(170), 소스 전극층(140), 및 드레인 전극층(150) 중 적어도 하나는 상기 다른 디바이스와 전기적으로 접속되어도 좋다.
- [0043] 하지 절연막(120)은 기관(110)으로부터의 불순물 확산을 방지하는 역할뿐만 아니라, 산화물 반도체층(130)에 산소를 공급하는 역할도 가질 수 있다. 그러므로, 하지 절연막(120)은 산소를 함유한 절연막인 것이 바람직하고, 화학양론적 조성보다 많은 산소를 함유한 절연막이면 더 바람직하다. 또한, 기관(110)이 상술한 바와 같은 다른 디바이스가 형성된 기관인 경우, 하지 절연막(120)은 층간 절연막으로서의 기능도 갖는다. 이 경우에는 표면이 평탄하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 수행하는 것이 바람직하다.
- [0044] 또한, 트랜지스터(100)의 채널이 형성되는 영역에서 산화물 반도체층(130)은 기관(110) 측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 순차적으로 적층된 구조를 갖는다. 또한, 도 1의 (C)의 채널 폭 방향의 단면에 도시한 바와 같이, 채널 형성 영역에서 제 3 산화물 반도체층(133)은 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)으로 이루어진 적층의 측면, 상면, 및 상기 측면과 대향하는 측면을 덮도록 형성된다. 따라서, 채널 형성 영역에서 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 의하여 둘러싸인 구조이다.
- [0045] 여기서, 일례로서 제 2 산화물 반도체층(132)에는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 전자 친화력(진공 준위로부터 전도대 하단까지의 에너지)이 큰 산화물 반도체를 사용한다. 전자 친화력은 진공 준위와 가전자대 상단의 에너지 차이(이온화 퍼텐셜)로부터, 전도대 하단과 가전자대 상단의 에너지 차이(에너지 갭)를 뺀으로써 산출할 수 있다.
- [0046] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하고, 예를 들어 전도대 하단의 에너지가 제 2 산화물 반도체층(132)보다 0.05eV, 0.07eV, 0.1eV, 0.15eV 중 어느 값 이상, 2eV, 1eV, 0.5eV, 0.4eV 중 어느 값 이하만큼 진공 준위에 가까운 산화물 반도체로 형성되는 것이 바람직하다.
- [0047] 이러한 구조에 있어서, 게이트 전극층(170)에 전계를 인가하면 산화물 반도체층(130) 중 전도대 하단의 에너지가 가장 작은 제 2 산화물 반도체층(132)에 채널이 형성된다. 즉, 제 2 산화물 반도체층(132)과 게이트 절연막(160) 사이에 제 3 산화물 반도체층(133)이 형성되어 있음으로써, 트랜지스터의 채널이 게이트 절연막과 접촉하지 않는 구조가 된다.
- [0048] 또한, 제 1 산화물 반도체층(131)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 하지 절연막(120)이 접촉하는 경우의 계면에 비해 제 2 산화물 반도체층(132)과 제 1 산화물 반도체층(131) 사이의 계면에 계면 준위가 형성되기 어려워진다. 상기 계면 준위는 채널을 형성하는 경우가 있기 때문에 트랜지스터의 문턱 전압이 변동될 수 있다. 따라서, 제 1 산화물 반도체층(131)을 제공함으로써 트랜지스터의 문턱 전압 등 전기 특성의 편차를 저감할 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.
- [0049] 또한, 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 함유하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 게이트 절연막(160)이 접촉하는 경우의 계면에 비해 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133) 사이의 계면에서 캐리어가 산란되기 어려워진다. 따라서, 제 3 산화물 반도체층(133)을 제공함으로써 트랜지스터의 전계 효과 이동도를 높게 할 수 있다.
- [0050] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 인듐, 아연, 및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 함유한 In-M-Zn 산화물층인 경우, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 중 In 또는 Zn에 대한 M의 원자수비는 제 2 산화물 반도체층(132)의 그것보다 높게 하는 것이 바람직하다. 구체적으로는, 상기 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. M은 In 또는 Zn보다 산소와 강하게 결합하기 때문에, 산화물 반도체층에 산소 결손이 발생하는 것을 억제하는 기능을 갖는다. 즉 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는 제 2 산화물 반도체층(132)보다 산소 결손이 발생하기 어렵다고 할 수 있다.
- [0051] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 인듐, 아연,

및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 함유한 In-M-Zn 산화물층인 경우, 제 1 산화물 반도체층(131)의 원자수비를 In:M:Zn= $x_1:y_1:z_1$, 제 2 산화물 반도체층(132)의 원자수비를 In:M:Zn= $x_2:y_2:z_2$, 제 3 산화물 반도체층(133)의 원자수비를 In:M:Zn= $x_3:y_3:z_3$ 으로 하면, y_1/x_1 및 y_3/x_3 이 y_2/x_2 보다 큰 것이 바람직하다. y_1/x_1 및 y_3/x_3 은 y_2/x_2 보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 이 경우에 제 2 산화물 반도체층(132)에서 y_2 가 x_2 이상이면 트랜지스터의 전기 특성을 안정화시킬 수 있다. 다만, y_2 가 x_2 의 3배 이상이 되면 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y_2 는 x_2 의 3배 미만인 것이 바람직하다.

[0052] 또한, 본 명세서에서 산화물 반도체층의 조성을 설명하는 원자수비로서는 그 모재(base material)의 원자수비를 말하는 경우도 포함된다. 타깃으로서 산화물 반도체 재료를 사용하여 스퍼터링법으로 성막하는 경우, 스퍼터링 가스의 종류나 그 비율, 타깃의 밀도, 및 성막 조건에 따라, 성막되는 산화물 반도체층의 조성이 그 모재의 타깃 조성과 달라지는 경우가 있다. 따라서, 본 명세서에서는 산화물 반도체층의 조성을 설명하는 원자수비에는 그 모재의 원자수비도 포함한다. 예를 들어, 스퍼터링법을 이용하여 성막하는 경우에, 원자수비가 1:1:1인 In-Ga-Zn 산화물막을, 원자수비가 1:1:1인 In-Ga-Zn 산화물 재료를 타깃으로서 사용하여 성막된 In-Ga-Zn 산화물막으로 바꿔 말할 수 있다.

[0053] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 50atomic% 미만이고 M이 50atomic% 이상인 것이 바람직하고, In이 25atomic% 미만이고 M이 75atomic% 이상이면 더 바람직하다. 또한, 제 2 산화물 반도체층(132) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 25atomic% 이상이고 M이 75atomic% 미만인 것이 바람직하고, In이 34atomic% 이상이고 M이 66atomic% 미만이면 더 바람직하다.

[0054] 제 1 산화물 반도체층(131)의 두께 및 제 3 산화물 반도체층(133)의 두께는 1nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 산화물 반도체층(132)의 두께는 1nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0055] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는, 예를 들어 인듐, 아연, 및 갈륨을 함유한 산화물 반도체를 사용할 수 있다. 특히 제 2 산화물 반도체층(132)이 인듐을 함유하면, 캐리어 이동도가 높아지기 때문에 바람직하다.

[0056] 따라서, 산화물 반도체층(130)을 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 적층 구조로 함으로써, 제 2 산화물 반도체층(132)에 채널을 형성할 수 있어, 높은 전계 효과 이동도 및 안정된 전기 특성을 갖는 트랜지스터를 형성할 수 있다.

[0057] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 밴드 구조에서는 전도대 하단의 에너지가 연속적으로 변화된다. 이것은 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 조성이 근사되어 산소가 상호로 확산되기 쉽다는 것으로부터도 이해된다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)은 조성이 다른 층으로 이루어진 적층체이지만, 물성적으로 연속되어 있다고도 할 수 있으며, 도면에서는 상기 적층체의 각 층의 계면은 점선으로 도시하였다.

[0058] 공통된 주성분을 함유한 층이 적층된 산화물 반도체층(130)은 각 층을 단순히 적층하지 않고 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 층 사이에서 연속적으로 변화되는 U자형 웰 구조(well structure))가 형성되도록 제작한다. 즉, 각 층 사이의 계면에 트랩 중심이나 재결합 중심 등 결함 준위를 형성하는 불순물이 존재하지 않는 적층 구조를 형성한다. 만약에 적층된 산화물 반도체층들 사이에 불순물이 혼재되어 있으면 에너지 밴드의 연속성이 없어서 계면에서 캐리어가 트랩되거나 재결합하여 소멸된다.

[0059] 예를 들어, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 원자수비가 In:Ga:Zn=1:3:2, 1:3:3, 1:3:4, 1:3:6, 1:6:4, 또는 1:9:6인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 원자수비가 In:Ga:Zn=1:1:1, 5:5:6, 또는 3:1:2 등인 In-Ga-Zn 산화물 등을 사용할 수 있다.

[0060] 산화물 반도체층(130) 중 제 2 산화물 반도체층(132)이 웰(우물)이 되어, 산화물 반도체층(130)을 사용한 트랜지스터에서 채널이 제 2 산화물 반도체층(132)에 형성된다. 또한, 산화물 반도체층(130)은 전도대 하단의 에너지가 연속적으로 변화되고 있기 때문에, U자형 웰(U-shaped well)로도 부를 수 있다. 또한, 이러한 구성으로

형성된 채널을 매몰 채널로도 부를 수 있다.

- [0061] 또한, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과, 산화 실리콘막 등 절연막 사이의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있다. 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 있음으로써, 제 2 산화물 반도체층(132)을 상기 트랩 준위로부터 떨어져 존재하게 할 수 있다.
- [0062] 다만, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)의 전도대 하단의 에너지와, 제 2 산화물 반도체층(132)의 전도대 하단의 에너지의 차이가 작으면, 제 2 산화물 반도체층(132)의 전자가 상기 에너지 차이를 넘어 트랩 준위에 도달하는 경우가 있다. 전자가 트랩 준위에 트랩됨으로써 절연막과의 계면에 음의 고정 전하가 생겨 트랜지스터의 문턱 전압이 양 방향으로 변동된다.
- [0063] 따라서, 트랜지스터의 문턱 전압의 변동을 저감하기 위해서는 제 1 산화물 반도체층(131)의 전도대 하단의 에너지와 제 2 산화물 반도체층(132)의 전도대 하단의 에너지 사이, 및 제 3 산화물 반도체층(133)의 전도대 하단의 에너지와 제 2 산화물 반도체층(132)의 전도대 하단의 에너지 사이에 일정 이상의 차이가 있을 필요가 있다. 상기 에너지 차이는 각각 0.1eV 이상이 바람직하고, 0.15eV 이상이면 더 바람직하다.
- [0064] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 c축이 배향된 결정층이 포함되는 것이 바람직하다. 상기 결정층이 포함되는 막을 사용함으로써, 트랜지스터의 전기 특성을 안정화시킬 수 있다.
- [0065] 또한, 산화물 반도체층(130)에 In-Ga-Zn 산화물을 사용하는 경우, In이 게이트 절연막으로 확산되는 것을 방지하기 위해서 제 3 산화물 반도체층(133)의 조성은 제 2 산화물 반도체층(132)보다 In이 적은 것이 바람직하다.
- [0066] 본 발명의 일 형태에 따른 트랜지스터는 상술한 바와 같이 매몰 채널인데다가 도 2와 같이 제 3 산화물 반도체층(133)이, 제 1 산화물 반도체층(131)과 제 2 산화물 반도체층(132)의 적층 및 하지 절연막(120)에 접촉하는 미결정층(133a)과, 상기 미결정층의 표면에 대하여 c축이 수직 방향으로 배향되는 결정층(133b)을 구비하는 구성이다.
- [0067] 상기 구조에서 산화물 반도체층(도 2의 B1-B2 방향)의 밴드 구조를 자세히 도 3에 도시하였다. 여기서, Evac는 진공 준위의 에너지, EcI1 및 EcI2는 산화 실리콘막의 전도대 하단의 에너지, EcS1은 제 1 산화물 반도체층(131)의 전도대 하단의 에너지, EcS2는 제 2 산화물 반도체층(132)의 전도대 하단의 에너지, EcS3은 제 3 산화물 반도체층(133)의 전도대 하단의 에너지이다.
- [0068] EcS1과 EcS2 사이, 및 EcS3과 EcS2 사이에서는 에너지가 급격히 변화되지 않고 그 변화의 시작 및 마지막은 완만한 기울기이다.
- [0069] 이것은 제 1 산화물 반도체층(131)과 제 2 산화물 반도체층(132) 사이의 계면, 및 제 3 산화물 반도체층(133)과 제 2 산화물 반도체층(132) 사이의 계면에서 조성물이 상호 확산되어 그 조성이 제 1 산화물 반도체층(131)과 제 2 산화물 반도체층(132) 중간의 조성, 또는 제 3 산화물 반도체층(133)과 제 2 산화물 반도체층(132) 중간의 조성을 갖는 영역을 형성하기 때문이다.
- [0070] 그러므로, 도 3에 도시한 바와 같이, 제 2 산화물 반도체층(132)에 형성되는 채널은 제 3 산화물 반도체층(133)과 제 2 산화물 반도체층(132) 사이의 계면으로부터 막의 중심 방향을 향하여 약간 떨어진 위치와, 제 1 산화물 반도체층(131)과 제 2 산화물 반도체층(132) 사이의 계면으로부터 막의 중심 방향을 향하여 약간 떨어진 위치 사이의 영역(132b)에 형성된다. 따라서, 상술한 계면 중 어느 계면에 결함이나 불순물이 존재하더라도 캐리어의 트랩이나 재결합을 억제할 수 있다.
- [0071] 또한, 제 3 산화물 반도체층(133)에서, 제 1 산화물 반도체층(131)과 제 2 산화물 반도체층(132)의 적층에 접촉하는 영역은 미결정층(133a)이고, 상기 미결정층은 그 위에 형성되는 결정층(133b)보다 밀도가 낮기 때문에, 제 2 산화물 반도체층(132)의 조성물이 제 3 산화물 반도체층(133) 측으로 확산되기 쉬워진다. 따라서, 제 3 산화물 반도체층(133)과 제 2 산화물 반도체층(132) 중간의 조성을 갖는 영역이 넓어진다. 그러므로, 제 2 산화물 반도체층(132)에 형성되는 채널은 제 3 산화물 반도체층(133)과 제 2 산화물 반도체층(132) 사이의 계면으로부터 막의 중심 방향을 향하여 더 떨어진 위치에 형성되고, 상술한 계면에 결함이나 불순물이 있는 경우의 불량을 더 효과적으로 억제할 수 있다.
- [0072] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132)이 c축이 배향된 결정층으로 형성되어 있는 경우, 미결정층(133a)은 상기 결정층보다 밀도가 낮으므로 산소를 비교적 확산시키기 쉽다고 할 수 있다. 따라서, 미결정층(133a)이 경로가 되어 하지 절연막(120)으로부터, 채널이 형성되는 제 2 산화물 반도체층(132)으로 산소

를 효율적으로 공급할 수 있어, 산소 결손에 산소를 보전할 수 있다.

- [0073] 또한, 제 3 산화물 반도체층(133) 중 결정층(133b)에서는 미결정층(133a)의 표면에 대하여 수직 방향으로 c축이 배향된다. 그러므로, 제 2 산화물 반도체층(132)의 표면이 곡면을 갖도록 형성됨으로써, c축이 배향된 결정에 의하여 제 2 산화물 반도체층(132)의 채널 영역을 틈 없이 덮을 수 있다.
- [0074] 도 4의 (A)는 곡면을 갖도록 형성된 제 2 산화물 반도체층(132), 상기 제 2 산화물 반도체층을 덮는 미결정층(133a), 상기 미결정층 위에 형성되는 결정층(133b)의 적층의 일부에서의 결정 구조를 모식적으로 도시한, 트랜지스터의 채널 폭 방향의 단면도이다. 여기서, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131)(미도시)의 표면에 대하여 수직 방향으로 c축이 배향된 결정층이다.
- [0075] 도 4의 (A)와 같이 제 2 산화물 반도체층(132)의 표면이 곡면을 갖도록 형성되면, 미결정층(133a)을 개재하여 상기 곡면을 갖는 표면에 대하여 수직 방향으로 c축이 배향되고 틈이 없는 결정층(133b)을 구비하는 제 3 산화물 반도체층(133)을 형성할 수 있다. 따라서, 제 3 산화물 반도체층(133)이 갖는, 제 2 산화물 반도체층(132)으로부터의 산소 이탈을 억제하는 효과, 또는 하지 절연막(120)으로부터 방출되는 산소를 가두는 효과를 높일 수 있어, 제 2 산화물 반도체층(132)의 산소 결손에 산소를 효율적으로 보전할 수 있다.
- [0076] 또한, 제 2 산화물 반도체층(132)의 표면이 곡면을 갖도록 형성되지 않는 경우에는 도 4의 (B)에 도시한 바와 같이 제 3 산화물 반도체층(133)에서 제 2 산화물 반도체층(132)의 상부에 형성되는 결정층(133b)과 측부에 형성되는 결정층(133b)이 교차하는 영역에 결정의 밀도가 낮은 영역(233)이 형성된다. 그러므로, 제 2 산화물 반도체층(132)이 갖는 산소, 및 하지 절연막(120)으로부터 제 2 산화물 반도체층(132)으로 공급되는 산소가 영역(233)을 통하여 방출되기 쉬워진다. 따라서, 제 2 산화물 반도체층(132)의 산소 결손에 산소를 효율적으로 보전할 수 없게 된다.
- [0077] 또한, 산화물 반도체층을 채널로서 사용하는 트랜지스터의 전기 특성을 안정화시키기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감시켜 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, '실질적으로 진성'이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13} / \text{cm}^3$ 미만인 것을 말한다.
- [0078] 또한, 산화물 반도체층에 있어서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체층 내에서 불순물 준위의 형성에 기여한다. 상기 불순물 준위는 트랩이 되어 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 층 내나 각 계면에서의 불순물 농도를 저감시키는 것이 바람직하다.
- [0079] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 분석에서, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 실리콘 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 부분을 갖는 것이 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 수소 농도가 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하인 부분을 갖는 것이 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 질소 농도가 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하인 부분을 갖는 것이 좋다.
- [0080] 또한, 산화물 반도체층이 결정을 포함하는 경우에 실리콘이나 탄소가 고농도로 함유되면, 산화물 반도체층의 결정성이 저하될 수 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 실리콘 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 부분을 가지면 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 탄소 농도가 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만인 부분을 가지면 좋다.
- [0081] 또한, 상술한 바와 같이 고순도화된 산화물 반도체층이 채널 형성 영역에 사용된 트랜지스터의 오프 전류는 매

우 작다. 예를 들어 소스와 드레인 간의 전압을 0.1V, 5V, 또는 10V 정도로 한 경우에, 트랜지스터의 채널 폭으로 정규화된 오프 전류를 $\text{수yA}/\mu\text{m}$ 내지 $\text{수zA}/\mu\text{m}$ 까지 저감할 수 있다.

[0082] 또한, 트랜지스터의 게이트 절연막으로서는 실리콘을 함유한 절연막이 사용되는 경우가 많기 때문에, 산화물 반도체층의 채널이 되는 영역은 상술한 이유로 본 발명의 일 형태에 따른 트랜지스터와 같이 게이트 절연막과 접촉하지 않는 구조가 바람직하다고 할 수 있다. 또한, 게이트 절연막과 산화물 반도체층 사이의 계면에 채널이 형성되는 경우에는, 상기 계면에서 캐리어가 산란되어 트랜지스터의 전계 효과 이동도가 낮아질 수 있다. 이러한 관점에서 봐도, 산화물 반도체층의 채널이 되는 영역은 게이트 절연막으로부터 떨어지게 하는 것이 바람직하다고 할 수 있다.

[0083] 소스 전극층(140) 및 드레인 전극층(150)에는 산소와 결합되기 쉬운 도전 재료를 사용하는 것이 바람직하다. 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 사용할 수 있다. 이들 재료 중에서도 특히 산소와 결합되기 쉬운 Ti나, 나중의 공정 온도를 비교적 높게 할 수 있음 등의 이유로 용점이 높은 W를 사용하는 것이 더 바람직하다. 또한, 산소와 결합되기 쉬운 도전 재료에는 산소가 확산되기 쉬운 재료도 그 범주에 포함된다.

[0084] 산소와 결합되기 쉬운 도전 재료와 산화물 반도체층을 접촉시키면, 산화물 반도체층 내의 산소가, 산소와 결합되기 쉬운 도전 재료 측으로 확산되는 현상이 일어난다. 상기 현상은 온도가 높을수록 현저하게 일어난다. 트랜지스터의 제작 공정에서는 가열 공정을 수행하기 때문에, 상기 현상에 의하여, 산화물 반도체층의 소스 전극층 또는 드레인 전극층과 접촉한 근방의 영역에 산소 결손이 발생하여, 막 내에 미량으로 포함되는 수소와 상기 산소 결손이 결합됨으로써 상기 영역이 n형화된다. 따라서, 상기 n형화된 영역은 트랜지스터의 소스 또는 드레인으로서 작용할 수 있다.

[0085] 도 5의 트랜지스터의 확대 단면도(채널 길이 방향의 단면의 일부, 소스 전극층(140) 근방)에 상기 n형화된 영역이 도시되어 있다. 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132) 내에 점선으로 도시된 경계(135)는 진성 반도체 영역과 n형 반도체 영역의 경계이다. 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132) 중 소스 전극층(140)과 접촉한 근방의 영역이, n형화된 영역이 된다. 또한, 경계(135)는 모식적으로 도시한 것이며, 실제로는 명확하지 않은 경우가 있다. 또한, 도 5에서는 경계(135)의 일부가 제 2 산화물 반도체층(132) 내에서 가로 방향으로 연장되어 위치한 상태를 도시하였지만, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132) 중 소스 전극층(140)과 하지 절연막(120) 사이에 끼워진 영역의 막 두께 방향 전체가 n형화될 수도 있다.

[0086] 또한, 채널 길이가 매우 짧은 트랜지스터를 형성하면, 상기 산소 결손의 발생으로 인하여 n형화된 영역이 트랜지스터의 채널 길이 방향으로 연장되어 존재하는 경우가 있다. 이 경우, 문턱 전압의 변동이나 게이트 전압으로 온/오프를 제어하기 어려운 상태(도통 상태)가 되는 등 트랜지스터의 전기 특성이 변동된다. 그러므로, 채널 길이가 매우 짧은 트랜지스터를 형성하는 경우에는 소스 전극층 및 드레인 전극층에 산소와 결합되기 쉬운 도전 재료를 사용하는 것은 반드시 바람직하다고 할 수 없다.

[0087] 이러한 경우에는 소스 전극층(140) 및 드레인 전극층(150)에는 상술한 재료보다 산소와 결합되기 어려운 도전 재료를 사용할 수도 있다. 상기 도전 재료로서는, 예를 들어 질화 탄탈, 질화 티타늄, 금, 백금, 팔라듐, 또는 루테튬을 함유한 재료 등을 사용할 수 있다. 또한, 상기 도전 재료를 제 2 산화물 반도체층(132)과 접촉시키는 경우에는, 소스 전극층(140) 및 드레인 전극층(150)을, 상기 도전 재료 및 상술한 산소와 결합하기 쉬운 도전 재료를 적층한 구성으로 하여도 좋다.

[0088] 게이트 절연막(160)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 함유한 절연막을 사용할 수 있다. 또한, 게이트 절연막(160)은 상기 재료의 적층이어도 좋다.

[0089] 게이트 전극층(170)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, 및 W 등의 도전막을 사용할 수 있다. 또한, 상기 게이트 전극층은 상술한 재료의 적층이어도 좋다. 또한, 상기 게이트 전극층에는 질소를 함유한 도전막을 사용하여도 좋다.

[0090] 게이트 절연막(160) 및 게이트 전극층(170) 위에는 절연층(180)이 형성되는 것이 바람직하다. 상기 절연층에는 산화 알루미늄을 사용하는 것이 바람직하다. 산화 알루미늄막은 수소나 수분 등 불순물 및 산소의 양쪽 모두가 투과하지 않도록 이들을 차단하는 효과가 높다. 따라서, 산화 알루미늄막은 트랜지스터의 제작 공정 중 및 제작 후에 있어서, 트랜지스터의 전기 특성의 변동 요인이 되는 수소나 수분 등 불순물이 산화물 반도체층(130)으

로 혼입되거나, 산화물 반도체층(130)을 구성하는 주성분 재료인 산소가 산화물 반도체층으로부터 방출되거나, 하지 절연막(120)으로부터 산소가 불필요하게 방출되는 것을 방지하는 효과를 갖는 보호막으로서 사용하는 데에 적합하다. 또한, 산화 알루미늄막에 함유되는 산소는 산화물 반도체층 내로 확산될 수도 있다.

- [0091] 또한, 절연층(180) 위에는 절연층(185)이 형성되는 것이 바람직하다. 상기 절연층에는 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 함유한 절연막을 사용할 수 있다. 또한, 상기 절연층은 상기 재료의 적층이어도 좋다.
- [0092] 여기서, 절연층(185)은 과잉 산소를 함유하는 것이 바람직하다. 과잉 산소를 함유한 절연층이란, 열처리 등에 의하여 산소를 방출할 수 있는 절연층을 말한다. 예를 들어, 100℃ 이상 700℃ 이하, 바람직하게는 100℃ 이상 500℃ 이하의 표면 온도로 수행되는 열처리를 이용한 승온 이탈 가스 분광법에 의한 분석에서, 산소 원자로 환산된 경우의 산소의 방출량이 1.0×10^{19} atoms/cm³ 이상인 막으로 한다. 상기 절연층으로부터 방출되는 산소는 게이트 절연막(160)을 통하여 산화물 반도체층(130)의 채널 형성 영역으로 확산될 수 있기 때문에, 채널 형성 영역에 산소 결손이 형성된 경우에도 산소를 보전할 수 있다. 따라서, 트랜지스터의 전기 특성을 안정화시킬 수 있다.
- [0093] 반도체 장치의 고집적화를 위해서는 트랜지스터의 미세화가 필수이다. 한편, 트랜지스터의 미세화로 인하여 트랜지스터의 전기 특성이 열화되는 것이 알려져 있으며, 특히 채널 폭의 축소에 직접 기인하여 일어나는 온 전류의 저하는 현저하다.
- [0094] 그러나, 본 발명의 일 형태에 따른 트랜지스터에서는 상술한 바와 같이 제 2 산화물 반도체층(132) 중 채널이 형성되는 영역을 덮도록 제 3 산화물 반도체층(133)이 형성되고, 채널 형성층과 게이트 절연막이 접촉하지 않는 구조를 갖는다. 따라서, 채널 형성층과 게이트 절연막 사이의 계면에서 캐리어가 산란되는 것을 억제할 수 있어, 트랜지스터의 전기 효과 이동도를 높일 수 있다.
- [0095] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 2의 채널 폭 방향의 단면도에 도시한 바와 같이, 채널 폭 방향으로의 제 2 산화물 반도체층(132)의 상면의 길이(W_T)가 상기 산화물 반도체층의 두께와 같은 정도까지 축소된 구조로 하면, 전기 특성을 특히 향상시킬 수 있다.
- [0096] 예를 들어, 도 2와 같은 트랜지스터에서 W_T 가 상술한 바와 같이 작은 경우, 게이트 전극층(170)으로부터 제 2 산화물 반도체층(132)의 측면에 인가되는 전계는 제 2 산화물 반도체층(132) 전체에 미치기 때문에, 채널이 제 2 산화물 반도체층(132)의 측면과 상면에 균일하게 형성된다.
- [0097] W_T 가 작은 트랜지스터의 경우, 채널 폭은 W_T 와 채널 폭 방향으로의 제 2 산화물 반도체층(132)의 측면의 길이(W_{S1} , W_{S2})의 합($W_T+W_{S1}+W_{S2}$)으로 정의할 수 있으며, 상기 트랜지스터에는 상기 채널 폭에 따른 온 전류가 흐른다. 또한, W_T 가 매우 작은 경우에는 제 2 산화물 반도체층(132) 전체에 전류가 흐르게 된다.
- [0098] 즉, 본 발명의 일 형태에 따른 W_T 가 작은 트랜지스터에서는 캐리어의 산란을 억제하는 효과와 채널 폭을 확대하는 효과를 함께 갖기 때문에, 종래의 트랜지스터보다 온 전류를 높일 수 있다.
- [0099] 또한, $W_{S1}=W_{S2}=W_S$ 로 할 때, 트랜지스터의 온 전류를 효율적으로 향상시키기 위해서는 $0.3W_S \leq W_T \leq 3W_S$ (W_T 는 $0.3W_S$ 이상 $3W_S$ 이하)로 한다. 또한, 바람직하게는 $W_T/W_S = 0.5$ 이상 1.5 이하로 하고, 더 바람직하게는 $W_T/W_S = 0.7$ 이상 1.3 이하로 한다. $W_T/W_S > 3$ 의 경우에는 S값이나 오프 전류가 증가될 수 있다.
- [0100] 따라서, 본 발명의 일 형태에 따른 트랜지스터는 트랜지스터가 미세화된 경우에도 충분히 높은 온 전류를 얻을 수 있다.
- [0101] 또한, 본 발명의 일 형태에 따른 트랜지스터는 제 2 산화물 반도체층(132)을 제 1 산화물 반도체층(131) 위에 형성함으로써 계면 준위가 형성되기 어렵게 하는 효과나, 제 2 산화물 반도체층(132)을 3층 구조 중의 중간층으로 함으로써 상하로부터의 불순물 혼입의 영향을 배제할 수 있는 효과 등을 함께 갖는다. 그러므로, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131)과 제 3 산화물 반도체층(133)으로 둘러싼 구조가 되어, 상술한 트랜지스터의 온 전류의 향상에 더하여, 문턱 전압을 안정화시키거나 S값을 작게 할 수 있다. 따라서, I_{cut} (게이트 전압 VG가 0V일 때의 전류)를 작게 할 수 있어 반도체 장치의 소비 전력을 저감할 수 있다. 또한, 트랜지

스터의 문턱 전압이 안정화됨으로써 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.

- [0102] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 6과 같이 산화물 반도체층(130)과 기판(110) 사이에 도전막(172)을 구비하여도 좋다. 상기 도전막을 제 2 게이트 전극으로서 사용함으로써, 온 전류를 더 증가시키거나 문턱 전압을 제어할 수 있다. 온 전류를 증가시키기 위해서는, 예를 들어 게이트 전극층(170)과 도전막(172)을 같은 전위로 하며 상기 트랜지스터를 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 게이트 전극층(170)과 다른 정전위를 도전막(172)에 공급하면 좋다.
- [0103] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0104] (실시형태 2)
- [0105] 본 실시형태에서는 실시형태 1에서 설명한 도 1에 도시한 트랜지스터(100)의 제작 방법에 대하여 도 7 및 도 8을 사용하여 설명한다.
- [0106] 기판(110)으로서는 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘 또는 탄화 실리콘 등으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 사용하는 것도 가능하며, 이러한 기판 위에 반도체 소자가 제공된 것을 기판으로서 사용하여도 좋다.
- [0107] 하지 절연막(120)은 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등 질화물 절연막, 또는 상기 재료를 혼합한 막을 사용하여 형성할 수 있다. 또한, 상기 재료의 적층이어도 좋고, 적어도 산화물 반도체층(130)과 접촉하는 상층은 산화물 반도체층(130)에 대한 산소의 공급원이 될 수 있는, 과잉 산소를 함유한 재료로 형성하는 것이 바람직하다.
- [0108] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 하지 절연막(120)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 하지 절연막(120)으로부터 산화물 반도체층(130)으로 산소를 더 용이하게 공급할 수 있다.
- [0109] 또한, 기판(110)의 표면이 절연체이고 나중에 제공하는 산화물 반도체층(130)으로 불순물이 확산될 영향이 없는 경우에는 하지 절연막(120)을 제공하지 않는 구성으로 할 수 있다.
- [0110] 다음에, 하지 절연막(120) 위에 제 1 산화물 반도체층(131)이 되는 제 1 산화물 반도체막(331), 및 제 2 산화물 반도체층(132)이 되는 제 2 산화물 반도체막(332)을 스퍼터링법, CVD법, MBE법, ALD법, 또는 PLD법을 이용하여 성막한다(도 7의 (A) 참조).
- [0111] 다음에, 제 1 산화물 반도체막(331) 및 제 2 산화물 반도체막(332)을 선택적으로 에칭함으로써, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)을 형성한다(도 7의 (B) 참조). 이 때, 도시된 바와 같이 하지 절연막(120)을 약간 오버 에칭하여도 좋다. 하지 절연막(120)을 오버 에칭함으로써, 나중에 형성하는 게이트 전극이 제 2 산화물 반도체층(132)을 덮기 쉬워진다. 또한, 트랜지스터의 채널 폭 방향의 단면에서는 제 2 산화물 반도체층(132)의 상면으로부터 측면에 걸쳐 곡률을 갖는 형상으로 한다.
- [0112] 또한, 제 1 산화물 반도체막(331) 및 제 2 산화물 반도체막(332)을 선택적으로 에칭할 때, 포토레지스트뿐만 아니라 금속막 등의 하드마스크를 사용하여도 좋다. 또한, 상기 금속막 위에 유기 수지를 형성하여도 좋다. 예를 들어, 상기 금속막으로서 5nm 정도의 텅스텐막 등을 사용할 수 있다.
- [0113] 또한, 상기 에칭의 방법으로서 제 1 산화물 반도체막(331) 및 제 2 산화물 반도체막(332)의 에칭 레이트 차이가 작은 드라이 에칭법을 이용하는 것이 바람직하다.
- [0114] 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)의 적층에서 연속 접합을 형성하기 위해서는 로드록 체임버를 구비한 멀티 체임버 방식의 성막 장치(예를 들어 스퍼터링 장치)를 이용하여 각 층을 대기에 노출시키지 않고 연속적으로 적층하는 것이 바람직하다. 스퍼터링 장치에서의 각 체임버는 산화물 반도체에 있어서 불순물인 물 등을 가능한 한 제거하기 위해서 크라이오 펌프 등 흡착식 진공 배기 펌프를 이용하여 고진공 배기(5×10^{-7} Pa 이상 1×10^{-4} Pa 이하 정도까지)할 수 있는 것, 및 막이 형성되는 기판을 100℃ 이상, 바람직하게는 500℃ 이상까지 가열할 수 있는 것이 바람직하다. 또는, 터보 분자 펌프와 콜드 트랩을 조합하여 배기계로부터 체임버 내에, 탄소 성분이나 수분 등을 함유한 기체가 역류하지 않게 해 두는 것이 바람직하다.

- [0115] 고순도 진성 산화물 반도체를 얻기 위해서는 체임버 내를 고진공으로 배기할 뿐만 아니라 스퍼터링 가스가 고순도화될 필요도 있다. 스퍼터링 가스로서 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하까지 고순도화된 산소 가스나 아르곤 가스를 사용함으로써, 산화물 반도체층에 수분 등이 침입되는 것을 가능한 한 방지할 수 있다.
- [0116] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 나중의 공정에서 형성되는 제 3 산화물 반도체층(133)에는 실시형태 1에서 설명한 재료를 사용할 수 있다. 예를 들어, 제 1 산화물 반도체층(131)에 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$, $1:3:4$, $1:3:3$, 또는 $1:3:2$ 인 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 또는 $5:5:6$ 인 In-Ga-Zn 산화물, 제 3 산화물 반도체층(133)에 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=1:3:6$, $1:3:4$, $1:3:3$, 또는 $1:3:2$ 인 In-Ga-Zn 산화물을 사용할 수 있다.
- [0117] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 사용할 수 있는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 또는 In과 Zn의 양쪽을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감시키기 위해서, In 및 Zn과 함께 스테빌라이저(stabilizer)를 함유하는 것이 바람직하다.
- [0118] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴뮴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0119] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.
- [0120] 또한 여기서, 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻한다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어 있어도 좋다. 또한, 본 명세서에서 In-Ga-Zn 산화물로 구성된 막을 IGZO막으로도 부른다.
- [0121] 또한, $\text{InMO}_3(\text{ZnO})_m$ ($m>0$, 및 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Y, Zr, La, Ce, 및 Nd 중에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 또한, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n>0$, 및 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0122] 다만, 실시형태 1에서 자세히 설명한 바와 같이, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 전자 친화력이 제 2 산화물 반도체층(132)보다 작게 되도록 재료를 선택한다.
- [0123] 또한, 스퍼터링법을 이용하여 산화물 반도체층을 성막하는 것이 바람직하다. 스퍼터링법으로서 RF 스퍼터링법, DC 스퍼터링법, AC 스퍼터링법 등을 이용할 수 있다.
- [0124] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)으로서 In-Ga-Zn 산화물을 사용하는 경우, In, Ga, Zn의 원자수비가 예를 들어 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$, $\text{In}:\text{Ga}:\text{Zn}=2:2:1$, $\text{In}:\text{Ga}:\text{Zn}=3:1:2$, $\text{In}:\text{Ga}:\text{Zn}=5:5:6$, $\text{In}:\text{Ga}:\text{Zn}=1:3:2$, $\text{In}:\text{Ga}:\text{Zn}=1:3:3$, $\text{In}:\text{Ga}:\text{Zn}=1:3:4$, $\text{In}:\text{Ga}:\text{Zn}=1:3:6$, $\text{In}:\text{Ga}:\text{Zn}=1:4:3$, $\text{In}:\text{Ga}:\text{Zn}=1:5:4$, $\text{In}:\text{Ga}:\text{Zn}=1:6:6$, $\text{In}:\text{Ga}:\text{Zn}=2:1:3$, $\text{In}:\text{Ga}:\text{Zn}=1:6:4$, $\text{In}:\text{Ga}:\text{Zn}=1:9:6$, $\text{In}:\text{Ga}:\text{Zn}=1:1:4$, $\text{In}:\text{Ga}:\text{Zn}=1:1:2$ 중 어느 것인 재료를 사용하여, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)의 전자 친화력이 제 2 산화물 반도체층(132)보다 작게 되도록 하면 좋다.
- [0125] 또한, 예를 들어 In, Ga, Zn의 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=a:b:c$ ($a+b+c=1$)인 산화물의 조성이, 원자수비가 $\text{In}:\text{Ga}:\text{Zn}=A:B:C$ ($A+B+C=1$)인 산화물의 조성의 근방이라는 것은 a, b, c 가 $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ 를 만족시키는 것을 뜻한다. r 은 예를 들어, 0.05로 하면 좋다. 이것은 다른 산화물의 경우도 마찬가지이다.
- [0126] 또한, 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 In의 함유량을 많게 하면 좋다. 산화물 반도체에서는 주로 중금속의 s궤도가 캐리어 전도에 기여하는데, In의 함유율을 많

게 함으로써 더 많은 s궤도가 겹치기 때문에, In이 Ga보다 많은 조성의 산화물은 In이 Ga와 동등한 조성의 산화물 또는 적은 조성의 산화물에 비해 이동도가 높다. 그러므로, 제 2 산화물 반도체층(132)에 In의 함유량이 많은 산화물을 사용함으로써, 이동도가 높은 트랜지스터를 실현할 수 있다.

- [0127] 이하에서 산화물 반도체막의 구조에 대하여 설명한다.
- [0128] 본 명세서에서 '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.
- [0129] 또한, 본 명세서에 있어서, 삼방정 또는 능면체정은 육방정계에 포함된다.
- [0130] 산화물 반도체막은 비단결정 산화물 반도체막과 단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)막, 다결정 산화물 반도체막, 미결정 산화물 반도체막, 비정질 산화물 반도체막 등을 말한다.
- [0131] 우선, CAAC-OS막에 대하여 설명한다.
- [0132] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 한 변이 100nm 미만인 입방체 내에 들어가는 크기이다. 따라서, CAAC-OS막에 포함되는 결정부는 한 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 크기일 수도 있다.
- [0133] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)가 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0134] CAAC-OS막을 시료면에 실질적으로 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각 층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며 CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.
- [0135] 한편, CAAC-OS막을 시료면에 실질적으로 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 결정부들 사이에서 금속 원자의 배열에는 규칙성이 보이지 않는다.
- [0136] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.
- [0137] X선 회절(XRD: X-Ray Diffraction) 장치를 이용하여 CAAC-OS막의 구조 해석을 수행하면, 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것이 확인된다.
- [0138] 한편, CAAC-OS막을 c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 해석하면, 2θ 가 56° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. InGaZnO₄의 단결정 산화물 반도체막의 경우에는, 2θ 를 56° 근방에 고정하고 시료면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편 CAAC-OS막의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.
- [0139] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부들 사이에서는 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향되는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각 층은 결정의 a-b면에 평행한 면이다.
- [0140] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 열처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향된다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향되지 않을 수도 있다.

- [0141] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 된다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 될 수 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.
- [0142] 또한, InGaZnO₄의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방인 피크에 더하여, 2θ가 36° 근방인 피크도 나타나는 경우가 있다. 2θ가 36° 근방인 피크는 CAAC-OS막 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. CAAC-OS막은 2θ가 31° 근방일 때 피크가 나타나고, 2θ가 36° 근방일 때 피크가 나타나지 않는 것이 바람직하다.
- [0143] CAAC-OS막은 불순물 농도가 낮은 산화물 반도체막이다. 불순물은 수소, 탄소, 실리콘, 전이 금속 원소 등 산화물 반도체막의 주성분 이외의 원소이다. 특히 실리콘 등, 산화물 반도체막을 구성하는 금속 원소보다 산소와의 결합력이 강한 원소는 산화물 반도체막으로부터 산소를 빼앗음으로써 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에 산화물 반도체막 내부에 포함되면 산화물 반도체막의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 산화물 반도체막에 포함되는 불순물은 캐리어 트랩이나 캐리어 발생원이 되는 경우가 있다.
- [0144] 또한, CAAC-OS막은 결합 준위 밀도가 낮은 산화물 반도체막이다. 예를 들어, 산화물 반도체막 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0145] 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성으로 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적어 캐리어 밀도가 낮게 될 수 있다. 따라서, 상기 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 트랩이 적다. 그러므로, 상기 산화물 반도체막을 사용한 트랜지스터는 전기 특성의 변동이 작아 신뢰성이 높은 트랜지스터가 된다. 산화물 반도체막의 캐리어 트랩에 트랩된 전하는 방출될 때까지 걸리는 시간이 길고 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체막을 사용한 트랜지스터의 전기 특성은 불안정하게 되는 경우가 있다.
- [0146] 또한, CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다.
- [0147] 다음에, 미결정 산화물 반도체막에 대하여 설명한다.
- [0148] TEM에 의한 미결정 산화물 반도체막의 관찰상에서는 결정부가 명확히 확인되지 않는 경우가 있다. 미결정 산화물 반도체막에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정(nc: nanocrystal)을 갖는 산화물 반도체막을 nc-OS(nanocrystalline Oxide Semiconductor)막으로 부른다. 또한, 예를 들어 TEM에 의한 nc-OS막의 관찰상에서는 결정 입계가 명확히 확인되지 않는 경우가 있다.
- [0149] nc-OS막은 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, 분석 방법에 따라서는 nc-OS막을 비정질 산화물 반도체막과 구별할 수 없는 경우가 있다. 예를 들어, 결정부보다 직경이 큰 X선을 사용하는 XRD 장치를 이용하여 out-of-plane법에 의하여 nc-OS막의 구조 해석을 수행한 경우, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 결정부보다 프로브 직경이 큰(예를 들어 50nm 이상) 전자 빔을 사용하여 얻어지는 nc-OS막의 전자 회절(제한 시야 전자 회절이라고도 함) 패턴에서는, 할로 패턴과 같은 회절 패턴이 관측된다. 한편, 결정부의 크기와 프로브 직경이 가깝거나 결정부보다 프로브 직경이 작은(예를 들어 1nm 이상 30nm 이하) 전자 빔을 사용하여 얻어지는 nc-OS막의 전자 회절 패턴(나노 빔 전자 회절 패턴이라고도 함)에서는 스폿이 관측된다. 또한, nc-OS막의 나노 빔 전자 회절 패턴에서는, 휘도가 높은 원형(환상(環狀))의 영역이 관측되는 경우가 있다. 또한, nc-OS막의 나노 빔 전자 회절 패턴에서는, 환상의 영역에 복수의 스폿이 관측되는 경우가 있다.
- [0150] nc-OS막은 비정질 산화물 반도체막보다 규칙성이 높은 산화물 반도체막이다. 따라서, nc-OS막은 비정질 산화물 반도체막보다 결합 준위 밀도가 낮다. 다만, nc-OS막은 상이한 결정부들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS막은 CAAC-OS막보다 결합 준위 밀도가 높다.

- [0151] 또한, 산화물 반도체막은, 예를 들어 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.
- [0152] CAAC-OS막은, 예를 들어 다결정 산화물 반도체 스퍼터링용 타깃을 사용하여 스퍼터링법으로 성막할 수 있다. 상기 스퍼터링용 타깃에 이온이 충돌되면, 스퍼터링용 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)하여 a-b면에 평행한 면을 갖는 평판 형상 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 상기 평판 형상 또는 펠릿 형상의 스퍼터링 입자는 대전되어 있기 때문에 플라즈마 중에서 응집되지 않고 결정 상태를 유지하면서 기판에 도달하여, CAAC-OS막을 성막할 수 있다.
- [0153] 제 2 산화물 반도체층(132)이 In-M-Zn 산화물층(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 제 2 산화물 반도체층(132)을 성막하기 위해 사용하는 스퍼터링용 타깃에서, 금속 원소의 원자수비를 In:M:Zn=a₁:b₁:c₁로 하면, a₁/b₁은 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하이고, c₁/b₁은 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하인 것이 바람직하다. 또한, c₁/b₁을 1 이상 6 이하로 함으로써, 제 2 산화물 반도체층(132)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 In:M:Zn=1:1:1, In:M:Zn=3:1:2, In:M:Zn=5:5:6 등이 있다.
- [0154] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 In-M-Zn 산화물층(M은 Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)을 성막하기 위해 사용하는 스퍼터링용 타깃에서, 금속 원소의 원자수비를 In:M:Zn=a₂:b₂:c₂로 하면, a₂/b₂<a₁/b₁이고, c₂/b₂는 1/3 이상 6 이하, 더 나아가서는 1 이상 6 이하인 것이 바람직하다. 또한, c₂/b₂를 1 이상 6 이하로 함으로써, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)으로서 CAAC-OS막이 형성되기 쉬워진다. 타깃에서의 금속 원소의 원자수비의 대표적인 예로서는 In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, In:M:Zn=1:3:6 등이 있다.
- [0155] 제 2 산화물 반도체층(132)을 형성한 후에 제 1 열처리를 수행하여도 좋다. 제 1 열처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행하면 좋다. 또한, 제 1 열처리의 분위기는 불활성 가스 분위기하에서 열처리한 후에, 이탈된 산소를 보충하기 위해서 산화성 가스를 10ppm 이상 포함하는 분위기하에서 수행하여도 좋다. 제 1 열처리에 의하여, 제 2 산화물 반도체층(132)의 결정성을 높이고, 하지 절연막(120) 및 제 1 산화물 반도체층(131)으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 제 2 산화물 반도체층(132)을 형성하는 에칭 전에 제 1 열처리를 수행하여도 좋다.
- [0156] 다음에, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132) 위에 소스 전극층(140) 및 드레인 전극층(150)이 되는 제 1 도전막을 형성한다. 제 1 도전막으로서 Al, Cr, Cu, Ta, Ti, Mo, W, 또는 이들 중 어느 것을 주성분으로서 함유한 합금 재료를 사용할 수 있다. 예를 들어, 스퍼터링법 등에 의하여 두께 100nm의 티타늄막을 형성한다. 또는, CVD법에 의하여 텅스텐막을 형성하여도 좋다.
- [0157] 다음에, 제 1 도전막을 제 2 산화물 반도체층(132) 위에서 분단하도록 에칭하여 소스 전극층(140) 및 드레인 전극층(150)을 형성한다(도 7의 (C) 참조). 이 때, 제 1 도전막이 오버 에칭됨으로써, 제 2 산화물 반도체층(132)의 일부가 에칭되어도 좋다.
- [0158] 다음에, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 소스 전극층(140) 및 드레인 전극층(150) 위에 제 3 산화물 반도체층(133)이 되는 제 3 산화물 반도체막(333)을 형성한다. 이 때, 제 3 산화물 반도체막(333) 중 제 2 산화물 반도체층(132)과의 계면 근방은 미결정층이고, 상기 미결정층 위는 c축이 배향된 결정층이다.
- [0159] 또한, 제 3 산화물 반도체막(333)의 형성 후에 제 2 열처리를 수행하여도 좋다. 제 2 열처리는 제 1 열처리와 같은 조건으로 수행할 수 있다. 제 2 열처리에 의하여 제 3 산화물 반도체막(333)으로부터 수소나 물 등 불순물을 제거할 수 있다. 또한, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)으로부터 수소나 물 등 불순물을 더 제거할 수 있다.
- [0160] 다음에, 제 3 산화물 반도체막(333) 위에 게이트 절연막(160)이 되는 절연막(360)을 형성한다. 절연막(360)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란탄, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등을 사용할 수 있다. 또한, 절연막(360)은 상기 재료의 적층이어도 좋다. 절연막(360)은 스퍼터링법, CVD법, MBE법,

ALD법, 또는 PLD법 등을 이용하여 형성할 수 있다.

- [0161] 다음에, 절연막(360) 위에 게이트 전극층(170)이 되는 제 2 도전막(370)을 형성한다(도 8의 (A) 참조). 제 2 도전막(370)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W, 또는 이들 중 어느 것을 주성분으로 함유한 합금 재료를 사용할 수 있다. 제 2 도전막(370)은 스퍼터링법이나 CVD법 등에 의하여 형성할 수 있다. 또한, 제 2 도전막(370)으로서는 질소를 함유한 도전막을 사용하여도 좋고, 상술한 재료를 함유한 도전막과 질소를 함유한 도전막의 적층을 사용하여도 좋다.
- [0162] 다음에, 게이트 전극층(170)을 형성하기 위한 레지스트 마스크를 이용하여 제 2 도전막(370)을 선택적으로 에칭하여 게이트 전극층(170)을 형성한다.
- [0163] 다음에, 상기 레지스트 마스크 또는 게이트 전극층(170)을 마스크로 이용하여 절연막(360)을 선택적으로 에칭하여 게이트 절연막(160)을 형성한다.
- [0164] 다음에, 상기 레지스트 마스크 또는 게이트 전극층(170)을 마스크로 이용하여 제 3 산화물 반도체막(333)을 에칭하여 제 3 산화물 반도체층(133)을 형성한다(도 8의 (B) 참조).
- [0165] 제 2 도전막(370), 절연막(360), 및 제 3 산화물 반도체막(333)의 상기 에칭은 층마다 따로따로 수행하여도 좋고 연속적으로 수행하여도 좋다. 또한, 에칭 방법은 드라이 에칭 및 웨트 에칭 중 어느 쪽을 이용하여도 좋으며, 층마다 각각 적절한 에칭 방법을 선택하여도 좋다.
- [0166] 다음에, 소스 전극층(140), 드레인 전극층(150), 및 게이트 전극층(170) 위에 절연층(180) 및 절연층(185)을 형성한다(도 8의 (C) 참조). 절연층(180) 및 절연층(185)은 하지 절연막(120)과 같은 재료 및 방법을 이용하여 형성할 수 있다. 또한, 절연층(180)에는 특히 산화 알루미늄을 사용하는 것이 바람직하다.
- [0167] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 절연층(180)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써, 절연층(180)으로부터 산화물 반도체층(130)으로 산소를 더 용이하게 공급할 수 있다.
- [0168] 다음에, 제 3 열처리를 수행하여도 좋다. 제 3 열처리는 제 1 열처리와 같은 조건으로 수행할 수 있다. 제 3 열처리에 의하여 하지 절연막(120), 게이트 절연막(160), 절연층(180)으로부터 과잉 산소가 방출되기 쉬워져 산화물 반도체층(130)의 산소 결손을 저감할 수 있다.
- [0169] 상술한 공정을 거쳐, 도 1에 도시한 트랜지스터(100)를 제작할 수 있다.
- [0170] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0171] (실시형태 3)
- [0172] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터가 사용되어 있으며, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고, 기록 횟수에 대한 제한도 없는 반도체 장치(기억 장치)의 일례를 도면을 사용하여 설명한다.
- [0173] 도 9의 (A)는 반도체 장치의 단면도이고 도 9의 (B)는 반도체 장치의 회로도이다.
- [0174] 도 9에 도시한 반도체 장치는 하부에 제 1 반도체 재료를 사용한 트랜지스터(3200)를 구비하고, 상부에 제 2 반도체 재료를 사용한 트랜지스터(3300) 및 용량 소자(3400)를 구비한다. 또한, 트랜지스터(3300)로서는 실시형태 1에서 설명한 트랜지스터(100)를 사용할 수 있다.
- [0175] 또한, 용량 소자(3400)는, 한쪽 전극에 트랜지스터(3300)의 소스 전극층 또는 드레인 전극층과 같은 재료를, 다른 쪽 전극에 트랜지스터(3300)의 게이트 전극층과 같은 재료를, 유전체에 트랜지스터(3300)의 게이트 절연막(160) 및 제 3 산화물 반도체층(133)과 같은 재료를 사용하는 구조로 함으로써, 트랜지스터(3300)와 동시에 형성할 수 있다.
- [0176] 여기서, 제 1 반도체 재료와 제 2 반도체 재료로서는 서로 상이한 에너지 갭을 갖는 재료를 사용하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료로서는 산화물 반도체 이외의 반도체 재료(실리콘 등)를 사용하고, 제 2 반도체 재료로서는 실시형태 1에서 설명한 산화물 반도체를 사용할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작다는 전기 특성 때문에 장시간의 전하 유지를 가능하게 한다.
- [0177] 또한, 상기 트랜지스터는 모두 n채널형 트랜지스터인 것으로 하여 설명하지만, p채널형 트랜지스터를 사용할 수 있음은 물론이다. 또한, 데이터를 유지하기 위해서 산화물 반도체를 사용한, 실시형태 1에 기재된 바와 같은

트랜지스터를 사용하기만 하면, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성은 여기서 기재하는 것에 한정할 필요는 없다.

- [0178] 도 9의 (A)에 도시한 트랜지스터(3200)는 반도체 재료(예를 들어, 결정성 실리콘 등)를 포함한 기판(3000)에 제공된 채널 형성 영역과, 채널 형성 영역을 끼우도록 제공된 불순물 영역과, 불순물 영역과 접촉하는 금속간 화합물 영역과, 채널 형성 영역 위에 제공된 게이트 절연막과, 게이트 절연막 위에 제공된 게이트 전극층을 구비한다. 또한, 도면에 있어서, 명시적으로는 소스 전극층이나 드레인 전극층이 구비되지 않는 경우가 있지만, 편의상 이러한 상태를 포함하여 트랜지스터로 부르는 경우가 있다. 또한, 이 때, 트랜지스터의 접속 관계를 설명하기 위해서, 소스 영역이나 드레인 영역을 포함하여 소스 전극층이나 드레인 전극층으로 부르는 경우가 있다. 즉, 본 명세서에서 '소스 전극층'이라는 기재에는 소스 영역이 포함될 수 있다.
- [0179] 기판(3000) 위에는 트랜지스터(3200)를 둘러싸도록 소자 분리 절연층(3100)이 제공되고, 트랜지스터(3200)를 덮도록 절연층(3150)이 제공된다. 또한, 소자 분리 절연층(3100)은 LOCOS(Local Oxidation of Silicon)나 STI(Shallow Trench Isolation) 등의 소자 분리 기술을 이용하여 형성할 수 있다.
- [0180] 예를 들어, 결정성 실리콘 기판을 사용하면, 트랜지스터(3200)는 고속으로 동작할 수 있게 된다. 따라서, 상기 트랜지스터를 판독용 트랜지스터로서 사용하면, 데이터를 고속으로 판독할 수 있다.
- [0181] 절연층(3150) 위에는 트랜지스터(3300)가 제공되고, 트랜지스터(3300)의 소스 전극층 및 드레인 전극층과 전기적으로 접속되는 배선은 용량 소자(3400)의 한쪽 전극으로서 작용한다. 또한, 상기 배선은 트랜지스터(3200)의 게이트 전극층과 전기적으로 접속된다.
- [0182] 도 9의 (A)에 도시한 트랜지스터(3300)는 산화물 반도체층에 채널이 형성되는 상부 게이트형 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 작으므로, 이것을 사용하면 오랫동안 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작이 불필요하거나, 또는 리프래시 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있어 소비 전력을 충분히 저감시킬 수 있다.
- [0183] 또한, 트랜지스터(3300)와 중첩되도록 절연층(3150)을 개재하여 전극(3250)이 제공된다. 상기 전극을 제 2 게이트 전극으로 이용하고 이것에 적절한 전위를 공급함으로써, 트랜지스터(3300)의 문턱 전압을 제어할 수 있다. 또한, 트랜지스터(3300)의 장기 신뢰성을 높일 수 있다. 또한, 상기 전극을 트랜지스터(3300)의 게이트 전극과 같은 전위로 하여 동작시킴으로써 온 전류를 증대시킬 수 있다. 또한, 전극(3250)을 제공하지 않는 구성으로 할 수도 있다.
- [0184] 도 9의 (A)에 도시한 바와 같이, 트랜지스터(3200)를 형성하는 기판 위에 트랜지스터(3300) 및 용량 소자(3400)를 형성할 수 있기 때문에 반도체 장치의 집적도를 높일 수 있다.
- [0185] 도 9의 (A)에 대응하는 회로 구성의 일례를 도 9의 (B)에 도시하였다.
- [0186] 도 9의 (B)에 있어서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극층과 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극층과 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극층 및 드레인 전극층 중 하나와 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극층과 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트 전극층과 트랜지스터(3300)의 소스 전극층 및 드레인 전극층 중 다른 하나는 용량 소자(3400)의 한쪽 전극과 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 다른 쪽 전극과 전기적으로 접속된다. 또한, 전극(3250)에 상당하는 요소는 도시하지 않았다.
- [0187] 도 9의 (B)에 도시한 반도체 장치에서는 트랜지스터(3200)의 게이트 전극층의 전위를 유지할 수 있다는 특징을 살림으로써, 다음과 같이 데이터의 기록, 유지, 및 판독이 가능하다.
- [0188] 데이터의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 설정하여 트랜지스터(3300)를 온 상태로 한다. 이로써, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극층 및 용량 소자(3400)에 공급된다. 즉 트랜지스터(3200)의 게이트 전극층에는 소정의 전하가 공급된다(기록). 여기서는, 2개의 다른 전위 레벨을 부여하는 전하(이하에서 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급되는 것으로 한다. 그 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 설정하여 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극층에 공급된 전하가 유지된다(유지).
- [0189] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극층의 전하는 오랫동안 유지

된다.

- [0190] 다음에, 데이터의 판독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(판독 전위)를 공급하면, 트랜지스터(3200)의 게이트 전극층에 유지된 전하량에 따라 제 2 배선(3002)의 전위가 변화된다. 일반적으로 말해서, 트랜지스터(3200)를 n채널형으로 하면, 트랜지스터(3200)의 게이트 전극층에 High 레벨 전하가 공급된 경우의 외견상 문턱 전압 $V_{th,H}$ 는 트랜지스터(3200)의 게이트 전극층에 Low 레벨 전하가 공급된 경우의 외견상 문턱 전압 $V_{th,L}$ 보다 낮게 되기 때문이다. 여기서 외견상 문턱 전압이란, 트랜지스터(3200)를 '온 상태'로 하기 위해서 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 사이의 전위 V_0 으로 설정함으로써 트랜지스터(3200)의 게이트 전극층에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 동작할 때 High 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0(>V_{th,H})$ 이 되면 트랜지스터(3200)는 온 상태가 된다. Low 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0(<V_{th,L})$ 이 되어도 트랜지스터(3200)는 그대로 오프 상태가 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 데이터를 판독할 수 있다.
- [0191] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우에는 원하는 메모리 셀의 데이터만을 판독할 수 있을 필요가 있다. 이와 같이 데이터를 판독하지 않는 경우에는, 게이트 전극층의 상태에 상관없이 트랜지스터(3200)가 오프 상태가 되는 전위, 즉 $V_{th,H}$ 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 게이트 전극층의 상태에 상관없이 트랜지스터(3200)가 온 상태가 되는 전위, 즉 $V_{th,L}$ 보다 큰 전위를 제 5 배선(3005)에 공급하면 좋다.
- [0192] 본 실시형태에 기재된 반도체 장치에서는 채널 형성 영역에 산화물 반도체가 사용된, 오프 전류가 매우 작은 트랜지스터를 사용함으로써, 매우 오랫동안 기억 내용을 유지할 수 있다. 즉, 리프레시 동작을 수행할 필요가 없게 되거나, 또는 리프레시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되어 있는 것이 바람직함)에도 오랫동안 기억 내용이 유지될 수 있다.
- [0193] 또한, 본 실시형태에 기재된 반도체 장치에서는, 데이터의 기록에 높은 전압이 불필요하며 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트에 전자를 주입하거나, 플로팅 게이트로부터 전자를 추출할 필요가 없기 때문에, 게이트 절연막의 열화와 같은 문제가 발생하기 어렵다. 즉, 본 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되어 있는 재기록 가능 횟수에 대한 제한이 없으며, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터가 온 상태인지 오프 상태인지에 따라 데이터의 기록이 수행되기 때문에 고속 동작도 용이하게 실현할 수 있다.
- [0194] 상술한 바와 같이 하여, 미세화 및 고집적화되고 높은 전기 특성을 갖는 반도체 장치를 제공할 수 있다.
- [0195] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0196] (실시형태 4)
- [0197] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터가 사용되어 있으며, 전력이 공급되지 않는 상황에서도 기억 내용을 유지할 수 있고 기록 횟수에도 제한이 없는, 실시형태 3에 제시된 구성과 다른 구성의 반도체 장치에 대하여 설명한다.
- [0198] 도 10은 반도체 장치의 회로 구성의 일례이다. 상기 반도체 장치에 있어서, 제 1 배선(4500)과 트랜지스터(4300)의 소스 전극층은 전기적으로 접속되고, 제 2 배선(4600)과 트랜지스터(4300)의 게이트 전극층은 전기적으로 접속되고 트랜지스터(4300)의 드레인 전극층과 용량 소자(4400)의 제 1 단자는 전기적으로 접속된다. 또한, 상기 반도체 장치에 포함되는 트랜지스터(4300)로서는 실시형태 1에서 설명한 트랜지스터(100)를 사용할 수 있다. 또한, 제 1 배선(4500)은 비트라인, 제 2 배선(4600)은 워드라인으로서의 기능을 가질 수 있다.
- [0199] 상기 반도체 장치(메모리셀(4250))는 도 9에 도시한 트랜지스터(3300) 및 용량 소자(3400)와 같은 접속 형태를 할 수 있다. 따라서, 용량 소자(4400)는 실시형태 3에서 설명한 용량 소자(3400)의 형성 공정과 마찬가지로 트랜지스터(4300)의 제작 공정에서 동시에 제작할 수 있다.
- [0200] 다음에, 도 10에 도시한 반도체 장치(메모리셀(4250))에서 데이터의 기록 및 유지를 수행하는 경우에 대하여 설명한다.

- [0201] 우선, 제 2 배선(4600)에 트랜지스터(4300)가 온 상태가 되는 전위를 공급하여 트랜지스터(4300)를 온 상태로 한다. 이로써, 제 1 배선(4500)의 전위가 용량 소자(4400)의 제 1 단자에 공급된다(기록). 이 후, 제 2 배선(4600)의 전위를 트랜지스터(4300)가 오프 상태가 되는 전위로 설정하여 트랜지스터(4300)를 오프 상태로 함으로써, 용량 소자(4400)의 제 1 단자의 전위가 유지된다(유지).
- [0202] 산화물 반도체를 사용한 트랜지스터(4300)는 오프 전류가 매우 작다는 특징을 갖는다. 그러므로, 트랜지스터(4300)를 오프 상태로 함으로써, 용량 소자(4400)의 제 1 단자의 전위(또는, 용량 소자(4400)에 축적된 전하)를 매우 오랫동안 유지할 수 있다.
- [0203] 다음에, 데이터의 판독에 대하여 설명한다. 트랜지스터(4300)가 온 상태가 되면, 부유 상태인 제 1 배선(4500)과 용량 소자(4400)가 도통되어 제 1 배선(4500)과 용량 소자(4400) 사이에서 전하가 재분배된다. 이로써, 제 1 배선(4500)의 전위가 변화된다. 제 1 배선(4500)의 전위의 변화량은 용량 소자(4400)의 제 1 단자의 전위(또는 용량 소자(4400)에 축적된 전하)에 따라 변동된다.
- [0204] 예를 들어, 용량 소자(4400)의 제 1 단자의 전위를 V, 용량 소자(4400)의 용량을 C, 제 1 배선(4500)이 갖는 용량 성분을 CB, 전하가 재분배되기 전의 제 1 배선(4500)의 전위를 VB0으로 하면, 전하가 재분배된 후의 제 1 배선(4500)의 전위는 $(CB \times VB0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리셀(4250)의 상태로서 용량 소자(4400)의 제 1 단자의 전위가 V1 및 V0(V1 > V0)의 2개의 상태를 취한다고 가정하면, 전위 V1을 유지하고 있는 경우의 제 1 배선(4500)의 전위 $(= (CB \times VB0 + C \times V1) / (CB + C))$ 는 전위 V0을 유지하고 있는 경우의 제 1 배선(4500)의 전위 $(= (CB \times VB0 + C \times V0) / (CB + C))$ 보다 높은 것을 알 수 있다.
- [0205] 그리고, 제 1 배선(4500)의 전위를 소정의 전위와 비교함으로써, 데이터를 판독할 수 있다.
- [0206] 이와 같이 도 10에 도시한 반도체 장치(메모리셀(4250))는 트랜지스터(4300)의 오프 전류가 매우 작다는 특징을 갖기 때문에, 용량 소자(4400)에 축적된 전하가 오랫동안 유지될 수 있다. 즉, 리프래시 동작을 수행할 필요가 없게 되거나, 또는 리프래시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력이 공급되지 않는 경우에도 오랫동안 기억 내용이 유지될 수 있다.
- [0207] 도 10에 도시한 메모리셀(4250)은 메모리셀(4250)을 구동시키기 위한 구동 회로가 형성된 기판과 적층되는 것이 바람직하다. 메모리셀(4250)과 구동 회로를 적층함으로써 반도체 장치의 소형화를 도모할 수 있다. 또한, 적층하는 메모리셀(4250) 및 구동 회로의 개수에 제한은 없다.
- [0208] 구동 회로에 포함되는 트랜지스터에는 트랜지스터(4300)와 다른 반도체 재료를 사용하는 것이 바람직하다. 예를 들어, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등을 사용할 수 있으며, 단결정 반도체를 사용하면 더 바람직하다. 이러한 반도체 재료를 사용한 트랜지스터는 산화물 반도체를 사용한 트랜지스터보다 고속 동작이 가능하며, 메모리셀(4250)의 구동 회로의 구성에 사용하는 것이 적합하다.
- [0209] 상술한 바와 같이, 미세화 및 고집적화되고 높은 전기 특성을 갖는 반도체 장치를 제공할 수 있다.
- [0210] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0211] (실시형태 5)
- [0212] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터를 사용한 회로의 일례에 대하여 도면을 참조하여 설명하기로 한다.
- [0213] 도 11의 (A)는 반도체 장치의 회로도이고, 도 11의 (C) 및 (D)는 반도체 장치의 단면도이다. 도 11의 (C) 및 (D)에는 각각 왼쪽에 트랜지스터(2100)의 채널 길이 방향의 단면도를 도시하고, 오른쪽에 채널 폭 방향의 단면도를 도시하였다. 또한, 회로도에는 산화물 반도체가 사용된 트랜지스터임을 명시하기 위해서 'OS'로 표기하였다.
- [0214] 도 11의 (C) 및 (D)에 도시한 반도체 장치는 제 1 반도체 재료를 사용한 트랜지스터(2200)를 하부에, 제 2 반도체 재료를 사용한 트랜지스터(2100)를 상부에 구비한다. 여기서는 제 2 반도체 재료를 사용한 트랜지스터(2100)로서, 실시형태 1에 제시된 트랜지스터(100)를 적용한 예에 대하여 설명한다.
- [0215] 여기서, 제 1 반도체 재료와 제 2 반도체 재료는 서로 상이한 에너지 갭을 갖는 재료로 하는 것이 바람직하다. 예를 들어, 제 1 반도체 재료로서는 산화물 반도체 이외의 반도체 재료(실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 또는 갈륨 비소 등)를 사용하고, 제 2 반도체 재료로서는 실시형태 1에서 설명한 산화물 반도체를 사용할 수 있다. 산화물 반도체 이외의 재료로서 단결정 실리콘 등을 사용한 트랜지스터는 고속 동작이 용이하

다. 한편, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작다.

- [0216] 여기서, 트랜지스터(2200)가 p채널형 트랜지스터인 것으로 하여 설명하지만, n채널형 트랜지스터를 사용하여 다른 회로를 구성할 수 있음은 물론이다. 또한, 산화물 반도체를 사용한, 실시형태 1에 기재된 바와 같은 트랜지스터를 사용하기만 하면, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성은 여기서 기재하는 것에 한정될 필요는 없다.
- [0217] 도 11의 (A), (C), (D)는 p채널형 트랜지스터와 n채널형 트랜지스터가 직렬로 접속되고 각각의 게이트가 서로 접속된, 소위 CMOS 회로의 구성예를 도시한 것이다.
- [0218] 본 발명의 일 형태에 따른 산화물 반도체가 사용된 트랜지스터는 온 전류가 높기 때문에 회로를 고속으로 동작시킬 수 있다.
- [0219] 도 11의 (C)에 도시한 구성에서는 트랜지스터(2200)의 상부에 절연층(2201)을 개재하여 트랜지스터(2100)가 제공되어 있다. 또한, 트랜지스터(2200)와 트랜지스터(2100) 사이에 복수의 배선(2202)이 제공되어 있다. 또한, 각종 절연층에 매립된 복수의 플러그(2203)를 통하여, 상부 및 하부에 각각 제공된 배선이나 전극이 전기적으로 접속되어 있다. 또한, 트랜지스터(2100)를 덮는 절연층(2204)과, 절연층(2204) 위의 배선(2205)과, 트랜지스터의 한 쌍의 전극과 동일한 도전막을 가공하여 형성된 배선(2206)이 제공되어 있다.
- [0220] 이와 같이 2개의 트랜지스터를 적층함으로써, 회로의 점유 면적이 작아져 복수의 회로를 더 높은 밀도로 배치할 수 있다.
- [0221] 도 11의 (C)에서는 트랜지스터(2100)의 소스 및 드레인 중 하나와, 트랜지스터(2200)의 소스 및 드레인 중 하나가 배선(2202)이나 플러그(2203)를 통하여 전기적으로 접속되어 있다. 또한, 트랜지스터(2100)의 게이트는 배선(2205), 배선(2206), 플러그(2203), 및 배선(2202) 등을 통하여 트랜지스터(2200)의 게이트와 전기적으로 접속되어 있다.
- [0222] 도 11의 (D)에 도시한 구성에서는 트랜지스터(2100)의 게이트 절연막에 플러그(2203)가 매립되는 개구부가 제공되고, 이 개구부를 통하여 트랜지스터(2100)의 게이트와 플러그(2203)가 접촉한다. 이러한 구성으로 함으로써, 회로의 집적화가 용이한데다가 도 11의 (C)에 도시한 구성에 비해, 사용하는 배선이나 플러그의 개수나 길이를 저감할 수 있기 때문에, 회로를 더 고속으로 동작시킬 수 있다.
- [0223] 여기서, 도 11의 (C), (D)에 도시한 트랜지스터(2100)나 트랜지스터(2200)의 전극의 접속 구성을 변경함으로써, 다양한 회로를 구성할 수 있다. 예를 들어, 도 11의 (B)에 도시한 바와 같이, 트랜지스터 각각의 소스와 드레인을 서로 접속한 회로 구성으로 함으로써, 소위 아날로그 스위치로서 기능시킬 수 있다.
- [0224] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0225] (실시형태 6)
- [0226] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터를 사용한 대상물의 데이터를 판독하는 이미지 센서 기능을 갖는 반도체 장치에 대하여 설명한다.
- [0227] 도 12는 이미지 센서 기능을 갖는 반도체 장치의 등가 회로의 일례이다.
- [0228] 포토다이오드(610)는 한쪽 전극이 포토다이오드 리셋 신호선(661)과, 다른 쪽 전극이 트랜지스터(640)의 게이트와 전기적으로 접속되어 있다. 트랜지스터(640)는 소스 및 드레인 중 하나가 포토센서 기준 신호선(672)과, 소스 및 드레인 중 다른 하나가 트랜지스터(650)의 소스 및 드레인 중 하나와 전기적으로 접속되어 있다. 트랜지스터(650)는 게이트가 게이트 신호선(662)과, 소스 및 드레인 중 다른 하나가 포토센서 출력 신호선(671)과 전기적으로 접속되어 있다.
- [0229] 포토다이오드(610)로서는, 예를 들어 p형 도전형을 갖는 반도체층과, 고저항(i형 도전형을 갖는) 반도체층과, n형 도전형을 갖는 반도체층을 적층하는 pin형 포토다이오드를 적용할 수 있다.
- [0230] 포토다이오드(610)에 입사되는 광을 검출함으로써, 검출 대상물의 데이터를 판독할 수 있다. 또한, 검출 대상물의 데이터를 판독할 때, 백라이트 등 광원을 사용할 수도 있다.
- [0231] 또한, 트랜지스터(640) 및 트랜지스터(650)로서는 실시형태 1에 제시된 산화물 반도체에 채널이 형성되는 트랜지스터(100)를 사용할 수 있다. 도 12에서는 트랜지스터(640) 및 트랜지스터(650)가 산화물 반도체를 포함하는 것을 명시하기 위해서 트랜지스터의 기호에 'OS'로 표기하였다. 트랜지스터(640) 및 트랜지스터(650)는 온 전

류가 높고 전기적 특성의 변동이 억제된 전기적으로 안정된 트랜지스터이다. 상기 트랜지스터를 포함함으로써, 도 12에 도시한 이미지 센서 기능을 갖는 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0232] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0233] (실시형태 7)

[0234] 실시형태 1 및 실시형태 2에서 설명한 트랜지스터는 표시 장치, 기억 장치, CPU, DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF-ID(Radio Frequency Identification), 인버터, 이미지 센서 등의 반도체 장치로 응용할 수 있다. 본 실시형태에서는 상기 반도체 장치를 구비하는 전자 기기의 예에 대하여 설명한다.

[0235] 상기 반도체 장치를 구비하는 전자 기기로서는 텔레비전이나 모니터 등 표시 장치, 조명 장치, 퍼스널 컴퓨터, 워드 프로세서, 화상 재생 장치, 포터블 오디오 플레이어, 라디오, 테이프 리코더, 스테레오, 전화, 코드리스 전화, 휴대 전화, 자동차 전화, 트랜시버, 무선기, 게임기, 계산기, 휴대 정보 단말, 전자 수첩, 전자 서적, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, IC칩, 전자 레인지 등의 고주파 가열 장치, 전기 밥솥, 전기 세탁기, 전기 청소기, 에어컨디셔너 등의 공기 조절 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 보존용 냉동고, 방사선 측정기, 투석 장치, X선 진단 장치 등의 의료 기기 등을 들 수 있다. 또한, 연기 감지기, 열 감지기, 가스 경보 장치, 방범 경보 장치 등의 경보 장치도 들 수 있다. 또한, 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템 등의 산업 기기도 들 수 있다. 또한, 연료를 사용한 엔진이나, 비수계 이차 전지로부터의 전력을 사용하여 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 것으로 한다. 상기 이동체로서, 예를 들어 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 자동차(HEV), 플러그인 하이브리드 자동차(PHEV), 이들의 타이어 차륜을 무한궤도로 바꾼 궤도 차량, 전동 어시스트 자전거를 포함하는 원동기가 달린 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공 위성, 우주 탐사기나 흑성 탐사기, 우주선을 들 수 있다. 이들 전자 기기의 일부의 구체적인 예를 도 13에 도시하였다.

[0236] 도 13의 (A)에 도시한 텔레비전 장치(8000)는 하우징(8001)에 표시부(8002)가 조합되어 있으며, 표시부(8002)에 의하여 영상을 표시하고, 스피커부(8003)로부터 음성을 출력할 수 있다. 본 발명의 일 형태에 따른 트랜지스터를 구비하는 기억 장치는 표시부(8002)를 동작하기 위한 구동 회로에 사용할 수 있다.

[0237] 또한, 텔레비전 장치(8000)는 정보 통신을 수행하기 위한 CPU(8004)나, 메모리를 구비하여도 좋다. CPU(8004)나 메모리에, 본 발명의 일 형태에 따른 트랜지스터를 구비하는 CPU나 기억 장치를 사용할 수 있다.

[0238] 도 13의 (A)에 도시한 경보 장치(8100)는 주택용 화재 경보기이며, 연기 또는 열의 검출부(8102) 및 마이크로컴퓨터(8101)를 사용한 전자 기기의 일례이다. 마이크로컴퓨터(8101)는 본 발명의 일 형태에 따른 트랜지스터를 구비하는 기억 장치나 CPU를 포함한다.

[0239] 또한, 도 13의 (A)에 도시한 실내기(8200) 및 실외기(8204)를 구비하는 에어컨디셔너는 상술한 실시형태에 제시된 트랜지스터, 기억 장치, 또는 CPU 등을 포함하는 전자 기기의 일례이다. 구체적으로는 실내기(8200)는 하우징(8201), 송풍구(8202), CPU(8203) 등을 구비한다. 도 13의 (A)는 CPU(8203)가 실내기(8200)에 제공되어 있는 예이지만, 실외기(8204)에 제공되어도 좋다. 또는, 실내기(8200)와 실외기(8204) 양쪽 모두에 CPU(8203)가 제공되어도 좋다. 본 발명의 일 형태에 따른 트랜지스터를 에어컨디셔너의 CPU에 사용함으로써 전력 절감을 도모할 수 있다.

[0240] 또한, 도 13의 (A)에 도시한 전기 냉동 냉장고(8300)는 상술한 실시형태에 제시된 트랜지스터, 기억 장치, 또는 CPU 등을 포함하는 전자 기기의 일례이다. 구체적으로는 전기 냉동 냉장고(8300)는 하우징(8301), 냉장실 도어(8302), 냉동실 도어(8303), CPU(8304) 등을 구비한다. 도 13의 (A)에서는 CPU(8304)가 하우징(8301) 내부에 제공된다. 본 발명의 일 형태에 따른 트랜지스터를 전기 냉동 냉장고(8300)의 CPU(8304)에 사용함으로써 전력 절감을 도모할 수 있다.

[0241] 도 13의 (B), (C)는 전자 기기의 일례인 전기 자동차의 예이다. 전기 자동차(9700)에는 2차 전지(9701)가 탑재되어 있다. 2차 전지(9701)의 전력은 회로(9702)에 의하여 출력이 조정되어 구동 장치(9703)에 공급된다. 회로(9702)는 ROM, RAM, CPU(미도시) 등을 구비하는 처리 장치(9704)에 의하여 제어된다. 본 발명의 일 형태에 따른 트랜지스터를 전기 자동차(9700)의 CPU에 사용함으로써 전력 절감을 도모할 수 있다.

- [0242] 구동 장치(9703)는 직류 전동기 또는 교류 전동기 단독으로 구성되거나, 또는 전동기와 내연 기관이 조합되어 구성된다. 처리 장치(9704)는 전기 자동차(9700)의 운전자의 조작 정보(가속, 감속, 정지 등)나 주행시의 정보(오르막길이나 내리막길 등의 정보, 구동륜에 가해지는 부하의 정보 등)의 입력 정보에 따라 회로(9702)에 제어 신호를 출력한다. 회로(9702)는 처리 장치(9704)의 제어 신호에 따라, 2차 전지(9701)로부터 공급되는 전기 에너지를 조정하여 구동 장치(9703)의 출력을 제어한다. 교류 전동기가 탑재되어 있는 경우에는, 직류를 교류로 변환시키는 인버터(미도시)도 내장된다.
- [0243] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0244] (실시예)
- [0245] 본 실시예에서는 실시형태 1에서 설명한 산화물 반도체층의 적층 상태를 관찰한 결과에 대하여 자세히 설명한다.
- [0246] 도 14는 본 실시예에서 사용한 샘플의 구조를 도시한 단면도이다. 상기 샘플은 기관(410) 위의 하지 절연막(420), 상기 하지 절연막 위의 제 1 산화물 반도체층(431) 및 제 2 산화물 반도체층(432)으로 이루어진 적층, 및 상기 적층 위에 형성된 제 3 산화물 반도체층(433)을 구비한다. 또한, 제 1 산화물 반도체층(431), 제 2 산화물 반도체층(432), 및 제 3 산화물 반도체층(433)은 실시형태 1에서 제시한 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 각각 상당한다.
- [0247] 다음에, 도 14에 도시한 샘플의 제작 방법을 설명한다.
- [0248] 우선, 기관(410)으로서 실리콘 웨이퍼를 사용하고, 상기 실리콘 웨이퍼를 열산화시킴으로써, 하지 절연막(420)이 되는 산화 실리콘막을 형성하였다.
- [0249] 다음에, 하지 절연막(420) 위에 원자수비가 In:Ga:Zn=1:3:4인 제 1 In-Ga-Zn 산화물막, 원자수비가 In:Ga:Zn=1:1:1인 제 2 In-Ga-Zn 산화물막을 스퍼터링법에 의하여 연속적으로 성막하였다. 또한, 제 1 In-Ga-Zn 산화물막의 두께는 20nm, 제 2 In-Ga-Zn 산화물막의 두께는 15nm로 하였다.
- [0250] 제 1 In-Ga-Zn 산화물막의 성막 조건은 원자수비가 In:Ga:Zn=1:3:4인 ϕ 8인치의 In-Ga-Zn 산화물을 타겟으로 사용하고, 스퍼터링 가스를 아르곤:산소=2:1(유량비), 성막 압력을 0.4Pa, 투입 전력을 0.5kW(DC), 타겟-기관 간 거리를 60mm, 기관 온도를 200℃로 하였다.
- [0251] 또한, 제 2 In-Ga-Zn 산화물막의 성막 조건은 원자수비가 In:Ga:Zn=1:1:1인 ϕ 8인치의 In-Ga-Zn 산화물을 타겟으로 사용하고, 스퍼터링 가스를 아르곤:산소=2:1(유량비), 성막 압력을 0.4Pa, 투입 전력을 0.5kW(DC), 타겟-기관 간 거리를 60mm, 기관 온도를 300℃로 하였다.
- [0252] 다음에, 제 1 In-Ga-Zn 산화물막 및 제 2 In-Ga-Zn 산화물막에 450℃로 질소 분위기하에서 1시간의 열처리를 수행한 후, 450℃로 산소 분위기하에서 1시간의 열처리를 수행하였다.
- [0253] 다음에, 제 2 In-Ga-Zn 산화물막 위에 5nm의 텅스텐막 및 20nm의 유기 수지를 형성하고, 전자 빔 노광으로 레지스트 마스크를 형성하였다.
- [0254] 그리고, 상기 레지스트 마스크를 마스크로 이용하여 유기 수지 및 텅스텐막을 선택적으로 에칭하였다. 에칭으로는 유도 결합 방식의 드라이 에칭 장치를 이용하여 2단계의 에칭을 수행하였다.
- [0255] 첫 번째 단계의 에칭에는 에칭 가스를 100%의 4불화 탄소, 압력을 0.67Pa, 투입 전력을 2000W, 바이어스 전력을 50W, 기관 온도를 -10℃, 에칭 시간을 12초로 하는 조건을 이용하였다. 또한, 두 번째 단계의 에칭에는 에칭 가스를 4불화 탄소:산소=3:2(유량비), 압력을 2.0Pa, 투입 전력을 1000W, 기관 바이어스 전력을 25W, 기관 온도를 -10℃, 에칭 시간을 8초로 하는 조건을 이용하였다.
- [0256] 다음에, 유기 수지 및 텅스텐막을 마스크로 이용하여 제 1 In-Ga-Zn 산화물막 및 제 2 In-Ga-Zn 산화물막을 선택적으로 에칭하여 제 1 산화물 반도체층(431) 및 제 2 산화물 반도체층(432)의 적층을 형성하였다. 에칭에는 유도 결합 방식의 드라이 에칭 장치를 이용하여 에칭 가스를 메탄:아르곤=1:2(유량비), 압력을 1.0Pa, 투입 전력을 600W, 기관 바이어스 전력을 100W, 기관 온도를 70℃, 에칭 시간을 82초로 하는 조건을 이용하였다.
- [0257] 다음에, 유기 수지 및 텅스텐막을 에칭하였다. 에칭에는 유도 결합 방식의 드라이 에칭 장치를 이용하여 에칭 가스를 4불화 탄소:산소=3:2(유량비), 압력을 2.0Pa, 투입 전력을 1000W, 기관 바이어스 전력을 25W, 기관 온도를 -10℃, 에칭 시간을 6초로 하는 조건을 이용하였다.

- [0258] 그리고, 제 1 산화물 반도체층(431) 및 제 2 산화물 반도체층(432)의 적층 위에 두께 10nm의 제 3 산화물 반도체층(433)을 스퍼터링법을 이용하여 형성하였다.
- [0259] 제 3 산화물 반도체층(433)의 성막 조건은 원자수비가 In:Ga:Zn=1:3:4인 ϕ 8인치의 In-Ga-Zn 산화물을 타겟으로 사용하고, 스퍼터링 가스를 아르곤:산소=2:1(유량비), 성막 압력을 0.4Pa, 투입 전력을 0.5kW(DC), 타겟-기판 간 거리를 60mm, 기판 온도를 200℃로 하였다.
- [0260] 도 14에서 점선으로 둘러싼 영역의 단면 TEM 사진이 도 15의 (A)이다. 제 1 산화물 반도체층(431) 중 하지 절연막(420) 측의 수nm의 영역에서는 결정 격자가 확인되지 않았지만, 그 상부에서는 격자 무늬가 확인되었다. 또한, 제 2 산화물 반도체층(432)에서는 제 1 산화물 반도체층(431)과 같은 격자 무늬가 확인되었다. 즉, 제 1 산화물 반도체층(431)의 대부분 및 제 2 산화물 반도체층(432) 전체는 결정층이며, 격자 무늬의 방향을 보면, 성막면에 수직인 방향으로 c축이 배향되는 CAAC-OS막인 것을 알 수 있다.
- [0261] 또한, 제 3 산화물 반도체층(433) 중 제 1 산화물 반도체층(431) 또는 제 2 산화물 반도체층(432) 측의 수nm의 영역에서는 결정 격자가 확인되지 않았지만, 그 상부에서는 격자 무늬가 확인되었다. 즉, 제 3 산화물 반도체층(433)은 미결정층(433a)과 결정층(433b)을 포함하는 것이 확인되었다.
- [0262] 제 2 산화물 반도체층(432)의 상부의 결정층(433b)에 확인되는 격자 무늬와, 제 1 산화물 반도체층(431)의 옆 또는 제 2 산화물 반도체층(432)의 측부의 결정층(433b)에 확인되는 격자 무늬는 그 방향이 다르기 때문에, 결정층(433b)은 성막면에 수직인 방향으로 c축이 배향되어 있는 CAAC-OS막인 것을 알 수 있다.
- [0263] 또한, 도 15의 (A)의 점선으로 둘러싼 영역의 확대도인 도 15의 (B)를 보면 알 수 있듯이 제 2 산화물 반도체층(432)의 단부의 곡면을 갖는 영역 위에는 미결정층(433a)을 개재하여 상기 곡면에 수직인 방향으로 c축이 배향되는 결정층(433b)의 격자 무늬가 확인되었다.
- [0264] 상술한 바와 같이 본 실시예의 결과로부터, 본 발명의 일 형태에 따른 산화물 반도체층의 적층 구성을 제작할 수 있는 것이 확인되었다.
- [0265] 또한, 본 실시예는 본 명세서에서 제시하는 실시형태와 적절히 조합할 수 있다.

부호의 설명

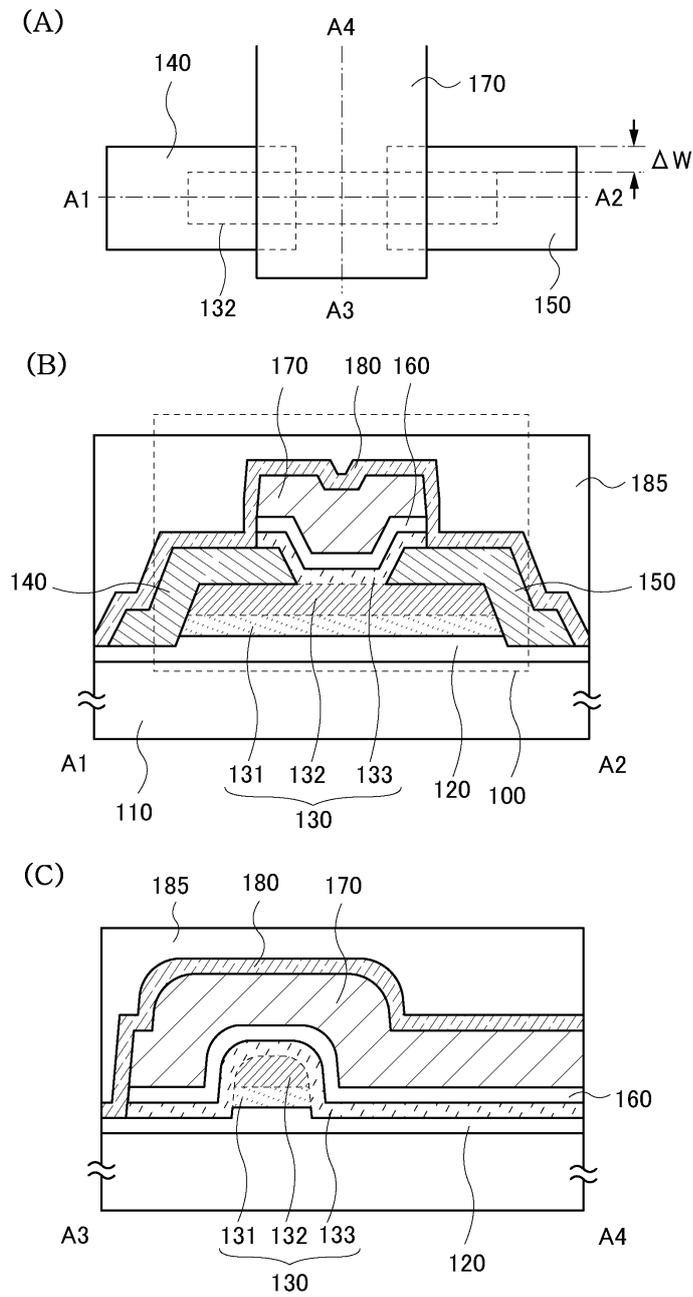
- [0266] 100: 트랜지스터
- 110: 기판
- 120: 하지 절연막
- 130: 산화물 반도체층
- 131: 제 1 산화물 반도체층
- 132: 제 2 산화물 반도체층
- 132b: 영역
- 133: 제 3 산화물 반도체층
- 133a: 미결정층
- 133b: 결정층
- 135: 경계
- 140: 소스 전극층
- 150: 드레인 전극층
- 160: 게이트 절연막
- 170: 게이트 전극층
- 172: 도전막

180: 절연층
185: 절연층
233: 영역
331: 제 1 산화물 반도체막
332: 제 2 산화물 반도체막
333: 제 3 산화물 반도체막
360: 절연막
370: 제 2 도전막
410: 기관
420: 하지 절연막
431: 제 1 산화물 반도체층
432: 제 2 산화물 반도체층
433: 제 3 산화물 반도체층
433a: 미결정층
433b: 결정층
610: 포토다이오드
640: 트랜지스터
650: 트랜지스터
661: 포토다이오드 리셋 신호선
662: 게이트 신호선
671: 포토센서 출력 신호선
672: 포토센서 기준 신호선
2100: 트랜지스터
2200: 트랜지스터
2201: 절연층
2202: 배선
2203: 플러그
2204: 절연층
2205: 배선
2206: 배선
3000: 기관
3001: 배선
3002: 배선
3003: 배선
3004: 배선
3005: 배선

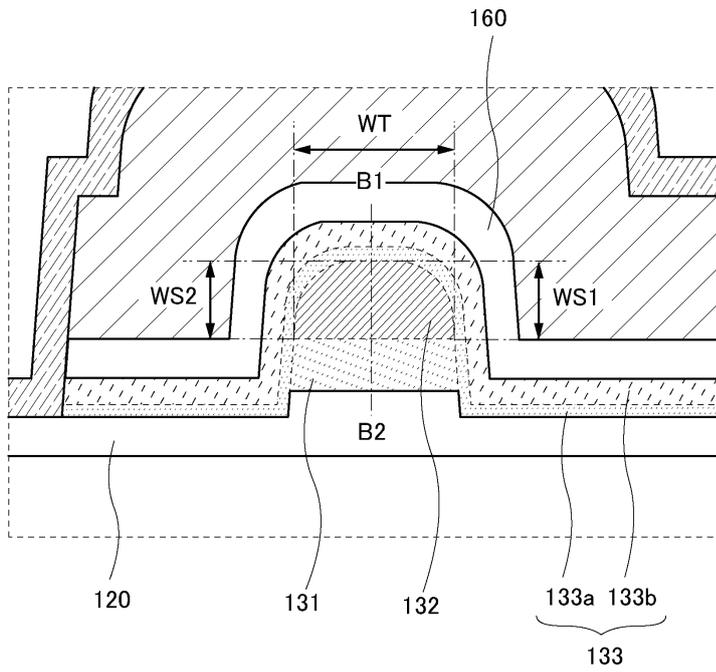
3100: 소자 분리 절연층
3150: 절연층
3200: 트랜지스터
3250: 전극
3300: 트랜지스터
3400: 용량 소자
4250: 메모리 셀
4300: 트랜지스터
4400: 용량 소자
4500: 배선
4600: 배선
8000: 텔레비전 장치
8001: 하우징
8002: 표시부
8003: 스피커부
8004: CPU
8100: 경보 장치
8101: 마이크로컴퓨터
8102: 검출부
8200: 실내기
8201: 하우징
8202: 송풍구
8203: CPU
8204: 실외기
8300: 전기 냉동 냉장고
8301: 하우징
8302: 냉장실 도어
8303: 냉동실 도어
8304: CPU
9700: 전기 자동차
9701: 2차 전지
9702: 회로
9703: 구동 장치
9704: 처리 장치

도면

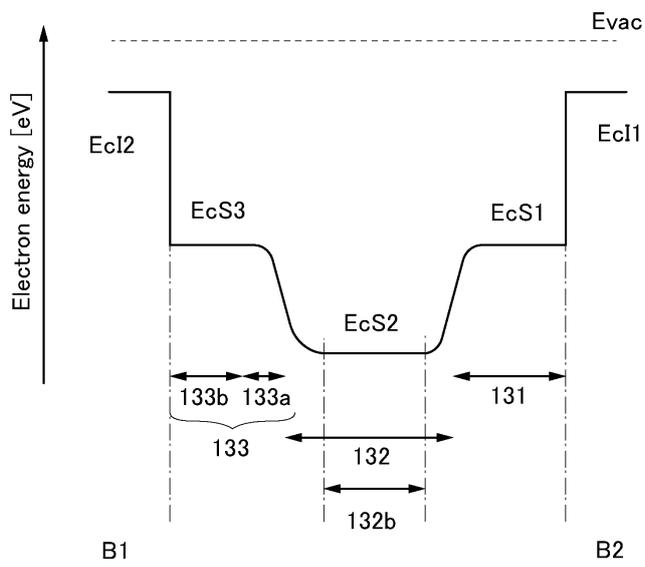
도면1



도면2

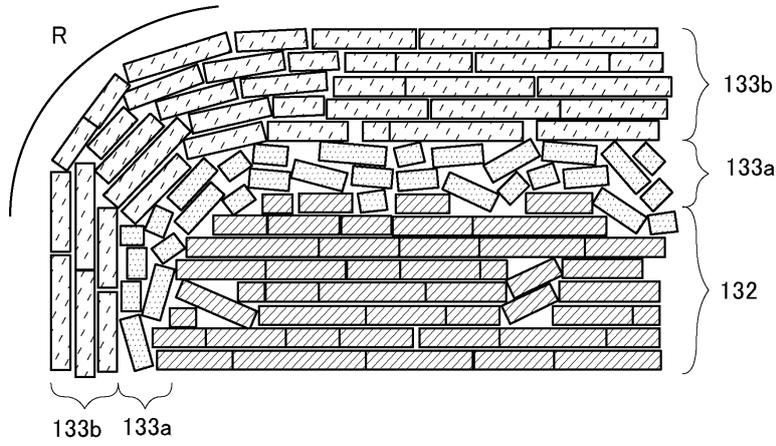


도면3

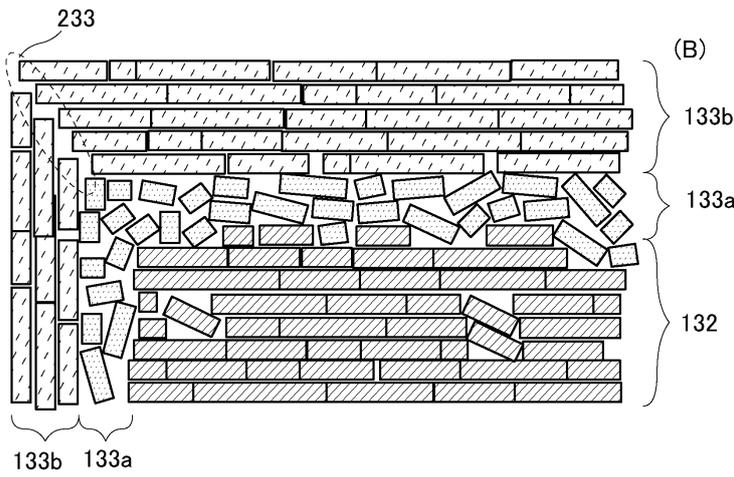


도면4

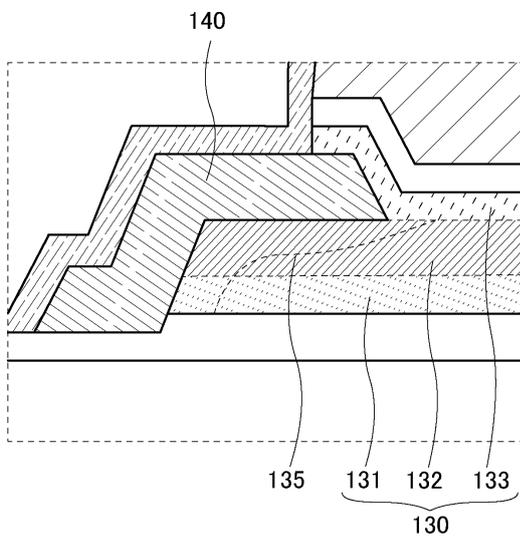
(A)



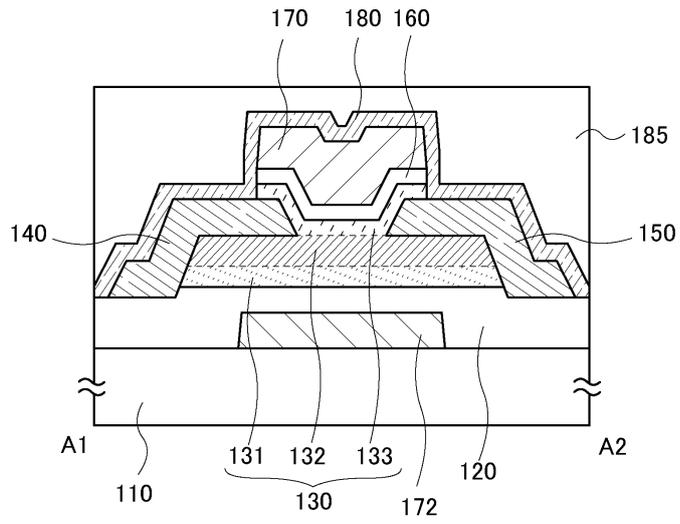
(B)



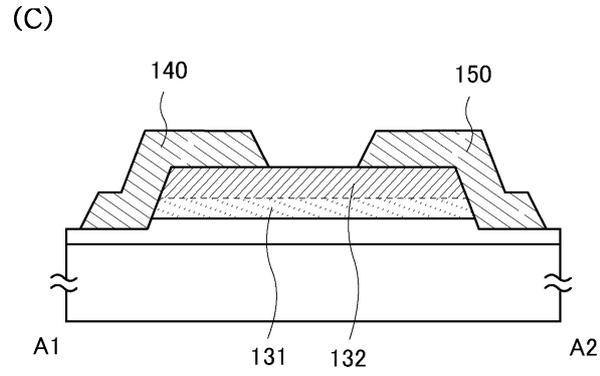
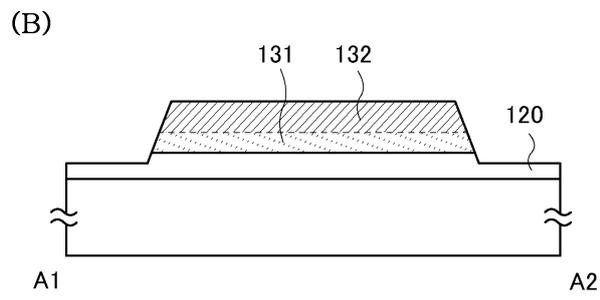
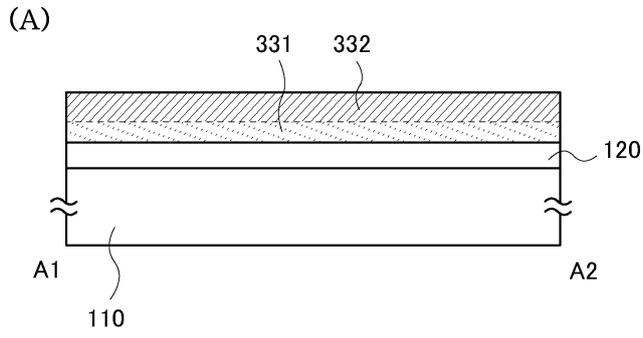
도면5



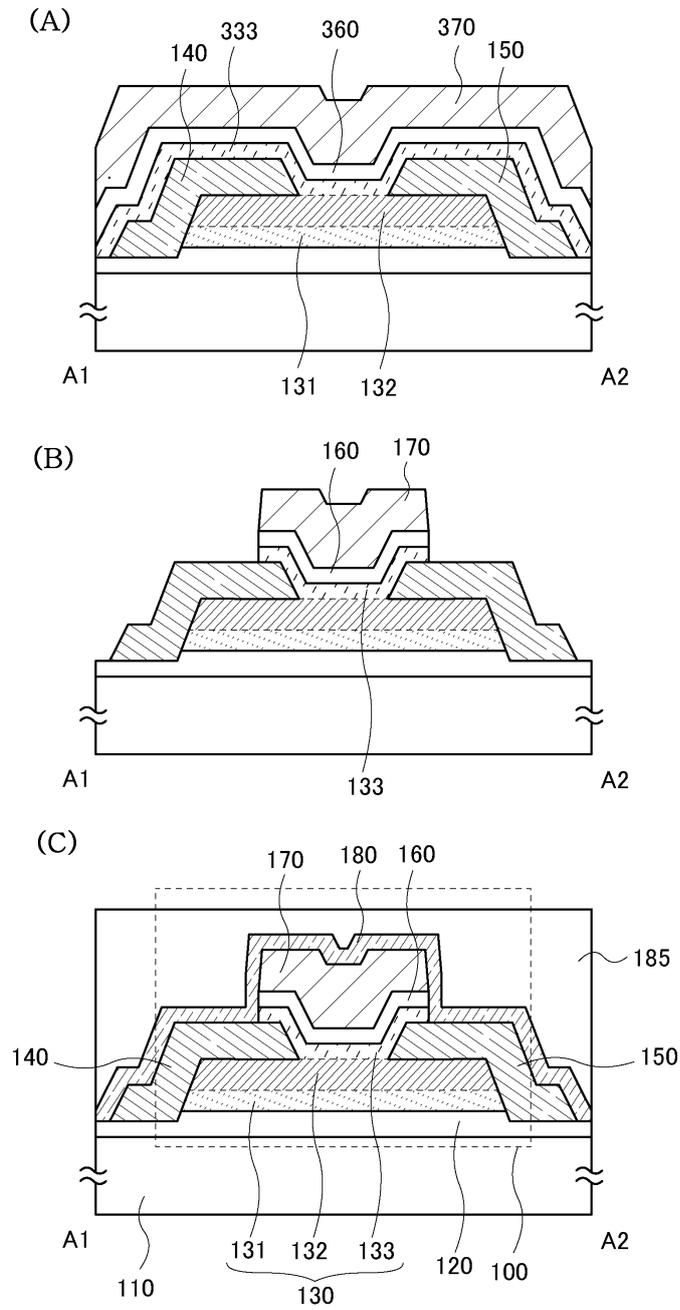
도면6



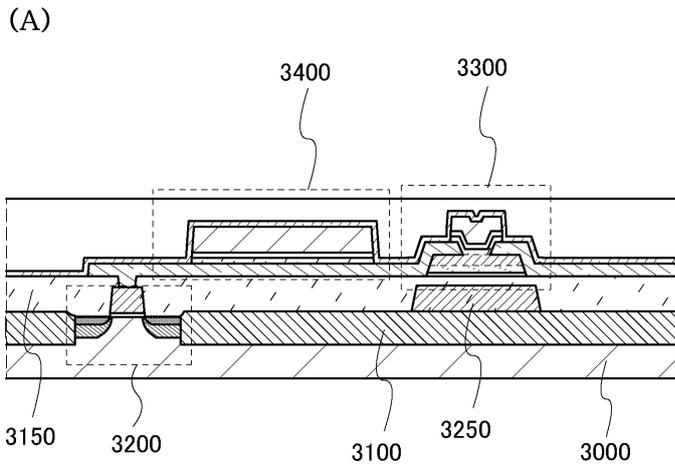
도면7



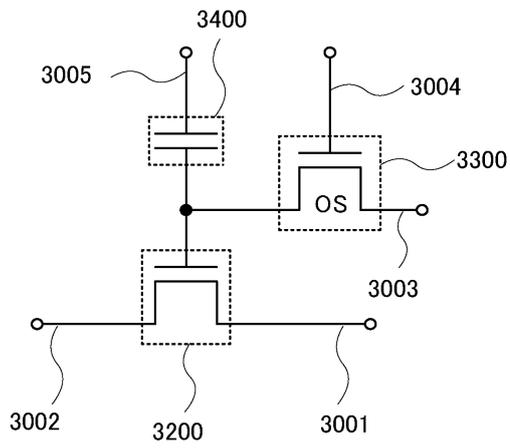
도면8



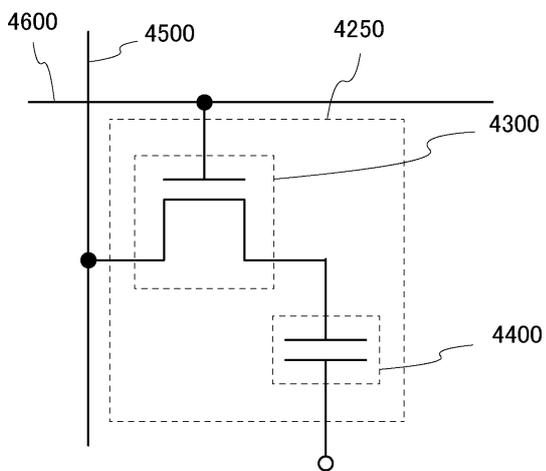
도면9



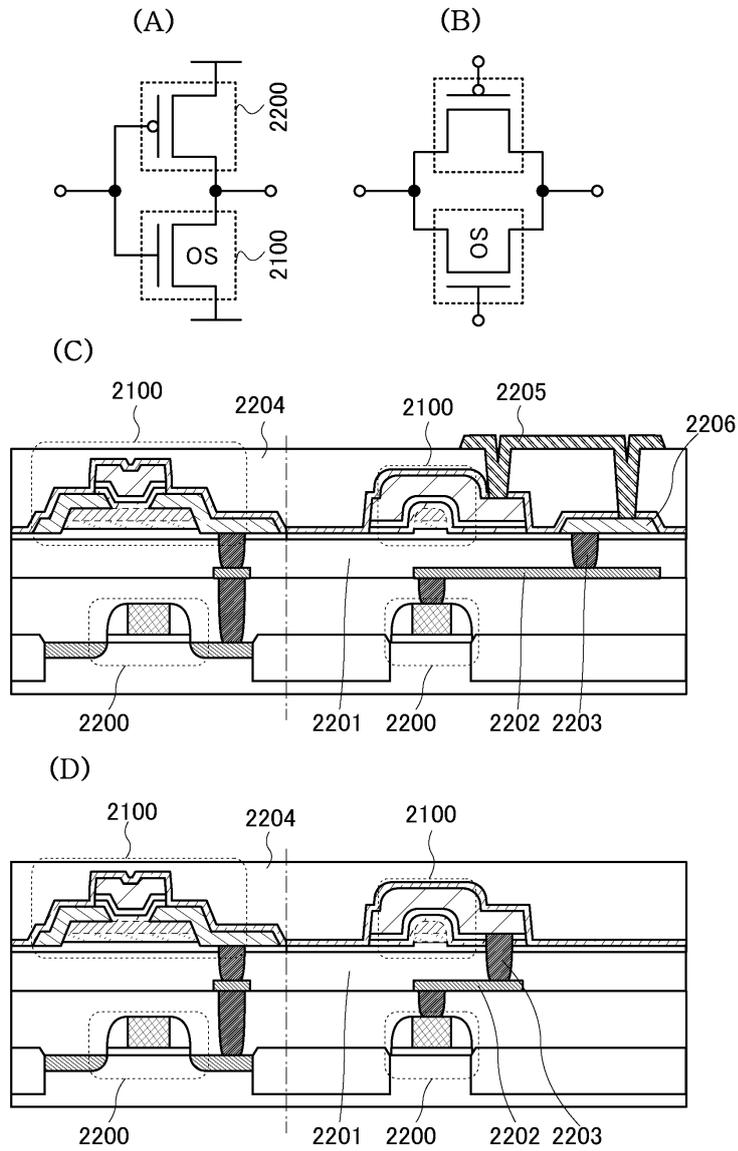
(B)



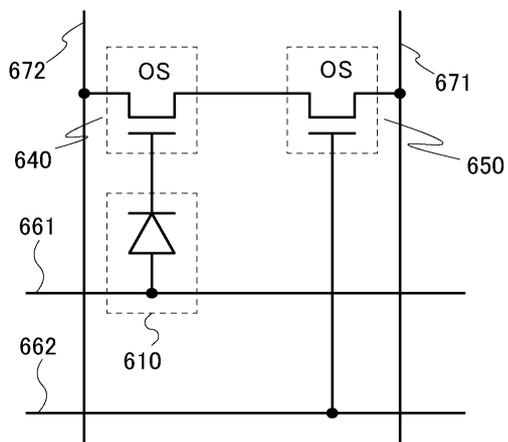
도면10



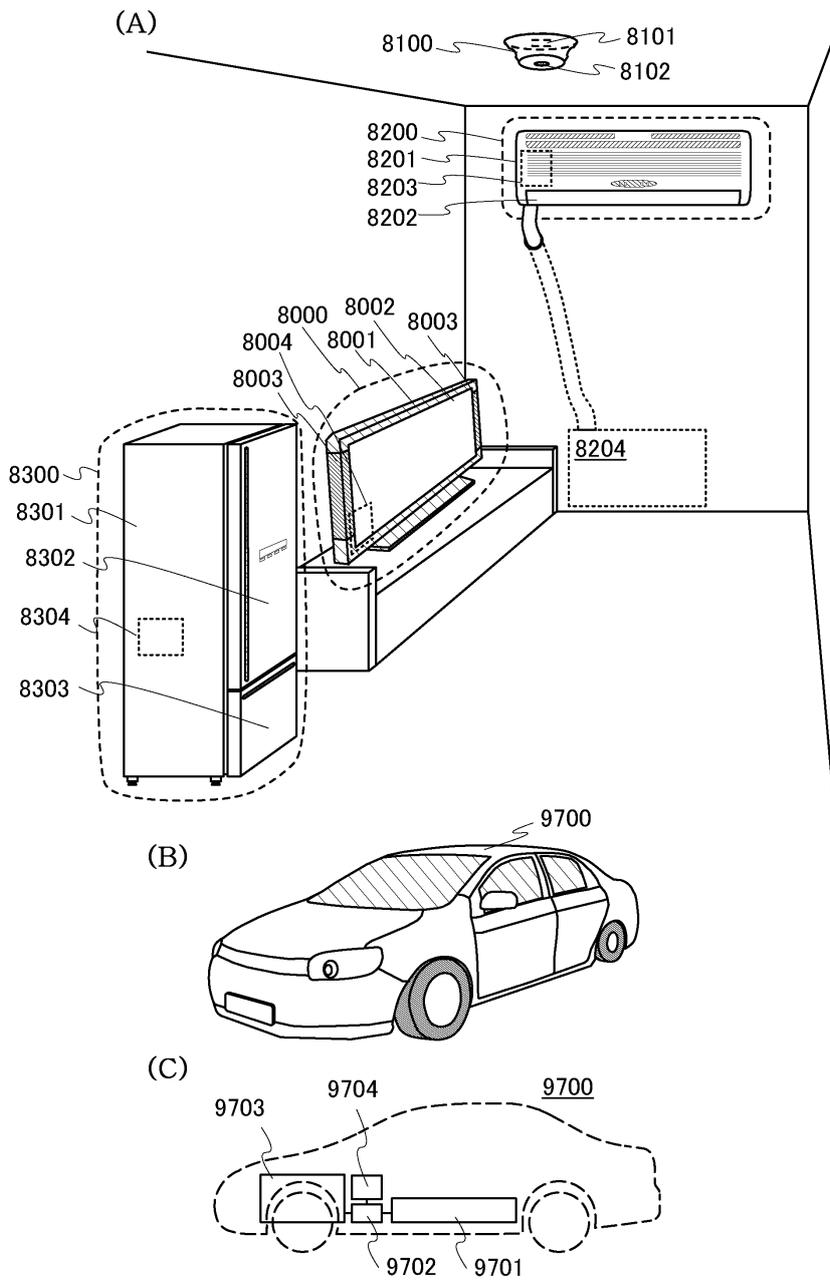
도면11



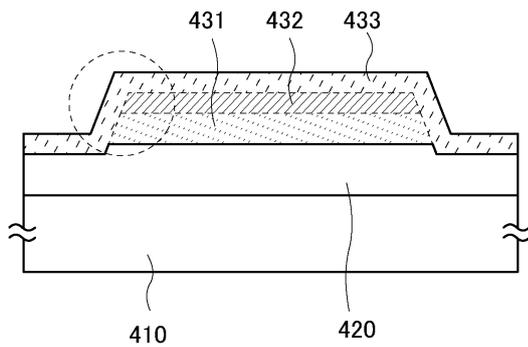
도면12



도면13



도면14



도면15

