

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2023-526558

(P2023-526558A)

(43)公表日 令和5年6月21日(2023.6.21)

| (51)国際特許分類 | F I | テーマコード(参考) |
|--------------------------|------------------------|------------|
| H 1 0 B 63/00 (2023.01) | H 1 0 B 63/00 | 5 F 0 4 8 |
| H 0 1 L 21/8234(2006.01) | H 0 1 L 27/088 E | 5 F 0 8 3 |
| H 0 1 L 27/088 (2006.01) | H 0 1 L 27/088 3 3 1 E | 5 F 1 1 0 |
| H 1 0 B 63/10 (2023.01) | H 1 0 B 63/10 | |
| H 1 0 N 70/00 (2023.01) | H 1 0 N 70/00 A | |

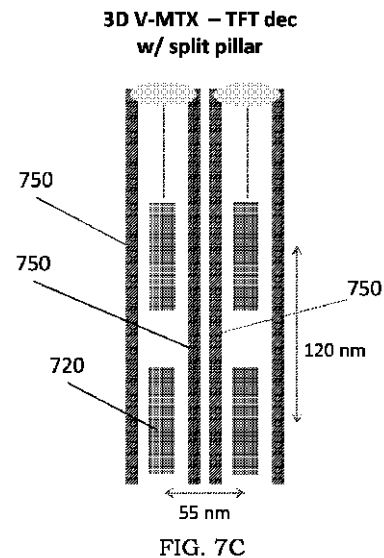
審査請求 未請求 予備審査請求 未請求 (全41頁) 最終頁に続く

| | | | |
|-------------|---|---------|--|
| (21)出願番号 | 特願2022-572291(P2022-572291) | (71)出願人 | 595168543 マイクロン テクノロジー、インク、 アメリカ合衆国、アイダホ州 8 3 7 1 6 - 9 6 3 2 , ボイズ、サウス フェデ ラル ウェイ 8 0 0 0 |
| (86)(22)出願日 | 令和2年5月25日(2020.5.25) | (74)代理人 | 100121083 弁理士 青木 宏義 |
| (85)翻訳文提出日 | 令和5年1月18日(2023.1.18) | (74)代理人 | 100138391 弁理士 天田 昌行 |
| (86)国際出願番号 | PCT/IB2020/020028 | (74)代理人 | 100074099 弁理士 大菅 義之 |
| (87)国際公開番号 | WO2021/240203 | (72)発明者 | ヴィッラ コラード イタリア共和国 モンツァ エ プリアン ツァ 2 0 8 4 5 ソヴィーコ ヴィア サ ン フランチェスコ 3 1 |
| (87)国際公開日 | 令和3年12月2日(2021.12.2) | | 最終頁に続く |
| (81)指定国・地域 | AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK ,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,G N,GQ,GW,KM,ML,MR,NE,SN,TD,TG), AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,B | | 最終頁に続く |

(54)【発明の名称】 改善された垂直3Dメモリデバイス及びアクセス方法

(57)【要約】

本開示は、メモリデバイス及びそのアクセス/選択解除方法を提供する。メモリデバイスは、その中に形成されたメモリセルの垂直3次元(3D)メモリアレイを含むメモリ層であって、メモリセルは、相互に直交するワード線及びデジット線を通じてアクセスされ、デジット線は、垂直方向に拡張する導電性ピラーの形態にある、メモリ層と、メモリ層の下方に形成され、メモリセルにアクセスするためのその中に形成された薄膜トランジスタ(TFT)を有するピラー選択層と、ピラー選択層の下方に形成され、ワード線及びビット線のためのセンスアンプ及びデコーディング回路を有する周辺回路層とを含み、TFTはピラー毎に構成される。



【特許請求の範囲】**【請求項 1】**

その中に形成されたメモリセルの垂直 3 次元 (3 D) メモリアレイを含むメモリ層であって、メモリセルは、相互に直交するワード線及びデジット線を通じてアクセスされるように構成され、前記デジット線は、垂直方向に拡張する導電性ピラーの形態にある、前記メモリ層と、

前記メモリ層の下方に形成され、メモリセルにアクセスするためにその中に形成された少なくとも 1 つの薄膜トランジスタ (T F T) を有するピラー選択層と、

前記ピラー選択層の下方に形成され、ワード線及びビット線のためのセンスアンプ及びデコード回路を有する周辺回路層と

を含み、

T F T はピラー毎に構成される、メモリデバイス。

【請求項 2】

前記 T F T は、前記ピラーに結合されたドレイン領域を有する n 型金属酸化物半導体 (N M O S) トランジスタである、

請求項 1 に記載のメモリデバイス。

【請求項 3】

前記 T F T は、チャネル領域の一方の側にあるゲート酸化物と、前記チャネル領域の他方の側にある別のゲート酸化物とを有する平行な 2 つのゲート領域を有する、

請求項 2 に記載のメモリデバイス。

【請求項 4】

前記チャネル領域は前記ドレイン領域の下方に形成され、ソース領域は前記チャネル領域の下方に形成される、

請求項 2 に記載のメモリデバイス。

【請求項 5】

前記導電性ピラーは、相互に別個の第 1 のサブピラー及び第 2 のサブピラーを更に含み、

前記薄膜トランジスタ (T F T) は、前記第 1 のサブピラーのために構成された第 1 の T F T であり、

前記メモリデバイスは、前記第 2 のサブピラーのために構成された第 2 の薄膜トランジスタ (T F T) を更に含む。

請求項 1 に記載のメモリデバイス。

【請求項 6】

前記 T F T のピッチは前記ピラーのピッチに一致する、

請求項 1 に記載のメモリデバイス。

【請求項 7】

前記薄膜トランジスタ (T F T) は、ポリシリコン層内に形成される、請求項 1 に記載のメモリデバイス。

【請求項 8】

前記周辺回路層はシリコン基板層内で実現される、請求項 1 に記載のメモリデバイス。

【請求項 9】

複数のデジット線に直交するように構成された複数のワード線を含む垂直 3 D メモリとして構造化されたメモリセルのメモリアレイと、

少なくとも 2 つのワード線と交差する各デジット線と、

対応するデジット線の一端にある少なくとも 1 つの選択トランジスタと、

前記対応するデジット線を選択し、前記対応するデジット線に関連付けられた少なくとも 1 つのメモリセルにアクセスするための薄膜トランジスタ (T F T) である前記選択トランジスタと

を含むメモリデバイス。

10

20

30

40

50

【請求項 10】

薄膜トランジスタ（TFT）のマトリクスには、デジタル線毎に1つのトランジスタが前記デジタル線の下方及び/又は上方に提供される、請求項9に記載のメモリデバイス。

【請求項 11】

ワード線及びビット線のためのセンスアンプ及びデコーディング回路を有する前記マトリクスの下方に周辺回路が形成される、請求項10に記載のメモリデバイス。

【請求項 12】

前記薄膜トランジスタ（TFT）はポリシリコン層内に形成される、請求項10に記載のメモリデバイス。

【請求項 13】

シリコン基板内で実現されたセンスアンプ及びデコーディング回路を有する周辺回路層を更に含む、請求項9に記載のメモリデバイス。

【請求項 14】

前記TFTは、前記デジタル線に結合されたドレイン領域を有するn型金属酸化物半導体（NMOS）トランジスタである、請求項9に記載のメモリデバイス。

【請求項 15】

前記TFTは、チャネル領域の一方の側にあるゲート酸化物と他方の側にある別のゲート酸化物とを有する平行な2つのゲート領域を含む、請求項9に記載のメモリデバイス。

【請求項 16】

複数のビルディングブロックのスタックを含み、各ビルディングブロックは、個別の複数のデジタル線に直交するように構成された個別の複数のワード線を有する個別のメモリ層であって、前記個別の複数のデジタル線内の各デジタル線は、前記個別の複数のワード線内の少なくとも2つのワード線と交差する、前記個別のメモリ層と、個別の複数の薄膜トランジスタ（TFT）を有する個別のピラー選択層であって、各TFTは、前記個別の複数のデジタル線内の対応するデジタル線を選択するためのものである、前記個別のピラー選択層とを含む、請求項9に記載のメモリデバイス。

【請求項 17】

他のワード線が所定の電圧にある間に、選択されたワード線に第1の電圧を印加することと、

前記選択されたワード線を前記メモリセルと共有する他のメモリセルに関連付けられた前記TFTのゲート領域に第2の電圧を印加することと、

他のTFTのソース領域が前記所定の電圧にある間に、前記選択されたワード線を共有するメモリセルに関連付けられた前記TFTのソース領域に前記第2の電圧を印加することと、

前記メモリセルに関連付けられた前記TFTのゲート領域に第3の電圧を印加することを含む、請求項1に記載の前記メモリデバイスのメモリセルにアクセスするための方法。

【請求項 18】

前記第1の電圧は正の極性のプログラミング又は読み出し電圧であり、前記第2の電圧は負の極性のプログラミング又は読み出し電圧であり、前記第3の電圧は正の極性の通過電圧であり、前記所定の電圧は接地電圧である、請求項17に記載のメモリセルにアクセスするための方法。

【請求項 19】

前記第1の電圧は負の極性のプログラミング又は読み出し電圧であり、前記第2の電圧は正の極性のプログラミング又は読み出し電圧であり、前記第3の電圧は前記第2の電圧よりも高い正の極性の通過電圧であり、前記所定の電圧は接地電圧である、請求項17に記載のメモリセルにアクセスするための方法。

【請求項 20】

10

20

30

40

50

各メモリセルが1つのワード線と1つのアレイデジット線との前記交点にあり、複数のデッキ上の水平方向に拡張する複数のワード線と、垂直方向に拡張する複数のアレイデジット線とを有する3Dメモリアレイ内の非アドレッシングのメモリセルを選択解除するための方法であって、

前記非アドレッシングのメモリセルに結合された前記複数のアレイデジット線の内のアレイデジット線をフロ-ティングにすることを含む、方法。

【請求項21】

前記アレイデジット線をフロ-ティングにすることは、前記アレイデジット線とビット線との間に結合された薄膜トランジスタ(TFT)のゲートに抑制電圧を印加することを

10

【請求項22】

前記アレイデジット線に容量結合された前記複数のワード線の内の非選択のワード線を接地することを更に含む、請求項20に記載の方法。

【請求項23】

第2のアレイデジット線と第2のビット線との間に結合された第2の薄膜トランジスタ(TFT)にバス電圧を印加することと、

前記第2のビット線を接地することと、

前記第2のアレイデジット線を接地すること

20

に少なくとも部分的に基づいて、前記3Dメモリアレイ内の前記第2のアレイデジット線に結合された第2の非アドレッシングのメモリセルを選択解除することを更に含む、請求項20に記載の方法。

【請求項24】

前記複数のワード線内の非選択のワード線を接地することによって第2の非アドレッシングのメモリセルを選択解除することを更に含む、請求項20に記載の方法。

【請求項25】

前記複数のワード線内の選択されたワード線にワード線アクセス電圧を印加することと

、
選択されたアレイデジット線に結合された選択されたビット線にビット線アクセス電圧を印加することと、

30

前記ビット線アクセス電圧を前記選択されたアレイデジット線へ転送するために、前記選択されたアレイデジット線と前記選択されたビット線との間に結合された選択されたTFTのゲートに通過電圧を印加すること

に少なくとも部分的に基づいて、前記非アドレッシングのメモリセルを選択解除している間に、前記選択されたアレイデジット線に結合されたアドレッシングされたメモリセルを選択することを更に含む、請求項20から24の何れか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

40

[クロスリファレンス]

本特許出願は、本出願の譲受人に譲渡されかつその全体が本書類に参照によって明確に組み込まれる、VILLA等による「IMPROVED VERTICAL 3D MEMORY DEVICE AND ACCESSING METHOD」と題され2020年5月25日出願の国際特許出願番号PCT/IB2020/020028の国内移行出願である。

【背景技術】

【0002】

以下の開示は、一般的に、エレクトロニクスの分野に関し、より具体的には、改善された垂直3D(3次元)メモリデバイス構造体及び関連するアクセス方法に関する。

50

【 0 0 0 3 】

電子メモリデバイス（以下、簡単に“メモリデバイス”と称する）は、タブレット、コンピュータ、無線通信デバイス（例えば、スマートフォン）、カメラ、及びデジタルディスプレイ等の様々な電子デバイス内にデータを蓄積するために広く使用されている。

【 0 0 0 4 】

メモリデバイスは、コンピュータ、無線通信デバイス、カメラ、及びデジタルディスプレイ等の様々な電子デバイス内に情報を蓄積するために広く使用されている。情報は、メモリデバイスの異なる状態をプログラミングすることによって蓄積される。例えば、バイナリデバイスは、論理 1 又は論理 0 でしばしば示される 2 つの状態の内の 1 つを頻繁に蓄積する。他のデバイスでは、2 つよりも多い状態が蓄積され得る。蓄積された情報にアクセスするために、デバイスのコンポーネントは、メモリデバイス内の少なくとも 1 つの蓄積された状態を読み出し得、又はセンシングし得る。情報を蓄積するために、デバイスのコンポーネントは、メモリデバイス内に状態を書き込み得、又はプログラミングし得る。

10

【 0 0 0 5 】

磁気ハードディスク、ランダムアクセスメモリ（RAM）、リードオンリーメモリ（ROM）、ダイナミックRAM（DRAM）、同期型ダイナミックRAM（SDRAM）、強誘電体RAM（FeRAM）、磁気RAM（MRAM）、抵抗変化型RAM（RRAM）、フラッシュメモリ、相変化メモリ（PCM）、及びその他のカルコゲナイドベースのメモリ等を含む様々なタイプのメモリデバイスが存在する。メモリデバイスは、揮発性又は不揮発性であり得る。

20

【 0 0 0 6 】

メモリデバイスの改善は、一般的に、メトリクスの中でもとりわけ、メモリセル密度の増加、読み出し/書き込み速度の向上、信頼性の向上、データ保持の向上、電力消費の削減、又は製造コストの削減等を含み得る。メモリアレイ内のスペースの節約、メモリセル密度の増加、又は 3 次元垂直アーキテクチャを用いるメモリアレイの全体的な電力使用の削減のための解決策が要望され得る。

【 0 0 0 7 】

本開示の目的は、追加の選択素子を有する改善されたメモリデバイスと、メモリデバイスのメモリセルにアクセスするための効率的な方法とを提供することである。

【 図面の簡単な説明 】

30

【 0 0 0 8 】

【 図 1 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの一例を説明する。

【 図 2 A 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 2 B 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 2 C 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 2 D 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

40

【 図 2 E 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 2 F 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 3 A 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 3 B 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイの図を示す。

【 図 3 C 】 本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直

50

3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 3 D】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 3 E】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 3 F】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 3 G】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 3 H】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。 10

【図 3 I】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする例示的なメモリアレイの図を示す。

【図 4 A】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする更なる例示的なメモリアレイの図を示す。

【図 4 B】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする更なる例示的なメモリアレイの図を示す。

【図 5】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスをサポートする更なる例示的なメモリアレイを説明する。

【図 6】本明細書に開示するような例に従った例示的なNMOS TFTを説明する。 20

【図 7 A】本明細書に開示するような例に従った例示的なNMOS TFTセクタの図を示す。

【図 7 B】本明細書に開示するような例に従った例示的なNMOS TFTセクタの図を示す。

【図 7 C】本明細書に開示するような例に従った例示的なNMOS TFTセクタの図を示す。

【図 8 A】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスのメモリセルにアクセスするための図を示す。

【図 8 B】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスのメモリセルにアクセスするための図を示す。 30

【図 8 C】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスのメモリセルにアクセスするための図を示す。

【図 8 D】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスのメモリセルにアクセスするための図を示す。

【図 9】本明細書に開示するような例に従ったNMOS TFTセクタを有する垂直3 Dメモリデバイスにアクセスする方法を説明するフロ - チャ - トを示す。

【発明を実施するための形態】

【0009】

本開示は、NMOS TFTセクタを有する垂直3 Dメモリデバイス、及びそれらにアクセスする方法に関する。メモリデバイスは、その中に形成されたメモリセルの垂直3次元(3 D)メモリアレイを含むメモリ層であって、メモリセルは、相互に直交するワード線及びデジット線を通じてアクセスされ、デジット線は、垂直方向に拡張する導電性ピラーの形態にある、メモリ層と、メモリ層の下方に形成され、メモリセルにアクセスするためにその中に形成された薄膜トランジスタ(TFT)を有するピラー選択層と、ピラー選択層の下方に形成され、ワード線及びビット線のためのセンスアンプ及びデコーディング回路を有する周辺回路層とを含み得、TFTはピラー毎に構成される。幾つかの場合、TFTは、ピラーに結合されたドレイン領域を有するn型金属酸化物半導体(NMOS)トランジスタである。幾つかの場合、TFTのチャンネル領域は第1の所定値まで拡張される。幾つかの場合、TFTは、チャンネル領域の一方の側にあるゲート酸化物と、チャンネル領域の他方の側にある別のゲート酸化物とを有する2つのゲート領域を有する。幾つかの場 40 50

合、チャネル領域はドレイン領域の下方に形成され、ソース領域はチャネル領域の下方に形成される。幾つかの場合、チャネル領域の長さは第2の所定値まで延長される。幾つかの場合、第1の所定値は120nmである。幾つかの場合、第2の所定値は220nmである。幾つかの場合、導電性ピラーは、相互に別個の第1のサブピラーと第2のサブピラーとを更に含み、2つのTFETは、第1のサブピラーのための一方と、第2のサブピラーのための他方とを有する導電性ピラーのために構成される。幾つかの場合、TFETのピッチはピラーのピッチに一致する。

【0010】

幾つかの例では、デジット線毎に1つのトランジスタを有するデジット線の下方及び/又は上方に薄膜トランジスタ(TFET)のマトリックスが設けられる一方、ワード線及びビット線のためのセンスアンプ及びデコーディング回路を有する該マトリックスの下方に周辺回路が形成される。

10

【0011】

したがって、薄膜トランジスタのマトリックスはポリシリコン層内に形成される一方、周辺回路層はシリコン基板層内に実現され、幾つかの例では、周辺回路層は該ポリシリコン層の下方にあり得、ポリシリコン層は3Dメモリアレイの下方にあり得る。

【0012】

幾つかの例では、メモリデバイスは、メモリデバイスのメモリアレイに印加される電圧を持続するための誘電体の厚さを維持しつつメモリセル間の間隔を減少させ得る、導電性材料及び絶縁性材料の代替層を通る導電性コンタクト及び開口部の配置を含み得、メモリデバイスはまた、垂直3Dメモリデバイスのデコーディングを可能にするNMOSTFTである、各導電性コンタクトに結合された選択トランジスタを含み得る。

20

【0013】

幾つかの例では、メモリデバイスは、あるパターン(例えば、幾何学的パターン)に配置されたコンタクトのセットを有する基板と、基板上に形成された第1の絶縁性材料(例えば、誘電体材料)とを含み得る。導電性材料のプレーンのセットは、第2の絶縁性材料(例えば、誘電体材料)によって相互に分離され得、基板材料上に形成され得る。すなわち、導電性材料と絶縁性材料との交互のプレーンが基板上に形成され得る。導電性材料のプレーンはワード線の例であり得る。

【0014】

メモリデバイスの製造中に、導電性材料と絶縁性材料との交互のプレーンをエッチングすることによって、1つ以上のトレンチが形成され得る。トレンチは、相互に平行に拡張し得、基板を露出させ得る。幾つかの例では、導電性材料及び誘電体材料のプレーンはトレンチの側壁を形成し得る。導電性材料のプレーンは、誘電体材料及び導電性材料のプレーンが凹部のセットを形成するようにエッチングされ得、各凹部はストレージ素子材料(例えば、カルコゲナイド材料)を受け入れるように構成され得る。トレンチ内に犠牲層(例えば、コンフォ-マル材料)が堆積し得、幾つかの場合、犠牲層は凹部を充填する。犠牲層の最上部のトレンチ内に絶縁性材料が堆積し得る。

30

【0015】

犠牲層及び絶縁性的一部分は、第1の開口部を形成するために除去され得る。第1の開口部は、基板的一部分、導電性コンタクトのセットの少なくともいくつか、並びに導電性材料のプレーン及び誘電体材料のプレーン的一部分を露出させ得る。第1の開口部内にストレージ素子材料(例えば、カルコゲナイド材料)が堆積し得る。ストレージ素子材料は、誘電体材料のプレーン及び導電性材料のプレーンによって形成された凹部を充填し得る。ストレージ素子材料は、凹部内のストレージ素子材料が残るように、第1の開口部から部分的に除去され得る。凹部に位置付けられたストレージ素子材料は、ストレージ素子コンポーネント(例えば、カルコゲナイドコンポーネント)であり得る。

40

【0016】

凹部内にストレージコンポーネントを含む第1の開口部内に導電性ピラーが形成され得る。導電性ピラーは、(例えば、導電性材料のプレーンに対して実質的に垂直に)導電性

50

材料のプレーンを通して拡張し、基板に接触するように配置され得る。各導電性ピラーは、導電性材料の同じプレーンに各々順に接触する2つのストレージ素子コンポーネントに接触し得る。各導電性ピラーは、1つ又は2つの導電性コンタクトと更に結合され得、したがって、NMOS T F Tは各導電性ピラーに関連付けられ得る。幾つの場合、ピラーは、バリア材料及び導電性材料で形成され得る。幾つの場合、ピラー毎に単一のNMOS T F Tが提供され得る。

【0017】

導電性ピラーの一部分は、第2の開口部を形成するために除去され得る。第2の開口部は、各ピラーを第1のピラーと第2のピラーとに分割し得る。第1及び第2のピラーはデジタル線の例である。第1のピラーは、導電性材料のプレーンに結合された第1のストレージ素子コンポーネントと接触し得、第2のピラーは、導電性材料のプレーンに結合された第2のストレージ素子コンポーネントと接触し得る。幾つの場合、第1のピラー及び第2のピラーの各々は、基板上的異なる導電性コンタクトと結合され得る。幾つの場合、第1のピラーの各々は、基板上的異なる導電性コンタクトと結合され得、第2のピラーの各々は、第1の基板の上方に形成された第2の基板上的異なる導電性コンタクトと結合され得る。幾つの場合、第1のピラー及び第2のピラーの各々は、個別のNMOS T F Tに関連付けられ得る。言い換えれば、1つのピラーは、それに結合された単一のNMOS T F Tを有し得る。

10

【0018】

幾つの場合、NMOS T F Tは、メモリセルのアレイの下方、特に各ピラーの下方に形成され得る。幾つの場合、NMOS T F Tのドレイン領域はピラーに結合され得る。幾つの場合、NMOS T F Tの活性領域(すなわち、ポリシリコンチャンネル)は、所定値(例えば、120nm)まで拡張され得る。幾つの場合、NMOS T F Tは、チャンネル領域の一方の側にあるゲート酸化物と、チャンネル領域の他方の側にある別のゲート酸化物とを有する2つのゲート領域を有し得、したがって、NMOS T F Tの幅を2倍にする。幾つの場合、メモリデバイスの第1の底部シリコン層は、ワード線及びビット線のためのセンスアンプ及びデコーディング回路の専用であり得る。幾つの場合、第1のシリコン層の上方にポリシリコンのエピタキシャル成長が提供され、このポリシリコン層内において、NMOS T F Tがピラーの下方に一種のマトリックスとして提供され得る。

20

30

【0019】

本開示は更に、NMOS T F Tセクタを有する垂直3Dメモリデバイスのメモリセルにアクセスするための方法に関する。一般的に、3Dメモリアレイのセルは、ワード線及びビット線によってアドレッシングされ得る。対象のセルをアドレッシングするために、正のバイアス電圧が(ビット線の垂直部分であり得る)デジタル線に印加され得、負のバイアス電圧がワード線プレートに印加され得る。しかしながら、負のバイアス電圧を受け入れるワード線は、同じワード線プレートに関連付けられ、他のピラー(すなわち、ビット線の垂直部分)にリンクされたその他の全てのセルと共通であり得る。したがって、所望のビット線を決定する必要がある。

【0020】

以下に詳細に説明するであろうアクセス方法に従って、他の全てを選択解除している間に、単一のNMOS T F Tを有する単一のセルを選択することが可能である。したがって、セット電圧又はプログラミング及びリセット電圧、並びに読み出し電圧をバイアスすることも可能である。開示する解決策はまた、負のバイアス電圧が(ビット線の垂直部分であり得る)デジタル線に印加され、正のバイアス電圧がワード線プレートに印加された場合に単一のセルを選択するのに適している。

40

【0021】

図1は、本明細書に開示するような例に従ったNMOS T F Tセクタを有する垂直3Dメモリデバイスをサポートするメモリアレイ100(例えば、3次元(3D)メモリアレイ)の一例を説明する。メモリアレイ100は、基板104の上方に位置付けられた

50

メモリセルの第1のレイ又はデッキ105と、第1のレイ又はデッキ105の上にあるメモリセルの第2のレイ又はデッキ108とを含み得る。

【0022】

メモリアレイ100は、ワード線110及びデジット線115を含み得る。第1のデッキ105及び第2のデッキ108のメモリセルは、1つ以上の自己選択メモリセルを各々有し得る。図1に含まれる幾つかの素子は、数表示でラベルが付され、その他の対応する素子はラベルが付されていないが、それらは同じであり、又は同様であると理解されるであろう。

【0023】

メモリセルのスタックは、第1の誘電体材料120、ストレージ素子材料125（例えば、カルコゲナイド材料）、第2の誘電体材料130、ストレージ素子材料135（例えば、カルコゲナイド材料）、及び第3の誘電体材料140を含み得る。第1のデッキ105及び第2のデッキ108の自己選択メモリセルは、幾つかの例では、各デッキ105及び108の対応する自己選択メモリセルがデジット線115又はワード線110を共有し得るように、共通の導電線を有し得る。

10

【0024】

幾つかの例では、メモリセルは、メモリストレージ素子を含み得るセルに電気パルスを提供することによってプログラミングされ得る。パルスは、第1のアクセス線（例えば、ワード線110）若しくは第2のアクセス線（例えば、デジット線115）又はそれらの組み合わせを介して提供され得る。幾つかの場合、パルスを提供すると、メモリセルの極性に依存して、イオンがメモリストレージ素子内を移動し得る。したがって、メモリストレージ素子の第1の側又は第2の側に対するイオンの濃度は、第1のアクセス線と第2のアクセス線との間の電圧の極性に少なくとも部分的に基づき得る。幾つかの場合、非対称形状のメモリストレージ素子は、より広い面積を有する素子の部分においてイオンをより密集させ得る。メモリストレージ素子のある部分は、より高い抵抗率を有し得、したがって、メモリストレージ素子の他の部分よりも高閾値電圧を生じさせ得る。イオン移動のこの説明は、本明細書に説明する結果を実現するための自己選択メモリセルのメカニズムの一例を表す。メカニズムのこの例は、限定的とみなすべきではない。この開示は、本明細書に説明する結果を実現するための自己選択メモリセルのメカニズムの他の例をも含む。

20

【0025】

メモリアレイ100のアーキテクチャは、幾つかの場合、メモリセルがワード線110とデジット線115との間のトポロジカルなクロスポイントで形成される垂直クロスポイントアーキテクチャと称され得る。そうしたクロスポイントアーキテクチャは、他のメモリアーキテクチャと比較して製造コストが低く、比較的高密度のデータストレージを提供し得る。例えば、クロスポイントアーキテクチャは、他のアーキテクチャと比較して面積が削減され、その結果、メモリセル密度が増加したメモリセルを有し得る。

30

【0026】

図1の例は2つのメモリデッキ105及び108を示しているが、他の構成が可能である。幾つかの例では、自己選択メモリセルの単一のメモリデッキが基板104の上方に構築され得、これは2次元メモリと称され得る。幾つかの例では、メモリセルの3つ又は4つのメモリデッキが、3次元クロスポイントアーキテクチャにおいて同様の方法で構成され得る。

40

【0027】

メモリアレイ100は、グリッド又はジグザグパターンで配置されたコンタクトのセットを有する基板104を含み得る。幾つかの場合、コンタクトのセットは、基板を通過して拡張し得、メモリアレイ100のアクセス線と結合し得る。メモリアレイ100は、（例えば、2つのデッキ105及び108の上方に位置付けられた）追加の基板104を含み得る。追加の基板104は、（例えば、基板を通過して拡張する）コンタクトのセットを有し得、メモリアレイ100のアクセス線と結合され得る。

【0028】

50

メモリアレイ 100 は、基板材料上の第 1 の絶縁性材料上に形成された第 2 の絶縁性材料によって相互に分離された導電性材料のプレーンのセットを含み得る。導電性材料のプレーンのセットの各々は、その中に形成された凹部のセットを含み得る。プレーンのセットは、例えば、同じデッキ（例えば、メモリデッキ 105、メモリデッキ 108）上の 1 つ以上のワード線 110 に対応するワード線プレートは、スタック堆積処理ステップ中のエッチングのために犠牲層（例えば、コンフォ-マル層）を使用し、セル画定後にコンフォ-マル層を除去し、コンフォ-マル層をより導電性の高い材料と置換することによる置換プロセスによって得られ得る。

【0029】

導電性ピラーのセットは、導電性材料及び基板のプレーンのセットに対して実質的に垂直に拡張するように開口部内に形成され得る。導電性ピラーのセットは、ピラー対のセットに分割され得る。ピラーの対の各ピラーは、導電性コンタクトの異なる 1 つに結合され得る。幾つかの場合、ピラーの対の各ピラーは、基板 104 上の導電性コンタクトに結合され得る。追加的又は代替的に、ピラーの各対の一方のピラーは、基板 104 上の導電性コンタクトに結合され得、ピラーの各対の他方のピラーは、（例えば、メモリデッキ 105 及び 108 の上方に位置付けられた）異なる基板 104 上の導電性コンタクトに結合され得る。

【0030】

幾つかの例では、メモリデッキ 105 及び 108 は、論理状態を蓄積するように構成されたカルコゲナイド材料を含み得る。例えば、メモリデッキ 105 及び 108 のメモリセルは、自己選択メモリセルの例であり得る。カルコゲナイド材料は、凹部のセットの各個別の 1 つ内のカルコゲナイド材料がピラーの対のセットの 1 つのピラーと少なくとも部分的に接触するように、凹部のセット内に形成され得る。

【0031】

図 2A ~ 図 2F は、本明細書に開示するような例に従った積み重ねられたメモリデバイスを形成するために実施され得る一連のステップ又はプロセス中の例示的なメモリアレイ 200 - a、200 - b、200 - c、及び 200 - d の様々な図を示す。具体的には、図 2A ~ 図 2F には、ワード線プレーンを形成し、犠牲層及び絶縁性材料を堆積するプロセスが示されている。

【0032】

図 2A は、例示的なメモリアレイ 200 - a の側面図を示す。図 2B は、図 2A に説明したものに続くプロセスステップ中の図 2A の切断線 A - A に沿った例示的なメモリアレイ 200 - b の上面図を示す。図 2C は、図 2B の切断線 B - B に沿って取られた（例えば、図 2B に示したような）メモリアレイ 200 - b の断面図を示す。図 2D は、図 2B 及び図 2C に説明したものに続くプロセスステップ中の図 2B の切断線 B - B に沿って取られたメモリアレイ 200 - c の断面図を示す。図 2E は、図 2D に説明したものに続くプロセスステップ中の図 2B の切断線 B - B に沿って取られたメモリアレイ 200 - d の断面図を示す。図 2F は、図 2E の切断線 A - A に沿った（例えば、図 2D に示したような）例示的なメモリアレイ 200 - d の上面図を示す。

【0033】

図 2A は、本明細書に開示するような例に従った例示的なメモリアレイ 200 - a の側面図を説明し、例えば、メモリアレイ 200 - a は、NMOS TFT セクタを有する垂直 3D メモリデバイスをサポートし得る。メモリアレイ 200 - a は、基板 104 - a 又は 104 - b を通って拡張する導電性コンタクト 235 のセットを含み得る。メモリアレイ 200 - a は、材料 240 及び絶縁性材料 245（例えば、絶縁性材料層、誘電体層）の交互層を更に含み得る。幾つかの場合、材料 240 は、（例えば、導電層を形成するための）導電性材料であり得る。他の場合では、材料 240 は、（例えば、絶縁性材料 245 とは異なる）犠牲絶縁性材料であり得る。

【0034】

基板 104 は、誘電体膜等の誘電体材料であり得る。導電性コンタクト 235 のセット

10

20

30

40

50

の単一の導電性コンタクトは、任意の単一の垂直ピラー（例えば、デジット線）をトランジスタ（例えば、選択トランジスタ又はデジット線セレクタ）と結合するように構成され得る。

【0035】

幾つかの例では、導電性コンタクト235は、基板104-a及び104-bの両方内に形成され得る。例えば、導電性コンタクト235-aは、（例えば、デジット線に対応する）ピラーの対の第1のピラーをトランジスタに結合し得る。導電性コンタクト235-cは、ピラーの対の第2のピラーをトランジスタに結合し得る。導電性コンタクト235-b及び導電性コンタクト235-dは、ピラーの第2の対の1つのピラーをトランジスタに各々結合し得る。追加的又は代替的に、導電性コンタクト235の各々は、基板104-bを
10

【0036】

導電性コンタクト235のセットは、グリッドパターンで配置され得る。幾つかの例では、導電性コンタクト235のセットの個別の1つは、最大8つの他の導電性コンタクト235によって取り囲まれ得る。追加的又は代替的に、導電性コンタクト235のセットは、互い違いのパターン又は六角形のパターンで配置され得る。例えば、導電性コンタクト235のセットの個別の1つは、最大6つの他の導電性コンタクト235によって取り
20

【0037】

メモリアレイ200-aはまた、絶縁性材料245の積み重ねられたプレーンのセットと、材料240の積み重ねられたプレーン（例えば、ワード線プレーン又はワード線プレート）のセットとを含み得、材料240は、導電性材料又は（例えば、図2Aに説明したものに続くプロセスステップ中に導電性材料に置換される）絶縁性材料であり得る。材料240の積み重ねられたプレーンは、絶縁性材料245のプレーンのセットによって相互にz方向に分離され（例えば、垂直に分離され）得る。例えば、第2の絶縁性材料245の第1のプレーン（底部プレーン）が基板104-bのプレーン上に形成され（例えば、堆積され）得、その後、材料240のプレーンが第2の絶縁性材料245の第1のプレーン上に形成され得る。幾つかの例では、第1の絶縁性材料245の層は、基板104-b上に堆積し得る。幾つかの例では、材料240は、導電性炭素の層又は活性材料と適合可能なその他の導電層であり得る。幾つかの例では、材料240は、保護バリアを通じて活性材料によって分離された導電層を含み得る。材料240の各層は、少なくとも1つのワード線プレートとして機能するように構成され得る。幾つかの例では、材料240及び絶縁性材料245は、交互層等の層のセットを形成する。
30

【0038】

或いは、材料240は犠牲絶縁性材料であり得る。ここで、メモリアレイ200-aは、犠牲絶縁性材料240の積み重ねられたプレーンのセットと、絶縁性材料245の積み重ねられたプレーンのセットとを含み得る。犠牲絶縁性材料240は、絶縁性材料245とは異なる材料（例えば、夫々、酸化物材料と窒化物材料と）であり得る。図2Aに説明したものに続くプロセスステップ中、犠牲絶縁性材料240は除去され得、導電性材料（例えば、導電性炭素の層又は活性材料と適合可能なその他の導電層）によって置換され得る。
40

【0039】

第2の絶縁性材料245の追加のプレーンは、図2Aに説明するように交互の方法で材料240上に形成され得る。第2の絶縁性材料245は、誘電膜又は層等の誘電体材料であり得る。幾つかの例では、第2の絶縁性材料245及び基板104-aは、同じタイプの絶縁性材料であり得る。本明細書に開示する絶縁性材料の例は、酸化シリコン等の誘電体材料を含むが、これに限定されない。
50

【 0 0 4 0 】

材料 2 4 0 のプレーンのセットの各個別の 1 つは、メモリアレイ 2 0 0 - a の異なるレベルにあり（例えば、該レベルを形成し）得る。メモリセルを形成する材料の個々のプレーンは、3 D メモリアレイ 2 0 0 - a のデッキと称され得る。材料 2 4 0（例えば、導電性材料）は、とりわけ、金属（若しくは半金属）材料又はドーパされたポリシリコン材料等の半導体材料を含み（例えば、それらで形成され）得る。幾つかの例では、材料 2 4 0 は導電性炭素のプレーンであり得る。

【 0 0 4 1 】

材料 2 4 0 の 6 つのプレーン及び第 2 の絶縁性材料 2 4 5 の 7 つのプレーンが図 2 A に示されている。第 2 の絶縁性材料 2 4 5 の第 7 のプレーンは、メモリアレイ 2 0 0 - a の最上層であり得る。材料 2 4 0 及び第 2 の絶縁性材料 2 4 5 のプレーンの量は、図 2 A に説明した量に限定されない。材料 2 4 0 及び第 2 の絶縁性材料 2 4 5 は、6 つを超えるデッキ又は 6 つ未満のデッキに配置され得る。

10

【 0 0 4 2 】

図 2 B は、図 2 A の切断線 A - A に沿ったメモリアレイ 2 0 0 - b の上面図を示す。図 2 B は、メモリアレイ 2 0 0 - b の材料 2 4 0（例えば、導電性材料、絶縁性材料）及び第 2 の絶縁性材料 2 4 5 の交互のプレーンを通るトレンチ 2 5 0 の形成を示す。トレンチ 2 5 0 は、トレンチ 2 5 0 の底部で基板 1 0 4 及び（図 2 A に以前に示した）導電性コンタクト 2 3 5 を露出させ得る。トレンチ 2 5 0 は、上から下にエッチングされ得、直線形状にエッチングされ得る。幾つかの場合、トレンチ 2 5 0 は、トレンチ 2 5 0 内に凹部を形成するために垂直及び水平エッチングプロセスの組み合わせによって形成され得る。エッチングプロセス及び凹部について追加の詳細は、図 2 C を参照して示され、説明される。トレンチ 2 5 0 は、材料 2 4 0 の各プレーン（例えば、ワード線プレーン、導電層）上で実質的に平行な方向に拡張する開口部のセットを形成し得る。

20

【 0 0 4 3 】

図 2 C は、図 2 B の線 B - B に沿って取られたメモリアレイ 2 0 0 - b の側面図を示す。メモリアレイ 2 0 0 - b は、メモリアレイ 2 0 0 - b のプレーンの各々において、材料 2 4 0（例えば、導電性材料、絶縁性材料）内に凹部 2 1 5 のセットを形成することを説明する。例えば、トレンチ 2 5 0 の側壁 2 9 0 及び 2 9 1 に凹部 2 1 5 のセットを等方的な方法で形成するために、選択的エッチング動作が実施され得る。幾つかの例では、トレンチ 2 5 0 は、第 2 の側壁 2 9 1 から隔離した第 1 の側壁 2 9 0 を含み、第 1 の絶縁性材料 2 4 5 によって形成された第 1 の側壁 2 9 0 の第 1 の部分 2 9 2 は、第 1 の絶縁性材料 2 4 5 によって形成された第 2 の側壁 2 9 1 の第 1 の部分 2 9 3 から第 1 距離だけ隔離される。第 1 の材料 2 4 0 によって形成された第 1 の側壁 2 9 0 の第 2 の部分 2 9 4 は、第 1 の材料 2 4 0 によって形成された第 2 の側壁 2 9 1 の第 2 の部分 2 9 4 から、第 1 の距離よりも大きい第 2 の距離だけ隔離され得る。幾つかの例では、第 1 の材料 2 4 0 によって形成されたトレンチ 2 5 0 の側壁 2 9 0 及び 2 9 1 の部分は、第 1 の絶縁性材料 2 4 5 によって形成されたトレンチ 2 5 0 の側壁 2 9 0 及び 2 9 1 の部分に対して凹んでいる。

30

【 0 0 4 4 】

エッチング動作は、1 つ以上の垂直エッチングプロセス（例えば、異方性エッチングプロセス若しくはドライエッチングプロセス又はそれらの組み合わせ）若しくは水平エッチングプロセス（例えば、等方性エッチングプロセス）又はそれらの組み合わせを含み得る。例えば、垂直エッチングプロセスは、基板 1 0 4 - b と 1 つ以上の導電性コンタクト 2 3 5 を露出させるためにトレンチ 2 5 0 を垂直にエッチングするために実施され得、水平エッチングプロセスは、少なくとも 1 つの材料 2 4 0 内に少なくとも 1 つの凹部 2 1 5 を形成するために使用され得る。エッチングパラメータは、材料 2 4 0 が例えば、第 2 の絶縁性材料 2 4 5 よりも速くエッチングされるように選択され得る。

40

【 0 0 4 5 】

図 2 D は、図 2 B の線 B - B に沿って取られたメモリアレイ 2 0 0 - b の側面図を示

50

す。メモリアレイ 200 - c は、コンフォ - マル材料 220 (例えば、犠牲材料又は犠牲層) を形成することを説明する。コンフォ - マル材料 220 は、メモリアレイ 200 - c のトレンチ 250 中に堆積し得る。コンフォ - マル材料 220 は、コンフォ - マル材料 220 をコンフォ - マルに堆積させることによって図 2C に示すように凹部 215 内に形成され得る。コンフォ - マル材料 220 は、(例えば、基板 104 - b 及びコンタクト 235 と接触する) 各トレンチ 250 の第 1 の側壁 290、第 2 の側壁 291、及び底壁 295 と接触する。図 2D は、トレンチ 250 の側壁上 (例えば、トレンチ 250 に面する異なる層内の第 2 の絶縁性材料 245 及び材料 240 の表面上) に形成されたコンフォ - マル材料 220 を示しているが、例はそのように限定されない。例えば、コンフォ - マル材料 220 は、幾つかの場合、異なる層の材料 240 (例えば、導電性材料、絶縁性材料) 内の凹部 215 のセットに制限され得る。幾つかの場合、コンフォ - マル材料 220 は、コンフォ - マル層又は犠牲層と称され得る。

10

【0046】

幾つかの場合、コンフォ - マル材料 220 の形成に続いてエッチング動作が実施され得る。エッチング動作では、コンフォ - マル材料 220 は、開口部又はトレンチ 250 を形成するためにエッチングされ得る。エッチング動作は、コンフォ - マル材料 220 の表面 (例えば、トレンチ 250 に面する表面) が第 2 の絶縁性材料 245 の表面 (例えば、トレンチ 250 に面する表面) から隔離されることをもたらし得る。幾つかの場合、エッチング動作は、コンフォ - マル材料 220 の表面 (例えば、トレンチ 250 に面する表面) が第 2 の絶縁性材料 245 の表面 (例えば、トレンチ 250 に面する表面) と凡そ同一平面にあることをもたらし得、それによってトレンチの連続した側壁を形成する。エッチング動作は更に、(例えば、トレンチ 250 の底壁 295 からコンフォ - マル材料 220 を除去して) 基板 104 - b 及びコンタクト 235 が露出されることをもたらし得る。本明細書に説明するエッチング動作は、垂直エッチングプロセス (例えば、異方性エッチングプロセス若しくはドライエッチングプロセス又はそれらの組み合わせ) 又は水平エッチングプロセス (例えば、等方性エッチングプロセス) であり得る。例えば、トレンチ 250 を垂直にエッチングするために垂直エッチングプロセスが実施され得、第 1 の材料 240 (例えば、第 1 の導電性材料 240、犠牲絶縁性材料 240) 内に少なくとも 1 つの凹部を形成するために水平エッチングプロセスが使用され得る。

20

【0047】

図 2E は、図 2B の線 B - B に沿って取られたメモリアレイ 200 - b の側面図を示す。メモリアレイ 200 - d は、メモリアレイ 200 - d のコンフォ - マル材料 220 の上のトレンチ 250 内に誘電体材料 218 を堆積させることを説明する。誘電体材料 218 はコンフォ - マル材料 220 に接触し得る。誘電体材料 218 は 1 つ以上のコンタクト 235 に更に接触し得る。誘電体材料 218 及びコンフォ - マル材料 220 は、トレンチ 250 を充填するように協働し得る。幾つかの場合、誘電体材料 218 は、絶縁性材料の一例である。幾つかの例では、コンフォ - マル材料 220 は、誘電体材料 218 と同一平面を形成するように選択的にエッチングバックされ得る。凹部の深さは、所望の厚さに依存して画定され得る。

30

【0048】

図 2F は、図 2E の切断線 A - A に沿った例示的なメモリアレイ 200 - d の上面図を示す。図 2F は、誘電体材料 218 がトレンチ 250 のセット中に堆積した後のメモリアレイ 200 - d を説明する。メモリアレイ 200 - d のトレンチ 250 の各々は、コンフォ - マル材料 220 でライニングされ、誘電体材料 218 で充填される。トレンチ 250 は、図 2E に示すように、材料 240 (例えば、導電性材料 240、犠牲絶縁性材料 240) の層の各々を通して拡張し得る。

40

【0049】

図 3A ~ 図 3I は、本明細書に開示するような例に従った積み重ねられたメモリデバイスを形成するために実施され得る一連のステップ又はプロセス中の例示的なメモリアレイ 200 - e、200 - f、200 - g、200 - h、及び 200 - i の様々な図を示す。

50

【 0 0 5 0 】

図 3 A は、図 2 F に説明したものに続くプロセスステップ中の例示的なメモリアレイ 2 0 0 - e の上面図の図 2 F の断面 C - C を示す。図 3 B は、図 3 A の切断線 B - B に沿った例示的なメモリアレイ 2 0 0 - e の断面図を示す。図 3 C 及び図 3 D は、図 3 A 及び図 3 B に説明したものに続くプロセスステップ中の例示的なメモリアレイ 2 0 0 - f を説明する。図 3 C は、例示的なメモリアレイ 2 0 0 - f の上面図の（図 2 F に説明した）断面 C - C を示し、図 3 D は、図 3 C の切断線 B - B に沿った例示的なメモリアレイ 2 0 0 - f の断面図を示す。図 3 E、図 3 F、及び図 3 G は、図 3 C 及び図 3 D に示されたものに続くプロセスステップ中の例示的なメモリアレイ 2 0 0 - g を説明する。図 3 E は、（例えば、図 3 D の切断線 A - A に沿った）例示的なメモリアレイ 2 0 0 - g の上面図の（図 2 F に説明した）断面 C - C を示す。図 3 F は、例示的なメモリアレイ 2 0 0 - g の上面図を示し、図 3 G は、図 3 E の切断線 B - B に沿った例示的なメモリアレイ 2 0 0 - g の断面図を示す。図 3 H は、図 3 E、図 3 F、及び図 3 G に示したものに続くプロセスステップ中の例示的なメモリアレイ 2 0 0 - h の上面図の図 3 F の断面 C - C を示す。図 3 I は、本明細書に開示するような例に従った N M O S T F T セレクタを有する垂直 3 D メモリデバイスをサポートする例示的なメモリアレイを説明する。

10

【 0 0 5 1 】

図 3 A は、例示的なメモリアレイ 2 0 0 - e の上面図の図 2 F の断面 C - C を示す。例示的なメモリアレイ 2 0 0 - e は、図 2 E 及び 2 F に説明したものに続く処理ステップ中の図 2 F に示したような例示的なメモリアレイ 2 0 0 - d の断面 - C を示し得る。開口部 3 6 0 は、誘電体材料 2 1 8 及び / 又はコンフォ - マル材料 2 2 0 の一部分をエッチング除去することによってトレンチ 2 5 0 内に形成され得る。開口部 3 6 0 は、開口部 3 6 0 の形成がコンタクト 2 3 5 の内の 1 つの少なくとも一部分を露出させるように、コンタクト 2 3 5 の内の 1 つ以上の上方に位置付けられ得る。開口部 3 6 0 とコンタクト 2 3 5 との関係についての更なる詳細は、図 3 B を参照して示され、説明される。幾つかの場合、例示的なメモリアレイ 2 0 0 - e は開口部 3 6 0 のセットを含み得る。例えば、開口部のセットは、トレンチ 2 5 0 の各々に沿って間隔を空けて形成され得る。トレンチ 2 5 0 内の開口部 3 6 0 の各々は、誘電体材料 2 1 8 によってトレンチ 2 5 0 内の他の開口部から分離され得る。開口部 3 6 0 を形成するためのエッチングプロセスは垂直エッチングプロセスであり得る。幾つかの例では、エッチング動作は、例えば、開口部 3 6 0 が形成されていない場合、コンフォ - マル材料 3 2 0 の全ての部分をエッチング除去しなくてもよい。

20

30

【 0 0 5 2 】

図 3 B は、図 3 A の線 B - B に沿って取られたメモリアレイ 2 0 0 - e の側面図を示す。図 3 B に示すように、プレーンの各々の材料 2 4 0 内に凹部 2 1 5 のセットが形成され得る。凹部 2 1 5 のセットは、（例えば、図 3 A を参照して論じたように）開口部 3 6 0 の形成中に形成され得る。例えば、完全に又は部分的に等方的な方法で凹部 2 1 5 のセットを形成するために選択的エッチング動作が実施され得る。エッチング化学物質は、材料 2 4 0 に選択的に到達するように選択され得る。コンタクト 2 3 5 は、トレンチ 2 5 0 内に開口部 3 6 0 を形成することによって露出され得る。

40

【 0 0 5 3 】

図 3 C は、本明細書に開示するような例に従った例示的なメモリアレイ 2 0 0 - f の図 2 F に説明した断面 C - C の上面図を示す。上面図は、図 3 B の切断線 A - A に沿って取られた図であり得る。例示的なメモリアレイ 2 0 0 - f は、例示的なメモリアレイ 2 0 0 - e によって図 3 A 及び図 3 B に説明した処理ステップに続いて形成され得る。図 3 C に示すように、開口部 3 6 0 内にストレージ素子材料 3 6 5 が形成され得る。幾つかの場合、ストレージ素子材料 3 6 5 は、材料 2 4 0 の各側壁に接触するように拡張し得る。ストレージ素子材料 3 6 5 は、コンフォ - マル材料 2 2 0 及び誘電体材料 2 1 8 に更に接触し得る。（例えば、開口部 3 6 0 内にストレージ素子材料 3 6 5 を堆積させることによって）開口部 3 6 0 内にストレージ素子材料 3 6 5 を形成することは、開口部 3 6 0 のサ

50

イズを減少させ得る。

【0054】

ストレージ素子材料365は、自己選択ストレージ素子材料（例えば、選択デバイス及びストレージ素子の両方として機能し得る材料）として機能し得る、カルコゲナイド合金及び/又はガラス等のカルコゲナイド材料の一例であり得る。例えば、ストレージ素子材料365は、プログラミングパルス等の印加電圧に 응답し得る。閾値電圧未満の印加電圧の場合、ストレージ素子材料365は非導電状態（例えば、“オフ”状態）のままであり得る。或いは、閾値電圧よりも大きい印加電圧に 응답して、ストレージ素子材料365は、導電状態（例えば、“オン”状態）に入り得る。

【0055】

図3Dは、図3Cの線B-Bに沿って取られたメモリアレイ200-fの側面図を示す。ストレージ素子材料365は、ストレージ素子材料365をトレンチ250中にコンフォ-マルに堆積させることによって、凹部215のセット内に形成され得る。ストレージ素子材料365は、コンフォ-マル材料320のエッチングによって露出したトレンチ250の側壁290及び291並びに底壁295に接触するように堆積し得る。ストレージ素子材料365がトレンチ250の底壁295に接触する場合、ストレージ素子材料365は、露出したコンタクト235を覆う。ストレージ素子材料365は最上層366を含み得る。

【0056】

図3Eは、（例えば、切断線A-Aに沿った）例示的なメモリアレイ200-gの上面図の（図2Fに説明した）断面C-Cを示す。エッチング動作は、例示的なメモリアレイ200-gを生成するために、図3C及び図3Dに示した例示的なメモリアレイ200-fに対して実施され得る。エッチング動作は、（例えば、ストレージ素子材料365を含む）ストレージ素子コンポーネントを創出するために、ストレージ素子材料365の一部を除去し得る。ストレージ素子材料365のストレージ素子コンポーネントの各々は、材料240（例えば、導電性材料240）の層と接触し得る。幾つかの例では、コンフォ-マル材料220の一部は、ストレージ素子材料365のストレージ素子コンポーネントの両側に設置され得る。ストレージ素子材料365のエッチングは、開口部360によってストレージ素子材料365のストレージ素子コンポーネントを分離し得る。ストレージ素子コンポーネントは、メモリアレイ200-g（及びメモリアレイ200-gに続く処理ステップによって形成されるメモリアレイ200）がデータを蓄積することを可能にし得る。すなわち、ストレージ素子コンポーネントは、ストレージ素子材料365を含み得、論理状態（例えば、論理値0又は論理値）を蓄積するように構成され得る。

【0057】

ストレージ素子コンポーネントは、プログラミング閾値を満たすパルス（例えば、プログラミングパルス）を印加することによって目標状態にプログラミングされ得る。プログラミングパルスの振幅、形状、又はその他の特徴は、ストレージ素子材料365に目標状態を示させるように構成され得る。例えば、プログラミングパルスを印加した後、ストレージ素子コンポーネントのイオンはストレージ素子全体に再分配され得、それによって、読み出しパルスが印加された場合に検出されるメモリセルの抵抗を変更する。幾つかの場合、ストレージ素子コンポーネントの閾値電圧は、プログラミングパルスを印加することに基づいて変化し得る。

【0058】

ストレージ素子コンポーネントによって蓄積された状態は、読み出しパルスをストレージ素子コンポーネントに印加することによってセンシングされ得、検出され得、又は読み出され得る。読み出しパルスの振幅、形状、又はその他の特徴は、ストレージ素子コンポーネント上に如何なる状態が蓄積されているかをセンスコンポーネントが判定することを可能にするように構成され得る。例えば、幾つかの場合、読み出しパルスの振幅は、ストレージ素子コンポーネントが第1の状態では“オン”状態にあるであろう（例えば、電流が材料を通過して伝導する）が、第2の状態では“オフ”状態にあるであろう（例えば、殆ど又

10

20

30

40

50

は全く電流が材料を通過して伝導しない)レベルにあるように構成される。

【0059】

幾つの場合、ストレージ素子コンポーネントに印加される(プログラミングであるか読み出しであるかにかかわらず)パルスの極性は、実施されている動作の結果に影響を与え得る。例えば、ストレージ素子コンポーネントが第1の状態を蓄積する場合、第1の極性の読み出しパルスは、ストレージ素子コンポーネントが“オン”状態を示すことをもたらし得る一方、第2の極性の読み出しパルスは、ストレージ素子コンポーネントが“オフ”状態を示すことをもたらし得る。このことは、状態を蓄積している場合に、ストレージ素子コンポーネント内のイオン又はその他の材料の非対称分布が原因で発生し得る。同様の原理が、プログラミングパルス及びその他のパルス又は電圧に適用される。

10

【0060】

ストレージ素子コンポーネントとして機能し得るカルコゲナイド材料の例は、カルコゲナイド材料の中でもとりわけ、 $In_2Sb_2Te_5$ 、 $In_1Sb_2Te_4$ 、 $In_1Sb_4Te_7$ 等のインジウム(In)-アンチモン(Sb)-テルル(Te)(IST)材料、及び $Ge_8Sb_5Te_8$ 、 $Ge_2Sb_2Te_5$ 、 $Ge_1Sb_2Te_4$ 、 $Ge_1Sb_4Te_7$ 、 $Ge_4Sb_4Te_7$ 等のゲルマニウム(Ge)-アンチモン-(Sb)-テルル(Te)(GST)材料を含み、実例として、動作中に相を変化させない合金(例えば、セレンベ-スのカルコゲナイド合金)を含む。更に、カルコゲナイド材料は、少量の濃度のその他のド-パント材料を含み得る。カルコゲナイド材料の他の例は、テルル-ヒ素(As)-ゲルマニウム(OTS)材料、Ge、Sb、Te、シリコン(Si)、ニッケル(Ni)、ガリウム(Ga)、As、銀(Ag)、スズ(Sn)、金(Au)、鉛(Pb)、ビスマス(Bi)、インジウム(In)、セレン(Se)、酸素(O)、硫黄(S)、窒素(N)、炭素(C)、イットリウム(Y)、及びスカンジウム(Sc)材料、並びにそれらの組み合わせを含み得る。本明細書で使用するとき、ハイフンでつながれた化学組成表記は、特定の混合物又は化合物に含まれる元素を指し示し、指し示された元素を含む全ての化学量論を表すことを意図している。幾つかの例では、カルコゲナイド材料は、カルコゲナイドガラス又はアモルファスカルコゲナイド材料であり得る。幾つかの例では、主にセレン(Se)、ヒ素(As)、及びゲルマニウム(Ge)を有するカルコゲナイド材料はSAG合金と称され得る。幾つかの例では、SAG合金はシリコン(Si)を含み得、そうしたカルコゲナイド材料はSiSAG合金と称され得る。幾つかの例では、カルコゲナイドガラスは、水素(H)、酸素(O)、窒素(N)、塩素(Cl)、又はフッ素(F)等の追加の元素を、各々原子又は分子の形態で含み得る。幾つかの例では、導電率は、様々な化学種を使用したド-ピングを通じて制御され得る。例えば、ド-ピングすることは、第3族(例えば、ホウ素(B)、ガリウム(Ga)、インジウム(In)、アルミニウム(Al)等)又は第4族(スズ(Sn)、炭素(C)、シリコン(Si)等)元素を組成物に組み込むことを含み得る。

20

30

【0061】

図3Fは、図3Dの切断線A-Aに沿った例示的なメモリアレイ200-gの上面図を示す。図3Fは、図3Eに説明した断面C-Cを含む。例示的なメモリアレイ200-gはトレンチ250のセットを示す。トレンチ250の各々は、ストレージ素子材料365のストレージ素子コンポーネントのセットを含む。ストレージ素子コンポーネントのセットは、開口部360及び誘電体材料218によって他のストレージ素子コンポーネントから分離され得る。ストレージ素子コンポーネントは、コンフォ-マル材料220と接触し得る。

40

【0062】

図3Gは、図3Fの線B-Bに沿って取られたメモリアレイ200-gの側面図を示す。エッチング動作は、ストレージ素子材料365の表面(例えば、トレンチ250に面する表面)が絶縁性材料245の層の表面(例えば、トレンチ250に面する表面)と凡そ同一平面上にあるように(例えば、図3C及び図3Dを参照して論じたような)ストレージ素子材料365を形成することに続いて実施され得る。ストレージ素子材料365の

50

エッチングは、連続的な側壁を形成し得、図 3 D に示したようなストレージ素子材料 3 6 5 の最上層 3 6 6 を除去し得る。ストレージ素子材料 3 6 5 のエッチングはまた、基板 1 0 4 - b 内のコンタクト 2 3 5 を露出させ得る。

【 0 0 6 3 】

凹部内に位置付けられたストレージ素子材料 3 6 5 の部分は、ストレージ素子コンポーネントに対応し得る。各凹部において、ストレージ素子材料 3 6 5 の各ストレージ素子コンポーネントは、単一の導電性材料 2 4 0 (例えば、ストレージ素子材料 3 6 5 のセルに隣接して設置された単一の導電性材料 2 4 0) と、少なくとも 2 つの誘電体層 (例えば、ストレージ素子材料 3 6 5 のストレージ素子コンポーネントの最上部に設置された最上部絶縁性材料 2 4 5、及びストレージ素子材料 3 6 5 のストレージ素子コンポーネントの底部に設置された底部絶縁性材料 2 4 5) とに接触し得る。幾つかの場合、ストレージ素子材料 3 6 5 の各ストレージ素子コンポーネントは単一の材料 2 4 0 に接触し得る。ここで、材料 2 4 0 は、その後 (例えば、図 3 G に説明したものに続くプロセスステップ中に) 除去され得、導電性材料によって置換され得る。ストレージ素子材料 3 6 5 のエッチングは、ストレージ素子材料 3 6 5 のストレージ素子コンポーネントを露出させ得る。ストレージ素子材料 3 6 5 のエッチングは、基板 1 0 4 - b 内のコンタクト 2 3 5 をも露出させ得る。

10

【 0 0 6 4 】

図 3 H は、図 3 E、図 3 F、及び図 3 G に説明したものに続くプロセスステップ中の例示的なメモリアレイ 2 0 0 - h の上面図の (図 3 F に説明した) 断面 C - C を説明する。図 3 H に示すように、開口部 3 6 0 中に導電性材料 3 7 0 が堆積する。導電性材料 3 7 0 は、第 1 の基板 (例えば、図 2 C を参照して説明したような基板 1 0 4 - a) から第 2 の基板 (例えば、基板 1 0 4 - b) まで拡張する導電性ピラーを形成し得る。幾つかの実装では、導電性材料 3 7 0 は、図 3 G に示したように、絶縁性材料層 2 4 5 及びストレージ素子材料 3 6 5 の層の少なくとも一部分に接触する。幾つかの例では、導電性材料 3 7 0 は活性材料と適合する。導電性材料 3 7 0 は、均一な導電性材料 (例えば、コンフォ-マル導電性材料)、又は内部材料を有するバリア層 (例えば、バリア層が導電性材料を取り囲む場合) であり得る。

20

【 0 0 6 5 】

導電性材料 3 7 0 がバリア層及び内部材料を含む場合、開口部 3 6 0 中にバリア材料が堆積し得る。幾つかの実装では、バリア材料は、図 3 G に示したように絶縁性材料 2 4 5 及びストレージ素子材料 3 6 5 の少なくとも一部分と接触し得る。幾つかの例では、バリア材料は活性材料と適合され得る。バリア材料は、導電性材料 (例えば、コンフォ-マル導電性材料)、又は導電性材料を有するバリア層であり得る。例えば、バリア材料は酸化アルミニウムを含み得る。内部材料は、導電性ピラーを形成するために (例えば、バリア材料と接触するように) 開口部 3 6 0 内に堆積し得る。内部材料は、とりわけ、金属 (若しくは半金属) 材料、又はドーパされたポリシリコン材料等の半導体材料であり得る。しかしながら、その他の金属、半金属、又は半導体材料が金属材料又は誘電体材料として使用され得る。

30

【 0 0 6 6 】

導電性材料 3 7 0 は、ストレージ素子材料 3 6 5 で形成された第 1 及び第 2 のストレージ素子コンポーネントに接触し得る。開口部 3 6 0 のセットの各個別の 1 つ内に形成された (例えば、導電性材料 3 7 0 の) ピラーは、材料 2 4 0 及び絶縁性材料 2 4 5 の交互のプレーンに実質的に直交して拡張するように配置され得る。開口部 3 6 0 のセットの各個別の 1 つ内に形成されたストレージ素子材料 3 6 5 及び導電性ピラーは、実質的に正方形の形状に形成され得る。本開示の例は、正確な又は準正確な正方形の形状に限定されない。実例として、ストレージ素子材料 3 6 5 及び導電性ピラーは、円形又は楕円形を含む任意の形状で形成され得る。

40

【 0 0 6 7 】

図 3 I は、本明細書に開示するような例に従った N M O S T F T セレクタを有する垂

50

直 3 D メモリデバイスをサポートする例示的なメモリアレイ 2 0 0 - i を説明する。図 3 I に示したメモリデバイスの構成において、導電性材料のピラー 3 7 0 は、同じ基板 1 0 4 - b 上のコンタクト 2 3 5 に接触する。基板 1 0 4 - b は、導電性材料 3 7 0 のピラーの下方に位置付けられるように示されているが、幾つかの他の場合では、コンタクト 2 3 5 は、導電性材料 3 7 0 のピラーの上方に位置付けられた基板 1 0 4 - a を通って形成され得る。

【 0 0 6 8 】

コンタクト 2 3 5 は、導電性材料 3 7 0 で形成されたピラーを、選択トランジスタ等の追加の選択素子に結合し得る。例えば、コンタクト 2 3 5 は、ピラー（例えば、デジタル線）を、基板 1 0 4 - b の下方のピラー選択層内に形成された N M O S T F T 3 0 5 に結合し得る。幾つかの例（図示せず）では、ピラー選択層はメモリ層の上方にあり得、例えば、T F T はデジタル線の上方から接触し得る。2 つの構成の組み合わせも可能であり、例えば、デジタル線の選択が一部は上方からで、一部は下方からであり得るように、幾つかの T F T はメモリ層の下方にあり得、幾つかはメモリ層の上であり得る。N M O S T F T 3 0 5 の詳細は以下に説明されるであろう。ピラー選択層の上方の部分は、メモリセルの垂直 3 D メモリアレイが設置されるメモリ層を形成し得る。トランジスタ 3 0 5 は、規則的なマトリクスで形成されたデジタル線セクタであり得る。トランジスタ 3 0 5 は、アクセス動作（例えば、読み出し動作、書き込み動作、リフレッシュ動作）中の様々な時間にピラー（例えば、デジタル線）を選択的に結合又は絶縁するように位置付けられ得る。トランジスタ 3 0 5 を活性化することは、ストレージ素子材料 3 6 5 で形成されたストレージ素子コンポーネントの内の 1 つのアクセス動作を開始し得る。例えば、トランジスタ 3 0 5 を活性化し、材料 2 4 0 に電圧を印加する（例えば、ワード線ドライバによって導電性材料に電圧を印加する）ことは、ストレージ素子材料 3 6 5 で形成されたストレージ素子コンポーネントにアクセスし得る。

10

20

【 0 0 6 9 】

ピラー選択層の下方に周辺回路層が形成され得、周辺回路層内には、例えば、センスアンプ及びデコーディング回路がワード線及びビット線のために配置され得る。

【 0 0 7 0 】

図 4 A 及び図 4 B は、本明細書に開示するような例に従った積み重ねられたメモリデバイスを形成するために実施され得る一連のステップ又はプロセス中の例示的なメモリアレイ 2 0 0 - j 及び 2 0 0 - k を説明する。

30

【 0 0 7 1 】

図 4 A は、本明細書に開示するような例に従った例示的なメモリアレイ 2 0 0 - j の上面図を示す。それは、図 3 G の後に実施され得る一連のステップ又はプロセス中の例示的なメモリアレイ 2 0 0 - j を説明し得る。

【 0 0 7 2 】

導電性ピラーを形成するために、開口部 3 6 0 中に導電性材料 3 7 0 が堆積し得る。幾つかの場合、ピラーは、導電性材料 3 7 0 によって部分的に充填され得、続いて誘電体材料 7 0 5 によって充填され得る。幾つかの場合、誘電体材料 7 0 5 は誘電体材料 2 1 8 と同じであり得る。ピラーは、第 1 の基板（例えば、基板 1 0 4 - a ）から第 2 の基板（例えば、基板 1 0 4 - b ）まで拡張し得る。

40

【 0 0 7 3 】

導電性材料 3 7 0 は、ストレージ素子材料 3 6 5 で形成された第 1 及び第 2 のストレージ素子コンポーネントに接触し得る。開口部 3 6 0 のセットの各個別の 1 つ内に形成された（例えば、導電性材料 3 7 0 及び誘電体材料 7 0 5 の）ピラーは、材料 2 4 0 及び絶縁性材料 2 4 5 の交互のプレーンに実質的に直交して拡張するように配置され得る。

【 0 0 7 4 】

図 4 B は、本明細書に開示するような例に従った例示的なメモリアレイ 2 0 0 - k の上面図を示す。メモリアレイ 2 0 0 - k は、第 2 の開口部を形成し、続いて第 2 の開口部を絶縁性材料 7 1 0 で充填した後に形成され得る。幾つかの場合、誘電体材料 7 0 5 及び絶

50

縁性材料 710 は同じ材料の例である。トレンチ 250 内の第 2 の開口部は、導電性材料 370 の一部分をエッチング除去することによって形成され得る。エッチングプロセスは、他の材料の一部分をエッチング除去することを更に含み得る。例えば、エッチングプロセスは、誘電体材料 218 のいくつか（又は全て）をエッチングし得る。エッチングプロセスは、材料 240 及び絶縁性材料 245 の交互のプレーンに対して実質的に直交して発生する垂直エッチングプロセスを含み得る。例えば、エッチングプロセスは、例示的なメモリアレイ 200 - k の第 2 の開口部を創出するためのシングルゲート垂直チャネル 3D not AND (SGVC) 技術を含み得る。第 2 の開口部は、1 つ以上のコンタクト 235 を露出させるために、底部基板（例えば、104 - b）まで拡張し得る。第 2 の開口部は、（例えば、導電性材料 370 及び誘電体材料 705 を含む）ピラーを、第 1 のピラー（例えば、サブピラー）と第 2 のピラー（例えば、サブピラー）とを含むピラーの対に分割し得る。ピラーの対の各サブピラーはデジット線に対応し得る。ピラーの対の各サブピラーのサイズ（例えば、断面積）は、メモリアレイ 200 - k の動作に影響を与えなくてもよい。すなわち、（例えば、基板 104 - a 等の第 1 の基板から基板 104 - b 等の第 2 の基板まで拡張する）ピラーの対の各サブピラーの高さは、比較的低くてもよい（例えば、2 マイクロメートル未満であってもよい）。

10

【0075】

幾つかの場合、トレンチ 250 は拡張し得、（例えば、誘電体材料 218 によって分離された）第 2 の開口部のセットを含み得、各開口部はピラーをピラーの対に分割する。絶縁性材料 710 は誘電体材料であり得る。幾つかの場合、絶縁性材料 710 は、誘電体材料 218 と同じ材料であり得る。絶縁性材料 710 は、導電性材料 370 で形成されたピラーに接触し得る。絶縁性材料 710 は、最上部基板（例えば、図 2 A に示した基板 104 - a）から底部基板（例えば、図 2 A に示した基板 104 - b）まで拡張し得、したがって、ピラーの対の各サブピラーを絶縁する。絶縁性材料 710 は、絶縁性材料 218 に接触するように更に拡張し得る。ここで、絶縁性材料（例えば、絶縁性材料 218 と組み合わせた絶縁性材料 410）は、トレンチ 250 の長さに渡って拡張し得る。

20

【0076】

絶縁性材料 710 は、ピラー対内のピラーを相互に絶縁し得る。このことは、第 1 及び第 2 のストレージ素子コンポーネントが同じ凹部内に位置付けられた場合に、第 2 のストレージ素子コンポーネント上の第 1 のストレージ素子コンポーネントへのアクセスの影響を減少させ得る。絶縁性材料 710 は、トレンチ 250 の両側でストレージ素子材料 365 を絶縁し得る。すなわち、絶縁性材料 710 は、トレンチ 250 の第 1 の側壁に接触する（例えば、ストレージ素子材料 365 で形成された）メモリセルを、トレンチ 250 の第 2 の側壁に接触するメモリセルから（例えば、電氣的に）絶縁し得る。

30

【0077】

図 5 は、本明細書に開示するような例に従った NMOS TFT セレクタを有する垂直 3D メモリデバイスをサポートする更なる例示的なメモリアレイ 200 - I を説明する。具体的には、図 5 は、デジット線をデジット線セレクタに結合するための構成を説明する。

【0078】

図 5 は、メモリアレイ 200 - I の断面図を示す。断面図は、図 4 B の何れかに示したような切断線 B - B に沿い得る。図 5 は、（例えば、ピラーの対の）導電性材料 370 の各ピラーが同じ基板 104 上のコンタクト 235 に接触するメモリデバイスの構成を説明する。基板 104 - b は、導電性材料 370 のピラーの下方に位置付けられるように示されているが、幾つかの他の場合では、コンタクト 235 は、導電性材料 370 のピラーの上方に位置付けられた基板 104 - a を通って形成され得る。

40

【0079】

メモリアレイ 200 - I は、基板 104 - b のコンタクト 235 - a と接触する導電性材料 370 - a で形成された第 1 のピラー（又は第 1 のサブピラー）を含み得る。コンタクト 235 - a は、導電性材料 370 - a で形成されたピラーを、選択トランジスタ等の

50

追加の選択素子に結合し得る。例えば、コンタクト 2 3 5 - a は、第 1 のピラー（例えば、デジット線）を、基板 1 0 4 - b の下方のピラー選択層（図 5 には示さず、図 3 I に示すものと同様）内に形成された N M O S T F T 5 0 5 - a に結合し得る。N M O S T F T 5 0 5 - a の詳細は以下に説明されるであろう。ピラー選択層の上方の部分は、メモリセルの垂直 3 D メモリアレイが設置されるメモリ層（図 5 には示さず、図 3 I に示すものと同様）を形成し得る。トランジスタ 5 0 5 - a は、規則的なマトリックスで形成されたデジット線セクタであり得る。トランジスタ 5 0 5 - a は、アクセス動作（例えば、読み出し動作、書き込み動作、リフレッシュ動作）中の様々な時間にピラー（例えば、デジット線）を選択的に結合又は絶縁するように位置付けられ得る。トランジスタ 5 0 5 - a を活性化することは、ストレージ素子材料 3 6 5 で形成されたストレージ素子コンポーネントの内の 1 つのアクセス動作を開始し得る。例えば、トランジスタ 5 0 5 - a を活性化し、材料 2 4 0 - a に電圧を印加する（例えば、ワード線ドライバによって導電性材料に電圧を印加する）ことは、ストレージ素子材料 3 6 5 - a で形成されたストレージ素子コンポーネントにアクセスし得る。材料 2 4 0 - a は、導電性材料 2 4 0 の一例であり得る。幾つかの場合、材料 2 4 0 - a は、導電性材料として（例えば、図 2 A に以前に説明したプロセスステップ中に）スタック上に堆積し得る。幾つかの他の場合、材料 2 4 0 - a は、犠牲絶縁性材料としてスタック上に堆積し得る。後続のプロセスステップにおいて、材料 2 4 0 - a は除去され、導電性材料 2 4 0 - a と置換され得る。

10

【 0 0 8 0 】

メモリアレイ 2 0 0 - I は、基板 1 0 4 - b のコンタクト 2 3 5 - b と接触する導電性材料 3 7 0 - b で形成された第 2 のピラー（又は第 2 のサブピラー）を更に含み得る。導電性材料 3 7 0 - a で形成されたピラーと導電性材料 3 7 0 - b で形成されたピラーとはピラーの対であり得る。すなわち、導電性材料 3 7 0 - a で形成されたピラーと導電性材料 3 7 0 - b で形成されたピラーとは、導電性ピラーがエッチングプロセスによって分割された場合に形成され得る。コンタクト 2 3 5 - b は、導電性材料 3 7 0 - b で形成された第 2 のピラーを、規則的なマトリックスで形成されたデジット線セクタであり得るトランジスタ（例えば、N M O S T F T ） 5 0 5 - b に結合し得る。幾つかの場合、トランジスタ 5 0 5 - b は、トランジスタ 5 0 5 - a と同じレベル（例えば、同じマトリックスの一部）にあり得る。N M O S T F T 5 0 5 - a 及び 5 0 5 - b の詳細は以下で説明されるであろう。

20

30

【 0 0 8 1 】

幾つかの実施形態では、セクタ T F T 5 0 5 - a 及び 5 0 5 - b は、メモリ層の両側にあり得、（図 5 に描写したように）下方から及び上方から（図示せず）個別のサブピラーに接触し得、幾つかの場合、両方の T F T がメモリ層の上方のピラー選択層、例えば、ポリシリコン層内にあり得る。図 5 には示さず、図 3 I にしたものと同様である周辺回路層は、ピラー選択層の下方に形成され得、周辺回路層には、例えば、ワード線及びビット線のためにセンスアンプ及びデコーディング回路が配置され得る。

【 0 0 8 2 】

図 6 は、本明細書に開示するような例に従ったトランジスタ半導体デバイス、実例として、電界効果 N M O S 薄膜トランジスタ（T F T）の一例を説明する。図 6 は、垂直方向に向けられたビット線部分又はアレイデジット線（図示せず）を選択するために使用され得る 2 つの T F T 選択デバイス 5 0 4 a 及び 5 0 4 b を描写する一実施形態の図である。各 T F T 選択デバイス 5 0 4 a、5 0 4 b は、2 つのソース/ドレイン（S / D）領域を有する。ソース/ドレイン領域は、チャネル領域の両側上にある。ソース/ドレイン領域及びチャネル領域は、一実施形態ではポリシリコンである。T F T 選択デバイス 5 0 4 a、5 0 4 b は、チャネル領域と上部 D との間の上部接合部と、チャネル領域と下部 S との間の下部接合部とを有する。

40

【 0 0 8 3 】

T F T 選択デバイス 5 0 4 a、5 0 4 b の各々は、2 つのゲート 5 0 7 と、チャネル領域及び S / D 領域から各ゲートを分離する誘電体材料 5 0 5 とを有する。この誘電体は、

50

ゲート507をチャンネル領域及びS/D領域から分離するので、ゲート誘電体と称され得る。一実施形態では、ゲート誘電体505は、ソース/ドレイン領域及びチャンネル領域又は各選択デバイスの側面に沿って拡張する。ゲート誘電体は、チャンネル領域及びS/D領域を含むピラー構造体の垂直側壁に沿ってx方向に延長され得る。

【0084】

ゲート誘電体は、幾つの場合、チャンネル領域又はソース/ドレイン領域の何れかからゲートを分離する。この例では、各ゲート507は、下部接合部の下方から上部接合部の上方まで垂直方向に拡張する。すなわち、ゲート507は、チャンネル領域の垂直範囲に直接隣接し、両方のS/D領域の垂直範囲の一部に直接隣接して形成される。上部ドレインは、垂直方向に向けられたビット線部分又はアレイデジット線に接続され得る。幾つ 10
 の実施形態では、ゲート507は、ゲート材料を堆積させ、それを選択的に、例えば、異方的に除去して形成され得、例えば、チャンネル領域に沿って及び/又はチャンネル領域の周りに、ゲート誘電体に隣接するゲート材料のスペーサ状の構造体を形成する。

【0085】

酸化物等のギャップ充填誘電体520は、隣接する選択デバイス間に絶縁性材料として形成される。幾つの場合、TFT選択デバイス504a及び504bは、それらの間で同じゲート507を共有し得る。言い換えれば、隣接する選択デバイス504aと504bとの間にギャップが存在しなくてもよい。

【0086】

幾つの場合、TFT選択デバイスは、メモリアレイの下方、特に、メモリセルのピラーの下方に規則的なマトリックスで形成され得る。この例では、x方向の隣接するTFT 20
 選択デバイスのピッチは、メモリセルの対応するピッチと一致し得、それは、図7A~図7Cを参照して更に説明されるであろう。

【0087】

図7A~図7Cは、本明細書に開示するような例に従った例示的なNMOS TFTセレクトタの様々な図を示す。

【0088】

従来、実例としてピッチが48nmでチャンネル長が100nmのポリSiベースのTFTは、最大ドレインバイアスとして1.5V、最大ゲートバイアスとして3.5Vをサポ 30
 ートすることが可能であり得、20 μ Aの I_{ON} を有し得る。その他の電圧及び/又は電流値が可能である。これは、N+S/DインプラントとN-チャンネルインプラントとを備えた常時空乏型MOSFETである。しかしながら、本開示では、V-3DMTXセルの著しく緩和したピッチと首尾一貫して、10倍を超える I_{ON} を可能にする並列の少なくとも2つの細長いTFTで構成されたセレクトトランジスタが提案される。この10倍は、(110nm~220nmの)チャンネル長の倍化の結果として5倍以上になるであろう。

【0089】

図7A~図7Cに示すように、ストリップ710はゲート端子を表し得る。矩形のボックスによって表され得るチャンネル領域720の一方の側にゲート酸化物を有し、他方の側に別のゲート酸化物を有する2つのゲートがあり得、したがって、TFTの幅は2倍であり得る。矩形のボックス720の下方には、TFTのソース領域があり得、矩形のボックスはトランジスタチャンネルのポリシリコンピラーに物理的に対応する一方、ドレイン領域はピラーに接続される。 40

【0090】

言い換えれば、薄膜トランジスタ(TFT)のマトリックスには、デジット線毎に1つのTFTトランジスタがデジット線の下方に提供される。薄膜トランジスタ(TFT)は、3Dメモリアレイの下方のポリシリコン層内に形成される一方、ワード線及びビット線のためのセンスアンプ及びデコーディング回路を備えた周辺回路がマトリックスの下方に形成される。

【0091】

10

20

30

40

50

これらの図 7 A から分かり得るように、トランジスタチャンネルは、50 nm に制限された統合距離で 120 nm まで拡張されている。したがって、トランジスタの幅は緩和又は拡張され、(幅が広いので) 駆動能力が約 5 倍であり得、したがってメモリセルに適切な電流を供給することが可能であるように 2 つのトランジスタは並列に配置されている。

【0092】

図 7 B は、ゲート端子のストリップ 730 が正方形の構成でチャンネル領域 740 を囲むように形成された代替構成を概略的に示す。

【0093】

更なる代替として、図 7 C では、統合距離を 55 nm に削減したまま維持しながら、2 つの隣接チャンネル領域 720 間でストリップ 750 を 2 重にした例を示す。

10

【0094】

図 8 A ~ 図 8 D は、本明細書に開示するような例に従った N M O S T F T セレクタを有する垂直 3 D メモリデバイスのメモリセルにアクセスするための様々な図を示す。具体的には、図 8 A ~ 図 8 D は、その他の全てを選択解除している間に、単一の N M O S T F T を有する単一のメモリセルを選択することが可能な方法を示す。

【0095】

これらの図は、ピラー (P 1、...、P 9、すなわち、ピラーが読者に向かって垂直に伸びている) の例示的な 3 × 3 マトリックスとしてのみ示し、より詳細には、9 個の T F T 選択トランジスタの小さなマトリックスには、ピラー毎に 1 つの T F T がこれらのピラーの底部に提供されている。

20

【0096】

図 8 A に示すように、G N D に短絡することができない非選択のピラーに対するフロティングバイアスの方策が、選択解除のために安全に採用されている。フロティングのままの非選択のピラーの電位は、ピラーと W L との間の容量比によって規定され (選択されていないものは全て G N D にバイアスされ、選択されているものは - 3 . 5 V にバイアスされ)、したがって、凡そ G N D にある。

【0097】

図 8 A の左側には、ピラー (P 1、...、P 9) の例示的な 3 × 3 マトリックスが表されている。各ピラーは、図 1 のデジット線 115 に対応し得、幾つかの例では、上に説明したように、導電性材料 370 を含み得る。各ピラー (P 1、...、P 9) は、ピラーセレクタトランジスタ 305、505 - a、505 - b に対応し得、幾つかの例では N M O S 薄膜トランジスタ (T F T) であり得る個別の選択トランジスタ (T 1、...、T 9) に結合される。トランジスタ (T 1、...、T 9) は、メモリ層の下方のピラー選択層内に形成され得、ピラー選択層の下方に周辺回路層が形成され得る。セレクタトランジスタ (T 1、...、T 9) は、上に図 6 及び図 7 を参照して説明したように形成され得る。

30

【0098】

ピラー (P 1、...、P 9) 及びセレクタトランジスタ (T 1、...、T 9) は、図 8 A に描写するように行及び列に編成され得る。例えば、トランジスタ T 1、T 2、及び T 3 は、共通線 L 0 に結合された個別の端子、例えばソース端子を有し得、トランジスタ T 4、T 5、及び T 6 は、共通線 L 1 に結合された個別の端子、例えばソース端子を有し得、トランジスタ T 7、T 8、及び T 9 は、共通線 L 3 に結合された個別の端子、例えばソース端子を有し得る。線 L 0、L 1、及び L 2 は、ピラー選択層の下方に形成された周辺回路層、例えば C M O S アンダーレイ等のシリコン基板層内に形成されたデジット線ドライバに結合され得る (図示せず)。線 L 0、L 1、及び L 2 は、選択されたデジット線のプログラミング (例えば、セット / リセット) 若しくは読み出し電圧又は非選択のデジット線電圧であり得る個別の線電圧 V _ L 0、V _ L 1、及び V _ L 2 にバイアスされるように構成される。

40

【0099】

描写した行 / 列編成では、トランジスタ T 1、T 4、及び T 7 は、共通の行線 R 2 に結

50

合された個別のゲート端子を有し得、トランジスタ T 2、T 5、及び T 8 は、共通の行線 R 1 に結合された個別のゲート端子を有し得、トランジスタ T 3、T 6、及び T 9 は、共通の行線 R 0 に結合された個別のゲート端子を有し得る。線 R 0、R 1、及び R 2 は、周辺回路層内に形成されたデジット線ドライバ制御回路に結合され得る（図示せず）。行線 R 0、R 1、及び R 2 は、実施される動作及びセル又はピラーのアドレスに基づいて、通過電圧であり得る個別の行線電圧 V_{R0} 、 V_{R1} 、及び V_{R2} に、又は抑制電圧にバイアスされるように構成される。

【0100】

図 8 A の右側には、3Dメモリアレイの一部分の概略断面が表されている。各メモリセルは、デジット線、例えばピラー P i と、選択されたワード線 SWL 又は非選択のワード線 UWL であり得るワード線との交点にストレージ素子を含む。適切な振幅及び極性のプログラミングパルスを印加することによって、メモリセルは少なくとも 2 つの状態の内の 1 つにプログラミングされ得る。例えば、メモリセルは、メモリセルの閾値電圧よりも高い大きさを有する第 1 の極性パルスを印加して、第 1 の状態、セット状態にプログラミングされ得、第 1 の極性は、図 8 B を参照した論考にみられるように、正の極性、例えば、デジット線電圧よりも高いワード線電圧であり得る。メモリセルは、メモリセルの閾値電圧よりも高い大きさを有する第 2 の極性パルスを印加して、第 2 の状態、リセット状態にプログラミングされ得、第 2 の極性は、第 1 の極性とは異なり得、例えば、反対であり得、したがって、第 2 の極性は、図 8 C を参照した論考にみられるように、負の極性、例えばデジット線電圧よりも小さいワード線電圧であり得る。幾つかの実施形態では、プログラミング極性は相互に交換され得、例えば、幾つかの場合、セット状態は負の極性でプログラミングされ得、リセット状態は正の極性でプログラミングされ得る。セット状態及びリセット状態は、論理 1 及び論理 0 の状態に夫々対応し得るが、異なる規則が採用されてもよい。

【0101】

異なる状態（例えば、セットとリセット、又は論理 1 と 0）にあるメモリセルは、異なる閾値電圧を有し得る。したがって、メモリセルに渡ってセンシング又は読み出し電圧を印加してセル状態を読み出すことが可能である。読み出し電圧は、正の電圧又は負の電圧であり得、以下に説明するように、読み出し電圧の極性に依存して、異なる状況が発生し得る。

【0102】

一般的に言えば、所与の極性にあるプログラミングパルスの後、メモリセルは、同じ極性で読み出しが実行された場合に低閾値電圧を有する一方、反対の極性で読み出された場合に高閾値電圧を有する。したがって、上に説明したように、セット状態が正の極性パルスでプログラミングされた場合、同じ（正極の）極性で読み出された場合に低閾値電圧を有する。反対に、正の極性パルスでセット状態にプログラミングされたセルは、反対の（負の）極性で読み出された場合に高閾値電圧を有する。同時に、上に説明したように、リセット状態が負の極性のパルスでプログラミングされた場合、反対の（正の）極性で読み出された場合に高閾値電圧を有する。反対に、負の極性パルスでリセット状態にプログラミングされたセルは、同じ（負の）極性で読み出された場合に低閾値電圧を有する。

【0103】

読み出し極性とは無関係に、セット状態とリセット状態とを区別することが可能であり、それ故、それに関連するセルの論理状態を読み出すことが可能である。実際、選択されたデジット線端子及び選択されたワード線 SWL 端子を、メモリセルの低閾値電圧と高閾値電圧との間の中間である読み出し電圧にバイアスし、何れのメモリセルが高電流を流すか、又は閾値を有するかを検出するのに十分である。上の例では、負の極性読み出し方式を採用すると、正の極性パルスでセット状態にプログラミングされたセルは閾値化しない一方、負の極性でリセット状態にプログラミングされたセルは閾値化する。既に述べたように、異なる読み出し方式、例えば正の極性読み出し方式が採用され得る。

【0104】

10

20

30

40

50

図 8 A の右側に示した断面を再び参照すると、アクセス動作中、ピラーが選択されたピラー（例えば、図 8 A の左部分のピラー P 5）である場合、ピラーは、動作が実行されることに基づいて、プログラミング電圧（例えば、セット又はリセット電圧）であり得るアドレッシングされたデジタル線アクセス電圧に、又は読み出し電圧にバイアスされる。選択されたピラーに結合された全てのセルは、デジタル線アクセス電圧にバイアスされたデジタル線端子を有するが、アドレッシングされたセル（描写した例では、下から 4 番目のプレーンにあるセル）のみが、ワード線アクセス電圧 V_{WL} にバイアスされたワード線端子 S_{WL} を有し、その他の全てのセル、例えば選択されたピラー内の非選択のセルは、非選択電圧、例えば接地（ GND ）電圧にバイアスされた非選択のワード線 U_{WL} 端子を有する。

10

【 0 1 0 5 】

アクセス動作中、ピラーが非選択のピラー（例えば、ピラー P 1、 \dots 、P 4、P 6、 \dots 、P 9）である場合、以下で詳細に説明するように、対応するセレクトトランジスタ（T 1、 \dots 、T 4、T 6、 \dots 、T 9）は抑制状態にあり、それ故、ピラーをバイアス回路から効果的に絶縁する（又はバイアス回路によって提供された抑制電圧、例えば接地電圧 GND を通過する）ので、ピラーはフロティング（又は接地）される。非選択のピラーがフロティングである場合、それはワード線に容量結合されるため、実際のピラー電圧は、個別の容量比（各 WL ノードに関するピラー容量を総容量、例えば、全ての WL ノードに対するピラー容量で割ったもの）によって重み付けされたワード線電圧に依存する。非アドレッシングの又は非選択の全てのワード線 U_{WL} はアクセス動作中に接地電圧にあり、アドレッシングされた又は選択されたワード線 S_{WL} のみがアクセス電圧にあるので、ピラー電圧は接地に近いままである。接地電圧からの逸脱は、ワード線の数が増加すると、例えば、3 D メモリアレイ内のプレーン又はデッキの数が増加すると減少する。

20

【 0 1 0 6 】

3 行 3 列に編成されたピラー（P 1、 \dots 、P 9）及びセレクトトランジスタ（T 1、 \dots 、T 9）の小さなマトリックスが図 8 A に示されているにもかかわらず、任意の数の行及び列が使用され得る。以下の説明では、ピラー P 5 は、アドレッシングされた又は対象のピラーとみなされ、例えば、アドレッシングされたセルは、選択されたピラー P 5 に、及び選択されたプレーン又はワード線 S_{WL} に結合される。所望の動作に基づいて、選択されたワード線 S_{WL} は、典型的にはデジタル線アクセス電圧に関して反対の極性のものであるアクセスワード線電圧 $V_{_WL}$ にバイアスされ、正確に分割された電圧アプローチでは、デジタル線電圧とワード線電圧とは同じあり、又は凡そ同じであるが、1 以外の振幅比等、異なるアプローチが採用され得、例えば、明確に指定されていない場合であっても、非アドレッシングのワード線 U_{WL} は通常、対応するワード線回路（図示せず）によって接地電圧にバイアスされる。

30

【 0 1 0 7 】

以下の説明を簡単にするために、負の電圧読み出し方式が採用され、例えば、読み出しアクセス動作中、メモリセルの選択されたワード線 S_{WL} 端子と選択されたデジタル線端子（ピラー P 5）にかかる全体的な電圧降下は、負であり、すなわち、 $V_{_WL} - V_{_L1} < 0$ ボルトである。更に、セット状態（例えば、論理 1 状態）にあるメモリセルの閾値電圧は、（約 + 3.5 V から約 + 4.5 V までの正の電圧読み出し範囲に対応する）約 - 6.5 V から約 - 5.5 V までの負の電圧範囲にある一方、リセット状態（例えば、論理 0 状態）にあるメモリセルの閾値電圧は、（約 + 5.5 V から約 + 6.5 V までの正の電圧読み出し範囲に対応する）約 - 4.5 V から約 - 3.5 V までの負の電圧範囲にあると仮定されるであろう。これは単なる例であり、異なる閾値電圧値及び範囲が使用され得る。したがって、上の例では、図 8 D に説明するように、メモリセルを読み出すためのアクセス動作中、アドレッシングされたメモリセルに渡って - 5.0 V の読み出し電圧（例えば、選択されたワード線 S_{WL} の電圧対選択されたデジタル線 P 5 の電圧）が印加される。

40

50

【 0 1 0 8 】

図 8 B に示すように、P 5 ピラーに接続されたメモリセルは S E T 状態にプログラミングされ得る。この目的のために、(5 . 5 ~ 6 . 5 V の目標リセットプログラミング状態閾値電圧範囲に対する 0 . 5 V のマージンを考慮すると) セルは最大 7 V の高閾値電圧 V_t でリセット状態になり得るので、+ 7 V 付近の正のバイアスパルスが印加される必要があり得る。これは、選択されたワード線に少なくとも + 3 . 5 V まで印加し (一方、その他は G N D にある、ここでは図示せず、図 8 A を参照)、ビット線 L 1 に少なくとも - 3 . 5 V まで印加することによって得られ得る。電圧は、例えば、行線 R 1 に印加される + 1 . 0 V のゲートパス電圧でセクタトランジスタ T 5 を有効化することによって、アレイ内のアドレッシングされたセルのデジタル線 (ピラー P 5) へ転送される。セルが同じワード線及び / 又はビット線を共有する可能性があり得るその他のピラー (P 1、 \dots 、P 9、P 5 以外) は、選択解除される必要がある。

10

【 0 1 0 9 】

- 3 . 5 V よりも高いバイアスで行線 R 0 及び R 2 とそれらに結合されたゲートとの電圧が増加すると、トランジスタ T 4 及び T 6 はオンに切り替わり、それ故、アドレッシングされたビット線 L 1 に結合されたアレイデジタル線、例えばピラー P 4 及び P 6 を不要にバイアスする。したがって、T 4 及び T 6 のスイッチオンを回避するために、行線 R 0 及び R 2 に - 3 . 5 V の遮断又は抑制バイアスが課され得、このことは、アレイデジタル線 P 4 及び P 6 が事実上フロ - ティングになることをもたらす。その後、接地電圧 G N D がビット線 L 0 及び L 2 に印加され得る。

20

【 0 1 1 0 】

この構成では、全ての T F T T 1、 \dots 、T 9 (T 5 以外) はオフ状態にあり得、例えば、ビット線 L 0、L 1、及び L 2 に結合された個別の端子における電圧は、個別のピラー P 1、 \dots 、P 9 (P 5 以外) へ転送されず、それ故、フロ - ティングになることをもたらし得る。トランジスタ T 2 及び T 8 は、それらの実際の閾値電圧及び (それに応じて調整され得る) 行線 R 1 の実際のバイアス電圧に基づいて、G N D 電圧を個別のピラー P 2 及び P 8 へ転送してもしなくてもよい。

【 0 1 1 1 】

フロ - ティングしているピラーの電位は、ピラーと W L との間の容量比によって決まるであろう (非選択の全てのワード線は G N D にバイアスされ、選択された W L は + 3 . 5 V にバイアスされる)。そのため、フロ - ティングしているピラーは、選択解除に安全な僅かな正のバイアス (例えば、+ 1 V) に達し得る。

30

【 0 1 1 2 】

図 8 C に示すように、P 5 ピラーに接続されたメモリセルはリセット状態にプログラミングされ得る。この目的のために、リセット状態にあるセルも再プログラミングされる必要がある、及び / 又は (- 5 . 5 ~ - 6 . 5 V の目標セットプログラミング状態閾値電圧範囲に対する 0 . 5 V のマージンを考慮して) セルは最大 - 7 V の高閾値電圧 V_t でセット状態にあり得るので、- 7 V 付近の負のバイアスパルスが印加される必要があり得る。これは、選択されたワード線に - 3 . 5 V を印加し (一方、その他は G N D にあり、ここでは図示せず、図 8 A を参照)、ビット線 L 1 に + 3 . 5 V を印加することによって得られ得る。電圧は、例えば、行線 R 1 に印加される + 4 . 5 V のゲートパス電圧でセクタトランジスタ T 5 を有効化することによって、アレイ内のアドレッシングされたセルのデジタル線 (ピラー P 5) へ転送される。セルが同じワード線及び / 又はビット線を共有する可能性があり得るその他のピラー (P 1、 \dots 、P 9、P 5 以外) は、選択解除される必要がある。

40

【 0 1 1 3 】

トランジスタ T 4 及び T 6 をスイッチオフし、それ故ビット線 L 1 からピラー P 4 及び P 6 を効果的に絶縁するために、行線 R 0 及び R 2 並びにそれらに結合されたゲートは、P 4 及び P 6 ピラーがフロ - ティングになるように、+ 3 . 5 V にバイアスされ得る。その後、接地電圧 G N D がビット線 L 0 及び L 2 に印加され得るため、アレイデジタル線ピ

50

ラー P 1、P 2、P 3、P 7、P 8、及び P 9 は、個別のトランジスタ T 1、T 2、T 3、T 7、T 8、及び T 9 を通じて G N D に短絡されるであろう。

【 0 1 1 4 】

この構成では、ピラー P 4 及び P 6 のみがフロ - ティングになることをもたらし得る。デジット線 P 4 及び P 6 ピラーの電位は、ピラーと W L との間の容量比によって決まるであろう（全ての非選択のワード線は G N D にバイアスされ、選択されたワード線は - 3 . 5 V にバイアスされる）。そのため、フロ - ティングしているピラーは、僅かな負のバイアス（例えば、- 1 V）に達し得、これは選択解除に安全である。その他の非アドレッシングピラーは接地され、これは、選択解除のための安全な状態でもある。

【 0 1 1 5 】

図 8 D に示すように、P 5 ピラーに接続されたメモリセルの状態が読み出される。この目的のために、- 5 V 付近の負のバイアスパルスが印加される必要があり得る。これは、選択されたワード線に少なくとも - 2 . 5 V まで印加し（一方、その他は G N D にあり、ここでは図示せず。図 8 A を参照）、ビット線 L 1 に少なくとも + 2 . 5 V まで印加することによって得られ得る。電圧は、例えば、行線 R 1 に印加される + 3 . 5 V のゲートパス電圧でセクタトランジスタ T 5 を有効化することによって、アレイ内のアドレッシングされたセルのデジット線（ピラー P 5）へ転送される。セルが同じワード線及び / 又はビット線を共有する可能性があり得るその他のピラー（P 1、・・・、P 9、P 5 以外）は、選択解除される必要があり得る。

【 0 1 1 6 】

トランジスタ T 4 及び T 6 をスイッチオフし、それ故ピラー P 4 及び P 6 をビット線 L 1 から効果的に絶縁するために、行線 R 0 及び R 2 並びにそれらに結合されたゲートは、P 4 及び P 6 ピラーがフロ - ティングになるように、+ 2 . 5 V にバイアスされ得る。その後、接地電圧 G N D がビット線 L 0 及び L 2 に印加され得るため、アレイデジット線ピラー P 1、P 2、P 3、P 7、P 8、及び P 9 は、個別のトランジスタ T 1、T 2、T 3、T 7、T 8、及び T 9 を通じて G N D に短絡されるであろう。

【 0 1 1 7 】

この構成では、ピラー P 4 及び P 6 のみがフロ - ティングになることをもたらし得る。デジット線 P 4 及び P 6 ピラーの電位は、ピラーと W L との間の容量比によって決まるであろう（非選択のワード線は全て G N D にバイアスされ、選択されたワード線は - 2 . 5 V にバイアスされる）。そのため、フロ - ティングしているピラーは僅かな負のバイアス（例えば、- 0 . 5 V）に達し得、これは選択解除に安全である。その他の非アドレッシングのピラーは接地され、これは、選択解除のための安全な状態でもある。

【 0 1 1 8 】

正の極性読み出し方式が採用される場合（何れの図にも表されていない）、図 8 B に描写したセット状態へのメモリセルのプログラミングに関して説明されたものと同様であるが、全てのセルの閾値化を回避し、むしろ、セットセルのみにスナップバックを誘導するためにワード線パルス及びビット線パルスに対する振幅を小さくしたバイアス条件が適用され得る。例えば、+ 2 . 5 V の正のワード線読み出し電圧 V_{WL} が選択されたワード線 S W L に印加され得、- 2 . 5 V の負のビット線読み出し電圧が選択されたビット線 L 1 に印加され得、+ 1 . 0 の通過電圧が、行線 R 1 を通じてアドレッシングされたデジット線 P 5 に結合された選択トランジスタ T 5 のゲート端子に印加され得、上に説明したバイアス条件は、アドレッシングされたセルに + 5 . 0 V の読み出し電圧を印加するのに適している。異なる振幅が使用され得る。また、非アドレッシングの又は非選択のビット線 L 0 及び L 2 は接地電圧にバイアスされ得、非アドレッシングの又は非選択のワード線 R 0 及び R 2 は、例えば - 2 . 5 V の遮断電圧又は抑制電圧にバイアスされ得、全ての非アドレッシングの又は非選択のデジット線をフロ - ティングにもたらし得る。

【 0 1 1 9 】

上の説明で使用された電圧値は単なる例示的な値であり、発明の範囲を維持しながら変更され得る。幾つかの場合、接地電圧（G N D）は 0 V とは異なり得、例えば、その他の

10

20

30

40

50

正又は負の電圧が評価される正又は負の電圧であり得る。上に説明した同じ概念及び解決法は、図 8 A ~ 図 8 D を参照して描写した 3 D メモリデバイス構成とは異なるアレイ構成にも適用され得、例えば、図 4 ~ 図 7 を参照して説明したものと同様のメモリアレイ内の 3 D サブピラーは、必要な微調整でアドレッシングされ得る。幾つの場合、共有されるビット線は、各デッキ又はプレーンにおいて偶数 / 奇数のワード線によって偶数 / 奇数のセルが選択されるスプリットピラーアーキテクチャについての図 7 A 及び図 7 B に描写したように、セレクトトランジスタ（例えば、T F T トランジスタ）のゲートを駆動し得、或いは、偶数 / 奇数のサブビット線は、図 7 C に描写したようにセレクトトランジスタのゲートを独立して駆動し得る。セレクトトランジスタに対する（例えば、図 8 に描写したビット線 L 0 ~ L 2 / 行線 R 0 ~ R 2 とは異なる）その他のピラー又はサブピラーデコーディング構成も実装され得る。

10

【 0 1 2 0 】

更に、（何れの図面にも明確には描写されていないが）セレクトトランジスタ、例えばピラーセクション層は、メモリ層の上に少なくとも部分的に形成され得ることに留意すべきである（前述の層をよりよく識別するために、図 3 I を参照）。例えば、T F T は、メモリアレイの下方（例えば、ワード線導電性材料層の下方）の一部に形成され（例えば、偶数のビット線 / サブピラーに結合され）得、メモリアレイの上方の一部に形成され（例えば、奇数のビット線 / サブピラーに結合され）得る。追加的又は代替的に、メモリ層及び対応するピラー選択層を各々含む複数のビルディングブロックは、ビルディングブロックスタック内で相互の上に配置され得る。これらの配置は、高さが増加し（例えば、より高く、より多くのデッキ及び層を有し）、それ故、表面密度が増加した 3 D メモリアレイを得るために、製造中に（例えば、所与の数のメモリデッキ又は層及び対応するピラーの選択を含む）同じ基本的なビルディングブロックを数回複製することを可能するであろう。対応する T F T セレクトトランジスタをデコードするための異なるブロックに対するビット線及び / 又は行線は、全ての垂直方向に積み重ねられたブロックによって共有され得（この場合、ワード線は別個にデコードされ）、又はそれらは、積み重ねられたブロック毎に分離され得る（この場合、ワード線は共通に又は個々にデコードされ得る）。ビット線、行線、及び / 又はワード線への接続は、基板（C M O S アンダーアレイ（C U A ）回路、例えばデコード及びセンシング回路を収容するシリコン基板等）内の周辺回路層から、メモリアレイに隣接して垂直方向に継続する対応するビルディングブロックまで拡張し得る。

20

30

【 0 1 2 1 】

図 9 は、本明細書に開示するような例に従った N M O S T F T セレクタを有する垂直 3 D メモリデバイス内のメモリセルにアクセスする方法を説明するフロ - チャ - トを示す。方法 9 0 0 の動作は、メモリデバイスと関連付けられた 1 つ以上のコントロ - ラによって実装され得る。幾つの場合では、1 つ以上のコントロ - ラは、説明する機能を実施するためにメモリデバイスの 1 つ以上の機能的要素を制御するための命令セットを実行し得る。追加的又は代替的に、1 つ以上のコントロ - ラは、専用ハードウェアを使用して、説明する機能の一部分を実施し得る。

【 0 1 2 2 】

9 1 0 において、方法 9 0 0 は、その他のワード線が所定の電圧にある間に、選択されたワード線に第 1 の電圧を印加することを含み得る。9 1 0 の動作は、本明細書に説明する方法に従って実施され得る。

40

【 0 1 2 3 】

9 3 0 において、方法 9 0 0 は、選択されたワード線をメモリセルと共有するその他のメモリセルに関連付けられた T F T のゲート領域に第 2 の電圧を印加することを含み得る。9 3 0 の動作は、本明細書に説明する方法に従って実施され得る。

【 0 1 2 4 】

9 5 0 において、方法 9 0 0 は、その他の T F T のソース領域が所定の電圧にある間に、選択されたワード線を共有するメモリセルに関連付けられた T F T のソース領域に第 2

50

の電圧を印加することを含み得る。950の動作は、本明細書に説明する方法に従って実施され得る。

【0125】

970において、方法900は、メモリセルに関連付けられたTF Tのゲート領域に第3の電圧を印加することを含み得る。970の動作は、本明細書に説明する方法に従って実施され得る。

【0126】

幾つかの場合、使用される技術に従って、第1の電圧は+3.5Vであり得、第2の電圧は-3.5Vであり得、第3の電圧は+1Vであり得、所定の電圧は接地電圧であり得る。

【0127】

幾つかの場合、使用される技術に従って、第1の電圧は+2.5Vであり得、第2の電圧は-2.5Vであり得、第3の電圧は+1Vであり得、所定の電圧は接地電圧であり得る。

【0128】

幾つかの場合、第1の電圧は-3.5Vであり得、第2の電圧は+3.5Vであり得、第3の電圧は+4.5Vであり得、所定の電圧は接地電圧であり得る。

【0129】

幾つかの場合、第1の電圧は-2.5Vであり得、第2の電圧は+2.5Vであり得、第3の電圧は+3.5Vであり得、所定の電圧は接地電圧であり得る。

【0130】

単一のNMOS TF Tでなされるアクセスでは、3.5Vを受け入れる非選択のピラーの場合、トランジスタチャネルはチョークされ得、電流が流れないことがあり得、したがって、ソース領域をGNDに置く必要さえないことがあることに留意すべきである。対応するNMOS TF Tはフロティングのままであり得る。フロティングしているNMOS選択トランジスタのピラーは、メモリデバイスの正しい読み出しにとって危険な場合がある。しかしながら、対象のセルがプログラミングされている場合、選択されたワード線のプレート又はプレーンのみが(図8Aに示すように)3.5Vにバイアスされる。それ故、接地にバイアスされたその他の全てのプレート又はプレーンの容量結合のために、フロティングしているピラーでさえ接地に近い電圧になり、メモリデバイスの機能に影響を及ぼさない。

【0131】

本開示で提供されるアクセス方式は、選択されたピラーに近いピラーの少なくとも幾つかが接地に近いバイアス電圧のままであり、選択されたピラーに対して実施されるアクティビティによって影響を受けないことを更に示し得る。

【0132】

複数のデッキ上で水平方向に拡張する複数のワード線と、垂直方向に拡張する複数のアレイデジット線とを有する3Dメモリアレイ内の非アドレッシングのメモリセルを選択解除するための方法が開示され、各メモリセルは、1つのワード線と1つのアレイデジット線との交点にあり、非アドレッシングのメモリセルに結合された複数のアレイデジット線の内のアレイデジット線をフロティングにすることを含む。

【0133】

幾つかの実施形態では、アレイデジット線をフロティングにすることは、アレイデジット線とビット線との間に結合された薄膜トランジスタ(TF T)のゲートに抑制電圧を印加することを含む。

【0134】

幾つかの実施形態では、方法は、アレイデジット線に容量結合された複数のワード線の内の非選択のワード線を接地することを更に含む。

【0135】

幾つかの実施形態では、方法は、第2のアレイデジット線と第2のビット線との間に結

10

20

30

40

50

合された第2の薄膜トランジスタ(TFT)にパルス電圧を印加することに少なくとも部分的に基づいて、3Dメモリアレイ内の第2のアレイデジット線に結合された第2の非アドレッシングのメモリセルを選択解除することと、第2のビット線を接地することと、第2のアレイデジット線を接地することを更に含む。

【0136】

幾つかの実施形態では、方法は、複数のワード線内の非選択のワード線を接地することによって、第2の非アドレッシングのメモリセルを選択解除することを更に含む。

【0137】

幾つかの実施形態では、方法は、非アドレッシングのメモリセルを選択解除している間に、複数のワード線内の選択されたワード線にワード線アクセス電圧を印加することに少なくとも部分的に基づいて、選択されたアレイデジット線に結合されたアドレッシングされたメモリセルを選択することと、選択されたアレイデジット線に結合された選択されたビット線にビット線アクセス電圧を印加することと、選択されたアレイデジット線へビット線アクセス電圧を転送するために、選択されたアレイデジット線と選択されたビット線との間に結合された選択されたTFTのゲートに通過電圧を印加することを更に含む。

【0138】

例えば、図8Bを参照して説明したバイアス条件に言及すると、メモリセルは、L0、L1、及びL2に電圧GND、-3.5V(読み出しでは-2.5V)、及びGNDを夫々印加することと、R0、R1、及びR2に電圧-3.5V、+1.0V、及び-3.5Vを夫々印加することによってSET状態にプログラミングされ得る(又は、正の電圧読み出し方式に従って読み出され得る)。3Dアレイ内のアドレッシングされたワード線は、所望のワード線アクセス電圧(例えば、SETの場合は+3.5V、又は読み出しの場合は+2.5V)にバイアスされ得る一方、非アドレッシングのWLは接地され得る。この構成は、アドレッシングされたメモリセルに結合されたアレイデジット線P5が所望のデジット線アクセス電圧(SETの場合は-3.5V、又は読み出しの場合は-2.5V)にバイアスされることをもたらし、それ故、アドレッシングされたメモリセルに渡って全体的な所望の電圧降下を得られるであろう。異なるアレイデジット線(例えば、ピラーP1、P2、P3、P4、P6、P7、P8、及びP9)に結合されたメモリセルは、個別のデジット線がフロティングにされているため妨害されず、それらの電位は、容量比に従って重み付けされたワード線電圧によって決定され得、アクセス電圧でバイアスされているアドレッシングされたWLを除いて全てのWLが接地されているため、接地電圧とは非常に少量だけ異なり得る。

【0139】

同様の方法で、図8C(リセット状態へのプログラミング)及び図8D(負の読み出し方式に従った読み出し)を参照して説明したバイアス条件に言及すると、メモリセルは、L0、L1、及びL2に電圧GND、+3.5V(読み出しでは+2.5V)、及びGNDを夫々印加し、R0、R1、及びR2に電圧+3.5V、+4.5V、及び+3.5Vを夫々印加することによってアクセスされ得る。3Dアレイ内のアドレッシングされたワード線は、所望のワード線アクセス電圧(例えば、SETの場合は-3.5V、又は読み出しの場合は-2.5V)にバイアスされ得る一方、非アドレッシングのWLは接地され得る。この構成は、アドレッシングされたメモリセルに結合されたアレイデジット線P5を所望のデジット線アクセス電圧(SETの場合は+3.5V、又は読み出しの場合は+2.5V)にバイアスすることをもたらし、それ故、アドレッシングされたメモリセルに渡って全体的な所望の電圧降下を得るであろう。異なるアレイデジット線に結合されたメモリセルは、個別のデジット線が接地されているか(例えば、ピラーP1、P2、P3、P7、P8、及びP9)、フロティングにされている(例えば、ピラーP6、P7)ため妨害されない。

【0140】

幾つかの実施形態では、非アドレッシングのメモリセルは、アドレッシングされたメモリセルに結合されたアレイデジット線とは異なるアレイデジット線(例えば、3Dメモリ

アレイ内の垂直ピラー)に結合され得る。非アドレッシングのメモリセルは、アドレッシングされたメモリセルと同じワード線を共有し得る。非アドレッシングのメモリセルに結合されたデジット線をフロ-ティングにすることによって、非アドレッシングのメモリセルに対する又は非アドレッシングのメモリセルからの妨害を回避又は少なくとも最小限にするために、アドレッシングされたメモリセルにアクセスしている(例えば、セット又はリセット等、読み出している又はプログラミングしている)間に安全な状態が確立される。フロ-ティングにされたデジット線の実際の電圧は、フロ-ティングにされたデジット線に容量結合されたワード線の電圧に依存し得る。各ワード線は、フロ-ティングにされたデジット線の電圧を容量結合することによって影響を与えることがあり、全ての非アドレッシングのワード線が接地され得る一方、アドレッシングにされたワード線のみが読み出し/プログラミングアクセス電圧にバイアスされ得るため、フロ-ティングにされたデジット線の実際の電圧は接地に近いままである。幾つかの構成では、非アドレッシングのセルに結合されたデジット線の幾つかは接地され得、それ故、安全で妨害のない状態をも提供する。更に、アドレッシングされたメモリセルと同じデジット線を共有するメモリセルを含む、非アドレッシングのワード線(例えば、異なるデッキ又はプレーンのワード線)に結合されたメモリセルは、それに結合された非アドレッシングのワード線を接地することによって安全で妨害のない状態に保たれ得る。上に説明した方法のステップは、説明した順序とは異なる順序で実行され得る。説明されていない追加のステップが実行され得る。

10

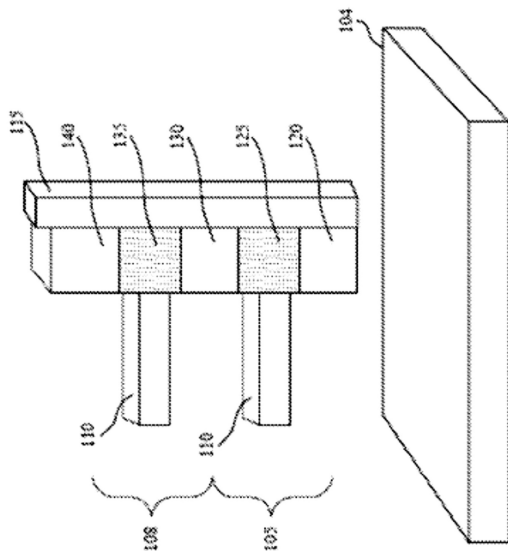
20

【0141】

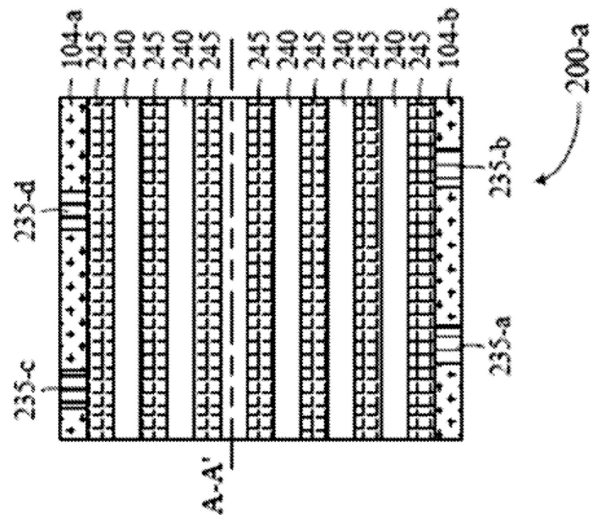
本明細書の説明は、当業者が開示を製作又は使用可能なように提供されている。開示への様々な修正は当業者に分かるであろうし、本明細書で定義される包括的な原理は開示の範囲から逸脱することなくその他の変形に適用され得る。したがって、開示は、本明細書に説明した例及び設計に限定されず、本明細書に開示した原理及び新規の機構と一致する最も広い範囲に一致する。

【図面】

【図1】

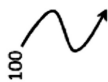


【図2A】



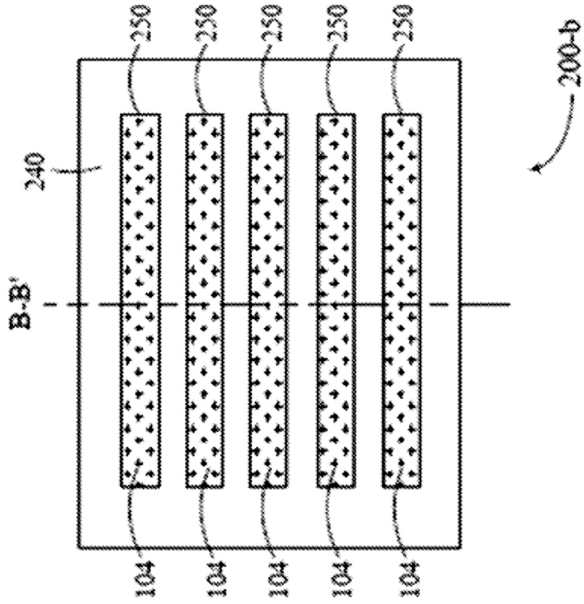
30

40

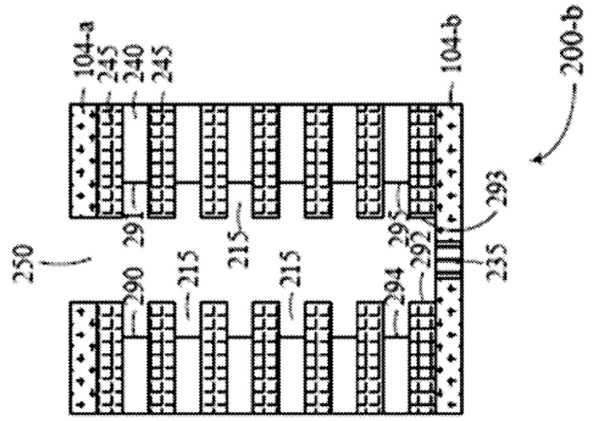


50

【 2 B 】

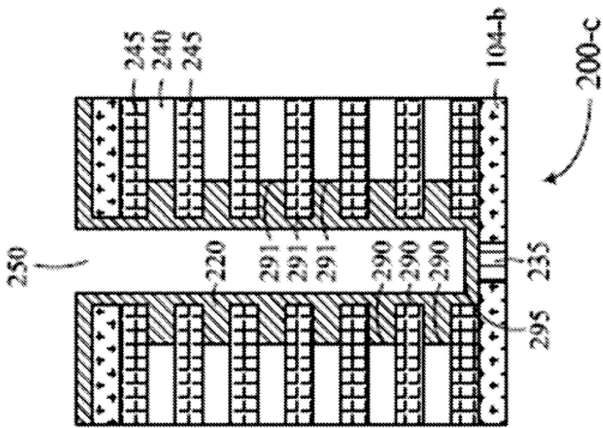


【 2 C 】

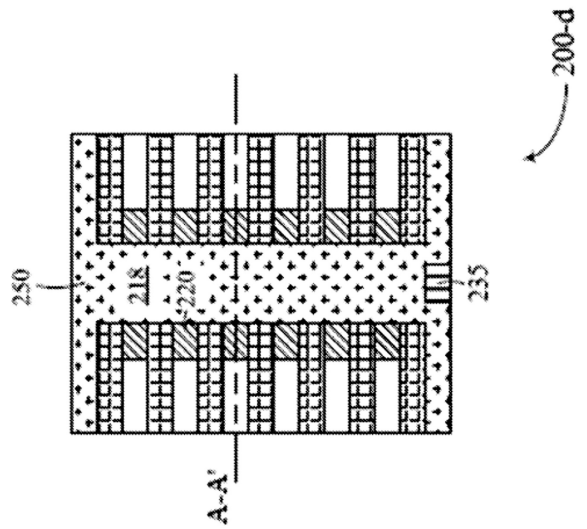


10

【 2 D 】



【 2 E 】



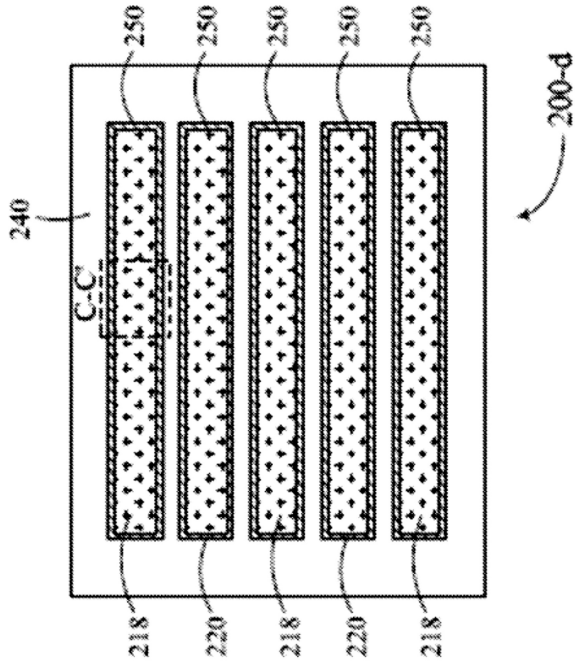
20

30

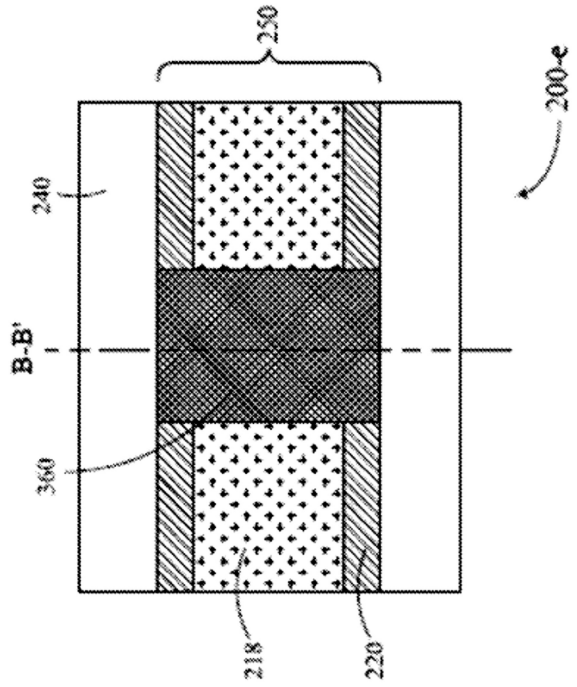
40

50

【 図 2 F 】



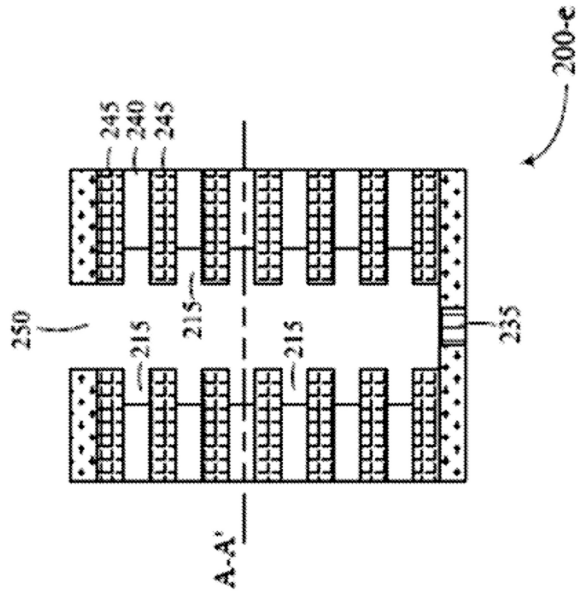
【 図 3 A 】



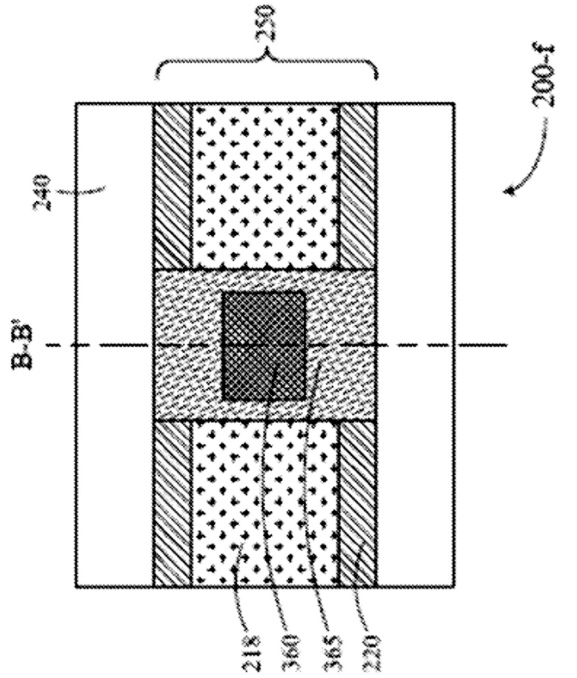
10

20

【 図 3 B 】



【 図 3 C 】

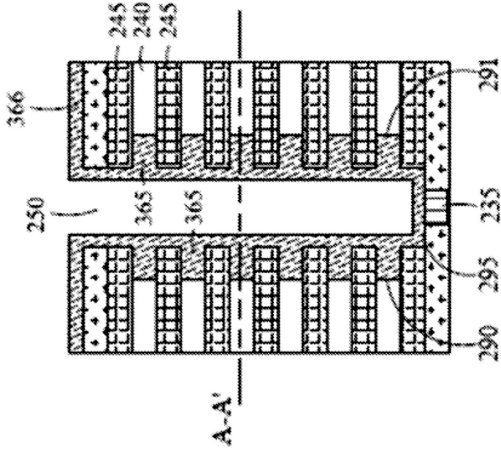


30

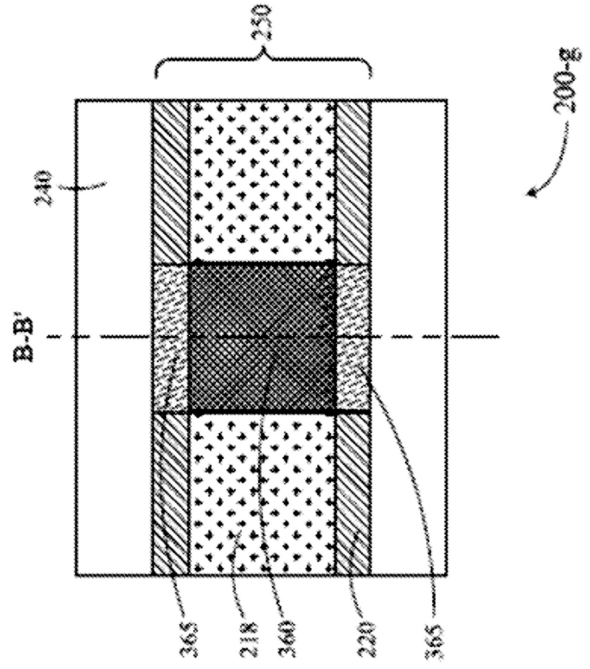
40

50

【 3 D 】



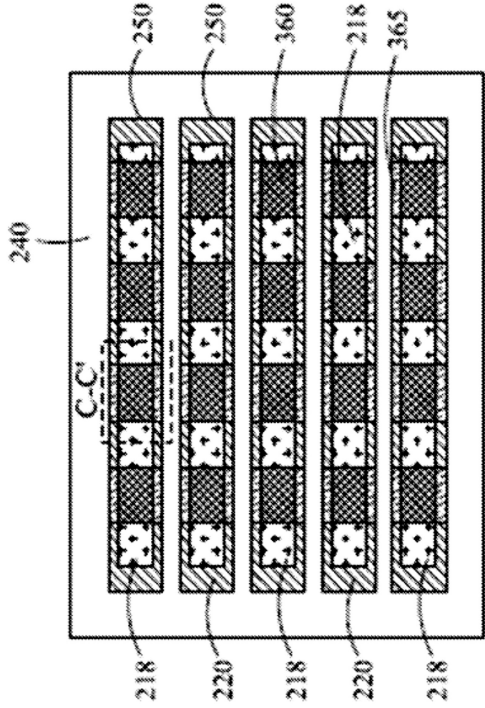
【 3 E 】



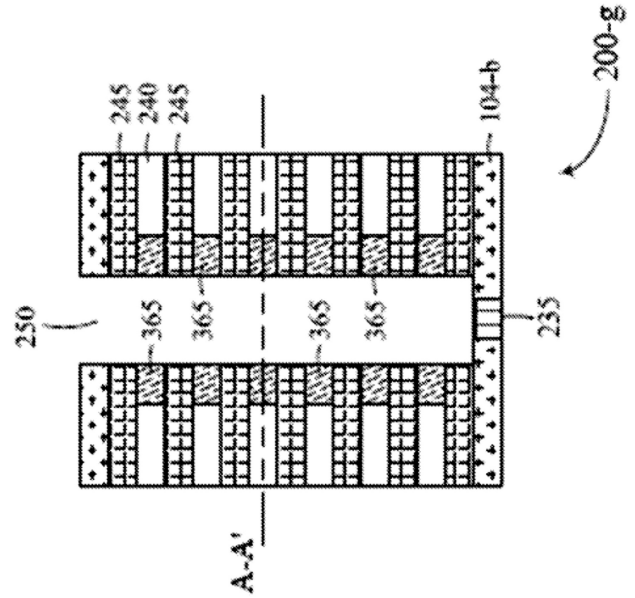
10

20

【 3 F 】



【 3 G 】

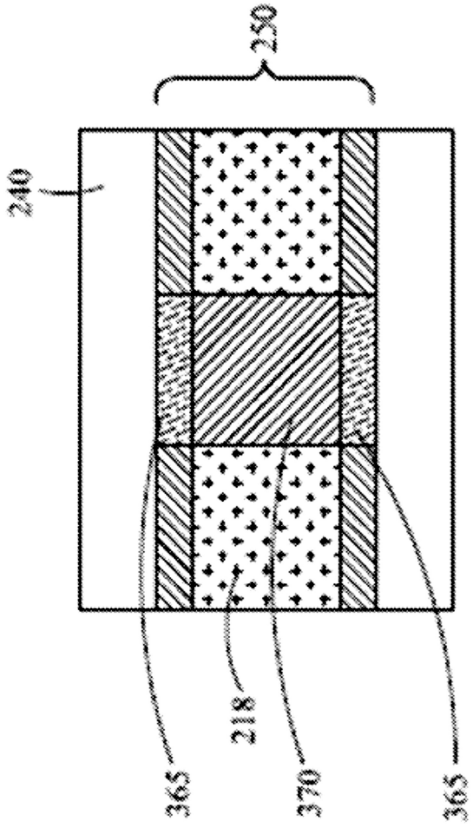


30

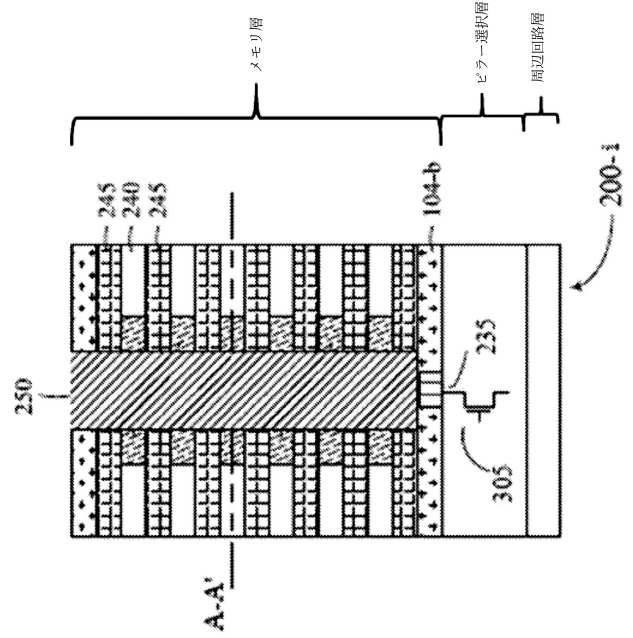
40

50

【 図 3 H 】



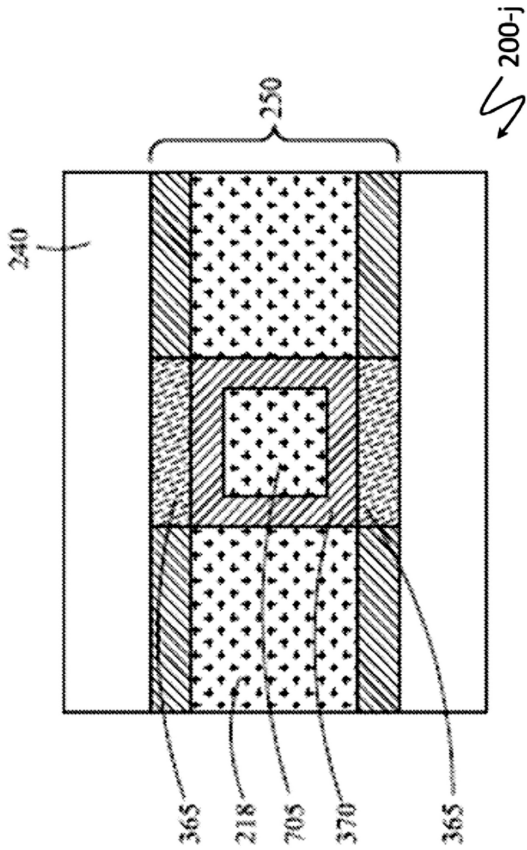
【 図 3 I 】



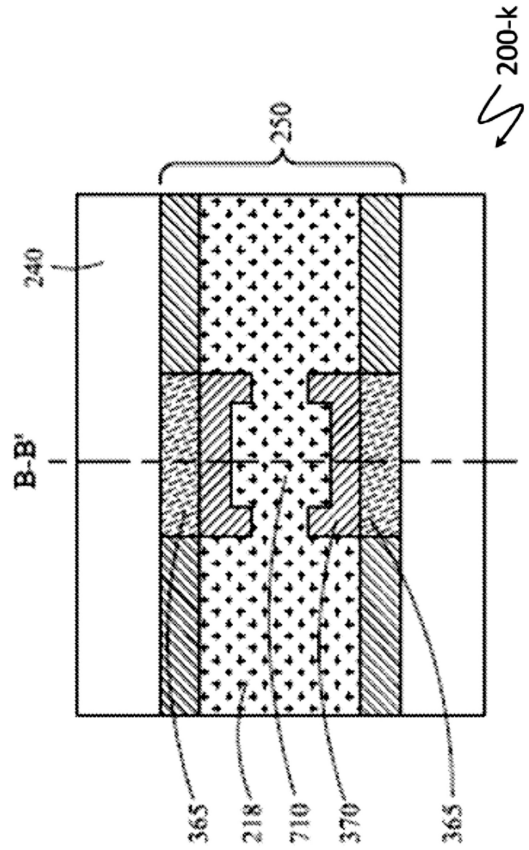
10

20

【 図 4 A 】



【 図 4 B 】

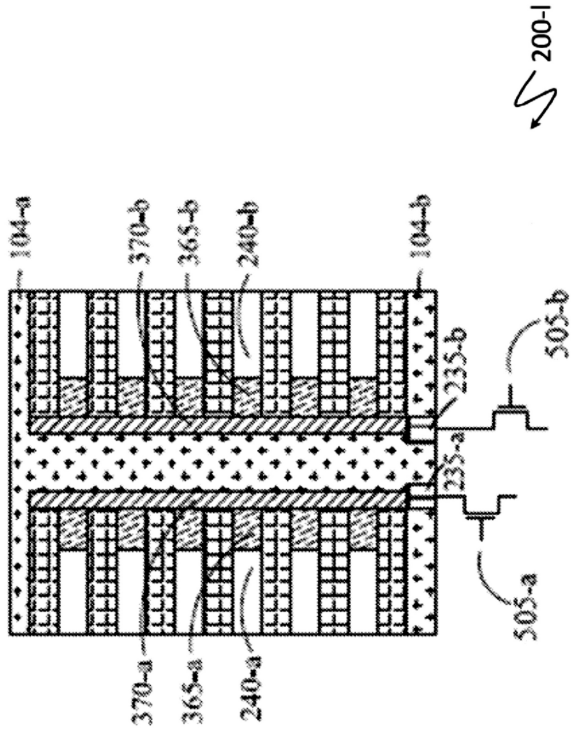


30

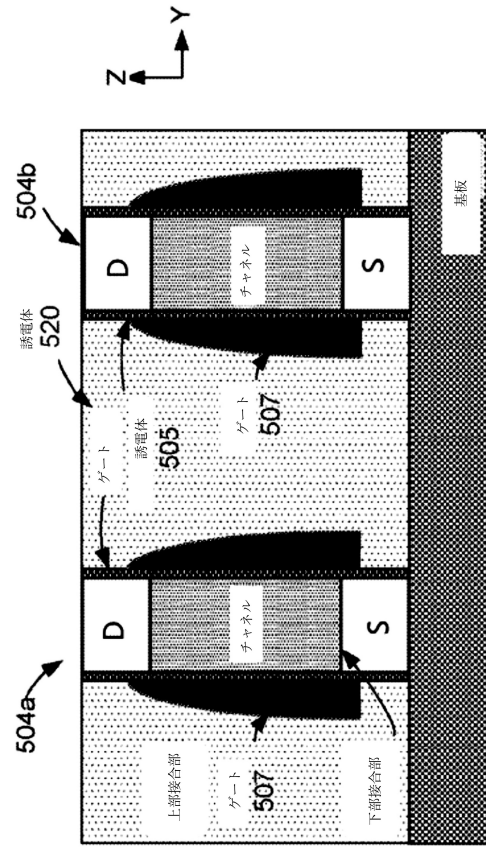
40

50

【 図 5 】



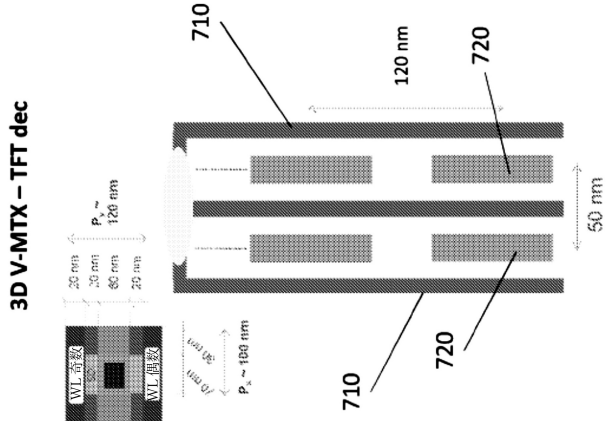
【 図 6 】



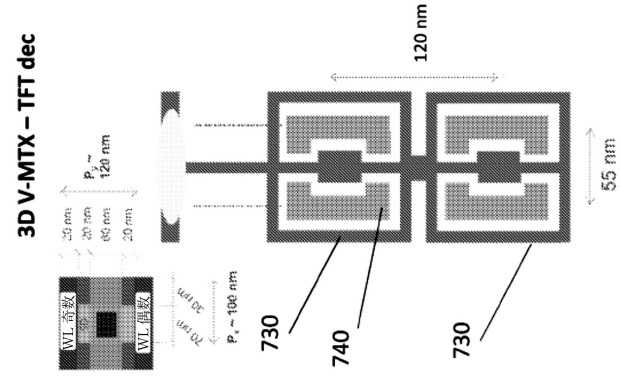
10

20

【 図 7 A 】



【 図 7 B 】

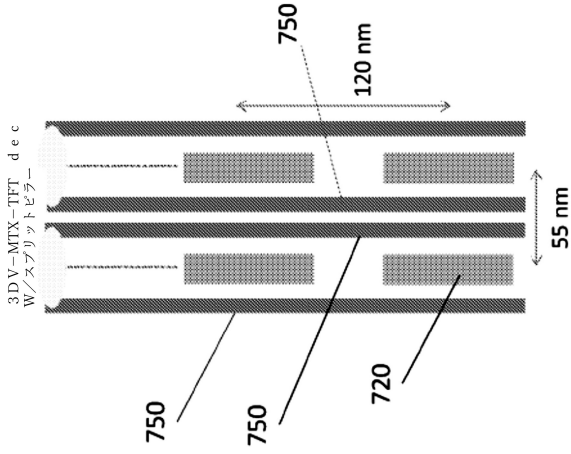


30

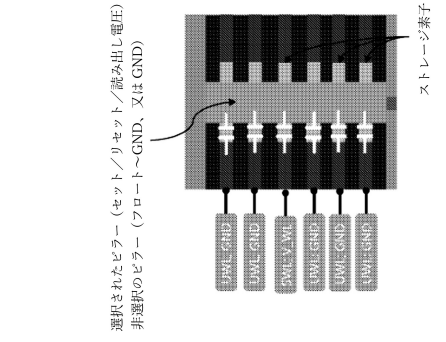
40

50

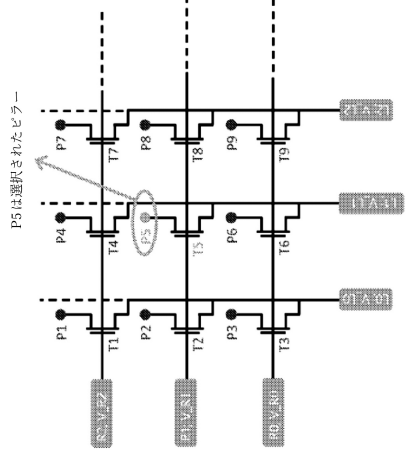
【 図 7 C 】



【 図 8 A 】

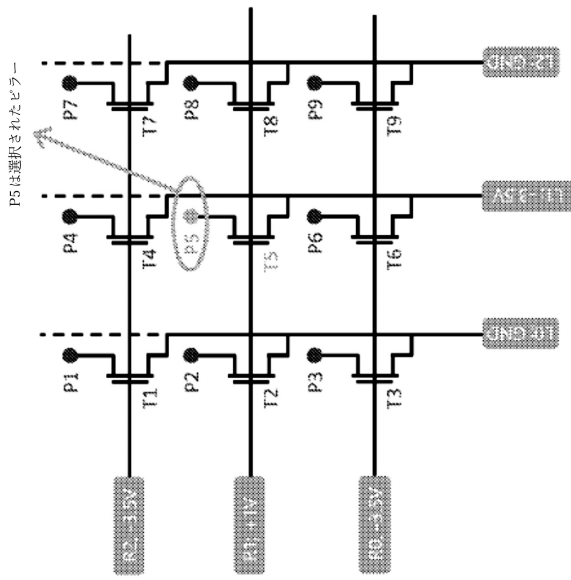


10

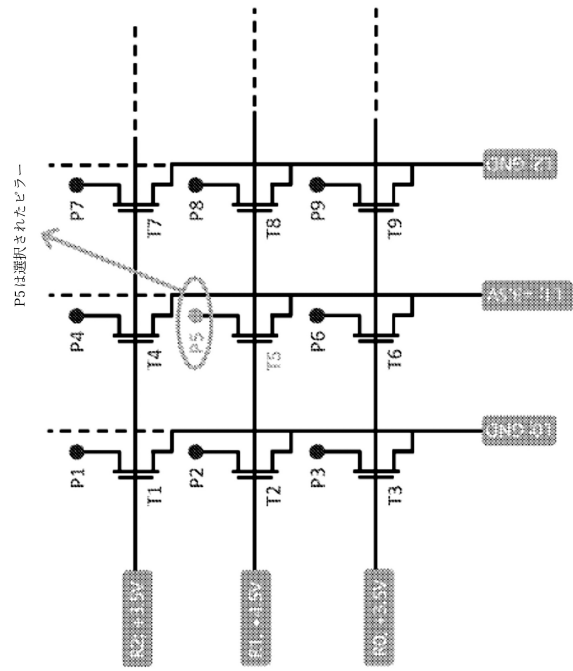


20

【 図 8 B 】



【 図 8 C 】

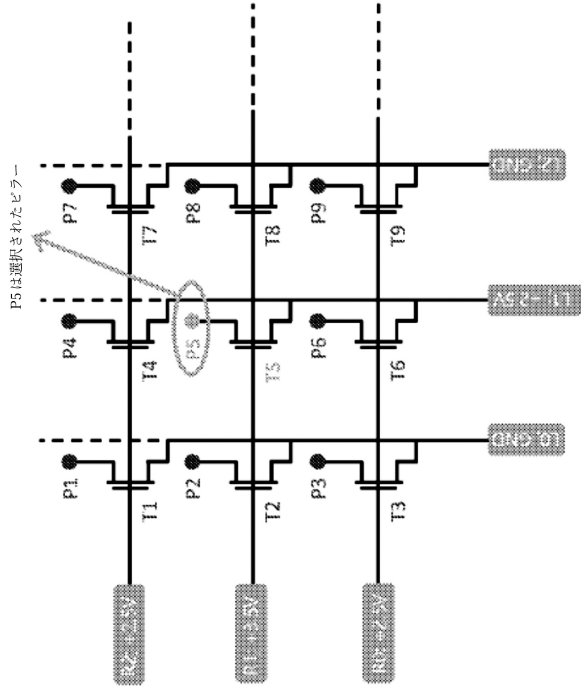


30

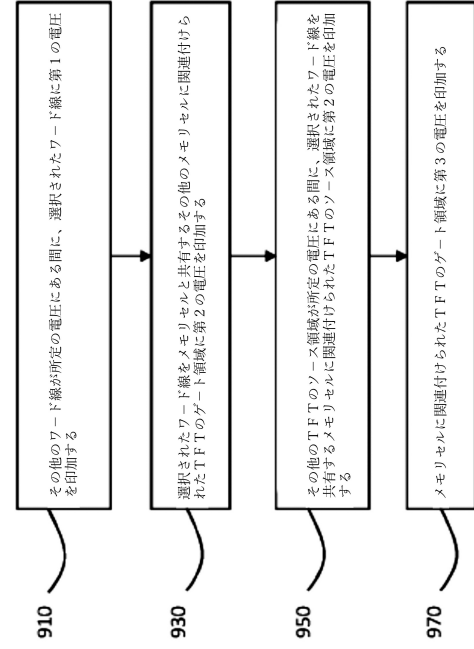
40

50

【 図 8 D 】



【 図 9 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/020028

| | | |
|--|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER | | |
| H01L 27/24(2006.01); H01L 45/00(2006.01); H01L 29/786(2006.01); G11C 16/08(2006.01); G11C 16/30(2006.01); G11C 16/26(2006.01); G11C 16/04(2006.01) | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H01L 27/24(2006.01); G11C 11/00(2006.01); G11C 11/21(2006.01); G11C 13/00(2006.01); H01L 29/786(2006.01) | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: memory, TFT, digit line, floating | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X Y A | US 2015-0311256 A1 (SANDISK 3D LLC) 29 October 2015 (2015-10-29) paragraphs [0056]-[0225] and figures 1-12C | 1-4,6-16 5,20-21,23,25 17-19,22,24 |
| Y | US 2017-0154925 A1 (SANDISK TECHNOLOGIES LLC) 01 June 2017 (2017-06-01) paragraphs [0047]-[0049], [0147]-[0149] and figures 1B, 10C | 5 |
| Y | US 2008-0112209 A1 (WOO-YEONG CHO et al.) 15 May 2008 (2008-05-15) paragraphs [0050]-[0078] and figures 2-5 | 20-21,23,25 |
| A | US 2013-0223127 A1 (SAMSUNG ELECTRONICS CO., LTD.) 29 August 2013 (2013-08-29) paragraphs [0028]-[0055] and figures 1-4B | 1-25 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed | | “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family |
| Date of the actual completion of the international search 18 February 2021 | | Date of mailing of the international search report 18 February 2021 |
| Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578 | | Authorized officer KANG, Min Jung Telephone No. +82-42-481-8131 |

Form PCT/ISA/210 (second sheet) (July 2019)

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2020/020028

| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|---|--|------------------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | US 2017-0365639 A1 (TOSHIBA MEMORY CORPORATION) 21 December 2017 (2017-12-21) paragraphs [0097]-[0119] and figures 1-7 | 1-25 |

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/IB2020/020028

| Patent document cited in search report | | | Publication date (day/month/year) | Patent family member(s) | | | Publication date (day/month/year) |
|--|--------------|----|-----------------------------------|-------------------------|-----------------|----|-----------------------------------|
| US | 2015-0311256 | A1 | 29 October 2015 | US | 2015-0069320 | A1 | 12 March 2015 |
| | | | | US | 9105468 | B2 | 11 August 2015 |
| | | | | US | 9443907 | B2 | 13 September 2016 |
| | | | | WO | 2015-035038 | A1 | 12 March 2015 |
| US | 2017-0154925 | A1 | 01 June 2017 | US | 2016-0141337 | A1 | 19 May 2016 |
| | | | | US | 2016-0268340 | A1 | 15 September 2016 |
| | | | | US | 9356074 | B1 | 31 May 2016 |
| | | | | US | 9608043 | B2 | 28 March 2017 |
| | | | | US | 9887240 | B2 | 06 February 2018 |
| US | 2008-0112209 | A1 | 15 May 2008 | KR | 10-0827697 | B1 | 07 May 2008 |
| | | | | US | 7570511 | B2 | 04 August 2009 |
| US | 2013-0223127 | A1 | 29 August 2013 | KR | 10-1965686 | B1 | 04 April 2019 |
| | | | | KR | 10-2013-0098003 | A | 04 September 2013 |
| | | | | US | 9036398 | B2 | 19 May 2015 |
| US | 2017-0365639 | A1 | 21 December 2017 | JP | 2016-058713 | A | 21 April 2016 |
| | | | | JP | 6414851 | B2 | 31 October 2018 |
| | | | | TW | 201611363 | A | 16 March 2016 |
| | | | | TW | I581474 | B | 01 May 2017 |
| | | | | US | 10439002 | B2 | 08 October 2019 |
| | | | | US | 2016-0071908 | A1 | 10 March 2016 |
| | | | | US | 2016-0358974 | A1 | 08 December 2016 |
| | | | | US | 9455257 | B2 | 27 September 2016 |
| | | | | US | 9773845 | B2 | 26 September 2017 |

10

20

30

40

50

フロントページの続き

| (51)国際特許分類 | F I | テーマコード (参考) |
|---------------------------------|---------------|-------------|
| H 1 0 N 99/00 (2023.01) | H 1 0 N 70/00 | Z |
| H 0 1 L 29/786 (2006.01) | H 1 0 N 99/00 | |
| G 1 1 C 13/00 (2006.01) | H 0 1 L 29/78 | 6 1 3 B |
| | G 1 1 C 13/00 | 3 1 0 |

G,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,
 ,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,
 ,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,R
 W,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

(72)発明者 シッパーズ ステファン フレデリック

イタリア共和国 ヴェローナ 3 7 0 1 9 ペスキエーラ デル ガルダ ヴィア ロク . マラシナ 4

(72)発明者 ファンティーニ パオロ

イタリア共和国 モンツァ エ ブリアンツァ 2 0 8 7 1 ヴィメルカーテ ヴィア ペッリッツァリ 3 2

(72)発明者 ボランドリナ エフレム

イタリア共和国 ベルガモ 2 4 0 2 0 フィオラーノ アル セーリオ ヴィア アドゥア 1

F ターム (参考) 5F048 AA01 AB01 AC01 AC03 BA19 BA20 BB02 BC02 BC03 BC18
 BD02 BD07 BF15 BF16 CB01 CB03 CB04
 5F083 FZ10 GA10 JA60 KA01 KA05 KA18 PR06
 5F110 AA01 AA09 AA14 BB05 BB11 CC09 DD05 EE02 EE09 GG02
 HK09 HM12