

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3911923号
(P3911923)

(45) 発行日 平成19年5月9日(2007.5.9)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.	F I				
G 1 1 C 19/28 (2006.01)	G 1 1 C	19/28	D		
G 1 1 C 19/00 (2006.01)	G 1 1 C	19/00	J		
G O 9 G 3/36 (2006.01)	G O 9 G	3/36			
G O 9 G 3/20 (2006.01)	G O 9 G	3/20	6 2 2 E		
	G O 9 G	3/20	6 2 3 H		

請求項の数 9 (全 28 頁)

<p>(21) 出願番号 特願平11-273198</p> <p>(22) 出願日 平成11年9月27日(1999.9.27)</p> <p>(65) 公開番号 特開2001-101889(P2001-101889A)</p> <p>(43) 公開日 平成13年4月13日(2001.4.13)</p> <p>審査請求日 平成16年4月14日(2004.4.14)</p>	<p>(73) 特許権者 000001443 カシオ計算機株式会社 東京都渋谷区本町1丁目6番2号</p> <p>(74) 代理人 100095407 弁理士 木村 満</p> <p>(72) 発明者 両澤 克彦 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子研究所内</p> <p>(72) 発明者 神原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会社 八王子研究所内</p> <p>審査官 堀田 和義</p> <p style="text-align: right;">最終頁に続く</p>
--	---

(54) 【発明の名称】 シフトレジスタ及び電子装置

(57) 【特許請求の範囲】

【請求項1】

複数の段からなるシフトレジスタであって、前記シフトレジスタの各段は、隣接する一方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第1のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第2のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第1または第2の信号を当該段の出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される定電圧の信号を当該段の出力信号として電流路の他端から出力する第4のトランジスタと、

隣接する他方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前記第1のトランジスタの電流路の他端と前記第2、第3のトランジスタの制御端子との間に形成された容量に蓄積された電荷を排出させる第5のトランジスタと、

前記第5のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第5のトランジスタの電流路の両端にかかるようにする分圧素子とを

10

20

備える

ことを特徴とするシフトレジスタ。

【請求項 2】

前記分圧素子は、制御端子に所定の電圧が印加され、電流路の両端がそれぞれ、前記第 5 のトランジスタの電流路の一端と前記容量とに接続されている

ことを特徴とする請求項 2 に記載のシフトレジスタ。

【請求項 3】

前記シフトレジスタの奇数番目の段には、第 3、第 4 の信号のうちの第 3 の信号が外部から供給され、

前記シフトレジスタの偶数番目の段には、第 3、第 4 の信号のうちの第 4 の信号が外部から供給され、

第 3、第 4 の信号はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなる

ことを特徴とする請求項 1 または 2 に記載のシフトレジスタ。

【請求項 4】

前記複数の段のそれぞれを構成する各トランジスタは、同一のチャネル型の電界効果トランジスタである

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のシフトレジスタ。

【請求項 5】

複数の段からなり、出力信号をシフトさせることによって所定レベルの信号を各段から順次出力するドライバと、複数の画素によって構成され、前記ドライバの各段から出力された出力信号によって駆動される駆動素子とを備え、

前記ドライバの各段は、

隣接する一方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第 1 のトランジスタと、

制御端子と前記第 1 のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第 2 のトランジスタと、

制御端子と前記第 1 のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第 1 または第 2 の信号を当該段の出力信号として電流路の他端から出力する第 3 のトランジスタと、

前記第 2 のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される定電圧の信号を当該段の出力信号として電流路の他端から出力する第 4 のトランジスタと、

隣接する他方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前記第 1 のトランジスタの電流路の他端と前記第 2、第 3 のトランジスタの制御端子との間に形成された容量に蓄積された電荷を排出させる第 5 のトランジスタと、

前記第 5 のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第 5 のトランジスタの電流路の両端にかかるようにする分圧素子とを備える

ことを特徴とする電子装置。

【請求項 6】

前記駆動素子は、撮像素子である

ことを特徴とする請求項 5 に記載の電子装置。

【請求項 7】

前記撮像素子は、励起光によりキャリアを生成する半導体層と、前記半導体層の両端にそれぞれ接続されたドレイン電極及びソース電極と、第 1 ゲート絶縁膜を介して前記半導体層の一方側に設けられた第 1 ゲート電極と、第 2 ゲート絶縁膜を介して前記半導体層の他方側に設けられた第 2 ゲート電極とを、画素毎に備え、

前記ドライバは、出力信号を第1のゲート電極に出力する第1のドライバと、出力信号を第2のゲート電極に出力する第2のドライバとを含むことを特徴とする請求項6に記載の電子装置。

【請求項8】

前記駆動素子は、表示素子であることを特徴とする請求項5に記載の電子装置。

【請求項9】

前記表示素子は、制御端子に前記ドライバの各段のいずれかの出力信号が供給され、電流路の一端に外部から画像データが供給される第6のトランジスタを、画素毎に備えることを特徴とする請求項8に記載の電子装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シフトレジスタ、及びこのシフトレジスタをドライバとして適用した撮像装置、表示装置などの電子装置に関する。

【0002】

【従来の技術】

マトリクス状に画素が配置された撮像素子や表示素子を線順次で選択して走査するためのドライバには、前段からの出力信号を後段に順次シフトしていくシフトレジスタが広く用いられている。従来、このようなシフトレジスタの中には、前段からの出力信号が後段にシフトしていく度に減衰してしまうものがあった。

20

【0003】

特に近年における撮像素子や表示素子の高精細化の要請により、このようなシフトレジスタの段数も多くしていく必要が生じている。段数が増えることとなると、後ろの方の段での信号の減衰が激しくなってしまうという問題が生じる。このため、従来、このようなシフトレジスタには、各段からの出力信号を所定レベルまで増幅するバッファを設けるのが通常であった。が、バッファを設けることによって、シフトレジスタが大型化してしまうという問題があった。

【0004】

ところで、このようなシフトレジスタで出力信号を順次シフトさせるために、電界効果トランジスタの電極に外部から制御信号を供給していくものがある。ところが、電界効果トランジスタは寄生容量を有しているために、外部から供給された制御信号の電圧により、そのトランジスタの他の電極の電圧まで上昇してしまうことがある。このため、当該他の電極に接続された他の素子にまで大きな電圧がかかって当該他の素子が破壊されてしまったり、蓄積された電荷によって誤動作を生じてしまうという問題もあった。

30

【0005】

【発明が解決しようとする課題】

本発明は、出力信号のレベルを減衰させることなく後段にシフトしていくことが可能なシフトレジスタ、及びこのシフトレジスタを適用した電子装置を提供することを目的とする。

40

【0006】

本発明は、また、トランジスタの寄生容量に起因する破壊や誤動作を防ぐことが可能なシフトレジスタ、及びこのシフトレジスタを適用した電子装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点にかかるシフトレジスタは、複数の段からなるシフトレジスタであって、前記シフトレジスタの各段は、隣接する一方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する

50

1のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第

2のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第1または第2の信号を当該段の出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される定電圧の信号を当該段の出力信号として電流路の他端から出力する第4のトランジスタと、

隣接する他方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前記第1のトランジスタの電流路の他端と前記第2、第3のトランジスタの制御端子との間に形成された容量に蓄積された電荷を排出させる第5のトランジスタと、

前記第5のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第5のトランジスタの電流路の両端にかかるようにする分圧素子とを備える

ことを特徴とする。

【0022】

ここで、シフトレジスタの1番最初の段及び1番最後の段には、隣接する段の片方がない。この場合、第1のトランジスタの電流路の一端から供給される所定レベルの信号及び第5のトランジスタの制御端子に供給される信号は、例えば、外部の制御装置などから供給される、これに相当する所定の信号で代用することができる。

【0023】

本発明のシフトレジスタでは、各段からの出力信号のレベルは、第3、第4のトランジスタがそれぞれオンしているときに外部から供給される信号のレベルにほぼ等しいものとすることができる。このため、出力信号のレベルを減衰させることなく、順次シフトしていくことが可能となる。

【0024】

また、第3のトランジスタがオンしているときに、電流路の一端にハイレベルの第3または第4の信号が供給されると、その寄生容量がチャージアップされ、容量の電圧が上昇することが起こりうる。しかし、上記第1の観点にかかるシフトレジスタでは、各段に分圧素子を設けているため、第5のトランジスタの電流路の一端と他端との間の電圧が必要以上に大きくなることを防ぐことができる。このため、第5のトランジスタが破壊されて、シフトレジスタが故障するといったことを防ぐことができる。

【0025】

本発明のシフトレジスタにおける前記分圧素子は、制御端子に所定の電圧が印加され、電流路の両端がそれぞれ、前記第5のトランジスタの電流路の一端と前記容量とに接続されているものとすることができる。

【0026】

本発明のシフトレジスタにおいて、奇数番目の段には、第3、第4の信号のうちの第3の信号が外部から供給され、偶数番目の段には、第3、第4の信号のうちの第4の信号が外部から供給されるものとすることができる。この場合、第3、第4の信号はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなるものとすることができる。

【0027】

本発明のシフトレジスタにおいて、前記複数の段のそれぞれを構成する各トランジスタは、同一のチャンネル型の電界効果トランジスタであることを好適とする。

【0032】

上記目的を達成するため、本発明の第2の観点にかかる電子装置は、

複数の段からなり、出力信号をシフトさせることによって所定レベルの信号を各段から

10

20

30

40

50

順次出力するドライバと、複数の画素によって構成され、前記ドライバの各段から出力された出力信号によって駆動される駆動素子とを備え、

前記ドライバの各段は、

隣接する一方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前の段から電流路の一端に供給された所定レベルの信号を電流路の他端に出力する第1のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、負荷を介して電流路の一端に供給される信号を電流路の他端から放出する第2のトランジスタと、

制御端子と前記第1のトランジスタの電流路の他端との間の容量に蓄積された電荷によってオンし、外部から電流路の一端に供給される第1または第2の信号を当該段の出力信号として電流路の他端から出力する第3のトランジスタと、

前記第2のトランジスタがオフしているときに負荷を介して制御端子に供給される信号によってオンし、外部から電流路の一端に供給される定電圧の信号を当該段の出力信号として電流路の他端から出力する第4のトランジスタと、

隣接する他方の段から所定レベルの出力信号が制御端子に供給されることによってオンし、前記第1のトランジスタの電流路の他端と前記第2、第3のトランジスタの制御端子との間に形成された容量に蓄積された電荷を排出させる第5のトランジスタと、

前記第5のトランジスタの電流路の一端と前記容量との間に設けられ、前記容量の電圧を分圧させて、前記第5のトランジスタの電流路の両端にかかるようにする分圧素子とを備える

ことを特徴とする。

【0033】

本発明の電子装置において、前記駆動素子は、例えば、撮像素子とすることができる。

【0034】

この場合において、前記撮像素子は、励起光によりキャリアを生成する半導体層と、前記半導体層の両端にそれぞれ接続されたドレイン電極及びソース電極と、第1ゲート絶縁膜を介して前記半導体層の一方側に設けられた第1ゲート電極と、第2ゲート絶縁膜を介して前記半導体層の他方側に設けられた第2ゲート電極とを、画素毎に備えるものとしてもよい。そして、

前記ドライバは、出力信号を第1のゲート電極に出力する第1のドライバと、出力信号を第2のゲート電極に出力する第2のドライバを含むものとしてすることができる。

【0035】

ここで、撮像素子の各画素の構成から第1ゲート電極または第2ゲート電極を除いた構造のものを、ドライバを構成する各トランジスタとして適用することが可能となる。このため、撮像素子を形成した基板と同一の基板上に、同一のプロセスにおいて、ドライバを形成することが可能となる。

【0036】

本発明の電子装置において、前記駆動素子は、また、表示素子とすることもできる。

【0037】

この場合において、前記表示素子は、制御端子に前記ドライバの各段のいずれかの出力信号が供給され、電流路の一端に外部から画像データが供給される第6のトランジスタを、画素毎に備えるものとしてすることができる。

【0038】

このとき、表示素子が備える第6のトランジスタには、ドライバを構成する各トランジスタと同一の構造のものを適用することが可能となる。このため、撮像素子を形成した基板と同一の基板上に、同一のプロセスにおいて、ドライバを形成することが可能となる。

【0039】

【発明の実施の形態】

以下、添付図面を参照して、本発明の実施の形態について説明する。

10

20

30

40

50

【 0 0 4 0 】

[第 1 の実施の形態]

図 1 は、この実施の形態にかかる撮像装置の構成を示すブロック図である。図示するように、この撮像装置は、画像を撮影する撮像素子 1、並びにコントローラからの制御信号に従って撮像素子 1 を駆動するためのトップゲートドライバ 2、ボトムゲートドライバ 3 及びドレインドライバ 4 から構成されている。

【 0 0 4 1 】

撮像素子 1 は、マトリクス状に配置された複数のダブルゲートトランジスタ 10 で構成される。ダブルゲートトランジスタ 10 のトップゲート電極はトップゲートライン T G L に、ボトムゲート電極はボトムゲートライン B G L に、ドレイン電極はドレインライン D L に、ソース電極は接地されたグラウンドライン G r L にそれぞれ接続されている。撮像素子 1 を構成するダブルゲートトランジスタ 10 の詳細については後述する。

10

【 0 0 4 2 】

トップゲートドライバ 2 は、撮像素子 1 のトップゲートライン T G L に接続され、コントローラからの制御信号 T c n t に従って、各トップゲートライン T G L に + 2 5 (V) または - 1 5 (V) の信号を出力する。トップゲートドライバ 2 は、コントローラから供給される信号に従って、+ 2 5 (V) の信号を各トップゲートライン T G L に順次選択的に出力するシフトレジスタで構成される。トップゲートドライバ 2 の詳細については後述する。

【 0 0 4 3 】

ボトムゲートドライバ 3 は、撮像素子 1 のボトムゲートライン B G L に接続され、コントローラからの制御信号 B c n t に従って、各ボトムゲートライン B G L に + 1 0 (V) または 0 (V) の信号を出力する。ボトムゲートドライバ 3 は、コントローラから供給される信号に従って、+ 1 0 (V) の信号を各ボトムゲートライン B G L に順次選択的に出力するシフトレジスタで構成される。ボトムゲートドライバ 3 の詳細については後述する。

20

【 0 0 4 4 】

ドレインドライバ 4 は、撮像素子 1 のドレインライン D L に接続され、コントローラからの制御信号 D c n t に従って、後述する所定の期間において全てのドレインライン D L に定電圧 (+ 1 0 (V)) を出力し、電荷をプリチャージさせる。ドレインドライバ 4 は、プリチャージの後の所定の期間においてダブルゲートトランジスタ 10 の半導体層にチャネルが形成されているか否かによって変化する各ドレインライン D L の電位を読み出し、画像データ D A T A としてコントローラに供給する。

30

【 0 0 4 5 】

次に、図 1 に示す撮像素子 1 を構成するダブルゲートトランジスタ 10 の構造とその駆動原理について説明する。

【 0 0 4 6 】

図 2 は、ダブルゲートトランジスタ 10 の概略的な構造を示す断面図である。図示するように、基板 10 a 上にクロムなどからなるボトムゲート電極 10 b が形成されている。このボトムゲート電極 10 b を覆うように、窒化シリコンからなるボトムゲート絶縁膜 10 c が形成されている。

40

【 0 0 4 7 】

ボトムゲート絶縁膜 10 c 上のボトムゲート電極 10 b と対向する位置には、アモルファスシリコンまたはポリシリコンからなる半導体層 10 d が形成されている。そして、半導体層 10 d 上のブロッキング層、n 型半導体層 (図示せず) を介して、半導体層 10 d からボトムゲート絶縁膜 10 c に渡るように、クロムからなるドレイン電極 10 e とソース電極 10 f とが形成されている。これら半導体層 10 d、ドレイン電極 10 e 及びソース電極 10 f を覆うように、窒化シリコンからなるトップゲート絶縁膜 10 g が形成されている。

【 0 0 4 8 】

トップゲート絶縁膜 10 g 上の半導体層 10 d と対向する位置には、I T O (Indium Tin

50

Oxide) からなるトップゲート電極 10 h が形成されている。そして、このトップゲート電極 10 h を覆うように、窒化シリコンからなる絶縁保護膜 10 i が形成されている。なお、このダブルゲートトランジスタ 10 において、半導体層 10 d への光の入射は、それぞれ透明材料で形成された絶縁保護膜 10 i、トップゲート電極 10 h 及びトップゲート絶縁膜 10 g を介してなされる。

【0049】

図 3 (a) ~ (d) は、ダブルゲートトランジスタ 10 の駆動原理を示す模式図である。

【0050】

図 3 (a) に示すように、トップゲート電極 (TG) に印加されている電圧が +2.5 (V) で、ボトムゲート電極 (BG) に印加されている電圧が 0 (V) であると、半導体層 10 d 内に連続した n チャネルが形成されず、ドレイン電極 (D) 10 e に +1.0 (V) の電圧が供給されても、ソース電極 (S) 10 f との間に電流が流れない。また、この状態では、後述するフォトセンス状態において半導体層 10 d の上部に蓄積された正孔が、同じ極性のトップゲート電極 10 h の電圧により反発することにより、突出される。以下、この状態をリセット状態という。

10

【0051】

図 3 (b) に示すように、半導体層 10 d に光が入射されると、その光量に応じて半導体層 10 d 内に正孔 - 電子対が生じる。このとき、トップゲート電極 (TG) 10 h に印加されている電圧が -1.5 (V) で、ボトムゲート電極 (BG) 10 b に印加されている電圧が 0 (V) であると、発生した正孔 - 電子対のうちの正孔が半導体層 10 d 内のブロック層 (図の上部) に蓄積される。以下、この状態をフォトセンス状態という。なお、半導体層 10 d 内に蓄積された正孔は、リセット状態となるまで半導体層 10 d から吐出されることはない。

20

【0052】

図 3 (c) に示すように、フォトセンス状態において十分な量の正孔が半導体層 10 d 内に蓄積されず、トップゲート電極 (TG) 10 h に印加されている電圧が -1.5 (V) で、ボトムゲート電極 (BG) 10 b に印加されている電圧が +1.0 (V) であると、半導体層 10 d 内に空乏層が広がり、n チャネルがピンチオフされ、半導体層 10 d が高抵抗となる。このため、ドレイン電極 (D) 10 e に +1.0 (V) の電圧が供給されても、ソース電極 (S) 10 f との間に電流が流れない。以下、この状態を第 1 の読み出し状態という。

30

【0053】

図 3 (d) に示すように、フォトセンス状態において十分な量の正孔が半導体層 10 d 内に蓄積され、トップゲート電極 (TG) 10 h に印加されている電圧が -1.5 (V) で、ボトムゲート電極 (BG) 10 b に印加されている電圧が +1.0 (V) であると、蓄積されている正孔が負電圧の印加されているトップゲート電極 10 h に引き寄せられて保持し、トップゲート電極 10 h の負電圧が半導体層 10 d に及ぼす影響を緩和させる。このため、半導体層 10 d のボトムゲート電極 10 b 側に n チャネルが形成され、半導体層 10 d が低抵抗となる。このため、ドレイン電極 (D) に +1.0 (V) の電圧が供給されると、ソース電極 (S) 10 f との間に電流が流れる。以下、この状態を第 2 の読み出し状態という。

40

【0054】

次に、図 1 に示すトップゲートドライバ 2 及びボトムゲートドライバ 3 の詳細について説明する。図 4 は、トップゲートドライバ 2 及びボトムゲートドライバ 3 として適用されるシフトレジスタの全体の構成を示すブロック図である。撮像素子 1 に配されているダブルゲートトランジスタ 10 の行数 (トップゲートライン TGL の数) を n とすると、いずれのドライバ 2、3 として適用される場合も、このシフトレジスタは、n 個の段 RS1 (1) ~ RS1 (n) から構成される。

【0055】

各段 RS1 (k) (k : 1 ~ n の整数) は、入力信号端子 IN、出力信号端子 OUT、制

50

御信号端子、定電圧入力端子 SS 、基準電圧入力端子 DD 、及びクロック信号入力端子 clk を有している。出力信号端子 OUT は、各段 $RS1(k)$ の出力信号 $out(k)$ を出力する端子である。出力信号 $out(k)$ は、それぞれ撮像素子1の各トップゲートライン TGL (トップゲートドライバ2として適用の場合)、或いは各ボトムゲートライン BGL (ボトムゲートドライバ3として適用の場合)に出力される。

【0056】

入力信号端子 IN は、コントローラからのスタート信号 Vst (1番目の段 $RS1(1)$ の場合)、または前の段 $RS(k-1)$ ($k:2\sim n$ の整数)から出力された出力信号 $out(k-1)$ (2番目以降の段の場合)が入力される端子である。

【0057】

定電圧入力端子 SS は、コントローラからの定電圧 Vss が供給される端子である。定電圧入力端子 SS に供給される定電圧 Vss のレベルは、 $-15(V)$ (トップゲートドライバ2として適用の場合)、或いは $0(V)$ (ボトムゲートドライバ3として適用の場合)である。基準電圧入力端子 DD は、所定の基準電圧 Vdd が供給される端子である。基準電圧入力端子 DD に供給される基準電圧のレベルは、 $+25(V)$ である。

【0058】

クロック信号入力端子 clk は、コントローラからのクロック信号 $CK1$ (奇数番目の段の場合)、或いはクロック信号 $CK2$ (偶数段目の段の場合)が供給される端子である。クロック信号 $CK1$ 、 $CK2$ はそれぞれ、前記シフトレジスタの出力信号をシフトしていくタイムスロットのうちの所定期間、タイムスロット毎に交互に駆動レベルとなる。トップゲートドライバ2として適用した場合は、クロック信号 $CK1$ 、 $CK2$ は、ハイレベル(n チャンネルトランジスタにおけるオン電圧レベル)が $+25(V)$ 、ローレベル(n チャンネルトランジスタにおけるオフ電圧レベル)が $-15(V)$ である。一方、ボトムゲートドライバ3として適用した場合は、ハイレベル(n チャンネルトランジスタにおけるオン電圧レベル)が $+10(V)$ 、ローレベル(n チャンネルトランジスタにおけるオフ電圧レベル)が $0(V)$ である。

【0059】

制御信号端子は、コントローラからの制御信号1(奇数番目の段の場合)、或いは制御信号2(偶数番目の段の場合)が供給される端子である。制御信号1、2のハイレベルは、後述するようにこれが供給される n チャンネルの TFT のオンレベルとなる所定の値、ローレベルは、その TFT のオフレベルとなる所定の値である。

【0060】

図5は、上記構成のシフトレジスタの各段 $RS1(1)\sim RS1(n)$ の回路構成を示す図である。図示するように、各段 $RS1(1)\sim RS1(n)$ は、基本構成として5つの TFT (Thin Film Transistor)21~25と、付加構成として1つの TFT 31とを有している。 TFT 21~25、31は、いずれも n チャンネル MOS 型の電界効果トランジスタで構成されるもので、図2に示したダブルゲートトランジスタ10のボトムゲート電極10bまたはトップゲート電極10hを除いた構造となっている。

【0061】

TFT 21のゲート電極(制御端子)は制御信号端子に、ドレイン電極(電流路の一端)は入力信号端子 IN に、ソース電極(電流路の他端)は TFT 22、24のゲート電極(制御端子)に接続されている。 TFT 23のゲート電極(制御端子)とドレイン電極(電流路の一端)とは基準電圧入力端子 DD に接続されている。 TFT 22のドレイン電極(電流路の一端)は TFT 23のソース電極(電流路の他端)に、ソース電極(電流路の他端)は定電圧入力端子 SS に接続されている。 TFT 24のドレイン電極(電流路の一端)はクロック信号入力端子 clk に、ソース電極(電流路の他端)は TFT 25のドレイン電極(電流路の一端)と出力信号端子 OUT とに接続されている。 TFT 25のゲート電極(制御端子)は TFT 23のソース電極(電流路の他端)に、ソース電極(電流路の他端)は定電圧入力端子 SS に接続されている。

【0062】

10

20

30

40

50

また、T F T 2 1 のソース電極とT F T 2 2、2 4 のゲート電極との間の配線及びこれと関係するT F T 2 1、2 2、2 4 の寄生容量とによって、電荷を蓄積するための容量 A が形成されている。

【 0 0 6 3 】

T F T 2 1 のゲート電極には、コントローラからの制御信号 1 または 2 が供給される。T F T 2 1 のドレイン電極には、前の段 R S 1 (k - 1) からの出力信号 o u t (k - 1) が供給される。T F T 2 1 は、ハイレベル (オンレベル) の信号 1 または 2 が供給されたときにオンし、出力信号 o u t (k - 1) によりドレイン電極とソース電極との間に電流が流れる。これにより、T F T 3 1 を介して容量 A に電荷をチャージさせる。

【 0 0 6 4 】

T F T 2 3 のゲート電極とドレイン電極とには、基準電圧 V d d が供給されている。これにより、T F T 2 3 は、常にオン状態となっている。T F T 2 3 は、基準電圧 V d d を分圧する負荷としての機能を有する。

【 0 0 6 5 】

T F T 2 2 は、容量 A に電荷がチャージされていないときにオフ状態となり、T F T 2 3 を介して供給された基準電圧 V d d を T F T 2 5 のゲート電極に供給させる。また、T F T 2 2 は、容量 A に電荷がチャージされているときにオン状態となり、ドレイン電極とソース電極との間に貫通電流を流させる。ここで、T F T 2 2、2 3 は、いわゆる E E 型の構成となっているため、T F T 2 3 が完全なオフ抵抗とならないことで、T F T 2 3 のソース電極と T F T 2 5 のゲート電極との間に蓄積された電荷が完全にディスチャージされないことがあるが、T F T 2 5 の閾値電圧よりも十分に低い電圧となる。

【 0 0 6 6 】

T F T 2 4 は、容量 A がチャージされているとき (すなわち、T F T 2 5 がオフ状態のとき) にオン状態となり、入力されたクロック信号 C K 1、C K 2 によりゲート電極及びソース電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされる。T F T 2 4 のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜による寄生容量がチャージアップされることにより、容量 A の電位が後述するように上昇し、そして、ゲート飽和電圧にまで達するとソース - ドレイン電流が飽和する。これにより、出力信号 o u t (k) は、実質的にクロック信号 C K 1、C K 2 とほぼ同電位となる。T F T 2 4 は、また、容量 A に電荷がチャージされていないとき (すなわち、T F T 2 5 がオン状態のとき) にオフ状態となり、ドレイン電極に供給されたクロック信号 C K 1、C K 2 の出力を遮断する。

【 0 0 6 7 】

T F T 2 5 のドレイン電極には、定電圧 V s s が供給される。T F T 2 5 は、容量 A に電荷がチャージされていないとき (すなわち、T F T 2 5 がオン状態のとき) にオフ状態となり、T F T 2 4 のソース電極から出力された信号のレベルを当該段の出力信号 o u t (k) として出力させる。T F T 2 5 は、また、容量 A に電荷がチャージされているとき (すなわち、T F T 2 5 がオフ状態のとき) にオン状態となり、ドレイン電極に供給された定電圧 V s s のレベルをソース電極から当該段の出力信号 o u t (k) として出力させる。

【 0 0 6 8 】

T F T 3 1 は、ゲート電極 (制御端子) に基準電圧 V d d が常時供給され、常にオン状態となっており、ドレイン電極 (電流路の一端) が T F T 2 1 のソース電極に接続され、ソース電極 (電流路の一端) が T F T 2 2、2 4 のゲート電極に接続されている。T F T 3 1 は、そのオン抵抗により、T F T 2 4 の寄生容量に起因して上昇した容量 A の電圧を分圧させて、T F T 2 1 のドレイン電極とソース電極との間の電圧を低く抑える負荷としての機能を有する。付加構成の T F T 3 1 が果たす役割については、さらに詳しく後述する。

【 0 0 6 9 】

以下、この実施の形態にかかる撮像装置の動作について説明する。最初に、トップゲート

10

20

30

40

50

ドライバ2及びボトムゲートドライバ3の動作について説明する。なお、トップゲートドライバ2とボトムゲートドライバ3とは、それぞれ入出力される信号のレベルとタイミングとが異なるだけであるので、以下の説明において、ボトムゲートドライバ3の動作の説明は、トップゲートドライバ2と異なる部分のみに止めることとする。

【0070】

図6は、トップゲートドライバ2として適用した場合における、この実施の形態のシフトレジスタの動作を示すタイミングチャートである。図中、 $1t$ 分の期間が1選択期間である。ここでは、1番目以外の奇数番目の段 $RS1(k)$ ($k:3, 5, \dots, n-1$)を例としているが、1番目の段も出力信号 $out(k-1)$ をコントローラからのスタート信号 Vst とすれば、他の奇数番目の段と同じである。また、偶数番目の段も、制御信号1を制御信号2に、クロック信号 $CK1$ をクロック信号 $CK2$ とすれば、奇数番目の段と同じ動作である。ただし、上述したように通常コントローラからトップゲートドライバ2の各段の定電圧入力端子 SS に供給される定電圧 Vss のレベルは $-15(V)$ であるが、定電圧 Vss のレベルが $0(V)$ でもほぼ同じように動作される。

10

【0071】

タイミング $t_0 \sim t_1$ の間、クロック信号 $CK2$ がハイレベル($25(V)$)となると、前の段 $RS1(k-1)$ から当該段 $RS1(k)$ の入力端子 IN に供給される出力信号 $out(k-1)$ のレベルが $25(V)$ となる(図中、一点鎖線で示す)。この間において、制御信号端子 から入力される制御信号1が一定期間ハイレベルに変化すると、この一定期間だけ $TFT21$ がオンし、入力端子 IN に供給された出力信号 $out(k-1)$ の $25(V)$ が $TFT21$ のソース電極から出力される。

20

【0072】

これにより、 $TFT21$ のソース電極と $TFT31$ のドレイン電極との間の配線 C の電位(図中、点線で示す)が上昇し、さらに、常時オンしている $TFT31$ の電位からこれが出力されることにより、容量 A の電位(図中、実線で示す)が上昇する。容量 A の電位が上昇し、 $TFT22$ 、 24 の閾値電圧を超えると、当該段 $RS1(k)$ の $TFT22$ 、 24 がオン、 $TFT25$ がオフする。

【0073】

次に、タイミング $t_1 \sim t_2$ の間において、クロック信号入力端子 clk から入力されるクロック信号 $CK1$ が $25(V)$ に変化する。すると、 $TFT24$ のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされる。そして、この寄生容量の電位がゲート飽和電圧に達すると、 $TFT24$ のドレイン電極とソース電極との間に流れる電流が飽和する。これにより、当該段 $RS1(k)$ の出力端子 OUT から出力される出力信号 $out(k)$ は、クロック信号 $CK1$ のレベルとほぼ同電位の $25(V)$ となる(図中、破線で示す)。

30

【0074】

また、このタイミング $t_1 \sim t_2$ の間は、 $TFT24$ の前述した寄生容量がチャージアップされることにより、容量 A の電位もほぼ $45(V)$ にまで達する。このとき、トップゲートドライバ2の各段の定電圧入力端子 SS に供給される定電圧 Vss のレベルが $-15(V)$ の場合、入力端子 IN に供給される出力信号 $out(k-1)$ も $-15(V)$ に変化していることから、実際の入力端子 IN と容量 A との間の電圧は、ほぼ $60(V)$ となる。また、定電圧 Vss のレベルが $0(V)$ の場合、その差は $45(V)$ となる。しかしながら、このような電圧は、負荷として作用する $TFT31$ と $TFT21$ との間で分圧され、配線 C の電位は、 $25(V)$ 程度に抑えられる。すなわち、 $TFT31$ によって、 $TFT21$ のドレイン電極とソース電極との間の電圧が抑えられる。

40

【0075】

次に、タイミング t_2 になると、クロック信号 $CK1$ のレベルが $-15(V)$ に変化する。これにより、出力信号 $out(k)$ のレベルもほぼ $-15(V)$ となる。また、 $TFT24$ の寄生容量へチャージされた電荷が放出され、容量 A の電位が低下する。配線 C の電位も、容量 A の電位と同程度にまで低下する。さらに、タイミング t_3 までの間で制御信

50

号 1 が一定期間ハイレベルになると、TF T 2 1 が再びオンし、容量 A に蓄積された電荷が TF T 3 1、2 1、及び前の段 RS 1 (k - 1) の TF T 2 5 (オン状態) を介して放出される。これにより、容量 A 及び配線 C の電位が、定電圧 V s s のレベルが - 1 5 (V) の場合 - 1 5 (V) に、また定電圧 V s s のレベルが 0 (V) の場合ほぼ 0 (V) にまで低下する。

【 0 0 7 6 】

なお、前の段 RS 1 (k - 1) の出力信号 out (k - 1) がハイレベルとならない期間においても当該段 RS 1 (k) の TF T 2 1 のゲート電極に供給される制御信号 1 がハイレベルとなり、また TF T 2 4 のドレイン電極に供給されるクロック信号 CK 1 のレベルがハイレベルとなることがある。この際、TF T 2 1 のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜による寄生容量、或いは TF T 2 4 のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜による寄生容量に電荷がチャージされることから、容量 A の電位は、図に示すように若干変動する。

10

【 0 0 7 7 】

このような動作を奇数段、偶数段共に順次繰り返していくことにより、トップゲートドライバ 2 の各段 RS 1 (k) (k : 1 ~ n) の出力信号 out (k) がそれぞれ 1 選択期間 1 t ずつ 2 5 (V) に変化し、順次シフトしていく。

【 0 0 7 8 】

また、ボトムゲートドライバ 3 の動作は、トップゲートドライバ 2 の動作とほぼ同じであるが、コントローラから供給される信号 CK 1、CK 2 のハイレベルが 1 0 (V) であるため、各段 RS 1 (k) (k : 1 ~ n) の出力信号 out (k) のハイレベルはほぼ 1 0 (V) であり、この際の容量 A のレベルは 1 8 (V) 程度である。また、クロック信号 CK 1、CK 2 がハイレベルとなっている期間は、1 選択期間 1 t よりも短い所定の期間である。

20

【 0 0 7 9 】

次に、撮像素子 1 を駆動して画像を撮影するための全体の動作について、図 7 (a) ~ (i) に示す模式図を参照して説明する。なお、以下の説明において、1 T の期間は、1 水平期間と同じ長さを有するものとする。また、説明を簡単にするため、撮像素子 1 に配置されているダブルゲートトランジスタ 1 0 のうち、最初の 3 行のみを考えることとする。

【 0 0 8 0 】

まず、タイミング T 1 から T 2 までの 1 T の期間において、図 7 (a) に示すように、トップゲートドライバ 2 は、1 行目のトップゲートライン T G L を選択して + 2 5 (V) を出力し、2、3 行目 (他の全行) のトップゲートライン T G L に - 1 5 (V) を出力する。一方、ボトムゲートドライバ 3 は、すべてのボトムゲートライン B G L に 0 (V) を出力する。この期間において、1 行目のダブルゲートトランジスタ 1 0 がリセット状態となり、2、3 行目のダブルゲートトランジスタ 1 0 が前の垂直期間での読み出し状態を終了した状態 (フォトセンスに影響しない状態) となる。

30

【 0 0 8 1 】

次に、タイミング T 2 から T 3 までの 1 T の期間において、図 7 (b) に示すように、トップゲートドライバ 2 は、2 行目のトップゲートライン T G L を選択して + 2 5 (V) を出力し、他のトップゲートライン T G L に - 1 5 (V) を出力する。一方、ボトムゲートドライバ 3 は、すべてのボトムゲートライン B G L に 0 (V) を出力する。この期間において、1 行目のダブルゲートトランジスタ 1 0 がフォトセンス状態となり、2 行目のダブルゲートトランジスタ 1 0 がリセット状態となり、3 行目のダブルゲートトランジスタ 1 0 が前の垂直期間での読み出し状態を終了した状態 (フォトセンスに影響しない状態) となる。

40

【 0 0 8 2 】

次に、タイミング T 3 から T 4 までの 1 T の期間において、図 7 (c) に示すように、トップゲートドライバ 2 は、3 行目のトップゲートライン T G L を選択して + 2 5 (V) を出力し、他のトップゲートライン T G L に - 1 5 (V) を出力する。一方、ボトムゲート

50

ドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。この期間において、1、2行目のダブルゲートトランジスタがフォトセンス状態となり、3行目のダブルゲートトランジスタ10がリセット状態となる。

【0083】

次に、タイミングT4からT4.5までの0.5Tの期間において、図7(d)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(V)を出力する。この期間において、すべての行のダブルゲートトランジスタ10がフォトセンス状態となる。

10

【0084】

次に、タイミングT4.5からT5までの0.5Tの期間において、図7(e)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、1行目のボトムゲートラインBGLを選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となり、2、3行目のダブルゲートトランジスタ10がフォトセンス状態のままとなる。

【0085】

ここで、1行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイミングT2からT4.5までの期間で十分な光が半導体層に照射されていると、第2の読み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインラインDL上の電荷がディスチャージされる。一方、タイミングT2からT4.5までの期間で十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のnチャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャージされない。ドレインドライバ4は、タイミングT4.5からT5までの期間で各ドレインラインDL上の電位を読み出し、1行目のダブルゲートトランジスタ10が検出した画像データDATAとしてコントローラに供給する。

20

【0086】

次に、タイミングT5からT5.5までの0.5Tの期間において、図7(f)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10が読み出しを終了した状態となり、2、3行目のダブルゲートトランジスタ10がフォトセンス状態となる。

30

【0087】

次に、タイミングT5.5からT6までの0.5Tの期間において、図7(g)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、2行目のボトムゲートラインBGLを選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この期間において、1行目のダブルゲートトランジスタ10が読み出しを終了した状態となり、2行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となり、3行目のダブルゲートトランジスタ10がフォトセンス状態となる。

40

【0088】

ここで、2行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイミングT3からT5.5までの期間で十分な光が半導体層に照射されていると、第2の読み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインラインDL上の電荷がディスチャージされる。一方、タイミングT3からT5.5までの期間で十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のnチャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャー

50

ジされない。ドレインドライバ4は、タイミングT5.5からT6までの期間で各ドレインラインDL上の電位を読み出し、2行目のダブルゲートトランジスタ10が検出した画像データDATAとしてコントローラに供給する。

【0089】

次に、タイミングT6からT6.5までの0.5Tの期間において、図7(h)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、すべてのボトムゲートラインBGLに0(V)を出力する。また、ドレインドライバ4は、すべてのドレインラインDLに+10(V)を出力する。この期間において、1、2行目のダブルゲートトランジスタ10が読み出しを終了した状態となり、3行目のダブルゲートトランジスタ10がフォトセンス状態となる。

10

【0090】

次に、タイミングT6.5からT7までの0.5Tの期間において、図7(i)に示すように、トップゲートドライバ2は、すべてのトップゲートラインTGLに-15(V)を出力する。一方、ボトムゲートドライバ3は、3行目のボトムゲートラインBGLを選択して+10(V)を出力し、他のボトムゲートラインBGLに0(V)を出力する。この期間において、1、2行目のダブルゲートトランジスタ10が読み出しを終了した状態となり、3行目のダブルゲートトランジスタ10が第1または第2の読み出し状態となる。

【0091】

ここで、3行目のダブルゲートトランジスタ10は、フォトセンス状態となっていたタイミングT4からT6.5までの期間で十分な光が半導体層に照射されていると、第2の読み出し状態となって半導体層内にnチャネルが形成されるため、対応するドレインラインDL上の電荷がディスチャージされる。一方、タイミングT4からT6.5までの期間で十分な光が半導体層に照射されていないと、第1の読み出し状態となって半導体層内のnチャネルがピンチオフされるため、対応するドレインラインDL上の電荷はディスチャージされない。ドレインドライバ4は、タイミングT6.5からT7までの期間で各ドレインラインDL上の電位を読み出し、3行目のダブルゲートトランジスタ10が検出した画像データDATAとしてコントローラに供給する。

20

【0092】

こうしてドレインドライバ4から行毎に供給された画像データDATAに対して、コントローラが所定の処理を行うことで、撮像対象物の画像データが生成される。

30

【0093】

以下、付加構成のTF T31が果たす役割について詳細に説明する。ここでは、比較例を以てその役割を説明する。図8は、この比較例においてトップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの1段分の構成を示す回路図である。これは、図5に示す回路から付加構成のTF T31を除いたもので、TF T21のソース電極10fが容量Aに直接接続されている。なお、シフトレジスタの全体構成としては、上記の図4に示すものと同じである。

【0094】

次に、この比較例のシフトレジスタの動作を、トップゲートドライバ2として適用した場合を例として説明する。図9は、トップゲートドライバ2として適用した場合におけるこの比較例のシフトレジスタの動作を示すタイミングチャートである。ここでも、1t分の期間が1選択期間であり、また、1番目以外の奇数番目の段RS1(k)(k:3,5,・・・,n-1)を例としている。

40

【0095】

この比較例のシフトレジスタは、出力信号out(k)のレベルがハイレベルとなるタイミングt1~t2の間における動作が、上記の実施の形態のシフトレジスタにおけるものと大きく異なる。

【0096】

タイミングt1~t2の間は、TF T24のゲート電極及びドレイン電極並びにそれらの

50

間のゲート絶縁膜からなる寄生容量がチャージアップされることにより、容量Aの電位もほぼ45(V)にまで達する。このとき、入力端子INに供給される出力信号out(k-1)も15(V)に変化し、入力端子INと容量Aとの間の電圧は、ほぼ60(V)となる。

【0097】

この60(V)の電圧は、付加構成のTF T 3 1がないことから、分圧されることなくTF T 2 1のドレイン電極とソース電極との間にかかり、上記の実施の形態の場合よりも、TF T 2 1が破損し易くなる。また、長時間の使用によるTF T 2 1の特性変動も、上記の実施の形態の場合よりも大きくなる。このため、この比較例のシフトレジスタは、上記の実施の形態のシフトレジスタよりも故障し易いものとなる。

10

【0098】

また、付加構成のTF T 3 1を有しないことにより、TF T 2 4の上述した寄生容量、或いはTF T 2 1のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜による寄生容量による容量Aの電位の変動が緩衝されない。このため、長期間の使用によって容量Aに累積的に蓄積される電荷の量が上記の実施の形態のものよりも多くなり、TF T 2 2、24の閾値電圧を超えることになるまでの時間が上記の実施の形態のものよりも短い。また、TF T 2 2、24のゲート電極の電位の変動も激しくなり、長期間の使用によってTF T 2 2、24の特性も、上記の実施の形態のものよりも変動しやすくなる。

【0099】

以上説明したように、この実施の形態にかかる撮像装置では、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの各段RS 1(k)(k:1~nの整数)から信号CK 1、CK 2のハイレベルをほぼそのまま出力信号のレベルとして出力することができる。このため、各段RS 1(k)にバッファ等を設けなくても、出力信号のレベルを減衰させることなく、順次シフトしていくことができる。

20

【0100】

また、シフトレジスタの各段RS 1(k)は、基本構成のTF T 2 1~25に加えて、付加構成のTF T 3 1を有している。このため、TF T 2 4がオンしているとき、TF T 2 4のドレイン電極に供給されるクロック信号CK 1、CK 2がハイレベルとなり、その寄生容量がチャージアップされて容量Aの電位が上昇しても、TF T 3 1が分圧するためにTF T 2 1のドレイン電極とソース電極との間の電圧がそれほど大きくなりません。このため、容量Aの電位上昇によってTF T 2 1が破壊されて、シフトレジスタが故障するのを防ぐことができる。

30

【0101】

また、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタは、TF T 2 1~25、31のみで、他の素子を用いることなく構成することができる。ここで、TF T 2 1~25、31は、撮像素子1を構成するダブルゲートトランジスタ10のボトムゲート電極10bまたはトップゲート電極10hを除いた構造を有している。このため、撮像素子1を基板10a上に形成する際に、同一の基板10a上に、同一プロセスでTF T 2 1~25、31を、すなわちトップゲートドライバ2及びボトムゲートドライバ3を形成することができる。

40

【0102】

さらに、図6と図9とを比較して分かるように、この実施の形態においてトップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタは、比較例のシフトレジスタに比べて、各段RS 1(k)からハイレベルの出力信号out(k)を出力しない期間において、容量Aの電位のばらつきが小さい。すなわち、この実施の形態で適用されたシフトレジスタは、長期間使用した場合においても、比較例のシフトレジスタに比べて意図せずに容量Aに蓄積されてしまう電荷の量が少ない。このため、長期間安定して動作することが可能となる。

【0103】

[第2の実施の形態]

50

この実施の形態にかかる撮像装置の構成は、第1の実施の形態にかかるものとほぼ同じである。但し、この実施の形態では、トップゲートドライバ2及びボトムゲートドライバ3の構成が第1の実施の形態のものとは異なり、また、これらにコントローラから供給される制御信号 $Tcnt$ 、 $Bcnt$ に含まれる信号が第1の実施の形態のものとは異なる。

【0104】

図10は、この実施の形態において、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの全体の構成を示すブロック図である。このシフトレジスタは、ドライバ2、3のいずれとして適用される場合にも、撮像素子1に配されているダブルゲートトランジスタ10の行数(トップゲートライン TGL の数)を n とすると、 n 個の段 $RS2(1) \sim RS2(n)$ から構成される。

10

【0105】

各段 $RS2(k)$ ($k: 1 \sim n$ の整数)は、入力信号端子 IN 、出力信号端子 OUT 、定電圧入力端子 SS 、基準電圧入力端子 DD 、クロック信号入力端子 clk 、及びリセット信号入力端子 RST を有している。入力信号端子 IN 、出力信号端子 OUT 、定電圧入力端子 SS 、基準電圧入力端子 DD 、及びクロック信号入力端子 clk の機能、供給される信号の内容は、第1の実施の形態のものと同様である。

【0106】

リセット信号入力端子 RST は、後ろの段 $RS2(k+1)$ ($k: 1 \sim n-1$ の整数)からの出力信号 $out(k+1)$ ($n-1$ 番目迄の段の場合)、或いはコントローラからのリセット信号 $Vrst$ (1番目の段 $RS2(1)$ の場合)が入力される端子である。

20

【0107】

図11は、上記構成のシフトレジスタの各段 $RS2(1) \sim RS2(n)$ の回路構成を示す図である。図示するように、各段 $RS2(1) \sim RS2(n)$ は、基本構成として6つの $TFT22 \sim 27$ と、付加構成として1つの $TFT32$ とを有している。 $TFT22 \sim 25$ の機能は、第1の実施の形態のものと同様である。また、 $TFT26$ 、 27 、 32 も、 $TFT22 \sim 25$ と同様に、 n チャネル MOS 型の電界効果トランジスタで構成されている。

【0108】

$TFT26$ のゲート電極及びドレイン電極は入力信号端子 IN に、ソース電極は $TFT22$ 、 24 のゲート電極に接続されている。 $TFT27$ のゲート電極(制御端子)は基準電圧入力端子 DD に、ドレイン電極(電流路の一端)は後述するように形成された容量 A の配線に、ソース電極(電流路の他端)は定電圧入力端子 SS に接続されている。 $TFT26$ のソース電極と $TFT22$ 、 24 のゲート電極及び $TFT27$ のドレイン電極との間の配線には、この配線自体と関係する $TFT22$ 、 24 、 26 、 27 の寄生容量とによって、電荷を蓄積するための容量 A が形成されている。

30

【0109】

$TFT26$ のゲート電極とドレイン電極とは、前の段 $RS2(k-1)$ からの出力信号 $out(k-1)$ が供給される。 $TFT26$ は、ハイレベル(御レベル)の出力信号 $out(k-1)$ が供給されたときにオンし、この出力信号 $out(k-1)$ によりドレイン電極とソース電極との間に電流が流れる。これにより、 $TFT32$ を介して容量 A に電荷をチャージさせる。

40

【0110】

$TFT27$ のゲート電極には、後ろの段 $RS2(k+1)$ の出力信号 $out(k+1)$ が供給される。 $TFT27$ は、ゲート電極に供給される出力信号 $out(k+1)$ がハイレベルになったときにオンし、容量 A に蓄積された電荷をディスチャージさせる。

【0111】

$TFT32$ は、ゲート電極(制御端子)に基準電圧 Vdd が常時供給され、常にオン状態となっており、ドレイン電極(電流路の一端)は $TFT26$ のソース電極に接続され、ソース電極(電流路の他端)は、 $TFT27$ のソース電極(電流路の他端)、及び $TFT22$ 、 24 のゲート電極(制御端子)に接続されている。 $TFT32$ は、そのオン抵抗によ

50

り、TFT24の寄生容量に起因して上昇した容量Aの電圧を分圧させて、TFT21のドレイン電極とソース電極との間の電圧を低く抑える負荷としての機能を有する。付加構成のTFT32が果たす役割については、さらに詳しく後述する。

【0112】

以下、この実施の形態にかかる撮像装置の動作について説明する。第1の実施の形態との違いは、トップゲートドライバ2及びボトムゲートドライバ3の動作のみであり、これについて説明する。この実施の形態でも、トップゲートドライバ2とボトムゲートドライバ3とは、それぞれ制御信号Tcnt、Bcntとして供給される入出力される信号のレベルとタイミングとが異なるだけであるので、ボトムゲートドライバ3の動作の説明は、トップゲートドライバ2と異なる部分のみに止めることとする。

10

【0113】

図12は、トップゲートドライバ2として適用した場合における、この実施の形態のシフトレジスタの動作を示すタイミングチャートである。ただし、上述したように通常コントローラからトップゲートドライバ2の各段の定電圧入力端子SSに供給される定電圧Vssのレベルは-15(V)であるが、ここでは、0(V)に設定している。図中、1t分の期間が1選択期間である。ここでは、最終段以外の偶数番目の段RS2(k)(k:2, 4, ..., n-2)を例としている。最終段も出力信号out(k+1)をコントローラからのリセット信号Vrstとすれば、他の偶数番目の段と同じである。また、奇数番目の段もクロック信号CK2をクロック信号CK1と、さらに1番目の段では出力信号out(k-1)をコントローラからのスタート信号Vstとすれば、偶数番目の段と同じである。

20

【0114】

タイミングt0~t1の間の一定期間、クロック信号CK2が高レベル(25(V))となると、前の段RS2(k-1)から当該段RS2(k)の入力端子INに供給される出力信号out(k-1)のレベルが25(V)となる(図中、一点鎖線で示す)。この間、TFT26は、ゲート電極の電位が25(V)となってオンし、出力信号out(k-1)の25(V)がTFT26のソース電極から出力される。

【0115】

これにより、TFT26のソース電極とTFT32のドレイン電極との間の配線Cの電位(図中、点線で示す)が上昇し、さらに、常時オンしているTFT32の電位からこれが出力されることにより、容量Aの電位(図中、実線で示す)が上昇する。容量Aの電位が上昇し、TFT22、24の閾値電圧を超えると、当該段RS2(k)のTFT22、24がオン、TFT25がオフする。

30

【0116】

次に、タイミングt1~t2の間の一定期間、クロック信号入力端子clkから入力されるクロック信号CK2が25(V)に変化する。すると、TFT24のゲート電極及びソース電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされる。そして、この寄生容量の電位がゲート飽和電圧に達すると、TFT24のドレイン電極とソース電極との間に流れる電流が飽和する。これにより、当該段RS2(k)の出力端子OUTから出力される出力信号out(k)は、クロック信号CK2のレベルとほぼ同電位の25(V)となる(図中、破線で示す)。

40

【0117】

この期間は、TFT24の前述した寄生容量がチャージアップされることにより、容量Aの電位もほぼ45(V)にまで達する。このとき、定電圧Vssのレベルが-15(V)であれば入力端子INに供給される出力信号out(k-1)も-15(V)に変化していることから、入力端子INと容量Aとの間の電圧は、ほぼ60(V)となる。また定電圧Vssのレベルが0(V)の場合、入力端子INと容量Aとの間の電圧は45(V)となる。しかしながら、このような電圧は、負荷として作用するTFT32とTFT26との間で分圧され、配線Cの電位は、25(V)程度に抑えられる。すなわち、TFT32によって、TFT26のドレイン電極とソース電極との間の電圧の上昇が抑えられる。

50

【0118】

次に、タイミング $t_1 \sim t_2$ の間の終わりの方の期間になると、クロック信号 CK_2 のレベルが $-1.5(V)$ に変化する。これにより、出力信号 $out(k)$ のレベルもほぼ $-1.5(V)$ となる。また、 TFT_{24} の寄生容量へチャージされた電荷が放出され、容量 A の電位が低下する。配線 C の電位も、容量 A の電位と同程度にまで低下する。

【0119】

さらに、タイミング t_3 になると、リセット信号入力端子 RST に後ろの段 $RS_2(k+1)$ の出力信号 $out(k+1)$ (ハイレベル) が入力される。これにより、 TFT_{27} がオンし、容量 A に蓄積された電荷が TFT_{27} を介して放出される。これにより、容量 A 及び配線 C の電位が、定電圧 V_{SS} のレベルが $-1.5(V)$ の場合 $-1.5(V)$ に、また定電圧 V_{SS} のレベルが $0(V)$ の場合ほぼ $0(V)$ にまで低下する。

10

【0120】

このような動作を奇数段、偶数段共に順次繰り返していくことにより、トップゲートドライバ 2 の各段 $RS_2(k)$ ($k: 1 \sim n$) の出力信号 $out(k)$ がそれぞれ 1 選択期間 $1t$ ずつ $2.5(V)$ に変し、順次シフトしていく。

【0121】

また、ボトムゲートドライバ 3 の動作は、トップゲートドライバ 2 の動作とほぼ同じであるが、コントローラから供給される信号 CK_1 、 CK_2 のハイレベルが $1.0(V)$ であるため、各段 $RS_1(k)$ ($k: 1 \sim n$) の出力信号 $out(k)$ のハイレベルはほぼ $1.0(V)$ であり、この際の容量 A のレベルは $1.8(V)$ 程度である。また、クロック信号 CK_1 、 CK_2 がハイレベルとなっている期間は、トップゲートドライバ 2 として適用した場合よりも短い所定の期間である。

20

【0122】

以下、付加構成の TFT_{32} が果たす役割について詳細に説明する。ここでは、比較例を以てその役割を説明する。図 13 は、この比較例においてトップゲートドライバ 2 及びボトムゲートドライバ 3 として適用されるシフトレジスタの 1 段分の構成を示す回路図である。これは、図 11 に示す回路から付加構成の TFT_{32} を除いたもので、 TFT_{27} のソース電極 $10f$ が容量 A に直接接続されている。なお、シフトレジスタの全体構成としては、上記の図 10 に示すものと同じである。

【0123】

次に、この比較例のシフトレジスタの動作を、トップゲートドライバ 2 として適用した場合を例として説明する。図 14 は、トップゲートドライバ 2 として適用した場合におけるこの比較例のシフトレジスタの動作を示すタイミングチャートである。ここでも、 $1t$ 分の期間が 1 選択期間であり、また、 1 番目以外の偶数番目の段 $RS_2(k)$ ($k: 2, 4, \dots, n$) を例としている。

30

【0124】

タイミング $t_1 \sim t_2$ の間は、 TFT_{24} のゲート電極及びドレイン電極並びにそれらの間のゲート絶縁膜からなる寄生容量がチャージアップされることにより、容量 A の電位もほぼ $4.5(V)$ にまで達する。このとき、定電圧 V_{SS} のレベルが $-1.5(V)$ であれば入力端子 IN に供給される出力信号 $out(k-1)$ も $-1.5(V)$ に変し、入力端子 IN と容量 A との間の電圧は、ほぼ $6.0(V)$ となる。また定電圧 V_{SS} のレベルが $0(V)$ の場合、入力端子 IN と容量 A との間の電圧は $4.5(V)$ となる。

40

【0125】

この $6.0(V)$ または $4.5(V)$ の電圧は、付加構成の TFT_{32} がいないことから、分圧されることなく TFT_{26} のドレイン電極とソース電極との間にかかり、上記の実施の形態の場合よりも、 TFT_{26} が破損し易くなる。また、長時間の使用による TFT_{26} の特性変動も、上記の実施の形態の場合よりも大きくなる。このため、この比較例のシフトレジスタは、上記の実施の形態のシフトレジスタよりも故障し易いものとなる。

【0126】

以上説明したように、この実施の形態にかかる撮像装置において、トップゲートドライバ

50

2及びボトムゲートドライバ3として適用されるシフトレジスタも、各段RS2(k)(k:1~n)から出力される出力信号のレベルを減衰させることなく、順次シフトしていくことができる。

【0127】

また、シフトレジスタの各段RS2(k)は、基本構成のTF T 2 2 ~ 2 7に加えて、付加構成のTF T 3 2を有している。このため、TF T 2 4がオンしているとき、TF T 2 4のドレイン電極に供給されるクロック信号CK1、CK2がハイレベルとなり、その寄生容量がチャージアップされて容量Aの電位が上昇しても、TF T 3 2が分圧するためにTF T 2 6のドレイン電極とソース電極との間の電圧がそれほど大きくなる。このため、容量Aの電位上昇によってTF T 2 6が破壊されて、シフトレジスタが故障するのを防ぐことができる。

10

【0128】

また、この実施の形態でトップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタも、TF T 2 2 ~ 2 7、3 2のみで他の素子を用いることなく構成することができるので、撮像素子1を基板10a上に形成する際に、同一の基板10a上に、トップゲートドライバ2及びボトムゲートドライバ3を形成することができる。さらに、第1の実施の形態と同様に、この実施の形態で適用されるシフトレジスタも、実験結果によれば、長期間使用しても安定的に動作するものとなる。

【0129】

[第3の実施の形態]

この実施の形態にかかる撮像装置の構成は、第1、第2の実施の形態にかかるものとほぼ同じである。また、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの全体の構成も第2の実施の形態のものと同じである。但し、この実施の形態では、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの各段の構成が第2の実施の形態のもの異なる。

20

【0130】

図15は、この実施の形態において、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタの1段分の構成を示す回路図である。図示するように、このシフトレジスタの各段RS2(k)(k:1~nの整数)は、図13に示す構成に加えて、付加構成としてのTF T 3 3を有している。

30

【0131】

TF T 3 3は、ゲート電極(制御端子)に基準電圧Vddが常時供給され、常にオン状態となっており、ドレイン電極(電流路の一端)がTF T 2 7のソース電極に接続され、ソース電極(電流路の一端)がTF T 2 2、2 4のゲート電極に接続されている。TF T 3 3は、そのオン抵抗により、TF T 2 4の寄生容量に起因して上昇した容量Aの電圧を分圧させて、TF T 2 7のドレイン電極とソース電極との間の電圧を低く抑える負荷としての機能を有する。

【0132】

以下、この実施の形態にかかる撮像装置の動作について説明する。第2の実施の形態の図11に示す構成との違いは、付加構成としてTF T 3 2がなく、TF T 3 3があることであるので、容量Aに蓄積された電荷がTF T 3 3、TF T 2 7を介してディスチャージされること以外は、容量Aの電位がどのように分圧されるかだけなので、以下ではこの部分のみを説明することとする。

40

【0133】

タイミングt1~t2の間の一定期間、TF T 2 4のゲート電極及びドレイン電極並びにそれらの間の寄生容量がチャージアップされることにより、容量Aの電位もほぼ45(V)にまで達する。このとき、定電圧Vssのレベルが-15(V)であれば入力端子INに供給される出力信号out(k-1)も-15(V)に変化していることから、定電圧入力端子SSと容量Aとの間の電圧は、ほぼ60(V)となる。また定電圧Vssのレベルが0(V)の場合、入力端子INと容量Aとの間の電圧は45(V)となる。しかしな

50

がら、このような電圧は、負荷として作用するTFT33とTFT27との間で分圧され、配線Cの電位は、25(V)程度に抑えられる。すなわち、TFT33によって、TFT23のドレイン電極とソース電極との間の電圧の上昇が抑えられる。

【0134】

次に、タイミング $t_1 \sim t_2$ の間の終わりの方の期間になると、クロック信号CK2のレベルが-15(V)に変化する。これにより、出力信号out(k)のレベルもほぼ-15(V)となる。また、TFT24の寄生容量へチャージされた電荷が放出され、容量Aの電位が低下する。配線Cの電位も、容量Aの電位と同程度にまで低下する。そして、タイミング t_3 になると、リセット信号入力端子RSTに後者の段RS2(k+1)の出力信号out(k+1)(ハイレベル)が入力される。これにより、TFT27がオンし、容量Aに蓄積された電荷がTFT33及びTFT27を介して放出される。これにより、容量A及び配線Cの電位が、定電圧Vssのレベルが-15(V)の場合-15(V)に、また定電圧Vssのレベルが0(V)の場合ほぼ0(V)にまで低下する。

10

【0135】

以上説明したように、この実施の形態にかかる撮像装置において、トップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタも、各段RS2(k)(k:1~n)から出力される出力信号のレベルを減衰させることなく、順次シフトしていくことができる。

【0136】

また、シフトレジスタの各段RS2(k)は、基本構成のTFT22~27に加えて、付加構成のTFT33を有している。このため、TFT24がオンしているとき、TFT24のドレイン電極に供給されるクロック信号CK1、CK2がハイレベルとなり、その寄生容量がチャージアップされて容量Aの電位が上昇しても、TFT33が分圧するためにTFT27のドレイン電極とソース電極との間の電圧がそれほど大きくなる。このため、容量Aの電位上昇によってTFT27が破壊されて、シフトレジスタが故障するのを防ぐことができる。

20

【0137】

また、この実施の形態でトップゲートドライバ2及びボトムゲートドライバ3として適用されるシフトレジスタも、TFT22~27、33のみで他の素子を用いることなく構成することができるので、撮像素子1を基板10a上に形成する際に、同一の基板10a上に、トップゲートドライバ2及びボトムゲートドライバ3を形成することができる。さらに、第1の実施の形態と同様に、この実施の形態で適用されるシフトレジスタも、実験結果によれば、長期間使用しても安定的に動作するものとなる。

30

【0138】

[実施の形態の変形]

本発明は、上記の第1~第3の実施の形態に限られず、種々の変形、応用が可能である。以下、本発明に適用可能な上記の実施の形態の変形態様について説明する。

【0139】

上記の第2、第3の実施の形態では、シフトレジスタのn番目の段RS2(n)は、他の段と異なり、コントローラからリセット信号Vrstをリセット端子RSTに供給するものとしていた。これに対して、シフトレジスタの段数を撮像素子1の段数nよりも1だけ多いn+1とし、段RS2(n+1)の出力信号out(n+1)を段RS2(n)のリセット信号として供給してもよい。この場合、段RS2(n+1)の出力信号out(n+1)は、リセット信号としてだけ用いられ、撮像素子1には出力されない。

40

【0140】

上記の第2、第3の実施の形態では、シフトレジスタの各段RS2(k)(k:1~nの整数)は、基本構成のTFT22~27に加えて、それぞれ付加構成として1つずつのTFT32、TFT33を有するものとしていた。これに対して、図17に示すように、シフトレジスタの各段RS2(k)が付加構成として2つのTFT32、33を有していてもよい。この場合、上記の第2、第3の実施の形態のものの複合的な効果を得ることがで

50

きる。

【0141】

上記の第1～第3の実施の形態では、シフトレジスタの各段RS1(k)、RS2(k) (k: 1～nの整数)は、ゲート電極に基準電圧V_{dd}が常時印加されたTFT31～33を備え、これによって容量Aの電圧を分圧させることによって、それぞれTFT21、26、27のゲート電極とソース電極との間の電位差が膨大な値になるのを防いでいた。しかしながら、電圧の分圧が目的であるならば、TFT21、26、27の特性に合わせた他の素子(例えば、抵抗素子)を適用することも可能である。

【0142】

この他にも、上記の第1～第3の実施の形態で示したシフトレジスタの各段RS1(k)、RS2(k) (k: 1～nの整数)の構成は、適宜変更することが可能である。例えば、基本構成としてのTFT23は、TFT以外の抵抗素子に置き換えてもよい。また、シフトレジスタの各段RS1(k)、RS2(k) (k: 1～nの整数)は、ゲート電極にクロック信号CK1、CK2のレベルを反転した信号が供給され、ドレイン電極がTFT24のソース電極に接続され、ソース電極が定電圧供給端子SSに接続されたTFTをさらに備えるものとしてもよい。

【0143】

さらに、シフトレジスタの各段RS1(k)、RS2(k) (k: 1～nの整数)は、フローティングを防ぐためのプルアップ用、プルダウン用のTFTや抵抗素子などを適宜付加した構成としてもよい。さらに、クロック信号入力端子c1kとTFT25のゲート電極との間に、TFTを挿入した構成とすることなどできる。

【0144】

上記の第1～第3の実施の形態では、ダブルゲートトランジスタ10をマトリクス状に配した撮像素子1を、トップゲートドライバ2及びボトムゲートドライバ3を用いて駆動する撮像装置を例として説明した。しかしながら、本発明は、これに限られず、マトリクス状などの所定の配列で画素を配した他のタイプの撮像素子或いは表示素子を、第1～第3の実施の形態で示したシフトレジスタと同一の構成を有するドライバで駆動する撮像装置或いは表示装置にも適用することができる。

【0145】

例えば、図18に示すような液晶表示装置への適用を例として説明する。図示するように、この液晶表示装置は、液晶表示素子5と、ゲートドライバ6と、ドレインドライバ7とを有している。

【0146】

液晶表示素子5は、一对の基板に液晶を封入して構成されるもので、その一方の基板には、TFT50がマトリクス状に形成されている。各TFT50のゲート電極はゲートラインGLに、ドレイン電極はドレインラインDLに、ソース電極は同様にマトリクス状に形成された画素電極に形成されている。他方の基板には、定電圧が印加されている共通電極が形成されており、この共通電極と各画素電極との間に、画素容量51が形成される。そして、画素容量51に蓄積された電荷によって液晶の配向状態が変化することで、液晶表示素子5は、透過させる光の量を制御して画像を表示するものである。

【0147】

ゲートドライバ6は、上記の第1～第3の実施の形態においてトップゲートドライバ2及びボトムゲートドライバ3として適用したシフトレジスタのいずれか、或いは上記で説明した変形例のものを以て構成される。ゲートドライバ6は、コントローラからの制御信号Gcntに従って、ゲートラインGLを順次選択して所定の電圧を出力する。但し、制御信号Gcntとして供給される定電圧V_{ss}は0(V)であり、また、出力電圧は、TFT50の特性に従うもので、コントローラから制御信号Gcntとして供給される信号CK1、CK2のレベルもこれに従っている。

【0148】

ドレインドライバ7は、コントローラからの制御信号Dcntに従って、コントローラか

10

20

30

40

50

ら画像データ *data* を順次取り込む。1ライン分の画像データ *data* を蓄積すると、ドレインドライバ7は、コントローラからの制御信号 *Dcnt* に従ってこれをドレインライン *DL* に出力し、ゲートドライバ6によって選択されたゲートライン *GL* に接続されている *TFT50* (オン状態) を介して、画素容量51に蓄積させる。

【0149】

この液晶表示装置において、液晶表示素子5上に画像を表示する場合には、まず、ゲートドライバ6は、画像データ *data* を書き込むべき行のゲートライン *GL* に対応した段からハイレベルの信号を出力し、当該行の *TFT50* をオンさせる。当該行の *TFT50* がオンしているタイミングにおいて、ドレインドライバ7は、蓄積した画像データ *data* に応じた電圧をドレインライン *DL* に出力し、オンしている *TFT50* を介して画素容量51に書き込む。以上の動作の繰り返しにより、画素容量51に画像データ *data* が書き込まれ、これに応じて液晶の配向状態が変化して、液晶表示素子5上に画像が表示される。

10

【0150】

この液晶表示装置では、液晶表示素子5は、一方の基板上に *TFT50* がマトリクス状に形成されたものとなっている。この *TFT50* の構造も、ゲートドライバ6に適用したシフトレジスタを構成する *TFT21* ~ *27*、*31* ~ *33* と基本的に同じである。従って、ゲートドライバ6を、液晶表示素子5を構成する一方の基板上に、同時プロセスにおいて形成することが可能となる。

【0151】

さらには、上記の第1~第3の実施の形態における構成、或いはそれを上記したように変形した構成を有するシフトレジスタは、撮像素子または表示素子を駆動するためのドライバとしての用途以外にも適用することができる。例えば、これらのシフトレジスタは、データ処理装置などにおいて直列のデータを並列のデータに変換する場合などの用途にも適用することができる。

20

【0152】

【発明の効果】

以上説明したように、本発明のシフトレジスタによれば、出力信号のレベルを減衰させることなく、順次シフトしていくことが可能となる。

【0153】

また、各段に分圧素子を設けることによって、特定のトランジスタの電流路の両端に大きな電圧がかかってそのトランジスタが破壊してしまうのを防ぐことができる。

30

【0154】

さらに、本発明の電子装置では、撮像素子或いは表示素子などの駆動素子に、ドライバを構成するトランジスタとほぼ同様の構造を有する素子を含むものを適用することによって、ドライバを撮像素子と同一の基板上に、同一のプロセスで形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる撮像装置の構成を示すブロック図である。

【図2】図1のダブルゲートトランジスタの概略的な構造を示す断面図である。

【図3】(a)~(d)は、図1のダブルゲートトランジスタの駆動原理を示す模式図である。

40

【図4】本発明の第1の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの全体の構成を示すブロック図である。

【図5】本発明の第1の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの1段分の構成を示す回路図である。

【図6】本発明の第1の実施の形態におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図7】(a)~(i)は、本発明の第1の実施の形態にかかる撮像装置の動作を示す模式図である。

【図8】第1の比較例においてトップゲートドライバ及びボトムゲートドライバとして適

50

用されるシフトレジスタの１段分の構成を示す回路図である。

【図 9】第 1 の比較例におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図 10】本発明の第 2 の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの全体の構成を示すブロック図である。

【図 11】本発明の第 2 の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの 1 段分の構成を示す回路図である。

【図 12】本発明の第 2 の実施の形態におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図 13】第 2 の比較例において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの 1 段分の構成を示す回路図である。

10

【図 14】第 2 の比較例におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図 15】本発明の第 2 の実施の形態において、トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの 1 段分の構成を示す回路図である。

【図 16】本発明の第 3 の実施の形態におけるシフトレジスタを、トップゲートドライバとして適用した場合の動作を示すタイミングチャートである。

【図 17】トップゲートドライバ及びボトムゲートドライバとして適用されるシフトレジスタの 1 段分の他の構成を示す回路図である。

【図 18】本発明の実施の形態の変形にかかる液晶表示装置の構成を示すブロック図である。

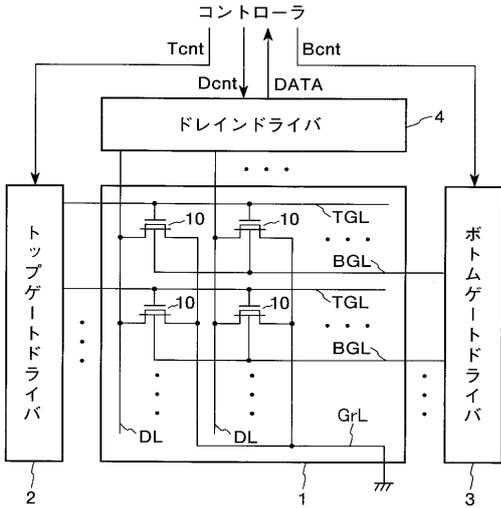
20

【符号の説明】

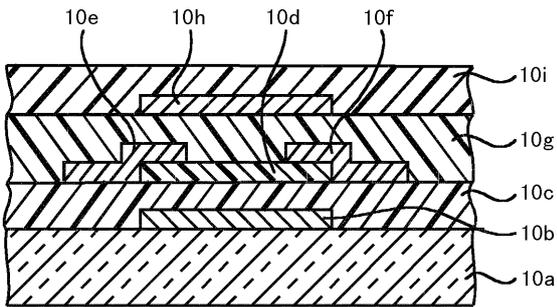
1・・・撮像素子、2・・・トップゲートドライバ、3・・・ボトムゲートドライバ、4・・・ドレインドライバ、5・・・液晶表示素子、6・・・ゲートドライバ、7・・・ドレインドライバ、10・・・ダブルゲートトランジスタ、10a・・・基板、10b・・・ボトムゲート電極、10c・・・ボトムゲート絶縁膜、10d・・・半導体層、10e・・・ドレイン電極、10f・・・ソース電極、10g・・・トップゲート絶縁膜、10h・・・トップゲート電極、10i・・・絶縁保護膜、21～27・・・TFT（基本構成）、31～33・・・TFT（付加構成）、50・・・TFT、51・・・画素容量、TGL・・・トップゲートライン、BGL・・・ボトムゲートライン、DL・・・ドレインライン、GL・・・ゲートライン、GrL・・・グラウンドライン

30

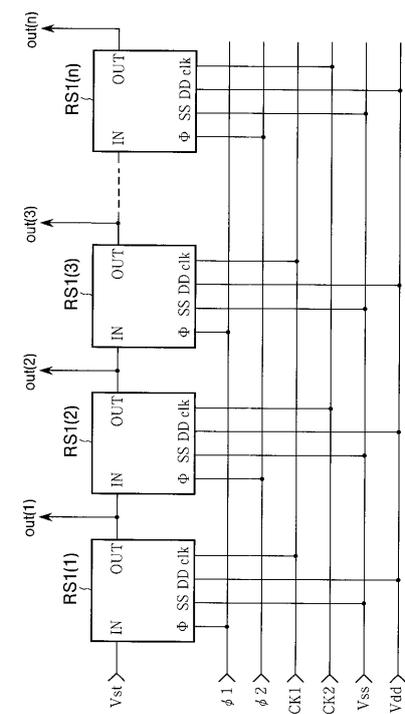
【 図 1 】



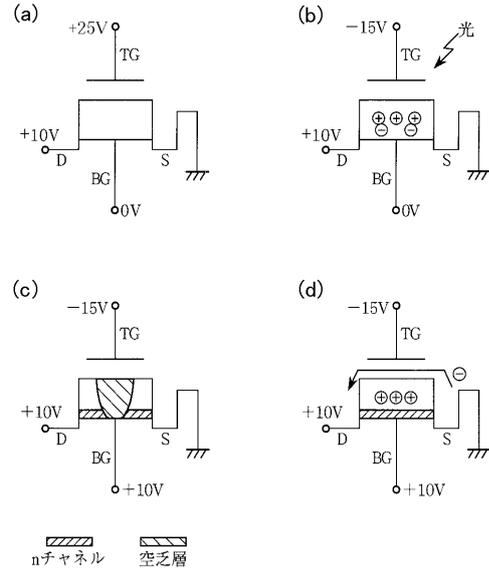
【 図 2 】



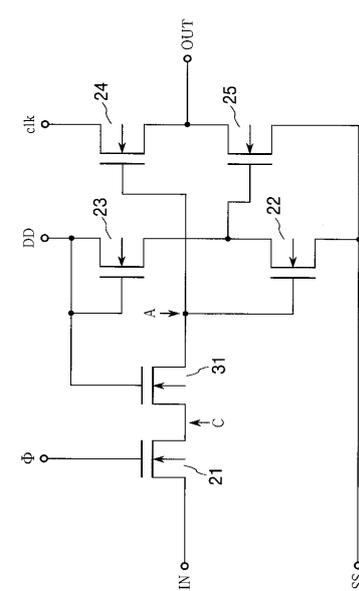
【 図 4 】



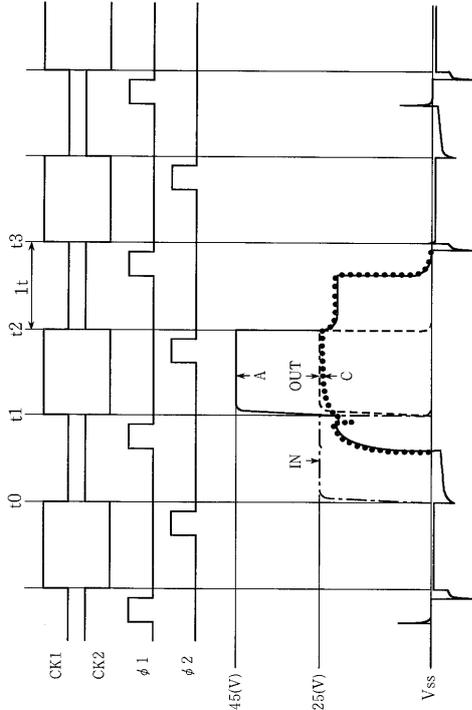
【 図 3 】



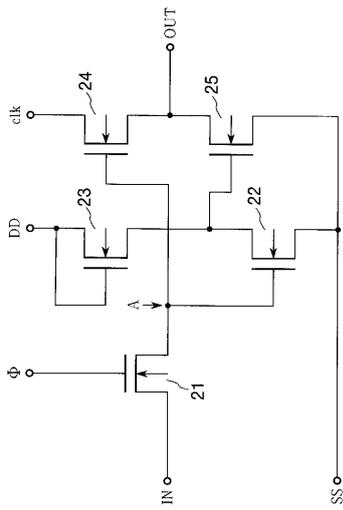
【 図 5 】



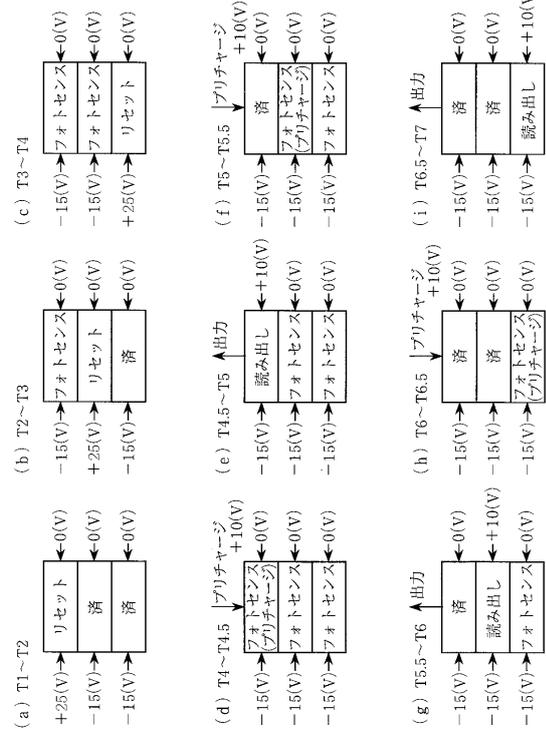
【 図 6 】



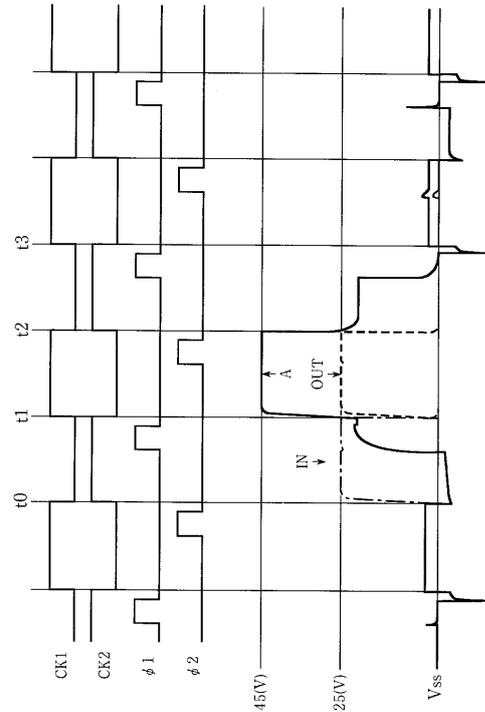
【 図 8 】



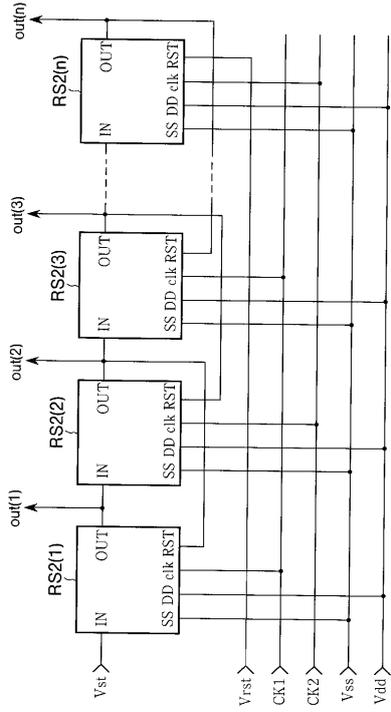
【 図 7 】



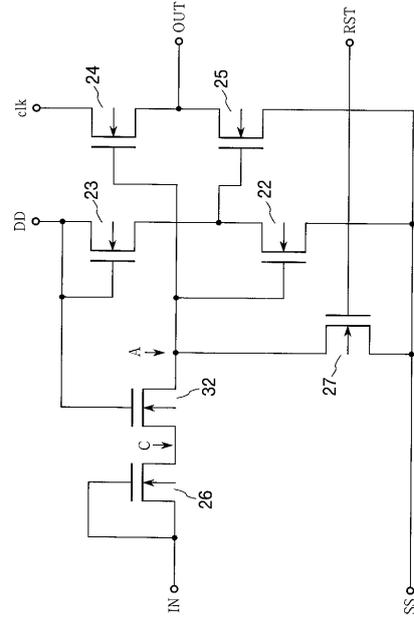
【 図 9 】



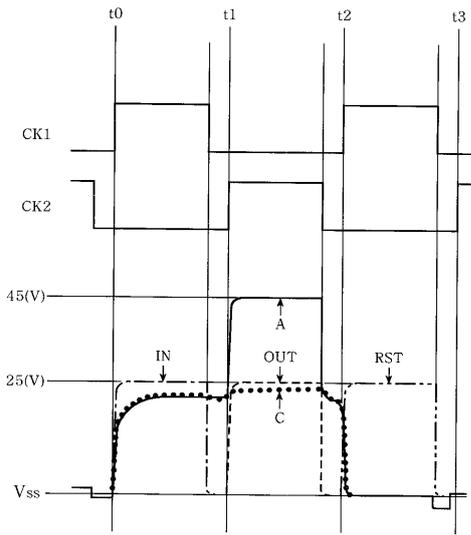
【 10 】



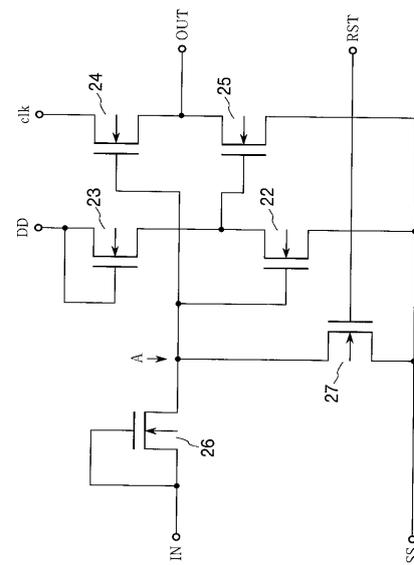
【 11 】



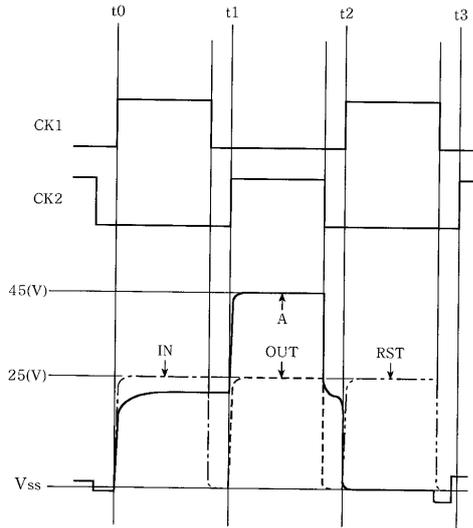
【 12 】



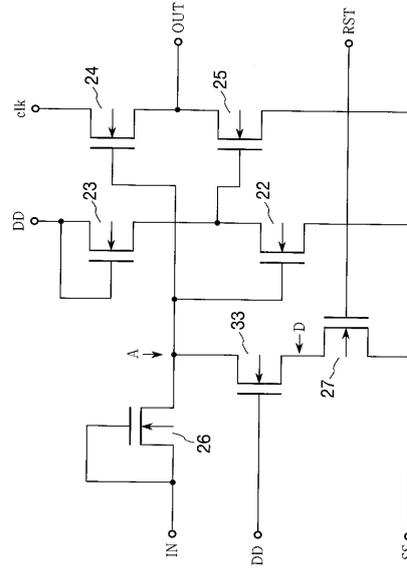
【 13 】



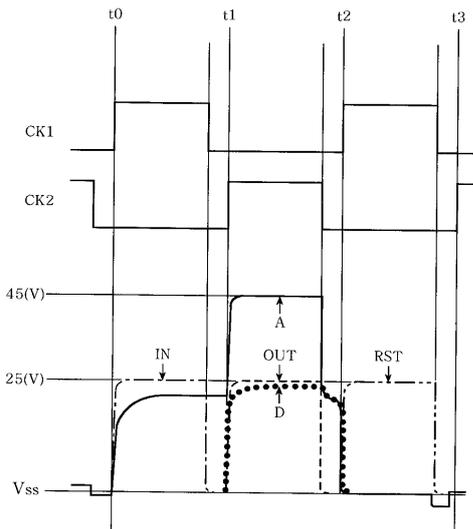
【 14 】



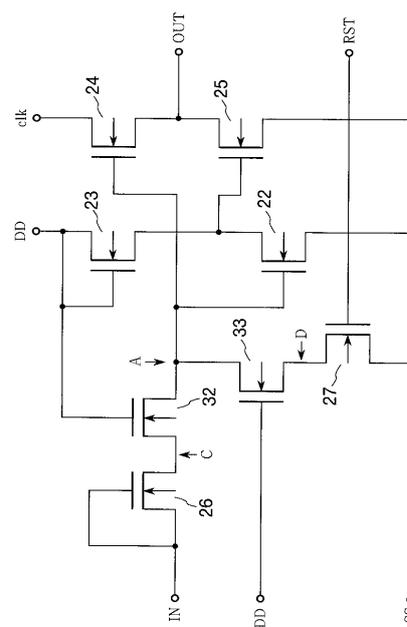
【 15 】



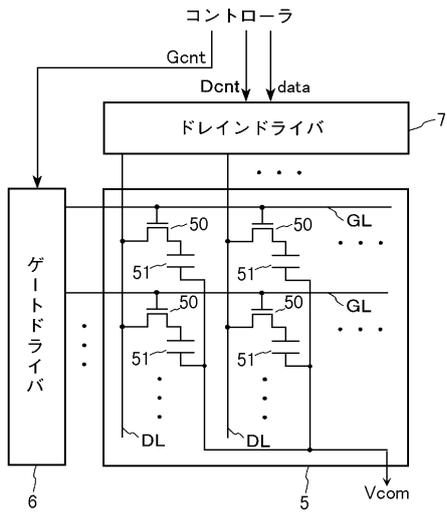
【 16 】



【 17 】



【 図 18 】



フロントページの続き

- (56)参考文献 特表平10-500243(JP,A)
実開昭61-070431(JP,U)
特開昭58-029200(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 19/28
G11C 19/00