



(12) 发明专利申请

(10) 申请公布号 CN 116525558 A

(43) 申请公布日 2023. 08. 01

(21) 申请号 202310206280.0

H01L 21/56 (2006.01)

(22) 申请日 2023.03.06

H01L 21/60 (2006.01)

H01L 25/00 (2006.01)

(30) 优先权数据

63/362,424 2022.04.04 US

17/812,530 2022.07.14 US

(71) 申请人 台湾积体电路制造股份有限公司

地址 中国台湾新竹

(72) 发明人 余振华 王垂堂 郑文豪 邵栋梁

蔡仲豪

(74) 专利代理机构 北京德恒律治知识产权代理

有限公司 11409

专利代理师 章社杲 李伟

(51) Int. Cl.

H01L 23/31 (2006.01)

H01L 23/50 (2006.01)

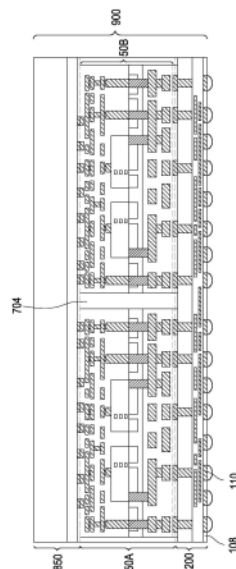
权利要求书2页 说明书24页 附图54页

(54) 发明名称

封装件及其形成方法

(57) 摘要

一种封装件包括具有第一侧和与第一侧相对的第二侧的密封剂、嵌入密封剂中的第一集成电路管芯和第二集成电路管芯,以及位于密封剂的第一侧上的第一中介层。第一中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯。封装件还包括位于密封剂的第二侧上的第二中介层。第二中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯。第二中介层将第一集成电路管芯光耦接或电耦接至第二集成电路管芯。本发明的实施例还提供了形成封装件的方法。



1. 一种封装件,包括:
  - 密封剂,具有第一侧和与所述第一侧相对的第二侧;
  - 第一集成电路管芯和第二集成电路管芯,嵌入所述密封剂中;
  - 第一中介层,位于所述密封剂的所述第一侧上,所述第一中介层机械耦接且电耦接至所述第一集成电路管芯和所述第二集成电路管芯;以及
  - 第二中介层,位于所述密封剂的所述第二侧上,所述第二中介层机械耦接且电耦接至所述第一集成电路管芯和所述第二集成电路管芯,所述第二中介层将所述第一集成电路管芯光耦接或电耦接至所述第二集成电路管芯。
2. 根据权利要求1所述的封装件,其中,所述第一中介层包括有源电气器件或无源电气器件。
3. 根据权利要求1所述的封装件,其中,所述第二中介层包括有源电气器件、无源电气器件或光学器件。
4. 根据权利要求1所述的封装件,其中,所述第一集成电路管芯包括:
  - 衬底;
  - 第一互连结构,位于所述衬底的背侧上,其中,所述第一互连结构物理接触且电接触所述第一中介层;以及
  - 第二互连结构,位于所述衬底的前侧上,其中,所述第二互连结构物理接触且电接触所述第二中介层。
5. 根据权利要求1所述的封装件,其中,所述第二集成电路管芯包括:
  - 衬底;
  - 第一互连结构,位于所述衬底的背侧上,其中,所述第一互连结构物理接触且电接触所述第一中介层;以及
  - 第二互连结构,位于所述衬底的前侧上,其中,所述第二互连结构物理接触且电接触所述第二中介层。
6. 根据权利要求1所述的封装件,其中,所述第一中介层的侧壁、所述第二中介层的侧壁和所述密封剂的侧壁横向上共边界。
7. 根据权利要求1所述的封装件,其中,所述第一中介层将所述第一集成电路管芯电耦接至所述第二集成电路管芯。
8. 一种封装件,包括:
  - 第一集成电路管芯,所述第一集成电路管芯包括:
    - 第一衬底;
    - 第一互连结构,位于所述第一衬底的背侧上;以及
    - 第二互连结构,位于所述第一衬底的前侧上,其中,所述第二互连结构电耦合至所述第一互连结构;
  - 第二集成电路管芯,所述第二集成电路管芯包括:
    - 第二衬底;
    - 第三互连结构,位于所述第二衬底的背侧上;以及
    - 第四互连结构,位于所述第二衬底的前侧上,其中,所述第四互连结构电耦接至所述第三互连结构;以及

第一中介层,物理接触所述第二互连结构和所述第四互连结构,所述第一中介层将所述第二互连结构电耦接且光耦接至所述第四互连结构。

9. 根据权利要求8所述的封装件,其中,所述第一中介层包括电气器件和光学器件。

10. 一种形成封装件的方法,包括:

将中介层管芯附接至载体晶圆;

在所述载体晶圆上方形成第一密封剂并且所述第一密封剂沿着所述中介层管芯的侧壁延伸;

将第一集成电路管芯和第二集成电路管芯接合至所述中介层管芯,所述中介层管芯将所述第一集成电路管芯电耦接至所述第二集成电路管芯;

在所述载体晶圆上方形成第二密封剂并且所述第二密封剂沿着所述第一集成电路管芯的侧壁和所述第二集成电路管芯的侧壁延伸;以及

将中介层晶圆接合至所述第一集成电路管芯和所述第二集成电路管芯,所述中介层晶圆将所述第一集成电路管芯电耦接且光耦接至所述第二集成电路管芯。

## 封装件及其形成方法

### 技术领域

[0001] 本发明的实施例涉及封装件及其形成方法。

### 背景技术

[0002] 由于各种电子组件(例如晶体管、二极管、电阻器、电容器等)的集成密度不断提高,半导体行业经历了快速增长。在大多数情况下,集成密度的提高是由于最小部件尺寸的重复减小,这允许将更多组件集成到给定区域中。随着对缩小电子器件的需求不断增长,出现了更小、更有创意的半导体管芯封装技术的趋势。

### 发明内容

[0003] 本发明的一些实施例提供了一种封装件,包括:密封剂,具有第一侧和与第一侧相对的第二侧;第一集成电路管芯和第二集成电路管芯,嵌入密封剂中;第一中介层,位于密封剂的第一侧上,第一中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯;以及第二中介层,位于密封剂的第二侧上,第二中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯,第二中介层将第一集成电路管芯光耦接或电耦接至第二集成电路管芯。

[0004] 本发明的另一些实施例提供了一种封装件,包括:第一集成电路管芯,第一集成电路管芯包括:第一衬底;第一互连结构,位于第一衬底的背侧上;以及第二互连结构,位于第一衬底的前侧上,其中,第二互连结构电耦合至第一互连结构;第二集成电路管芯,第二集成电路管芯包括:第二衬底;第三互连结构,位于第二衬底的背侧上;以及第四互连结构,位于第二衬底的前侧上,其中,第四互连结构电耦接至第三互连结构;以及第一中介层,物理接触第二互连结构和第四互连结构,第一中介层将第二互连结构电耦接且光耦接至第四互连结构。

[0005] 本发明的又一些实施例提供了一种形成封装件的方法,包括:将中介层管芯附接至载体晶圆;在载体晶圆上方形成第一密封剂并且第一密封剂沿着中介层管芯的侧壁延伸;将第一集成电路管芯和第二集成电路管芯接合至中介层管芯,中介层管芯将第一集成电路管芯电耦接至第二集成电路管芯;在载体晶圆上方形成第二密封剂并且第二密封剂沿着第一集成电路管芯的侧壁和第二集成电路管芯的侧壁延伸;以及将中介层晶圆接合至第一集成电路管芯和第二集成电路管芯,中介层晶圆将第一集成电路管芯电耦接且光耦接至第二集成电路管芯。

### 附图说明

[0006] 当结合附图进行阅读时,从以下详细描述可最佳理解本发明的方面。需要注意的是,根据工业中的标准实践,各个部件未按比例绘制。实际上,为了清楚的讨论,各个部件的尺寸可以任意地增大或减小。

[0007] 图1示出了根据一些实施例的集成电路管芯的截面图。

- [0008] 图2示出了根据一些实施例的集成电路管芯的截面图。
- [0009] 图3和图4示出了根据一些实施例的制造中介层中的中间阶段的截面图。
- [0010] 图5示出了根据一些实施例的中介层的截面图。
- [0011] 图6示出了根据一些实施例的中介层的截面图。
- [0012] 图7示出了根据一些实施例的中介层的截面图。
- [0013] 图8示出了根据一些实施例的中介层的截面图。
- [0014] 图9示出了根据一些实施例的中介层的截面图。
- [0015] 图10示出了根据一些实施例的中介层的截面图。
- [0016] 图11示出了根据一些实施例的中介层的截面图。
- [0017] 图12示出了根据一些实施例的中介层的截面图。
- [0018] 图13至图17示出了根据一些实施例的制造封装组件中的中间阶段的截面图。
- [0019] 图18示出了根据一些实施例的封装组件的截面图。
- [0020] 图19至图23示出了根据一些实施例的制造封装组件中的中间阶段的截面图。
- [0021] 图24示出了根据一些实施例的封装组件的截面图。
- [0022] 图25至图30示出了根据一些实施例的制造封装组件中的中间阶段的截面图。
- [0023] 图31示出了根据一些实施例的封装组件的截面图。
- [0024] 图32A和图32B示出了根据一些实施例的封装组件的互连结构的平面图和截面图。
- [0025] 图33A和图33B示出了根据一些实施例的封装组件的互连结构的平面图和截面图。
- [0026] 图34示出了根据一些实施例的封装组件的截面图。
- [0027] 图35示出了根据一些实施例的封装组件的截面图。
- [0028] 图36示出了根据一些实施例的封装组件的互连结构的平面图。
- [0029] 图37示出了根据一些实施例的封装组件的截面图。
- [0030] 图38示出了根据一些实施例的封装组件的截面图。
- [0031] 图39示出了根据一些实施例的封装组件的截面图。
- [0032] 图40示出了根据一些实施例的封装组件的截面图。
- [0033] 图41示出了根据一些实施例的封装组件的截面图。
- [0034] 图42示出了根据一些实施例的封装组件的截面图。
- [0035] 图43示出了根据一些实施例的封装组件的截面图。
- [0036] 图44示出了根据一些实施例的封装组件的截面图。
- [0037] 图45示出了根据一些实施例的封装组件的截面图。
- [0038] 图46示出了根据一些实施例的封装组件的截面图。
- [0039] 图47示出了根据一些实施例的封装组件的截面图。
- [0040] 图48示出了根据一些实施例的封装组件的截面图。
- [0041] 图49示出了根据一些实施例的封装组件的截面图。
- [0042] 图50示出了根据一些实施例的多层封装组件的截面图。
- [0043] 图51示出了根据一些实施例的多层封装组件的截面图。
- [0044] 图52示出了根据一些实施例的集成电路封装件的截面图。

## 具体实施方式

[0045] 以下公开内容提供了许多用于实现本发明的不同部件的不同实施例或实例。下面描述了组件和布置的具体实例以简化本发明。当然,这些仅仅是实例,而不旨在限制。例如,以下描述中,在第二部件上方或者上形成第一部件可以包括第一部件和第二部件直接接触形成的实施例,并且也可以包括可以在第一部件和第二部件之间形成的额外的部件,从而使第一部件和第二部件可以不直接接触的实施例。此外,本发明可以在各个实例中重复参考标号和/或字符。该重复是为了简单和清楚的目的,并且其本身不指示所讨论的各个实施例和/或配置之间的关系。

[0046] 而且,为便于描述,在此可以使用诸如“在…之下”、“在…下面”、“下部”、“在…之上”、“上部”等空间相对术语,以描述如图所示的一个元件或部件与另一个(或另一些)原件或部件的关系。除了图中所示的方位外,空间相对术语旨在包括器件在使用或操作中的不同方位。装置可以以其他方式定向(旋转90度或在其他方位上),而本文使用的空间相对描述符可以同样地作出相应的解释。

[0047] 实施例将针对特定背景下的实施例进行描述,即集成电路封装件及其形成方法。根据各个实施例,集成电路封装件包括密封在密封剂中的多个集成电路管芯,其中,每个集成电路管芯包括前侧互连结构和背侧互连结构。该封装件还包括与集成电路管芯的背侧互连结构物理接触和电接触的第一中介层以及与集成电路管芯的前侧互连结构物理接触和电接触的第二中介层。第一中介层可以是有源中介层(包括有源电气器件)、无源中介层(包括无源电气器件)、输入/输出(I/O)中介层(包括I/O电路)等。第二中介层可以是有源中介层(包括有源电气器件)、无源中介层(包括无源电气器件)、光学或光子中介层(包括光学器件,例如调制器和/或波导)、混合(电气/光学)中介层(包括电气和光学器件)等。在各个实施例中,第二中介层允许耦接集成电路管芯的前侧互连结构,而不依赖于集成电路管芯的背侧互连结构(例如超级电源轨),以及第一中介层的互连结构和贯通孔。在各个实施例中,第一中介层和第二中介层混合接合至集成电路管芯,这降低了所得集成电路封装件的热阻。通过经由第二中介层电耦接集成电路管芯,可以改进集成电路封装件的电路设计的灵活性。

[0048] 图1示出了根据一些实施例的集成电路管芯50的截面图。集成电路管芯50将在后续处理中被封装以形成集成电路封装件。每个集成电路管芯50可以是逻辑器件(例如,中央处理单元(CPU)、图形处理单元(CPU)、微控制器等)、存储器件(例如,动态随机存取存储器(DRAM)管芯、静态随机存取存储器(SRAM)管芯等)、电源管理器件(例如电源管理集成电路(PMIC)管芯)、射频(RF)器件、传感器器件、微机电系统(MEMS)器件、信号处理器件(例如,数字信号处理(DSP)管芯)、前端器件(例如,模拟前端(AFE)管芯)等,或它们的组合(例如,片上系统(SoC)管芯)。集成电路管芯50可以形成在晶圆中,该晶圆可以包括不同的管芯区域,这些不同的管芯区域在后续步骤中被分割以形成多个集成电路管芯50。集成电路管芯50包括半导体衬底52、器件54、前侧互连结构56、背侧互连结构58、载体60和管芯连接件62。

[0049] 半导体衬底52可以是掺杂或未掺杂的硅衬底,或者是绝缘体上半导体(SOI)衬底的有源层。半导体衬底52可以包括其他半导体材料,例如锗;化合物半导体,包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟;合金半导体,包括硅锗、磷砷化镓、砷化铝铟、砷化铝镓、砷化镓铟、磷化镓铟和/或磷砷化镓铟;或它们的组合。也可以使用其他衬底,例如

多层或梯度衬底。半导体衬底52具有有源表面或前侧表面(例如,面向上的表面)和无源表面或背侧表面(例如,面向下的表面)。

[0050] 器件54(由晶体管示出)位于半导体衬底52的有源表面处。器件54可以是有源器件(例如晶体管、二极管等)、电容器、电阻器等。无源表面可以没有器件。在所示实施例中,集成电路管芯50包括全环栅(GAA)晶体管,例如纳米结构场效应晶体管(NSFET)。在其他实施例中,除了或代替GAA晶体管,集成电路管芯50可以包括鳍式场效应晶体管(FinFET)、平面FET等。

[0051] 前侧互连结构56位于半导体衬底52的有源表面上方,并且用于电连接器件54以形成集成电路。前侧互连结构56可以包括一个或多个介电层56A和位于介电层56A中的相应金属化层56B(包括导线和通孔)。用于介电层56A的可接受介电材料包括低k介电材料,例如磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、硼掺杂的磷硅酸盐玻璃(BPSG)、未掺杂的硅酸盐玻璃(USG)、等。用于介电层56A的可接受的介电材料还包括氧化物,例如氧化硅或氧化铝;氮化物,例如氮化硅;碳化物,例如碳化硅;等;或它们的组合,例如氮氧化硅、碳氧化硅、碳氮化硅、碳氮氧化硅等。也可以使用其他介电材料,例如聚合物,例如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB)基聚合物等。金属化层56B可以由导电材料形成,例如金属,例如铜、钴、铝、金、它们的组合等。可以通过镶嵌工艺来形成前侧互连结构56,例如单镶嵌工艺、双镶嵌工艺等。

[0052] 背侧互连结构58形成在半导体衬底52的无源表面上,并且可以用于为半导体衬底52的器件54供电。半导体衬底52插入在前侧互连结构56和背侧互连结构58之间。背侧互连结构58可以包括一个或多个介电层58A和位于介电层58A中的相应金属化层58B(包括导线和通孔)。可以使用与一个或多个介电层56A类似的材料和方法来形成一个或多个介电层58A。金属化层58B可以由导电材料形成,例如金属,例如铜、钴、铝、金、它们的组合等。可以通过镶嵌工艺来形成背侧互连结构58,例如单镶嵌工艺、双镶嵌工艺等。

[0053] 在一些实施例中,背侧互连结构58使用超级电源轨64电耦接至器件54和/或前侧互连结构56。在一些实施例中,超级电源轨64包括延伸穿过半导体衬底52以耦接至器件54的衬底贯通孔(TSV)。超级电源轨64可以由导电材料形成,例如金属,例如铜、钴、铝、金、它们的组合等。在一些实施例中,超级电源轨64可以形成为背侧互连结构58的部分。

[0054] 载体60可以接合至前侧互连结构56,以使得前侧互连结构56插入在载体60和半导体衬底52之间。载体60可以包括半导体材料(例如硅等)或介电材料(例如石英等)。在一些实施例中,载体60和半导体衬底52包括相同的半导体材料。在其他实施例中,载体60和半导体衬底52包括不同的半导体材料。在一些实施例中,在形成背侧互连结构58时,载体60可以用作支撑件。如下文更详细描述,在一些实施例中,可以在封装期间去除载体60。

[0055] 管芯连接件62位于集成电路管芯50的背侧50BS。管芯连接件62可以是进行外部连接的导电柱、焊盘等。如以下更详细描述,管芯连接件62可以用作用于在封装期间将集成电路管芯50接合至其他封装组件的接合焊盘。管芯连接件62位于背侧互连结构58中和/或上。例如,管芯连接件62可以是背侧互连结构58的最上金属化层(距半导体衬底52最远的金属化层)的部分。管芯连接件62可以由例如铜、铝等的金属形成,并且可以通过例如镀等来形成管芯连接件62。

[0056] 可选地,在形成集成电路管芯50期间,焊料区域(未单独示出)可以设置在管芯连

接件62上。焊料区域可以用于对集成电路管芯50执行芯片探针(CP)测试。例如,焊料区域可以是焊球、焊料凸块等,焊料区域用于将芯片探针附接至管芯连接件62。可以对集成电路管芯50执行芯片探针测试以确定集成电路管芯50是否是已知良好管芯(KGD)。因此,只有是KGD的集成电路管芯50经过后续处理并且被封装,而未通过芯片探针测试的管芯不被封装。在测试之后,可以在后续处理步骤中去除焊料区域。

[0057] 绝缘层66位于集成电路管芯50的背侧50BS处。绝缘层66位于背侧互连结构58中和/或上。例如,绝缘层66可以是背侧互连结构58的最上介电层(距半导体衬底52最远的介电层)。绝缘层66横向密封管芯连接件62。绝缘层66可以是氧化物、氮化物、碳化物、聚合物等或它们的组合。例如可以通过旋涂、层压、化学气相沉积(CVD)等来形成绝缘层66。最初,绝缘层66可以掩埋管芯连接件62,以使得绝缘层66的底表面在管芯连接件62的底表面之下。在一些实施例中,在形成集成电路管芯50期间,管芯连接件62通过绝缘层66暴露。在其他实施例中,在封装集成电路管芯50期间,管芯连接件62通过绝缘层66暴露。暴露管芯连接件62可以去除管芯连接件62上可能存在的任何焊料区域。可以对各个层施加去除工艺以去除管芯连接件62上方的多余材料。去除工艺可以是平坦化工艺,例如化学机械抛光(CMP)、回蚀刻、它们的组合等。在平坦化工艺之后,绝缘层66和管芯连接件62的底表面基本上共面(在工艺变化范围内),以使得它们彼此齐平。

[0058] 在一些实施例中,集成电路管芯50是包括多个半导体衬底52的堆叠器件。例如,集成电路管芯50可以是包括多个存储器管芯的存储器器件,例如混合存储立方体(HMC)器件、高带宽存储器(HBM)器件等。在这样的实施例中,集成电路管芯50包括多个半导体衬底52,该多个半导体衬底52通过衬底贯通孔(TSV)(例如硅贯通孔)互连。每个半导体衬底52可以(或可以不)具有单独的互连结构。

[0059] 图2示出了根据一些实施例的集成电路管芯50'的截面图。集成电路管芯50'与集成电路管芯50(见图1)类似,其中类似的部件由类似的附图标号表示,并且类似的部件的描述在此不再重复。在所示实施例中,集成电路管芯50'包括延伸穿过载体60并且电耦接至前侧互连结构56的导电通孔68。作为形成导电通孔68的实例,通过例如蚀刻、铣削、激光技术、它们的组合等在载体60中形成开口。可以在开口中形成薄介电材料,例如通过使用氧化技术。可以在开口中共形地沉积薄阻挡层,例如通过CVD、原子层沉积(ALD)、物理气相沉积(PVD)、热氧化、它们的组合等。阻挡层可以由氧化物、氮化物、碳化物、它们的组合等形成。可以在阻挡层上方和开口中沉积导电材料。导电材料可以通过电化学镀工艺、CVD、ALD、PVD、它们的组合等形成。导电材料的实例是铜、钨、铝、银、金、它们的组合等。通过例如CMP从载体60的上表面去除多余的导电材料和阻挡层。阻挡层和导电材料的剩余部分形成导电通孔68。

[0060] 图3和图4示出了根据一些实施例的制造中介层200中的中间阶段的截面图。在图3中,获得或形成晶圆100。晶圆100包括多个器件区域(例如器件区域100A),该多个器件区域将在后续处理中被分割以形成单独的器件。在一些实施例中,中介层200形成在晶圆100的相应器件区域中。中介层200可以包括衬底102、互连结构104和导电通孔106。

[0061] 衬底102可以是块状半导体衬底、绝缘体上半导体(SOI)衬底、多层半导体衬底等。衬底102可以包括半导体材料,例如硅;锗;化合物半导体,包括碳化硅、砷化镓、磷化镓、磷化铟、砷化铟和/或锑化铟;合金半导体,包括硅锗、磷砷化镓、砷化铝铟、砷化铝镓、砷化镓



铟、磷化镓铟和/或磷砷化镓铟；或它们的组合。也可以使用其他衬底，例如多层或梯度衬底。衬底102可以是掺杂的或未掺杂的。

[0062] 在一些实施例中，衬底102通常不包括位于其中的有源器件，尽管中介层200可以包括形成衬底102的前表面或有源表面（例如，图3中面向上的表面）中和/或上的无源器件。在其他实施例中，有源器件（例如晶体管、二极管等）和无源器件（电容器、电阻器等）可以形成在衬底102的前表面中和/或上。在一些实施例中，中介层200可以包括光学器件，例如调制器和/或波导。中介层200可以是有源中介层（包括有源电气器件，例如SRAM器件）、无源中介层（包括无源电气器件，例如电容器）、I/O中介层（包括I/O电路）、光学或光子中介层（包括光学器件，例如调制器和/或波导）、混合（电气/光学）中介层（包括电气和光学器件）等。

[0063] 互连结构104位于衬底102的前表面上方，并且用于电连接衬底102的器件（如果有的话）。互连结构104可以包括一个或多个介电层104A和位于介电层104A中的相应金属化层104B（包括导线和通孔）。可以使用与上面参考图1描述的前侧互连结构56类似的材料和方法来形成互连结构104，并且在此不再重复描述。

[0064] 在一些实施例中，管芯连接件110和介电层108位于晶圆100的前侧100F处。具体地，晶圆100可以包括管芯连接件110和介电层108，管芯连接件110和介电层108分别类似于以上参考图1描述的集成电路管芯50的管芯连接件62和介电层66，并且在此不再重复描述。在一些实施例中，管芯连接件110可以是互连结构104的上部金属化层（距半导体衬底102最远的金属化层）的部分，并且介电层108可以是互连结构104的上部介电层（距半导体衬底102最远的介电层）的部分。在其他实施例中，管芯连接件110和介电层108可以与互连结构104分开形成。如下文更详细描述，管芯连接件110可以用作用于将封装组件（诸如，例如集成电路管芯）接合至晶圆100的接合焊盘。因此，也可以将管芯连接件110称为接合焊盘，并且可以将管芯连接件110和介电层108统称为接合层。

[0065] 导电通孔106延伸到互连结构104和/或衬底102中。导电通孔106电连接至互连结构104的金属化层104B。有时也将导电通孔106称为衬底贯通孔（TSV）。作为形成导电通孔106的示例，可以通过例如蚀刻、铣削、激光技术、它们的组合等在互连结构104和/或衬底102中形成开口。可以在开口中形成薄介电材料，例如通过使用氧化技术。可以在开口中共形地沉积薄阻挡层，例如通过CVD、ALD、PVD、热氧化、它们的组合等。阻挡层可以由氧化物、氮化物、碳化物、它们的组合等形成。可以在阻挡层上方和开口中沉积导电材料。导电材料可以通过电化学镀工艺、CVD、ALD、PVD、它们的组合等形成。导电材料的实例是铜、钨、铝、银、金、它们的组合等。通过例如CMP从互连结构104或衬底102的表面去除多余的导电材料和阻挡层。阻挡层和导电材料的剩余部分形成导电通孔106。

[0066] 在图4中，减薄衬底102以暴露导电通孔106。可以通过减薄工艺来完成导电通孔106的暴露，例如研磨工艺、CMP、回蚀刻、它们的组合等。在一些实施例（未单独示出）中，用于暴露导电通孔106的减薄工艺包括CMP，并且由于在CMP期间发生的凹陷，导电通孔106在晶圆100的背侧100BS处突出。在这样的实施例中，可以可选地在衬底102的背面上形成绝缘层（未单独示出），从而围绕导电通孔106的突出部分。绝缘层可以由含硅绝缘体形成，例如氮化硅、氧化硅、氮氧化硅等，并且可以通过合适的沉积方法来形成绝缘层，例如通过旋涂、CVD、等离子增强CVD（PECVD）、高密度等离子体CVD（HDP-CVD）等。在减薄衬底102之后，导电通孔106和绝缘层（如果存在）或衬底102的暴露表面是共面的（在工艺变化内），以使得它们

彼此齐平,并且暴露在晶圆100的背侧100BS处。

[0067] 在减薄晶圆100之后,管芯连接件114和介电层112形成在晶圆100的背侧100BS处。具体地,晶圆100可以包括管芯连接件114和介电层112,管芯连接件114和介电层112分别类似于以上参考图1描述的集成电路管芯50的管芯连接件62和介电层66,并且在此不再重复描述。在一些实施例中,对管芯连接件114和介电层112执行平坦化工艺(诸如,例如CMP),以使得管芯连接件114和介电层112的暴露表面在平坦化工艺的工艺变化内彼此齐平。如下文更详细描述,管芯连接件114可以用作用于将其他封装组件接合至中介层200的接合焊盘。因此,也可以将管芯连接件114称为接合焊盘,并且可以将管芯连接件114和介电层112统称为接合层。

[0068] 此外,通过沿着划线区域(例如,在器件区域100A周围)切割来对晶圆100执行切单工艺(singulation process)。切单工艺可以包括锯切、蚀刻、切削(dicing)、它们的组合等。切单工艺由晶圆100的切割部分形成中介层200。

[0069] 图5示出了根据一些实施例的中介层300的截面图。中介层300与中介层200(参见图4)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层300,并且在此不再重复描述。在所示实施例中,中介层300包括无源电气器件并且不包括有源电气器件。也可以将中介层300称为无源中介层。在所示实施例中,中介层300包括位于中介层300前侧300F处的介电层108和管芯连接件110,以及位于中介层300背侧300B处的介电层112和的管芯连接件114。

[0070] 图6示出了根据一些实施例的中介层300'的截面图。中介层300'与中介层300(参见图5)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以以与中介层300(参见图5)类似的方式来形成中介层300',并且在此不再重复描述。在所示实施例中,中介层300'包括无源电气器件并且不包括有源电气器件。也可以将中介层300'称为无源中介层。与中介层300不同,中介层300'不包括位于衬底102内的导电通孔106(参见图5)以及位于中介层300'的背侧300B处的管芯连接件114和介电层112(参见图5)。在所示实施例中,中介层300'包括位于中介层300'的前侧300F处的介电层108和管芯连接件110。

[0071] 图7示出了根据一些实施例的中介层400的截面图。中介层400与中介层200(参见图4)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层400,并且在此不再重复描述。在所示实施例中,中介层400包括器件402,器件402包含有源和/或无源电气器件。也可以将中介层400称为有源中介层。在所示实施例中,中介层400包括位于中介层400前侧400F处的介电层108和管芯连接件110以及位于中介层400背侧400B处的介电层112和管芯连接件114。

[0072] 图8示出了根据一些实施例的中介层400'的截面图。中介层400'类似于中介层400(参见图7),其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以以与中介层400(参见图7)类似的方式来形成中介层400',并且在此不再重复描述。在所示实施例中,中介层400'包括器件402,该器件402包含有源和/或无源电气器件。也可以将中介层400'称为有源中介层。与中介层400不同,中介层400'不包含位于衬底102内的导电

通孔106(参见图7)以及位于中介层400'的背侧400B处的管芯连接件114和介电层112(见图7)。在所示实施例中,中介层400'包括位于中介层400'的前侧400F处的介电层108和管芯连接件110。

[0073] 图9示出了根据一些实施例的中介层500的截面图。中介层500与中介层200(见图4)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层500,并且在此不再重复描述。在所示实施例中,中介层500包括器件502,该器件502包含光学器件,例如调制器、光电探测器、移相器、开关等。中介层500可以不包括有源和无源电气器件。此外,互连结构104可以包括一个或多个光波导504并且可以包括或不包括金属化层104B(参见图4)。也可以将中介层500称为光学中介层。在所示实施例中,中介层500包括位于中介层500前侧500F处的介电层108和管芯连接件110以及位于中介层500背侧500B处的介电层112和管芯连接件114。

[0074] 图10示出了根据一些实施例的中介层500'的截面图。中介层500'与中介层500(参见图9)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以以与中介层500(参见图9)类似的方式来形成中介层500',并且在此不再重复描述。在所示实施例中,中介层500'包括器件502,该器件502包含光学器件,例如调制器、光电探测器、移相器、开关等。中介层500'可以不包括有源和无源电气器件。此外,互连结构104可以包括一个或多个光波导504并且可以包括或不包括金属化层104B(参见图4)。也可以将中介层500'称为光学中介层。与中介层500不同,中介层500'不包括衬底102内的导电通孔106(参见图9)以及位于中介层500'的背侧500B处的管芯连接件114和介电层112(参见图9)。在所示实施例中,中介层500'包括位于中介层500'的前侧500F处的介电层108和管芯连接件110。

[0075] 图11示出了根据一些实施例的中介层600的截面图。中介层600与中介层200(参见图4)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层600,并且在此不再重复描述。在所示实施例中,中介层600包括器件(未示出),该器件(未示出)包含光学器件和有源和/或无源电气器件。此外,除了金属化层104B之外,互连结构104可以包括一个或多个光波导602。也可以将中介层600称为混合中介层。在所示实施例中,中介层600包括位于中介层600的前侧600F处的介电层108和管芯连接件110以及位于中介层600的背侧600B处的介电层112和管芯连接件114。

[0076] 图12示出了根据一些实施例的中介层600'的截面图。中介层600'与中介层600(见图11)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以以与中介层600(参见图11)类似的方式来形成中介层600',并且在此不再重复描述。在所示实施例中,中介层600'包括器件(未示出),该器件(未示出)包含光学器件和有源和/或无源电气器件。此外,除了金属化层104B之外,互连结构104可以包括一个或多个光波导602。也可以将中介层600'称为混合中介层。与中介层600不同,中介层600'不包括位于衬底102内的导电通孔106(参见图11)以及位于位于中介层600'的背侧600B处的管芯连接件114和介电层112(见图11)。在所示实施例中,中介层600'包括位于中介层600'的前侧600F处的介电层108和管芯连接件110。

[0077] 图13至图17示出了根据一些实施例的制造封装组件900中的中间阶段的截面图。在图13中,提供或形成载体晶圆700。载体晶圆700用作平台或支撑件以用于下文描述的封装工艺。在一些实施例中,载体晶圆700包括半导体材料(例如硅等)、介电材料(例如石英等)、它们的组合等。如下文更详细描述,在载体晶圆上方形成晶圆级封装组件,其在后续处理中被分割成单独的管芯级封装组件900。特别地,载体晶圆700包括多个封装区域(例如封装区域700A和700B),它们对应于相应的管芯级封装组件900。

[0078] 将中介层200(参见图4)附接至载体晶圆700。在所示实施例中,将一个中介层200附接在载体晶圆700的每个封装区域(例如封装区域700A或700B)中。在其他实施例中,可以基于封装组件900的设计要求将两个或更多个中介层200附接在载体晶圆700的每个封装区域中。中介层200可以是有源中介层(例如,包括有源电气器件,诸如SRAM器件)、无源中介层(例如,包括无源电气器件,诸如电容器)、I/O中介层(包括I/O电路)等。在所示实施例中,中介层200的前侧200F附接至载体晶圆700。在其他实施例中,中介层200的背侧200B附接至载体晶圆700。

[0079] 在所示实施例中,使用接合方法(诸如,例如熔融接合)将中介层200附接至载体晶圆700。在一些实施例中,当载体晶圆700包括介电材料时,通过将中介层200的前侧200F处的介电层108熔融接合至载体晶圆700来将中介层200附接至载体晶圆700。在一些实施例中,当载体晶圆700包括半导体材料时,在载体晶圆700上方形成介电层(未示出),并且通过将中介层200的前侧200F处的介电层108熔融接合至形成在载体晶圆700上的介电层来将中介层200附接至载体晶圆700。在一些实施例中,在接合工艺之前,中介层200的接合表面(例如介电层108的接合表面)和载体晶圆700的接合表面(或形成在载体晶圆700上的介电层的接合表面)被清洁以及随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善中介层200和载体晶圆700之间的接合。在其他实施例中,使用粘合剂将中介层200附接至载体晶圆700。

[0080] 在将中介层200附接至载体晶圆700之后,在中介层200上和周围形成密封剂702。密封剂702可以是模塑料、环氧树脂等。可以通过压缩模制、传递模制等来施加密封剂702,并且密封剂702形成在载体晶圆700上方,以使得中介层200被掩埋或覆盖。可以以液体或半液体形式施加密封剂702,以及然后随后固化密封剂702。可以减薄密封剂702以暴露中介层200的背侧200B处的介电层112和管芯连接件114。减薄工艺可以是研磨工艺、CMP、回蚀刻、它们的组合等。在减薄工艺之后,介电层112、管芯连接件114和密封剂702的顶表面是共面的(在工艺变化内),以使得它们彼此齐平。

[0081] 在形成密封剂702之后,将集成电路管芯50(例如,第一集成电路管芯50A和第二集成电路管芯50B)的背侧50BS附接至每个中介层200的背侧200B。在所示实施例中,两个集成电路管芯50附接至每个中介层200。在其他实施例中,可以基于封装组件900的设计要求,将一个或两个以上的集成电路管芯50附接至每个中介层200。在一些实施例中,第一集成电路管芯50A是逻辑器件,例如CPU、GPU等,而第二集成电路管芯50B是存储器器件,例如DRAM管芯、HMC模块、HBM模块等。在一些实施例中,第一集成电路管芯50A是与第二集成电路管芯50B相同类型的器件(例如,SoC)。

[0082] 在一些实施例中,通过接合工艺(例如混合接合工艺)将集成电路管芯50附接至相应的中介层200。在这样的实施例中,通过将集成电路管芯50的背侧50BS处的介电层66熔融

接合至相应中介层200的背侧200B处的介电层112,以及通过将集成电路管芯50的背侧50BS处的管芯连接件62熔融接合至相应中介层200的背侧200B处的管芯连接件114来将集成电路管芯50接合至相应的中介层200。在一些实施例中,在接合工艺之前,中介层200(例如介电层112和管芯连接件114的接合表面)和集成电路管芯50的接合表面(例如介电层66和管芯连接件62的接合表面)被清洁,并随后使用等离子体工艺(例如,Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善中介层200和集成电路管芯50之间的接合。集成电路管芯50和相应的中介层200通过接合结构电耦接,接合结构通过将集成电路管芯50的管芯连接件62熔融接合至相应中介层200的管芯连接件114而形成。

[0083] 在图14中,在集成电路管芯50上和周围形成密封剂704。在形成之后,密封剂704密封集成电路管芯50。可以使用与以上参考图13描述的密封剂702类似的材料和方法来形成密封剂704,并且在此不再重复描述。可以减薄密封剂704以暴露集成电路管芯50。减薄工艺可以是研磨工艺、CMP、回蚀刻、它们的组合等。在一些实施例中,减薄工艺还去除集成电路管芯50的载体60。在减薄工艺之后,密封剂704和集成电路管芯50的前侧互连结构56的顶表面是共面的(在工艺变化内),以使得它们彼此齐平。在一些实施例中,密封剂702和密封剂704包括相同的材料并且密封剂702和密封剂704之间的界面可以是不可检测的。在其他实施例中,密封剂702和密封剂704包括不同的材料。

[0084] 在所示实施例中,中介层200和集成电路管芯50由密封剂702和704在如上所述的两个阶段工艺中密封。在其他实施例中,中介层200和集成电路管芯50可以在单个阶段工艺中被密封。在这样的实施例中,省略形成密封剂702,并且在将中介层200和集成电路管芯50两者都附接至载体晶圆700之后,形成密封剂704,以使得密封剂704填充相邻中介层200之间的间隙以及相邻集成电路管芯50之间的间隙。

[0085] 在图15中,将中介层晶圆800附接至集成电路管芯50。中介层晶圆800可以包括多个管芯级中介层850,以使得管芯级中介层850对应于载体晶圆700的相应封装区域。中介层晶圆800可以类似于中介层晶圆100(参见图4),其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层晶圆800,区别在于省略了导电通孔106、介电层112和管芯连接件114的形成。在一些实施例中,中介层850可以是有源中介层(例如,包括有源电气器件,诸如SRAM器件)、无源中介层(例如,包括无源电气器件,诸如电容器)、I/O中介层(包括I/O电路)、光学或光子中介层(例如,包括光学器件,诸如调制器和/或波导)、混合(电气/光学)中介层(包括电气和光学器件)等。

[0086] 在一些实施例中,在将中介层晶圆800附接至集成电路管芯50之前,在集成电路管芯50的前侧互连结构56的最上介电层中(例如,距相应集成电路管芯50的衬底最远的前侧互连结构56的介电层)形成管芯连接件706。在一些实施例中,可以使用与以上参考图2描述的管芯连接件62类似的材料和方法来形成管芯连接件706,并且在此不再重复描述。在一些实施例中,通过接合工艺(例如混合接合工艺)将中介层晶圆800附接至集成电路管芯50。在这样的实施例中,通过将中介层晶圆800的介电层108熔融接合至集成电路管芯50的前侧互连结构56的最上介电层,以及通过将中介层晶圆800的管芯连接件110熔融接合至集成电路管芯50的管芯连接件706来将中介层晶圆800接合至集成电路管芯50。在一些实施例中,在接合工艺之前,中介层晶圆800的接合表面(例如中介层晶圆800的介电层108和管芯连接件

110的接合表面)和集成电路管芯50的接合表面(例如集成电路管芯50的前侧互连结构56的最上介电层的接合表面和集成电路管芯50的管芯连接件706的接合表面)被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善中介层晶圆800和集成电路管芯50之间的接合。中介层晶圆800和集成电路管芯50通过接合结构电耦接,接合结构通过将中介层晶圆800的管芯连接件110熔融接合至集成电路管芯50的管芯连接件706而形成。

[0087] 在图16中,在将中介层晶圆800附接至集成电路管芯50之后,将载体晶圆700从中介层200分离。随后,在中介层200的管芯连接件110上形成导电连接件708。导电连接件708可以是球栅阵列(BGA)连接件、焊球、金属柱、受控塌陷芯片连接(C4)凸块、微凸块、化学镀镍-化学镀钯浸金技术(ENEPIG)形成凸块等。导电连接件708可以包括导电材料,例如焊料、铜、铝、金、镍、银、钯、锡等,或它们的组合。在一些实施例中,通过蒸发、电镀、印刷、焊料转移、焊球放置等首先形成焊料层来形成导电连接件708。一旦在结构上形成了焊料层,就可以执行回流以便将材料成型为期望的凸块形状。在另一个实施例中,导电连接件708包括通过溅射、印刷、电镀、化学镀、CVD等形成的金属柱(诸如铜柱)。金属柱可以是无焊料的并且具有基本上垂直的侧壁。在一些实施例中,在金属柱的顶部上形成金属盖层。金属盖层可以包括镍、锡、锡-铅、金、银、钯、钨、镍-钯-金、镍-金等或它们的组合,并且可以通过镀工艺来形成金属盖层。

[0088] 此外,通过沿着划线区域(例如,在封装区域700A和700B周围)切割来对所得晶圆级结构执行切单工艺。切单工艺可以包括锯切、蚀刻、切削、它们的组合等。例如,切单工艺可以包括锯切密封剂702和704,以及中介层晶圆800的互连结构104和衬底102。切单工艺从相邻的封装区域(例如封装区域700B)分割封装区域(例如封装区域700A)以形成经分割的封装组件900。在图17中示出了这种封装组件900。切单工艺进一步由中介层晶圆800的被分割部分形成中介层850。作为切单工艺的结果,如图17所示,中介层850和密封剂704的外侧壁横向上共边界(在工艺变化范围内)。

[0089] 图18示出了根据一些实施例的封装组件1100的截面图。封装组件1100与封装组件900类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件1100包括中介层1000而不是中介层850。中介层1000与中介层850类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与中介层850相比,中介层1000包括导电通孔106、介电层112和管芯连接件114。导电通孔106、介电层112和管芯连接件114可以如以上参考图4所描述的那样形成,并且在此不再重复描述。

[0090] 图19至图23示出了根据一些实施例的制造封装组件1300中的中间阶段的截面图。在图19中,获得或形成中介层晶圆100。中介层晶圆100可以如以上参考图3所描述的那样形成,并且在此不再重复描述。中介层晶圆100包括多个封装区域(例如封装区域100A和100B),这些封装区域将在后续处理中被分割以包括在封装组件1300中。中介层晶圆100在每个封装区域(例如封装区域100A和100B)中包括中介层200。

[0091] 将集成电路管芯50(例如,第一集成电路管芯50A和第二集成电路管芯50B)的背侧50BS附接至每个封装区域中的中介层晶圆100的前侧100F。在所示实施例中,两个集成电路管芯50附接在每个封装区域中。在其他实施例中,基于封装组件1300的设计要求,将一个或两个以上的集成电路管芯50附接在中介层晶圆100的每个封装区域中。在一些实施例中,第

一集成电路管芯50A是逻辑器件,例如CPU、GPU等,而第二集成电路管芯50B是存储器器件,例如DRAM管芯、HMC模块、HBM模块等。在一些实施例中,第一集成电路管芯50A是与第二集成电路管芯50B相同类型的器件(例如,SoC)。

[0092] 在一些实施例中,通过接合工艺(例如混合接合工艺)将集成电路管芯50附接至中介层晶圆100。在这样的实施例中,通过将集成电路管芯50的背侧50BS处的介电层66熔融接合至中介层晶圆100的前侧100F处的介电层108,以及通过将集成电路管芯50的背侧50BS处的管芯连接件62熔融接合至中介层晶圆100的前侧100F处的管芯连接件110来将集成电路管芯50接合至中介层晶圆100。在一些实施例中,在接合工艺之前,中介层晶圆100的接合表面(例如介电层108和管芯连接件110的接合表面)和集成电路管芯50的接合表面(例如介电层66和管芯连接件62的接合表面)被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善中介层晶圆100和集成电路管芯50之间的接合。中介层晶圆100和集成电路管芯50通过接合结构电耦接,接合结构通过将中介层晶圆100的管芯连接件110熔融接合至集成电路管芯50的管芯连接件62而形成。

[0093] 在图20中,在集成电路管芯50上和周围形成密封剂1302。在形成之后,密封剂1302密封集成电路管芯50。可以使用与以上参考图13描述的密封剂702类似的材料和方法来形成密封剂1302,并且在此不再重复描述。可以减薄密封剂1302以暴露集成电路管芯50。减薄工艺可以是研磨工艺、CMP、回蚀刻、它们的组合等。在一些实施例中,减薄工艺还去除集成电路管芯50的载体60。在减薄工艺之后,密封剂1302和集成电路管芯50的前侧互连结构56的顶表面是共面的(在工艺变化内),以使得它们彼此齐平。

[0094] 在图21中,将中介层晶圆1200附接至集成电路管芯50。中介层晶圆1200可以包括多个管芯级中介层1250,以使得管芯级中介层1250对应于中介层晶圆100的相应封装区域。中介层晶圆1200可以类似于中介层晶圆100(参见图4),其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图3和图4描述的工艺步骤类似的工艺步骤来形成中介层晶圆1200,区别在于省略了导电通孔106、介电层112和管芯连接件114的形成。在一些实施例中,中介层1250可以是有源中介层(例如,包括有源电气器件,诸如SRAM器件)、无源中介层(例如,包括无源电气器件,诸如电容器)、I/O中介层(包括I/O电路)、光学或光子中介层(例如,包括光学器件,诸如调制器和/或波导)、混合(电气/光学)中介层(包括电气和光学器件)等。

[0095] 在一些实施例中,在将中介层晶圆1200附接至集成电路管芯50之前,在集成电路管芯50的前侧互连结构56的最上介电层中(例如,距相应集成电路管芯50的衬底最远的前侧互连结构56的介电层)形成管芯连接件1304。在一些实施例中,可以使用与以上参考图2描述的管芯连接件62类似的材料和方法来形成管芯连接件1304,并且在此不再重复描述。在一些实施例中,通过接合工艺(例如混合接合工艺)将中介层晶圆1200附接至集成电路管芯50。在这样的实施例中,通过将中介层晶圆1200的介电层108熔融接合至集成电路管芯50的前侧互连结构56的最上介电层,以及通过将中介层晶圆1200的管芯连接件110熔融接合至集成电路管芯50的管芯连接件1304来将中介层晶圆1200接合至集成电路管芯50。在一些实施例中,在接合工艺之前,中介层晶圆1200的接合表面(例如中介层晶圆1200的介电层108和管芯连接件110的接合表面)和集成电路管芯50的接合表面(例如集成电路管芯50的前侧互连结构56的最上介电层的接合表面和集成电路管芯50的管芯连接件1304的接合表

面)被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善中介层晶圆1200和集成电路管芯50之间的接合。中介层晶圆1200和集成电路管芯50通过接合结构电耦接,接合结构通过将中介层晶圆1200的管芯连接件110熔融接合至集成电路管芯50的管芯连接件1304而形成。

[0096] 在图22中,减薄中介层晶圆100的背侧100BS以暴露导电通孔106。可以通过对衬底102执行减薄工艺(例如研磨工艺、CMP、回蚀刻、它们的组合等)来实现导电通孔106的暴露。在一些实施例中(未单独示出),用于暴露导电通孔106的减薄工艺包括CMP,并且由于在CMP期间发生的凹陷,导电通孔106在晶圆100的背侧100BS处突出。在这样的实施例中,可以可选地在衬底102的背面上形成绝缘层(未单独示出),从而围绕导电通孔106的突出部分。绝缘层可以由含硅绝缘体形成,例如氮化硅、氧化硅、氮氧化硅等,并且可以通过合适的沉积方法来形成绝缘层,例如通过旋涂、CVD、PECVD、HDP-CVD等。在减薄衬底102之后,导电通孔106和绝缘层(如果存在)或衬底102的暴露表面是共面的(在工艺变化内),以使得它们彼此齐平,并且暴露在中介层晶圆100的背侧100BS处。

[0097] 在减薄中介层晶圆100之后,在中介层晶圆100的背侧100BS处形成介电层112和管芯连接件114。在一些实施例中,如以上参考图4所描述的来形成介电层112和管芯连接件114,并且在此不再重复描述。随后,在中介层晶圆100的管芯连接件114上形成导电连接件1306。导电连接件1306可以是球栅阵列(BGA)连接件、焊球、金属柱、受控塌陷芯片连接(C4)凸块、微凸块、化学镀镍-化学镀钯浸金技术(ENEPIG)形成凸块等。可以使用与以上参考图16描述的导电连接件708类似的材料和方法来形成导电连接件1306,并且在此不再重复描述。

[0098] 此外,通过沿着划线区域(例如,在封装区域100A和100B周围)切割来对所得晶圆级结构执行切单工艺。切单工艺可以包括锯切、蚀刻、切削、它们的组合等。例如,切单工艺可以包括切割密封剂1302、中介层晶圆100的互连结构104和衬底102以及中介层晶圆1200的互连结构104和衬底102。切单工艺从相邻的封装区域(例如封装区域100B)分割封装区域(例如封装区域100A)以形成经分割的封装组件1300。在图23中示出了这种封装组件1300。切单工艺进一步由中介层晶圆100的被分割部分形成中介层200并且由中介层晶圆1200的被分割部分形成中介层1250。作为切单工艺的结果,如图23所示,中介层200、中介层1250和密封剂1302的外侧壁横向上共边界(在工艺变化范围内)。

[0099] 图24示出了根据一些实施例的封装组件1500的截面图。封装组件1500与封装组件1300(参见图23)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件1300相比,封装组件1500包括中介层1400而不是中介层1250。中介层1400与中介层1250类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与中介层1250相比,中介层1400包括导电通孔106、介电层112和管芯连接件114。导电通孔106、介电层112和管芯连接件114可以如以上参考图4所描述的那样形成,并且在此不再重复描述。

[0100] 图25至图30示出了根据一些实施例的制造封装组件1700中的中间阶段的截面图。在图25中,提供或形成载体晶圆700。载体晶圆700用作平台或支撑件以用于下文描述的封装工艺。在一些实施例中,载体晶圆700包括半导体材料(例如硅等)、介电材料(例如石英等)、它们的组合等。如下文更详细描述,在载体晶圆上方形成晶圆级封装组件,其在后续



处理中被分割成单独的管芯级封装组件1700。特别地,载体晶圆700包括多个封装区域(例如封装区域700A和700B),它们对应于相应的管芯级封装组件1700。

[0101] 将中介层200(参见图3)附接至载体晶圆700。在所示实施例中,将一个中介层200附接在载体晶圆700的每个封装区域(例如封装区域700A或700B)中。在其他实施例中,可以基于封装组件1700的设计要求,将两个或更多个中介层200附接在载体晶圆700的每个封装区域中。中介层200可以是有源中介层(例如,包括有源电气器件,诸如SRAM器件)、无源中介层(例如,包括无源电气器件,诸如电容器)、I/O中介层(包括I/O电路)等。在一些实施例中,使用如以上参考图13所描述的接合方法将中介层200附接至载体晶圆700,并且在此不再重复描述。

[0102] 在将中介层200附接至载体晶圆700之后,如以上参考图13所描述的,在中介层200上和周围形成密封剂702,并且在此不再重复描述。可以减薄密封剂702以暴露中介层200的背侧200B处的介电层112和管芯连接件114。减薄工艺可以是研磨工艺、CMP、回蚀刻、它们的组合等。在减薄工艺之后,介电层112、管芯连接件114和密封剂702的顶表面是共面的(在工艺变化内),以使得它们彼此齐平。

[0103] 在形成密封剂702之后,将集成电路管芯50(例如,第一集成电路管芯50A和第二集成电路管芯50B)附接至每个中介层200。在所示实施例中,两个集成电路管芯50附接至每个中介层200。在其他实施例中,可以基于封装组件1700的设计要求,将一个或两个以上的集成电路管芯50附接至每个中介层200。在一些实施例中,第一集成电路管芯50A是逻辑器件,例如CPU、GPU等,而第二集成电路管芯50B是存储器器件,例如DRAM管芯、HMC模块、HBM模块等。在一些实施例中,第一集成电路管芯50A是与第二集成电路管芯50B相同类型的器件(例如,SoC)。在一些实施例中,通过如以上参考图13所描述的接合工艺将集成电路管芯50附接至相应的中介层200,并且在此不再重复描述。

[0104] 在图26中,如以上参考图14所描述的,在集成电路管芯50上和周围形成密封剂704,并且在此不再重复描述。在形成之后,密封剂704密封集成电路管芯50。可以减薄密封剂704以暴露集成电路管芯50。减薄工艺可以是研磨工艺、CMP、回蚀刻、它们的组合等。在一些实施例中,减薄工艺还去除集成电路管芯50的载体60。在减薄工艺之后,密封剂704和集成电路管芯50的前侧互连结构56的顶表面是共面的(在工艺变化内),以使得它们彼此齐平。在一些实施例中,密封剂702和密封剂704包括相同的材料并且密封剂702和密封剂704之间的界面可以是不可检测的。在其他实施例中,密封剂702和密封剂704包括不同的材料。

[0105] 在所示实施例中,中介层200和集成电路管芯50由密封剂702和704在如上所描述的两个阶段工艺中密封。在其他实施例中,中介层200和集成电路管芯50可以在单个阶段工艺中被密封。在这样的实施例中,省略形成密封剂702,并且在将中介层200和集成电路管芯50两者都附接至载体晶圆700之后,形成密封剂704,以使得密封剂704填充相邻中介层200之间的间隙以及相邻集成电路管芯50之间的间隙。

[0106] 在图27和图28中,在集成电路管芯50和密封剂704上方形成中介层晶圆1600。中介层晶圆1600可以包括多个管芯级中介层1650,以使得管芯级中介层1650对应于载体晶圆700的相应封装区域。在一些实施例中,中介层1650可以是有源中介层(例如,包括有源电气器件,诸如SRAM器件)、无源中介层(例如,包括无源电气器件,诸如电容器)、I/O中介层(包括I/O电路)、光学或光子中介层(例如,包括光学器件,诸如调制器和/或波导)、混合(电气/

光学)中介层(包括电气和光学器件)等。

[0107] 在图27中,在集成电路管芯50和密封剂704上方形成中介层晶圆1600的互连结构1602。互连结构1602可以包括一个或多个介电层1602A和位于介电层1602A中的相应金属化层1602B(包括导线和通孔)。用于介电层1602A的可接受介电材料包括低k介电材料,例如磷硅酸盐玻璃(PSG)、硼硅酸盐玻璃(BSG)、硼掺杂的磷硅酸盐玻璃(BPSG)、未掺杂的硅酸盐玻璃(USG)等。用于介电层1602A的可接受的介电材料还包括氧化物,例如氧化硅或氧化铝;氮化物,例如氮化硅;碳化物,例如碳化硅;等;或它们的组合,例如氮氧化硅、碳氧化硅、碳氮化硅、碳氮氧化硅等。也可以使用其他介电材料,例如聚合物,例如聚苯并恶唑(PBO)、聚酰亚胺、苯并环丁烯(BCB)基聚合物等。金属化层1602B可以由导电材料形成,例如金属,例如铜、钴、铝、金、它们的组合等。可以通过镶嵌工艺来形成互连结构1602,例如单镶嵌工艺、双镶嵌工艺等。

[0108] 在图28中,将中介层晶圆1600的半导体衬底1604附接至中介层晶圆1600的互连结构1602。可以使用与以上参考图1所描述的半导体衬底52类似的材料和方法来形成半导体衬底1604,并且在此不再重复描述。

[0109] 在所实施例中,通过接合方法(例如熔融接合方法)将半导体衬底1604附接至互连结构1602。在一些实施例中,在将半导体衬底1604接合至互连结构1602之前,在半导体衬底1604上形成介电层1606。随后,通过将介电层1606熔融接合至互连结构1602的最上介电层(例如最靠近半导体衬底1604的互连结构1602的介电层)来将半导体衬底1604接合至互连结构1602。在一些实施例中,在接合工艺之前,半导体衬底1604的接合表面(例如介电层1606的接合表面)和互连结构1602的接合表面(例如互连结构1602的最上介电层的接合表面)被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善互连结构1602和半导体衬底1604之间的接合。

[0110] 在图29中,在集成电路管芯50和密封剂704上方形成中介层晶圆1600之后,将载体晶圆700从中介层200分离。随后,如以上参考图16所描述,在中介层200的管芯连接件110上形成导电连接件708,并且在此不再重复描述。

[0111] 此外,通过沿着划线区域(例如,在封装区域700A和700B周围)切割来对所得晶圆级结构执行切单工艺。切单工艺可以包括锯切、蚀刻、切削、它们的组合等。例如,切单工艺可以包括锯切密封剂702和704,以及中介层晶圆1600的互连结构1602和衬底1604。切单工艺从相邻的封装区域(例如封装区域700B)分割封装区域(例如封装区域700A)以形成经分割的封装组件1700。在图30中示出了这种封装组件1700。切单工艺进一步由中介层晶圆1600的被分割部分形成中介层1650。作为切单工艺的结果,如图30所示,中介层1650、中介层200和密封剂704的外侧壁横向上共边界(在工艺变化范围内)。

[0112] 图31示出了根据一些实施例的封装组件1800的截面图。封装组件1800与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件1800包括中介层300'(参见图6)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层300'电耦接,例如通过中介层300'的互连结构104和/或无源电气器件(未示出)。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0113] 图32A和图32B示出了根据一些实施例的封装组件1800(参见图31)的中介层300'

的互连结构104的平面图和截面图。特别地,图32A示出了平面图,而图32B示出了沿着图32A中的线BB'的截面图。在所示实施例中,封装组件1800包括通过中介层300'的互连结构104互连的四个集成电路管芯50(例如集成电路管芯50A、50B、50C和50D)。在一些实施例中,中介层300'的互连结构104包括金属化层104B,金属化层104B可以包括导线104B1、104B2、104B3和104B4。导线104B1、104B2、104B3和104B4设置在互连结构104的不同金属化层中,以使得导线104B3位于导线104B4上方,导线104B2位于导线104B3上方,并且导电线104B1位于导线104B2上方。导线104B1、104B2、104B3和104B4互连集成电路管芯50的管芯连接件706,从而将集成电路管芯50彼此电连接。导线104B1沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50A和50B的管芯连接件706分别互连至集成电路管芯50C和50D的管芯连接件706。导线104B2沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50A和50C的管芯连接件706分别互连至集成电路管芯50B和50D的管芯连接件706。导线104B3沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50A的管芯连接件706互连至集成电路管芯50D的管芯连接件706。导线104B4沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50B的管芯连接件706互连至集成电路管芯50C的管芯连接件706。

[0114] 图33A和图33B示出了根据一些实施例的封装组件1800(参见图31)的中介层300'的互连结构104的平面图和截面图。特别地,图33A示出了平面图,而图33B示出了沿着图33A中的线BB'的截面图。在所示的实施例中,封装组件1800包括通过中介层300'的互连结构104互连的四个集成电路管芯50(例如集成电路管芯50A、50B、50C和50D)。在一些实施例中,中介层300'的互连结构104包括金属化层104B,金属化层104B可以包括导线104B1和104B2。导线104B1和104B2设置在互连结构104的不同金属化层中,以使得导线104B1位于导线104B2上方。导线104B1和104B2互连集成电路管芯50的管芯连接件706,从而将集成电路管芯50彼此电连接。导线104B1沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50A和50B的管芯连接件706分别互连至集成电路管芯50C和50D的管芯连接件706。导线104B2沿着连接的管芯连接件706之间的最短直接路径将集成电路管芯50A和50C的管芯连接件706分别互连至集成电路管芯50B和50D的管芯连接件706。

[0115] 图34示出了根据一些实施例的封装组件1900的截面图。封装组件1900与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件1900包括中介层300(参见图5)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层300电耦接,例如通过中介层300的互连结构104和/或无源电气器件(未示出)。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0116] 图35示出了根据一些实施例的封装组件2000的截面图。封装组件2000与封装组件900(见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2000包括中介层400'(参见图8)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层400'电耦接,例如通过中介层400'的互连结构104和/或有源/无源电气器件402。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0117] 图36示出了根据一些实施例的封装组件2000的中介层400'的互连结构104的平面图。在所示的实施例中,封装组件2000包括通过中介层400'的互连结构104互连的四个集成

电路管芯50(例如集成电路管芯50A、50B、50C和50D)。在一些实施例中,集成电路管芯50的管芯连接件706耦接至I/O路由器/开关404。在一些实施例中,I/O路由器/开关404可以由中介层400'的器件402(参见图35)形成。中介层400'的互连结构104包括金属化层104B,金属化层104B可以包括导线104B1和104B2。在一些实施例中,导线104B1和104B2设置在互连结构104的不同金属化层中,以使得导线104B2位于导线104B1上方。导线104B1沿着连接的I/O路由器/开关之间的最短直接路径将集成电路管芯50A和50B的I/O路由器/开关404分别互连至集成电路管芯50C和50D的I/O路由器/开关404。导线104B2沿着连接的I/O路由器/开关之间的最短直接路径互连每个集成电路管芯50A、50B、50C和50D内的相邻I/O路由器/开关404。导线104B2沿着连接的I/O路由器/开关之间的最短直接路径进一步将集成电路管芯50A的I/O路由器/开关404互连至集成电路管芯50B的I/O路由器/开关404并且将集成电路管芯50C的I/O路由器/开关404互连至集成电路管芯50D的I/O路由器/开关404。

[0118] 图37示出了根据一些实施例的封装组件2100的截面图。封装组件2100与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2100包括中介层400(参见图7)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层400电耦接,例如通过中介层400的互连结构104和/或有源/无源电气器件402。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200导电通孔106、互连结构104和/或的有源/无源电气器件(未示出)。

[0119] 图38示出了根据一些实施例的封装组件2200的截面图。封装组件2200与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2200包括中介层500'(参见图10)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层500'电耦接,例如通过中介层500'的互连结构104、一个或多个光波导504和/或光学器件502。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0120] 图39示出了根据一些实施例的封装组件2300的截面图。封装组件2300与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2300包括中介层500(参见图9)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层500电耦接,例如通过中介层500的互连结构104、一个或多个光波导504和/或光学器件502。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0121] 图40示出了根据一些实施例的封装组件2400的截面图。封装组件2400与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2400包括中介层600'(参见图12)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层600'电耦接,例如通过中介层600'的互连结构104、一个或多个光波导602、光学器件(未示出)和/或有源/无源电气器件(未示出)。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0122] 图41示出了根据一些实施例的封装组件2500的截面图。封装组件2500与封装组件

900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2500包括中介层600(参见图11)而不是中介层850(参见图17)。集成电路管芯50A和50B通过中介层600电耦接,例如通过中介层600的互连结构104、一个或多个光波导602、光学器件(未示出)和/或有源/无源电气器件(未示出)。集成电路管芯50A和50B进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0123] 图42示出了根据一些实施例的封装组件2600的截面图。封装组件2600与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件2600包括两个中介层200而不是单个中介层(参见图17),以使得集成电路管芯50A接合至中介层200中的第一中介层,而集成电路管芯50B接合至中介层200中的第二中介层,其中,中介层200中的第一中介层通过密封剂702与中介层200中的第二中介层横向分隔开。集成电路管芯50A和50B通过中介层850电耦接,例如通过中介层850的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0124] 图43示出了根据一些实施例的封装组件2700的截面图。封装组件2700与封装组件1100(参见图18)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件1100相比,封装组件2700包括两个中介层200而不是单个中介层(参见图18),以使得集成电路管芯50A接合至中介层200中的第一中介层,而集成电路管芯50B接合至中介层200中的第二中介层,其中,中介层200中的第一中介层通过密封剂702与中介层200中的第二中介层横向分隔开。集成电路管芯50A和50B通过中介层1000电耦接,例如通过中介层1000的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0125] 图44示出了根据一些实施例的封装组件2800的截面图。封装组件2800与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装元件2800不包括中介层200(参见图17),以使得导电连接件708形成在集成电路管芯50A和50B的管芯连接件62上。集成电路管芯50A和50B通过中介层850电耦接,例如通过中介层850的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0126] 图45示出了根据一些实施例的封装组件2900的截面图。封装组件2900与封装组件1100(参见图18)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装元件1100相比,封装组件2900不包括中介层200(参见图18),以使得导电连接件708形成在集成电路管芯50A和50B的管芯连接件62上。集成电路管芯50A和50B通过中介层1000电耦接,例如通过中介层1000的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0127] 图46示出了根据一些实施例的封装组件3000的截面图。封装组件3000与封装组件900(参见图17)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件900相比,封装组件3000包括集成电路管芯50'而不是集成电路管芯50(参见图17)。集成电路管芯50'通过中介层850电耦接,例如通过中介层850的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。集成电路管芯50'

进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0128] 图47示出了根据一些实施例的封装组件3100的截面图。封装组件3100与封装组件1100(参见图18)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件1100相比,封装组件3100包括集成电路管芯50'而不是集成电路管芯50(参见图18)。集成电路管芯50'通过中介层1000电耦接,例如通过中介层1000的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。集成电路管芯50'进一步通过中介层200电耦接,例如通过中介层200的导电通孔106、互连结构104和/或有源/无源电气器件(未示出)。

[0129] 图48示出了根据一些实施例的封装组件3200的截面图。封装组件3200与封装组件3000(参见图46)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件3000相比,封装组件3200不包括中介层200(见图46),以使得导电连接件708形成在集成电路管芯50'的管芯连接件62上。集成电路管芯50'通过中介层850电耦接,例如通过中介层850的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0130] 图49示出了根据一些实施例的封装组件3300的截面图。封装组件3300与封装组件3100(参见图47)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。与封装组件3100相比,封装组件3300不包括中介层200(参见图47),以使得导电连接件708形成在集成电路管芯50'的管芯连接件62上。集成电路管芯50'通过中介层1000电耦接,例如通过中介层1000的互连结构104、光学器件(未示出)、有源电气器件(未示出)和/或无源电气器件(未示出)。

[0131] 图50示出了根据一些实施例的多层封装组件3400的截面图。多层封装组件3400包括附接至封装组件3402<sub>1</sub>的封装组件3402<sub>2</sub>。封装组件3402<sub>1</sub>与封装组件1900(见图34)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。在一些实施例中,可以使用与以上参考图13至图16描述的工艺步骤类似的工艺步骤来形成封装组件3402<sub>1</sub>,并且在此不再重复描述。与封装组件1900(参见图34)不同,封装组件3402<sub>1</sub>包括延伸穿过密封剂704的贯通孔3404<sub>1</sub>。也可以将贯通孔3404<sub>1</sub>称为模制贯通孔、密封剂贯通孔或芯片贯通孔。在一些实施例中,在如以上参考图13所描述的将中介层200附接至载体晶圆700之后,在中介层200上方形成晶种层(例如,诸如铜层),在晶种层上形成光刻胶以及图案化光刻胶来形成用于贯通孔3404<sub>1</sub>的开口。随后,例如使用镀工艺在开口中形成导电材料(例如,诸如铜)。在形成导电材料之后,去除光刻胶,并且在去除光刻胶之后,去除晶种层的暴露部分。导电材料和晶种层的剩余部分形成贯通孔3404<sub>1</sub>。贯通孔3404<sub>1</sub>将封装组件3402<sub>1</sub>的中介层200电耦接至封装组件3402<sub>1</sub>的中介层300。

[0132] 封装组件3402<sub>2</sub>与封装组件1800(参见图31)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。在一些实施例中,可以使用与以上参考图13至图16描述的工艺步骤类似的工艺步骤来形成封装组件3402<sub>2</sub>,并且在此不再重复描述。与封装组件1800(参见图31)不同,封装组件3402<sub>2</sub>包括延伸穿过密封剂704的贯通孔3404<sub>2</sub>。也可以将贯通孔3404<sub>2</sub>称为模制贯通孔、密封剂贯通孔或芯片贯通孔。可以使用与贯通孔3404<sub>1</sub>类似的材料和方法来形成通孔3404<sub>2</sub>。贯通孔3404<sub>2</sub>将封装组件3402<sub>2</sub>的中介层200电耦接至封

装组件3402<sub>2</sub>的中介层300’。

[0133] 在一些实施例中,使用接合工艺(诸如混合接合工艺)将封装组件3402<sub>2</sub>附接至封装组件3402<sub>1</sub>。在这样的实施例中,封装组件3402<sub>2</sub>的介电层108熔融接合至封装组件3402<sub>1</sub>的介电层112,并且封装组件3402<sub>2</sub>的管芯连接件110熔融接合至封装组件3402<sub>1</sub>的管芯连接件114。在一些实施例中,在接合工艺之前,介电层108和112以及管芯连接件110和114的接合表面被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善封装组件3402<sub>1</sub>和封装组件3402<sub>2</sub>之间的接合。封装组件3402<sub>1</sub>和封装组件3402<sub>2</sub>通过接合结构电耦接,接合结构通过将封装组件3402<sub>2</sub>的管芯连接件110熔融接合至封装组件3402<sub>1</sub>的管芯连接件114而形成。

[0134] 在一些实施例中,基于多层封装组件3400的设计要求,中介层300’可以由中介层400’(参见图8)、500’(参见图10)和600’(参见图12)中的任何封装组件替换。在一些实施例中,基于多层封装组件3400的设计要求,中介层300可以由中介层400(参见图7)、500(参见图9)和600(参见图11)中的任何封装组件替换。在一些实施例中,基于多层封装组件3400的设计要求,一些或全部集成电路管芯50可以由集成电路管芯50’(参见图2)替换。在所示实施例中,多层封装组件3400包括两个封装组件(例如封装组件3402<sub>1</sub>和3402<sub>2</sub>)。在其他实施例中,基于多层封装组件3400的设计要求,多层封装组件3400可以包括两个以上的封装组件。

[0135] 图51示出了根据一些实施例的多层封装组件3500的截面图。多层封装组件3500包括封装组件3502<sub>1</sub>、封装组件3502<sub>2</sub>和封装组件3502<sub>3</sub>。封装组件3502<sub>2</sub>附接至封装组件3502<sub>1</sub>,并且封装组件3502<sub>3</sub>附接至封装组件3502<sub>2</sub>,以使得封装组件3502<sub>2</sub>插入在封装组件3502<sub>1</sub>和封装组件3502<sub>3</sub>之间。

[0136] 封装组件3502<sub>1</sub>与封装组件1900(参见图34)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。可以使用与以上参考图13至图16描述的工艺步骤类似的工艺步骤来形成封装组件3502<sub>1</sub>,并且在此不再重复描述。与封装组件1900(参见图34)不同,封装组件3502<sub>1</sub>包括延伸穿过密封剂704的贯通孔3504<sub>1</sub>。也可以将贯通孔3504<sub>1</sub>称为模制贯通孔、密封剂贯通孔或芯片贯通孔。在一些实施例中,可以使用与以上参考图50描述的贯通孔3404<sub>1</sub>类似的材料和方法来形成贯通孔3504<sub>1</sub>,并且在此不再重复描述。贯通孔3504<sub>1</sub>将封装组件3502<sub>1</sub>的中介层200电耦接至封装组件3502<sub>1</sub>的中介层300。

[0137] 封装组件3502<sub>2</sub>与封装组件2500(参见图41)相似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。在一些实施例中,可以使用与以上参考图13至图16描述的工艺步骤类似的工艺步骤来形成封装组件3502<sub>2</sub>,并且在此不再重复描述。与封装组件2500(参见图41)不同,封装组件3502<sub>2</sub>包括延伸穿过密封剂704的贯通孔3504<sub>2</sub>。也可以将贯通孔3504<sub>2</sub>称为模制贯通孔、密封剂贯通孔或芯片贯通孔。在一些实施例中,可以使用与以上参考图50描述的贯通孔3404<sub>1</sub>类似的材料和方法来形成贯通孔3504<sub>2</sub>,并且在此不再重复描述。贯通孔3504<sub>2</sub>将封装组件3502<sub>2</sub>的中介层200电耦接至封装元件3502<sub>2</sub>的中介层600。

[0138] 封装组件3502<sub>3</sub>与封装组件2200(参见图38)类似,其中类似部件由类似的附图标号表示,并且类似部件的描述在此不再重复。在一些实施例中,可以使用与以上参考图13至图16描述的工艺步骤类似的工艺步骤来形成封装组件3502<sub>3</sub>,并且在此不再重复描述。与封装组件2200(参见图38)不同,封装组件3502<sub>3</sub>包括延伸穿过密封剂704的贯通孔3504<sub>3</sub>。也可

以将贯通孔3504<sub>3</sub>称为模制贯通孔、密封剂贯通孔或芯片贯通孔。在一些实施例中,可以使用与以上参考图50描述的贯通孔3404<sub>1</sub>类似的材料和方法来形成贯通孔3504<sub>3</sub>,并且在此不再重复描述。贯通孔3504<sub>3</sub>将封装组件3502<sub>3</sub>的中介层200电耦接至封装元件3502<sub>3</sub>的中介层500'。

[0139] 在一些实施例中,使用接合工艺(诸如混合接合工艺)将封装组件3502<sub>1</sub>附接至封装组件3502<sub>2</sub>。在这样的实施例中,封装组件3502<sub>2</sub>的中介层200接合至封装组件3502<sub>1</sub>的中介层300,以使得封装组件3502<sub>2</sub>的介电层108熔融接合至封装组件3502<sub>1</sub>的介电层112,并且使得封装组件3502<sub>2</sub>的管芯连接件110熔融接合至封装组件3502<sub>1</sub>的管芯连接件114。在一些实施例中,在接合工艺之前,介电层108和112以及管芯连接件110和114的接合表面被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善封装组件3502<sub>1</sub>和封装组件3502<sub>2</sub>之间的接合。封装组件3502<sub>1</sub>和封装组件3502<sub>2</sub>通过接合结构电耦接,接合结构通过将封装组件3502<sub>2</sub>的管芯连接件110熔融接合至封装组件3502<sub>1</sub>的管芯连接件114而形成。

[0140] 在一些实施例中,使用接合工艺(诸如混合接合工艺)将封装组件3502<sub>3</sub>附接至封装组件3502<sub>2</sub>。在这样的实施例中,封装组件3502<sub>3</sub>的中介层200接合至封装组件3502<sub>2</sub>的中介层600,以使得封装组件3502<sub>3</sub>的介电层108熔融接合至封装组件3502<sub>2</sub>的介电层112,并且使得封装组件3502<sub>3</sub>的管芯连接件110熔融接合至封装组件3502<sub>2</sub>的管芯连接件114。在一些实施例中,在接合工艺之前,介电层108和112以及管芯连接件110和114的接合表面被清洁并且随后使用等离子体工艺(例如,诸如Ar等离子体工艺)被激活。随后,可以执行退火工艺以改善封装组件3502<sub>2</sub>和封装组件3502<sub>3</sub>之间的接合。封装组件3502<sub>2</sub>和封装组件3502<sub>3</sub>通过接合结构电耦接,接合结构通过将封装组件3502<sub>3</sub>的管芯连接件110熔融接合至封装组件3502<sub>2</sub>的管芯连接件114而形成。

[0141] 在一些实施例中,基于多层封装组件3500的设计要求,中介层300可以由中介层400(参见图7)、500(参见图9)和600(参见图11)中的任何封装组件替换。在一些实施例中,基于多层封装组件3500的设计要求,中介层600可以由中介层300(参见图5)、400(参见图7)和500(参见图9)中的任何封装组件替换。在一些实施例中,基于多层封装组件3500的设计要求,中介层500'可以由中介层300'(参见图6)、400'(参见图8)和600'(参见图12)中的任何封装组件替换。在一些实施例中,基于多层封装组件3500的设计要求,一些或全部集成电路管芯50可以由集成电路管芯50'(参见图2)替换。在所示实施例中,多层封装组件3500包括三个封装组件(例如封装组件3502<sub>1</sub>、3502<sub>2</sub>和3502<sub>3</sub>)。在其他实施例中,基于多层封装组件3500的设计要求,多层封装组件3500可以包括三个以上的封装组件。

[0142] 在一些实施例中,以上描述的任何封装组件可以附接至封装衬底以形成集成电路封装件。在图52中示出这种集成电路封装件3700。特别地,图52示出了根据一些实施例的包括安装在封装衬底3600上的封装组件900(参见图17)的集成电路封装件3700的截面图。可以使用导电连接件708将封装组件900安装在封装衬底3600上。

[0143] 封装衬底3600包括衬底芯3602和位于衬底芯3602上方的接合焊盘3604。衬底芯3602可以由诸如硅、锗、金刚石等的半导体材料制成。可替代地,也可以使用诸如硅锗、碳化硅、镓砷、砷化镓、磷化镓、碳化硅锗、磷化砷镓、磷化镓砷、它们的组合等的化合物材料。此外,衬底芯3602可以是SOI衬底。通常,SOI衬底包括半导体材料的层,例如外延硅、锗、硅锗、



SOI、SGOI或它们的组合。在一个可替代的实施例中，衬底芯3602是基于诸如玻璃纤维增强树脂芯的绝缘芯。一种实例芯材料是玻璃纤维树脂，例如FR4。芯材料的替代方案包括双聚物酰亚胺-三嗪BT树脂，或者可替代地，其他PCB材料或薄膜。诸如ABF或其他层压板的层积薄膜可以用于衬底芯3602。

[0144] 衬底芯3602可以包括有源器件和无源器件(未示出)。可以使用各种器件，例如晶体管、电容器、电阻器、它们的组合等，以产生集成电路封装件3700的设计的结构和功能要求。可以使用任何合适的方法形成器件。

[0145] 衬底芯3602还可以包括金属化层和通孔(未示出)，接合焊盘3604物理耦接和/或电耦接到金属化层和通孔。可以在有源器件和无源器件上方形成金属化层，并且将金属化层设计成连接各种器件以形成功能电路。金属化层可以由介电材料(例如，低k介电材料)和导电材料(例如，铜)的交替层形成，其中通孔互连导电材料的层，并且可以通过任何合适的工艺(诸如沉积、镶嵌、双镶嵌等)来形成金属化层。在一些实施例中，衬底芯3602基本上没有有源器件和无源器件。

[0146] 在一些实施例中，回流导电连接件708以将封装组件900附接至接合焊盘3604。导电连接件708将封装衬底3600(包括位于衬底芯3602中的金属化层)电耦接和/或物理耦接至封装组件900。在一些实施例中，在封装衬底3600上形成阻焊剂3606。导电连接件708可以设置在阻焊剂3606中的开口中以耦接且机械耦接至接合焊盘3604。阻焊剂3606可以用于保护封装衬底3600的区域免受外部损坏。

[0147] 在回流导电连接件708之前，导电连接件708可以具有形成于其上的环氧树脂助焊剂(未示出)，在将封装组件900附接至封装衬底3600之后环氧树脂助焊剂的至少一些环氧树脂部分剩余。该剩余的环氧树脂部分可以作为底部填充物以减小应力并保护因回流导电连接件708而产生的接头。在一些实施例中，可以在封装组件900和封装衬底3600之间并且围绕导电连接件708形成底部填充物3608。底部填充物3608可以由模塑料、环氧树脂等形成。可以在将封装组件900附接至封装衬底3600之后通过毛细管工艺来形成底部填充物3608，或者可以在将封装组件900附接至封装衬底3600之前通过合适的沉积方法来形成底部填充物3608。

[0148] 还可以包括其他部件和工艺。例如，可以包括测试结构以帮助3D封装或3DIC器件的验证测试。例如，测试结构可以包括在再分布层中或在衬底上形成的测试焊盘，测试焊盘允许测试3D封装或3DIC，探针和/或探针卡的使用等。验证测试可以在中间结构以及最终结构上执行。另外，本文公开的结构和方法可以与测试方法结合使用，测试方法结合已知良好管芯的中间验证以增加良率以及降低成本。

[0149] 实施例可以实现优势。以上描述的各个实施例允许形成包括密封在密封剂(例如，诸如图17中所示的密封剂704)中的多个集成电路管芯(例如，诸如图17中所示的集成电路管芯50A和50B)的封装组件(例如，诸如图17中所示的封装组件900)，其中每个集成电路管芯包括前侧互连结构(例如，诸如图1中所示的前侧互连结构56)和背侧互连结构(例如，诸如图1中所示的背侧互连结构58)。封装组件还包括与集成电路管芯的背侧互连结构物理接触和电接触的第一中介层(例如，诸如图17中所示的中介层200)以及与集成电路管芯的前侧互连结构物理接触和电接触的第二中介层(例如，诸如图17中所示的中介层850)。第二中介层允许耦接集成电路管芯的前侧互连结构，而不依赖于集成电路管芯的背侧互连结构

(例如超级电源轨)以及第一中介层的互连结构和贯通孔。通过将第一中介层和第二中介层混合接合至集成电路管芯,封装组件的热阻降低。通过经由第二中介层电耦接集成电路管芯,改善了封装组件电路设计的灵活性。

[0150] 根据实施例,一种封装件包括具有第一侧和与第一侧相对的第二侧的密封剂、嵌入密封剂中的第一集成电路管芯和第二集成电路管芯,以及位于密封剂的第一侧上的第一中介层。第一中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯。该封装件还包括位于密封剂的第二侧上的第二中介层。第二中介层机械耦接且电耦接至第一集成电路管芯和第二集成电路管芯。第二中介层将第一集成电路管芯光耦接或电耦接至第二集成电路管芯。在实施例中,第一中介层包括有源电气器件或无源电气器件。在实施例中,第二中介层包括有源电气器件、无源电气器件或光学器件。在实施例中,第一集成电路管芯包括:衬底;位于衬底背侧上的第一互连结构,其中,第一互连结构物理接触且电接触第一中介层;以及位于衬底前侧上的第二互连结构,其中,第二互连结构物理接触且电接触第二中介层。在实施例中,第二集成电路管芯包括:衬底;位于衬底背侧上的第一互连结构,其中,第一互连结构物理接触且电接触第一中介层;以及位于衬底前侧上的第二互连结构,其中,第二互连结构物理接触且电接触第二中介层。在实施例中,第一中介层的侧壁、第二中介层的侧壁和密封剂的侧壁横向上共边界。在实施例中,第一中介层将第一集成电路管芯电耦接至第二集成电路管芯。

[0151] 根据另一实施例,一种封装件包括第一集成电路管芯和第二集成电路管芯。第一集成电路管芯包括第一衬底、位于第一衬底背侧上的第一互连结构以及位于第一衬底前侧上的第二互连结构。第二互连结构电耦接至第一互连结构。第二集成电路管芯包括第二衬底、位于第二衬底背侧上的第三互连结构以及位于第二衬底前侧上的第四互连结构。第四互连结构电耦接至第三互连结构。该封装件还包括与第二互连结构和第四互连结构物理接触的第一中介层,以及与第一互连结构和第三互连结构物理接触的第二中介层。第二中介层将第一互连结构电耦接至第三互连结构。第一中介层将第二互连结构电耦接且光耦接至第四互连结构。在实施例中,第二中介层包括有源电气器件或无源电气器件。在实施例中,第一中介层包括电气器件和光学器件。在实施例中,封装件还包括位于第一中介层和第二中介层之间的密封剂,密封剂沿着第一集成电路管芯的侧壁和第二集成电路管芯的侧壁延伸。在实施例中,第一中介层包括金属化层和一个或多个波导,第二互连结构和第四互连结构通过金属化层电耦接,第二互连结构和第四互连结构通过一个或多个波导光耦接。在实施例中,第二中介层包括位于第二中介层前侧处的第一接合焊盘,并且第一互连结构包括第二接合焊盘,第二接合焊盘物理接触第一接合焊盘。在实施例中,第一中介层包括位于第一中介层前侧处的第三接合焊盘,并且第二互连结构包括第四接合焊盘,第四接合焊盘物理接触第三接合焊盘。

[0152] 根据再一些实施例,提供了一种封装件,包括:第一集成电路管芯,第一集成电路管芯包括:第一衬底;第一互连结构,位于第一衬底的背侧上;以及第二互连结构,位于第一衬底的前侧上,其中,第二互连结构电耦合至第一互连结构;第二集成电路管芯,第二集成电路管芯包括:第二衬底;第三互连结构,位于第二衬底的背侧上;以及第四互连结构,位于第二衬底的前侧上,其中,第四互连结构电耦接至第三互连结构;以及第一中介层,物理接触第二互连结构和第四互连结构,第一中介层将第二互连结构电耦接且光耦接至第四互连

结构。

[0153] 在一些实施例中,第一中介层包括电气器件和光学器件。

[0154] 在一些实施例中,该封装件还包括与第一互连结构和第三互连结构物理接触的第二中介层,第二中介层将第一互连结构电耦接至第三互连结构。

[0155] 在一些实施例中,第二中介层包括有源电气器件或无源电气器件。

[0156] 在一些实施例中,该封装件还包括位于第一中介层和第二中介层之间的密封剂,密封剂沿着第一集成电路管芯的侧壁和第二集成电路管芯的侧壁延伸。

[0157] 在一些实施例中,第二中介层包括位于第二中介层的前侧处的第一接合焊盘,并且第一互连结构包括第二接合焊盘,其中,第二接合焊盘物理接触第一接合焊盘。

[0158] 在一些实施例中,第一中介层包括位于第一中介层的前侧处的第三接合焊盘,并且第二互连结构包括第四接合焊盘,其中,第四接合焊盘物理接触第三接合焊盘。

[0159] 根据又一实施例,一种方法包括将中介层管芯附接至载体晶圆。在载体晶圆上方形成第一密封剂并且第一密封剂沿着中介层管芯的侧壁延伸。将第一集成电路管芯和第二集成电路管芯接合至中介层管芯。中介层管芯将第一集成电路管芯电耦接至第二集成电路管芯。在载体晶圆上方形成第二密封剂并且第二密封剂沿着第一集成电路管芯的侧壁和第二集成电路管芯的侧壁延伸。将中介层晶圆接合至第一集成电路管芯和第二集成电路管芯。中介层晶圆将第一集成电路管芯电耦接且光耦接至第二集成电路管芯。在实施例中,将第一集成电路管芯和第二集成电路管芯接合至中介层管芯包括将第一集成电路管芯的第一接合焊盘和第二集成电路管芯的第二接合焊盘接合至中介层管芯的第三接合焊盘。在实施例中,将中介层晶圆接合至第一集成电路管芯和第二集成电路管芯包括将第一集成电路管芯的第四接合焊盘和第二集成电路管芯的第五接合焊盘接合至中介层晶圆的第六接合焊盘,第一接合焊盘和第四接合焊盘位于第一集成电路管芯的相对侧上,第二接合焊盘和第五接合焊盘位于第二集成电路管芯的相对侧上。在实施例中,该方法还包括将载体晶圆从中介层晶圆分离,以及将多个导电连接件接合至中介层晶圆。在实施例中,第一密封剂和第二密封剂包括相同的材料。在实施例中,第一密封剂和第二密封剂包括不同的材料。

[0160] 前面概述了若干实施例的特征,使得本领域技术人员可以更好地理解本发明的方面。本领域技术人员应该理解,他们可以容易地使用本发明作为基础来设计或修改用于实施与在此所介绍实施例相同的和/或实现相同优势的其他工艺和结构。本领域技术人员也应该意识到,这种等同构造并不背离本发明的精神和范围,并且在不背离本发明的精神和范围的情况下,在此他们可以做出多种变化、替换以及改变。

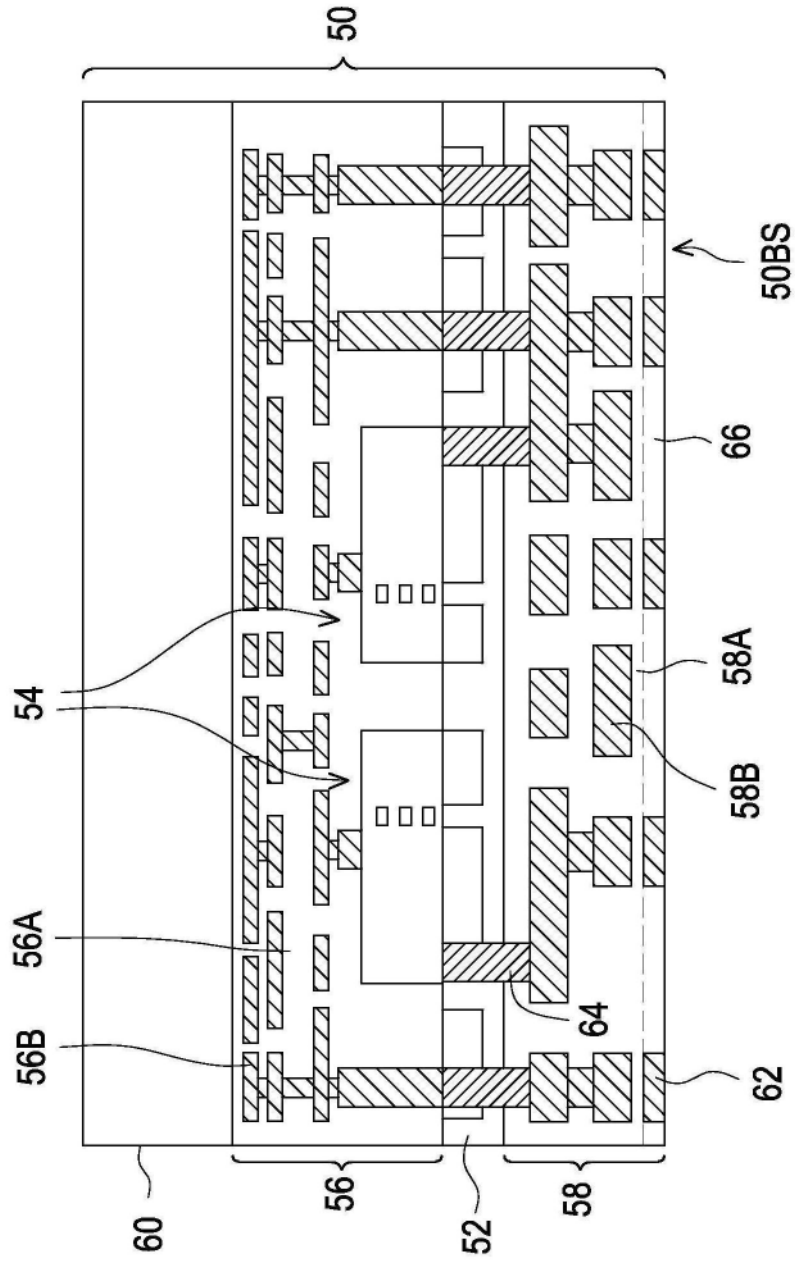


图1

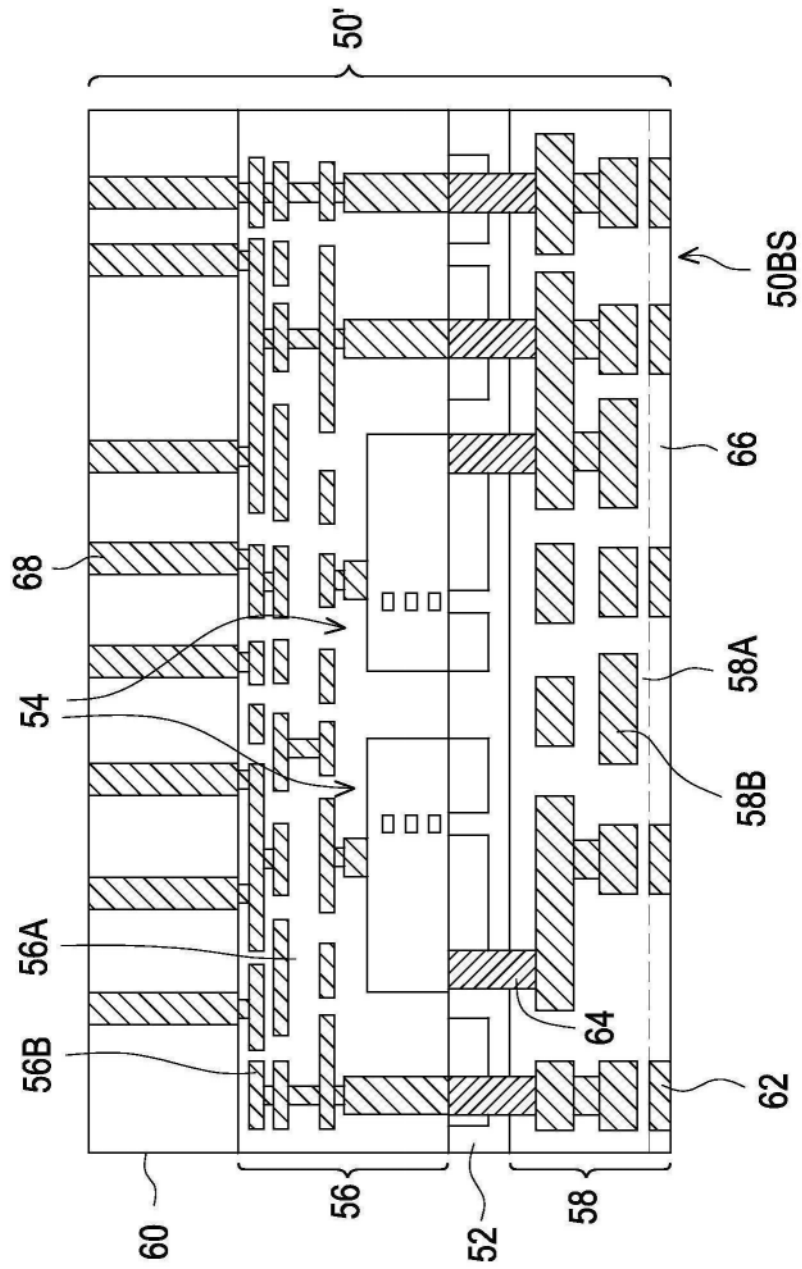


图2

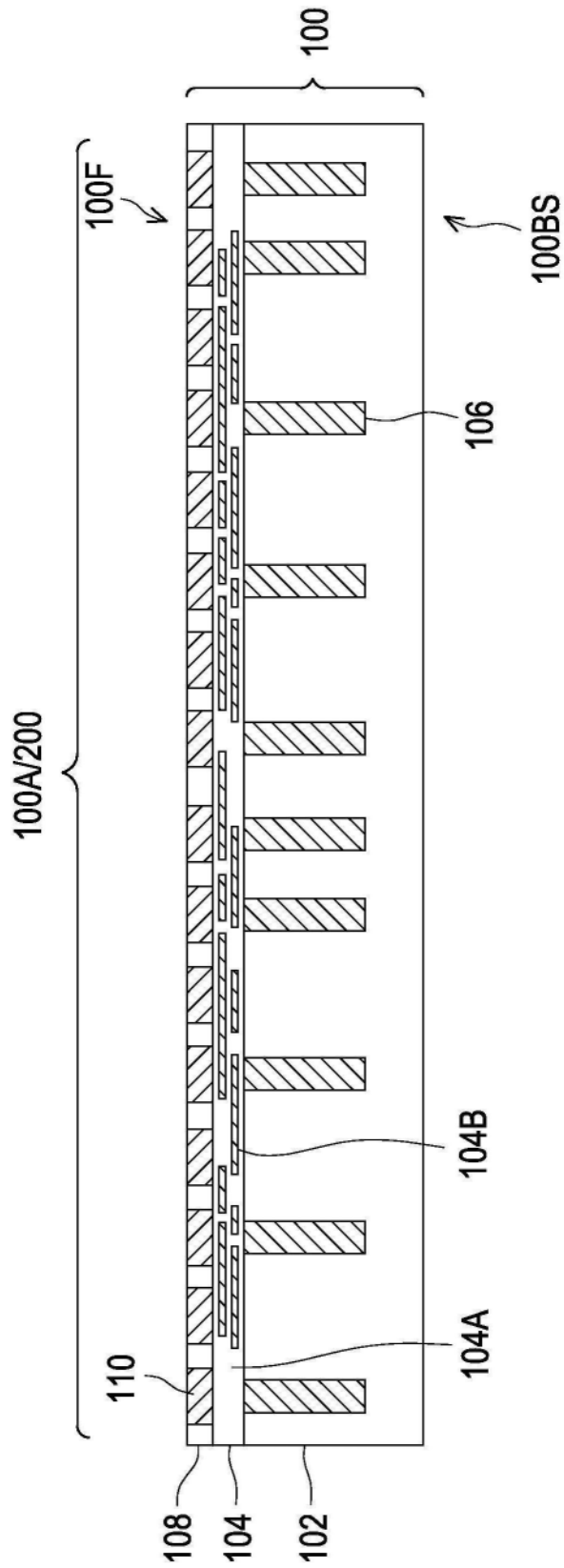


图3

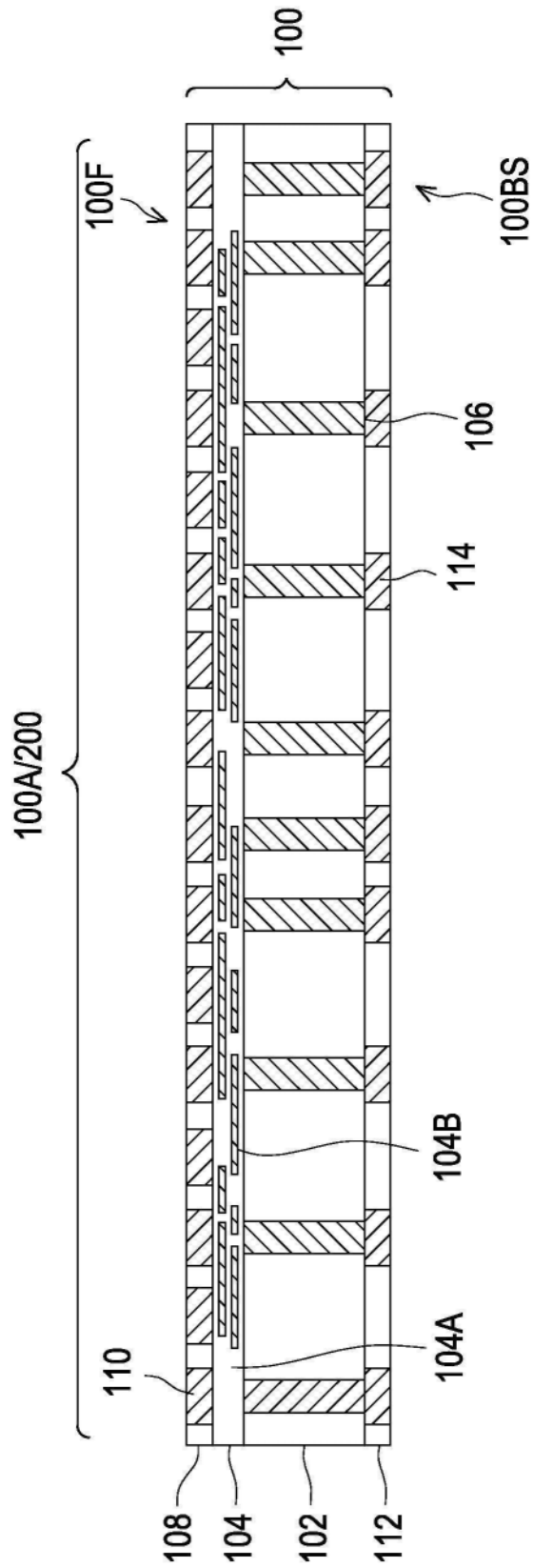


图4

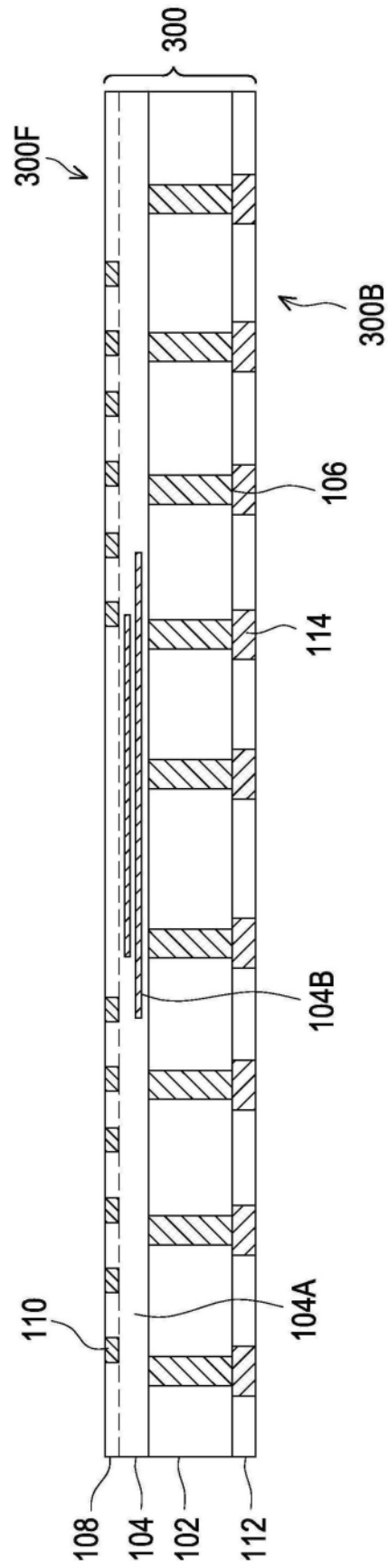


图5



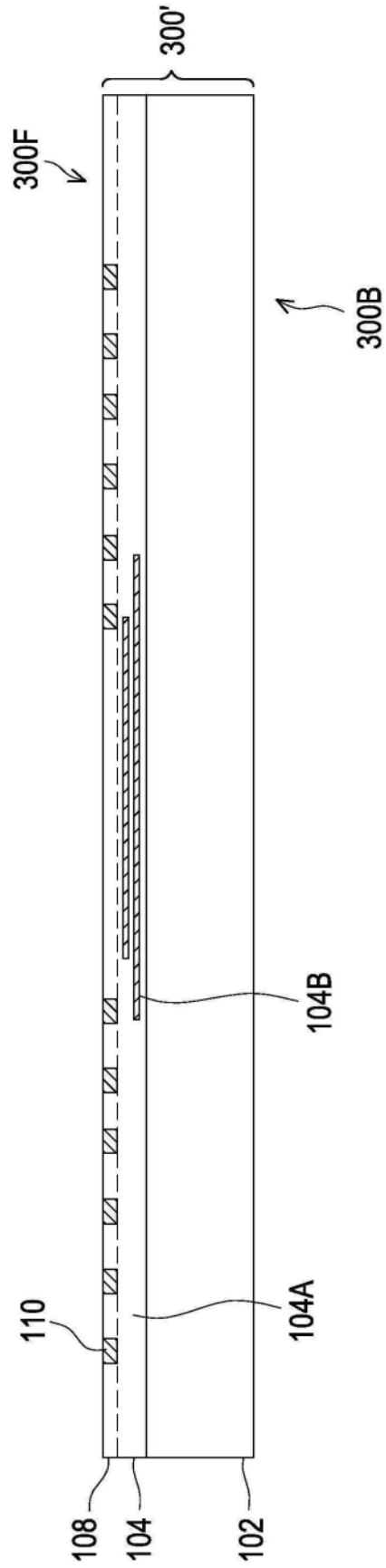


图6

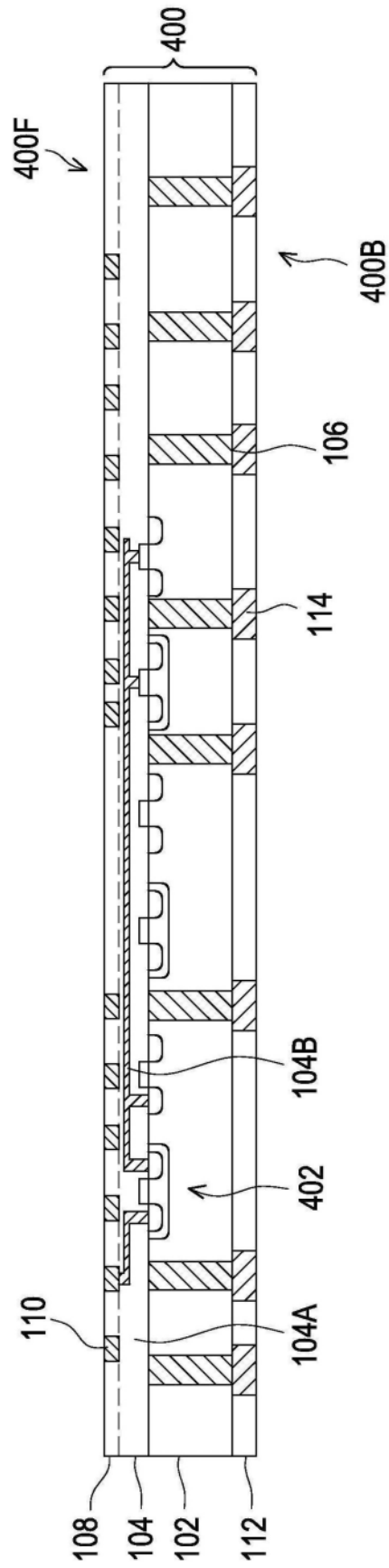


图7

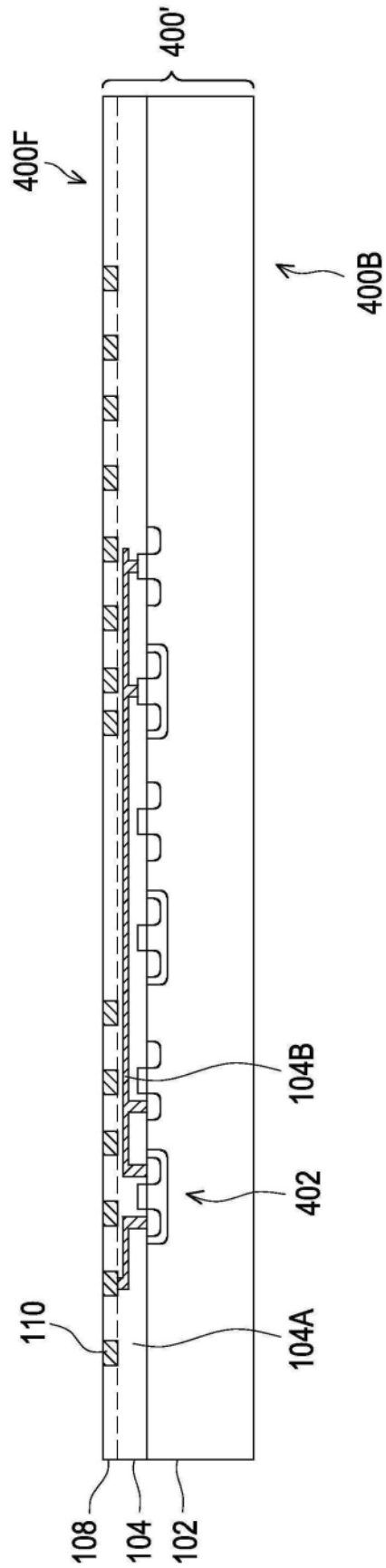


图8

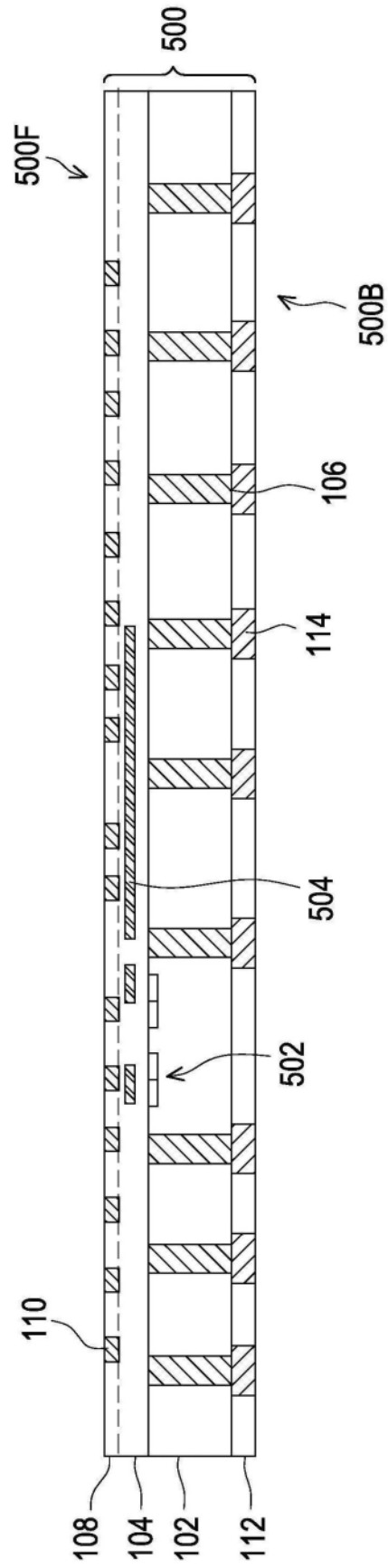


图9

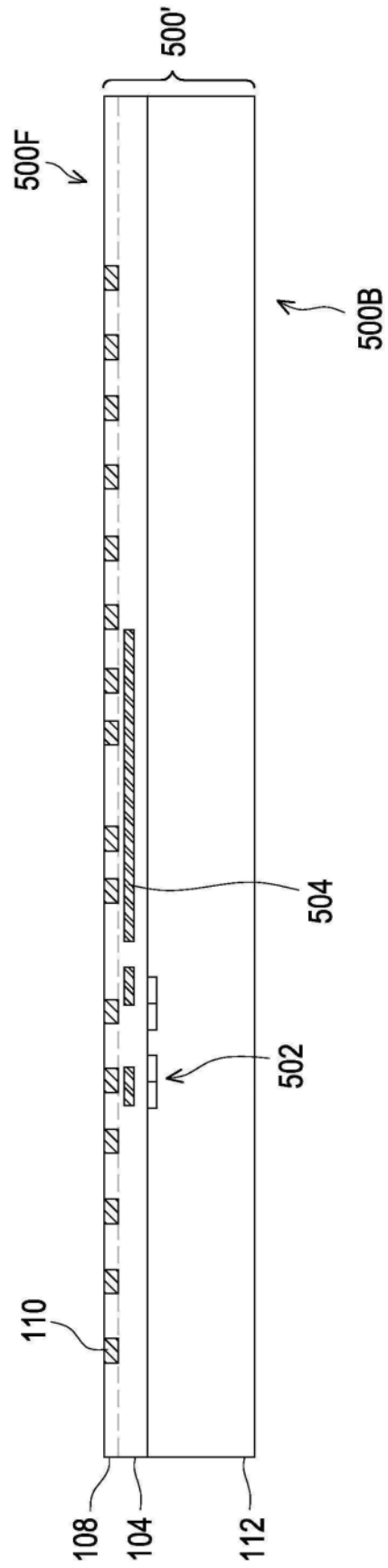


图10

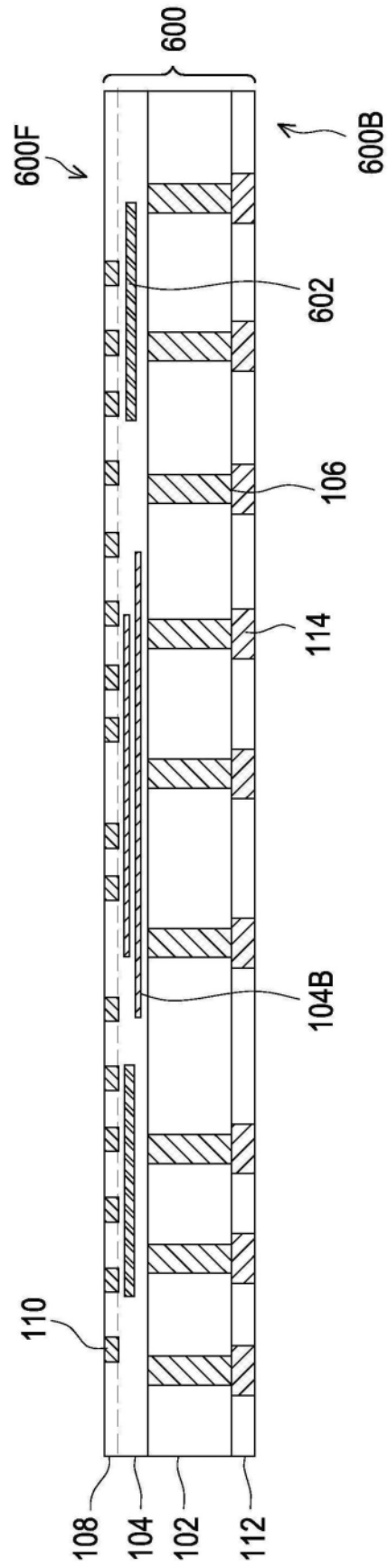


图11

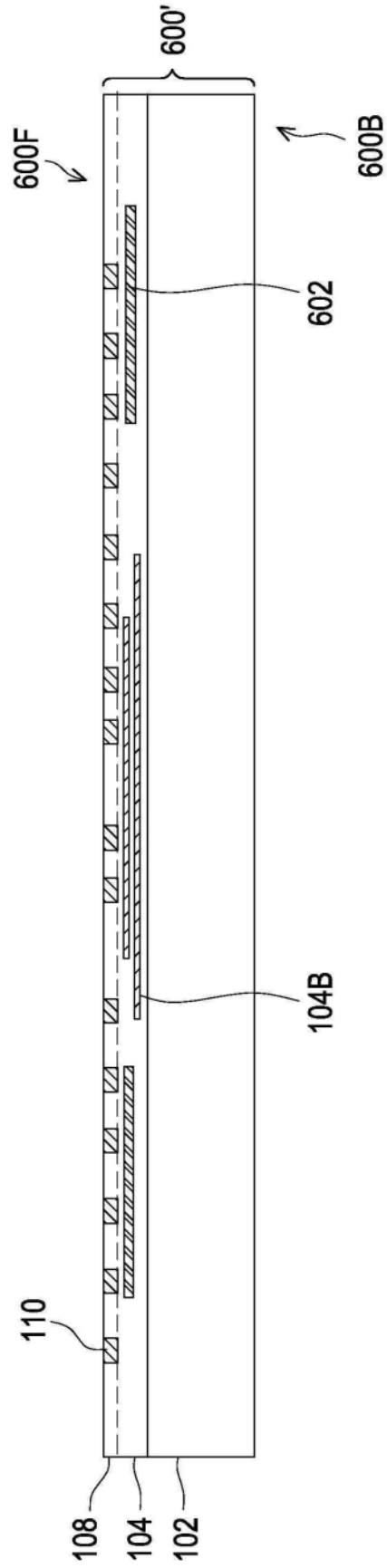


图12

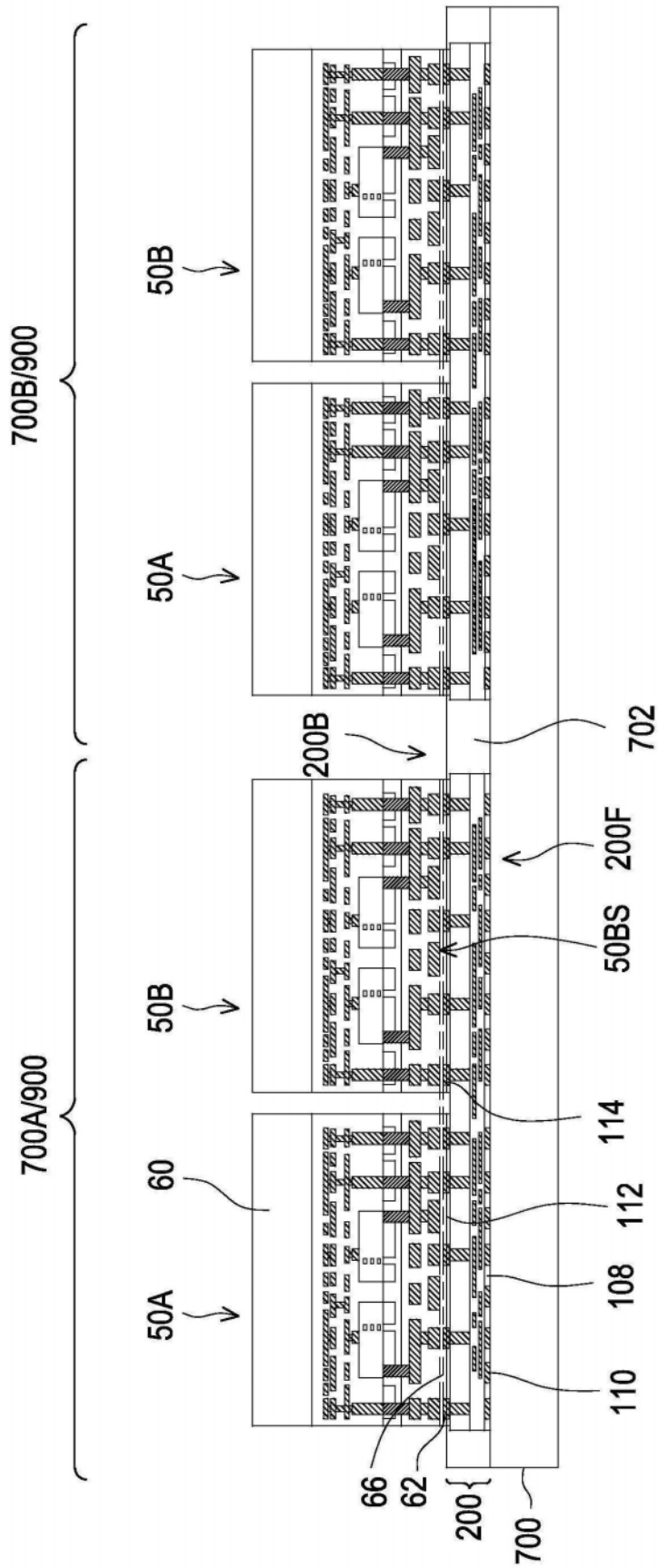


图13



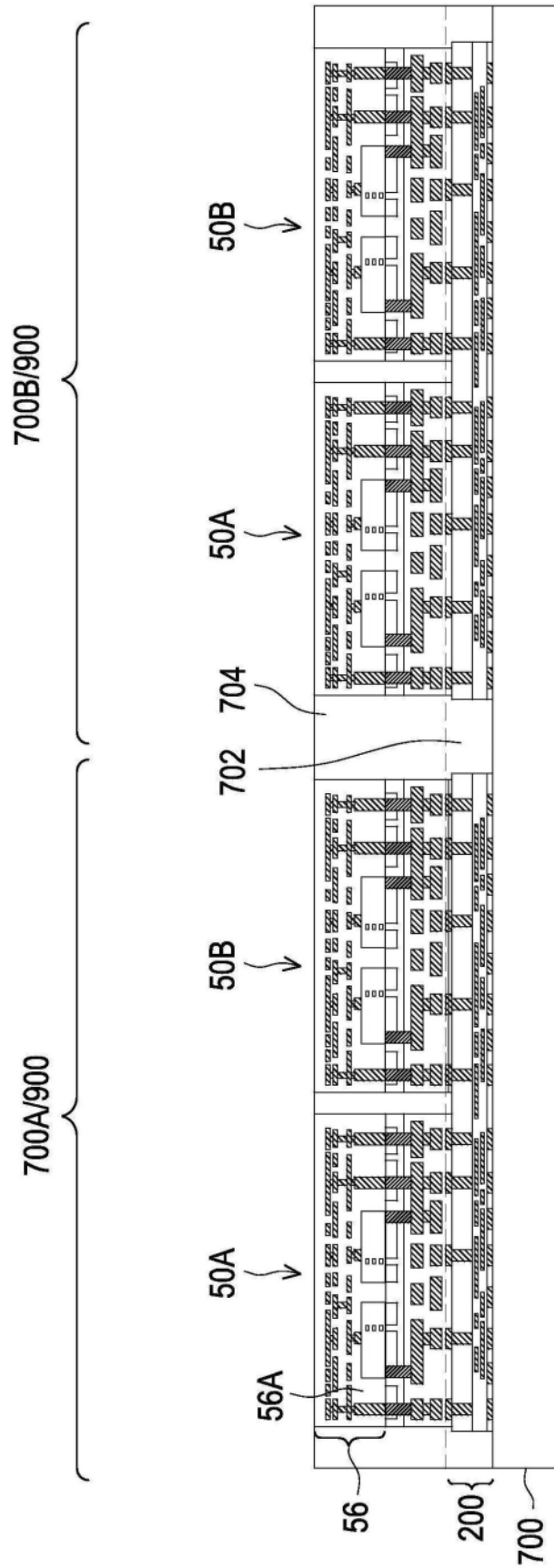


图14

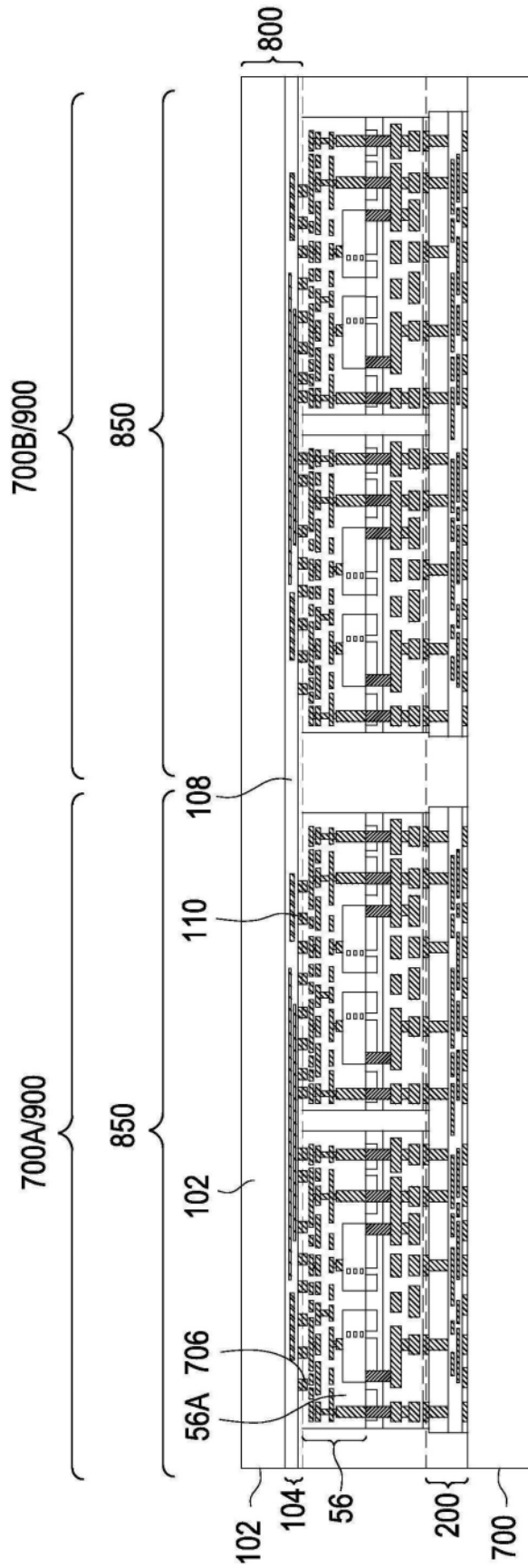


图15

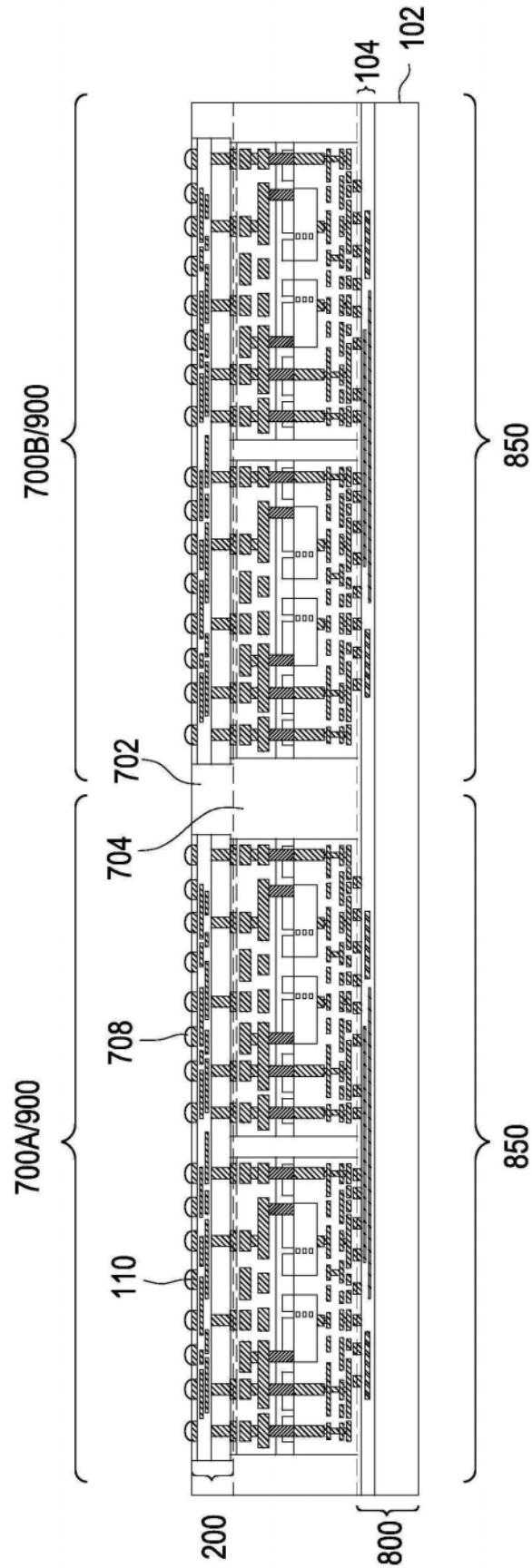


图16

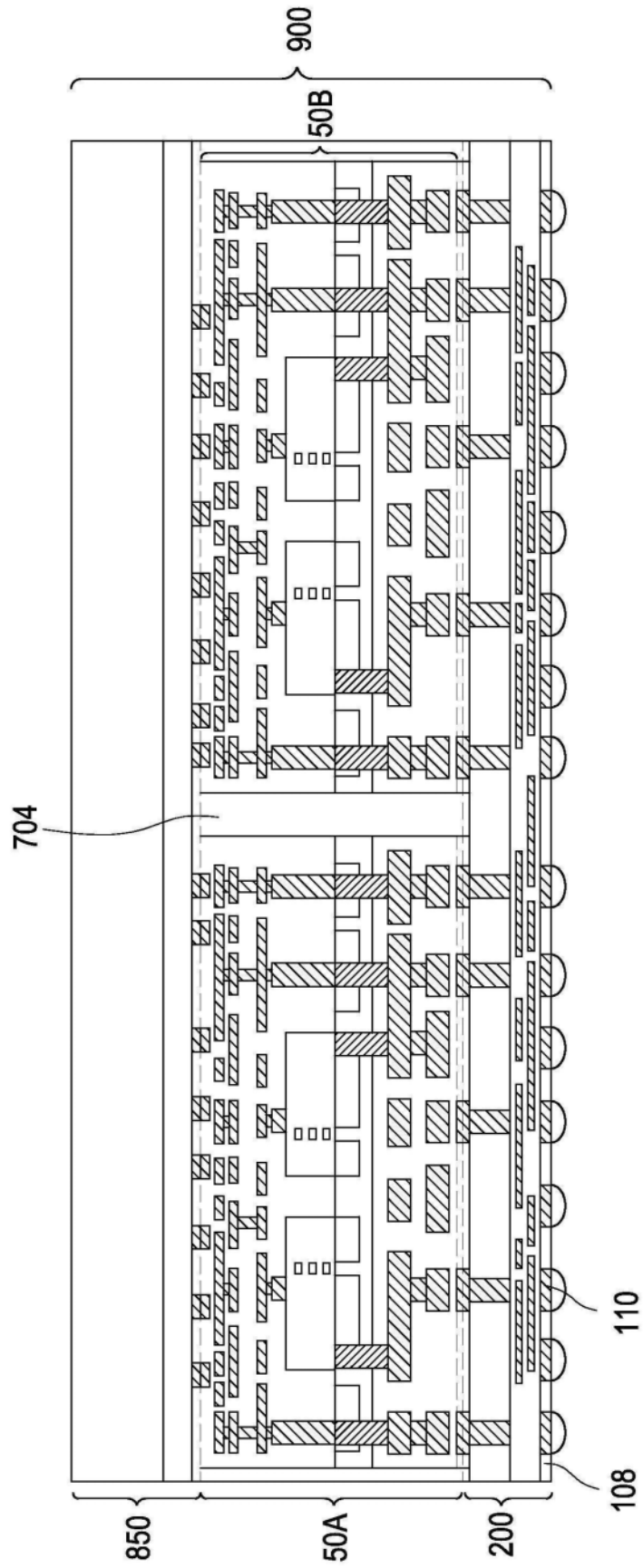


图17

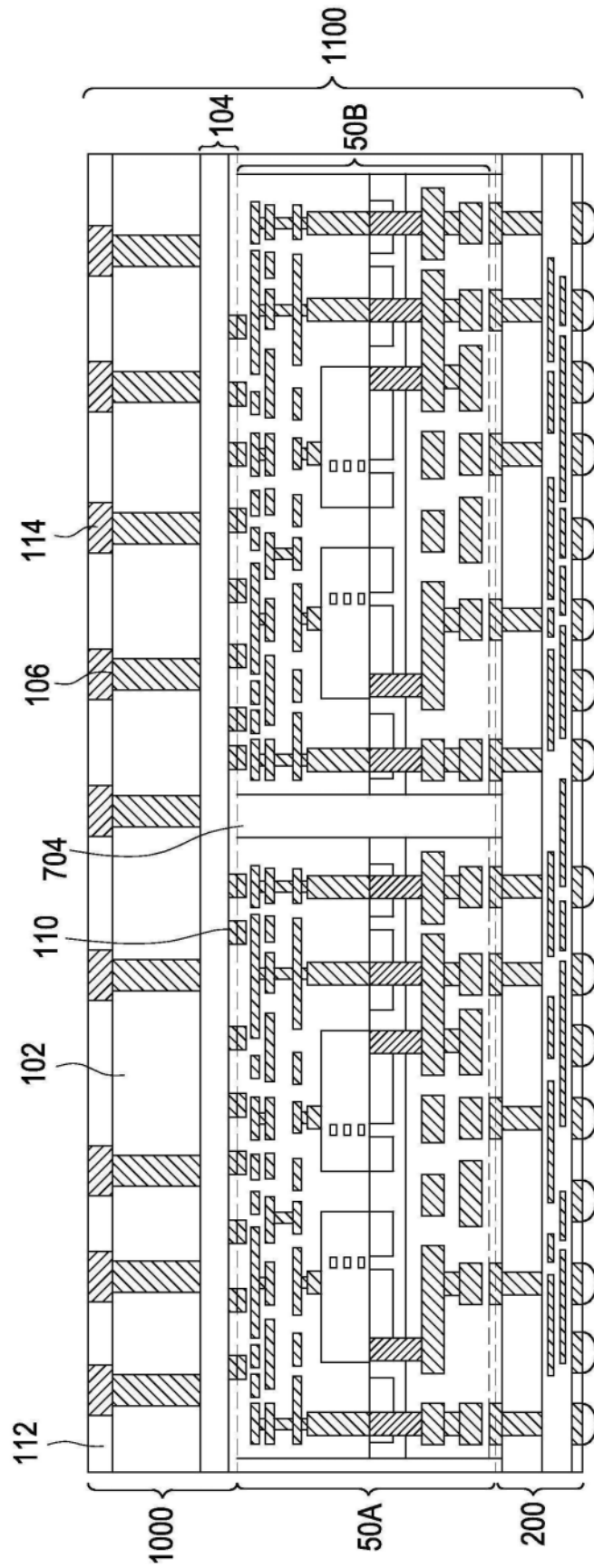


图18

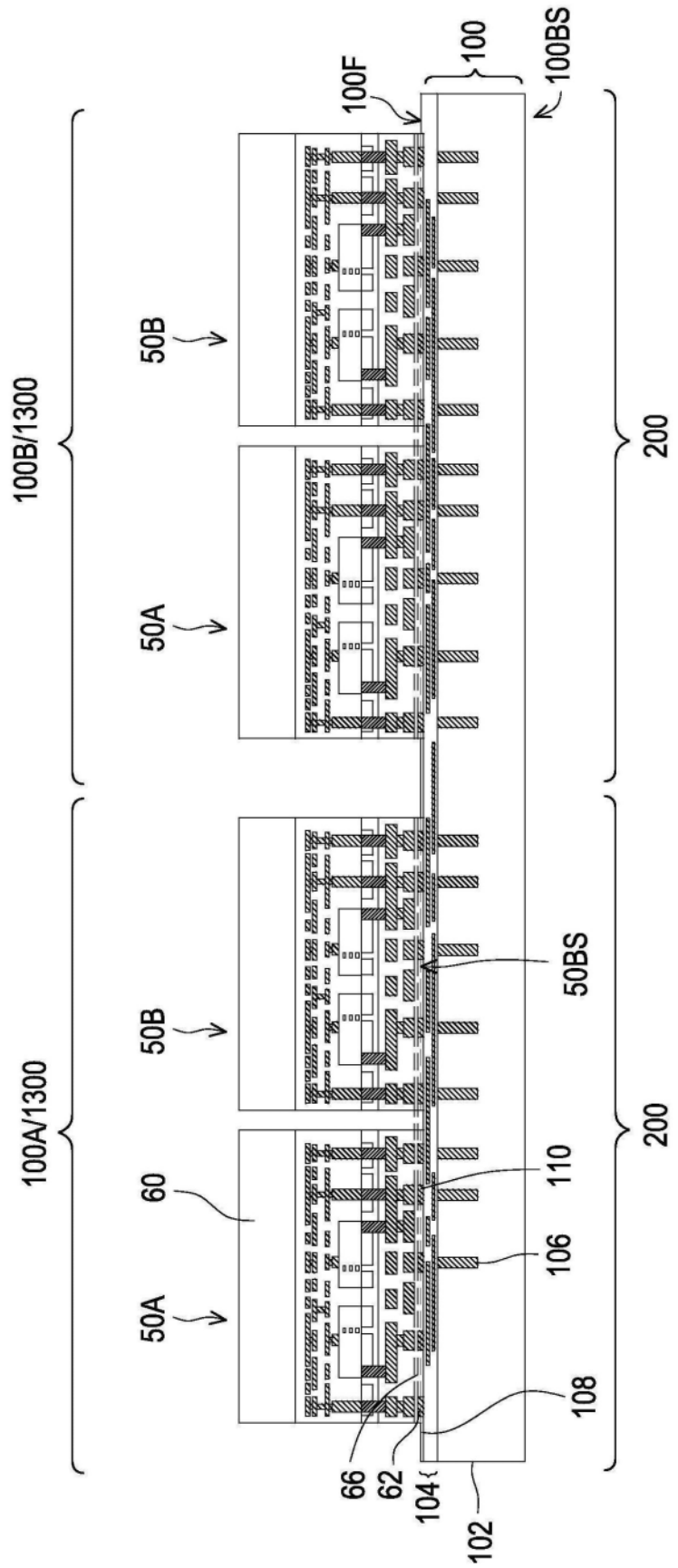


图19

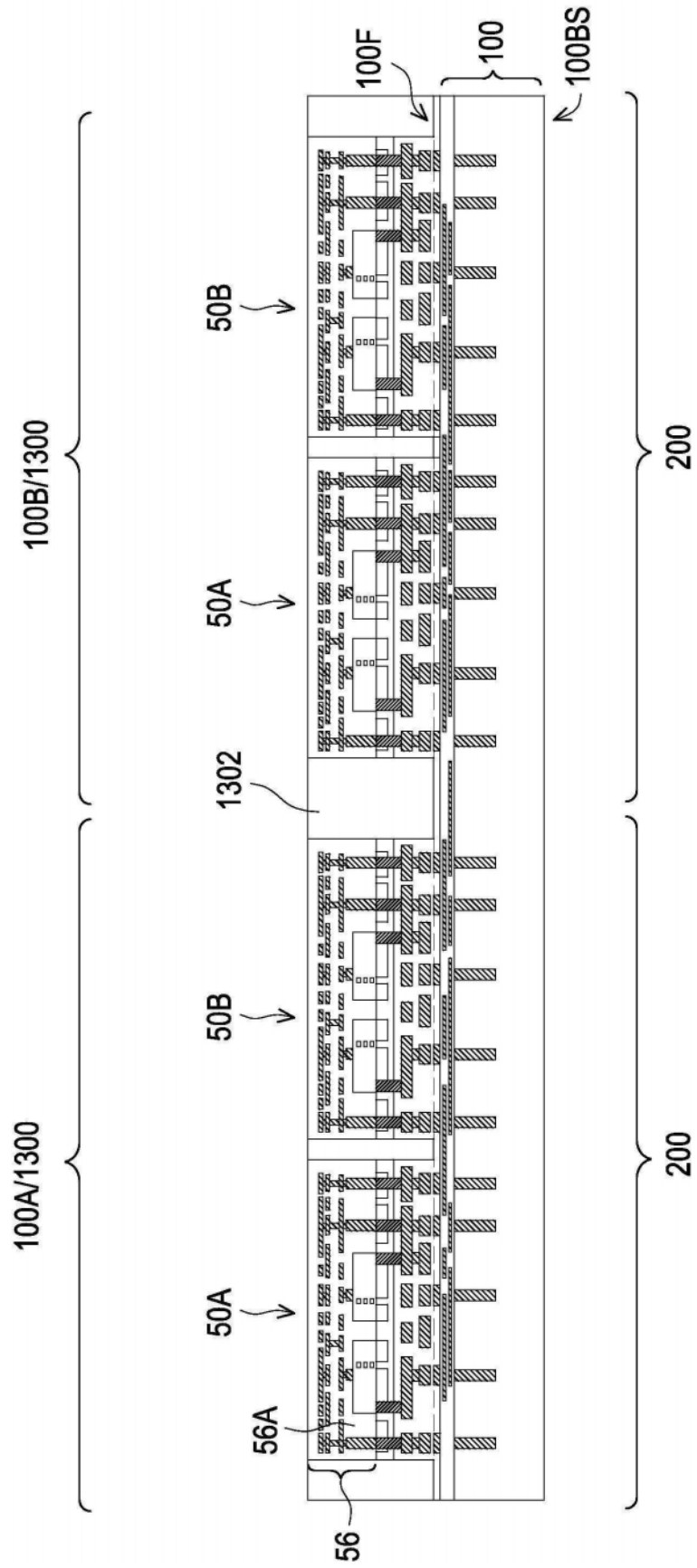


图20

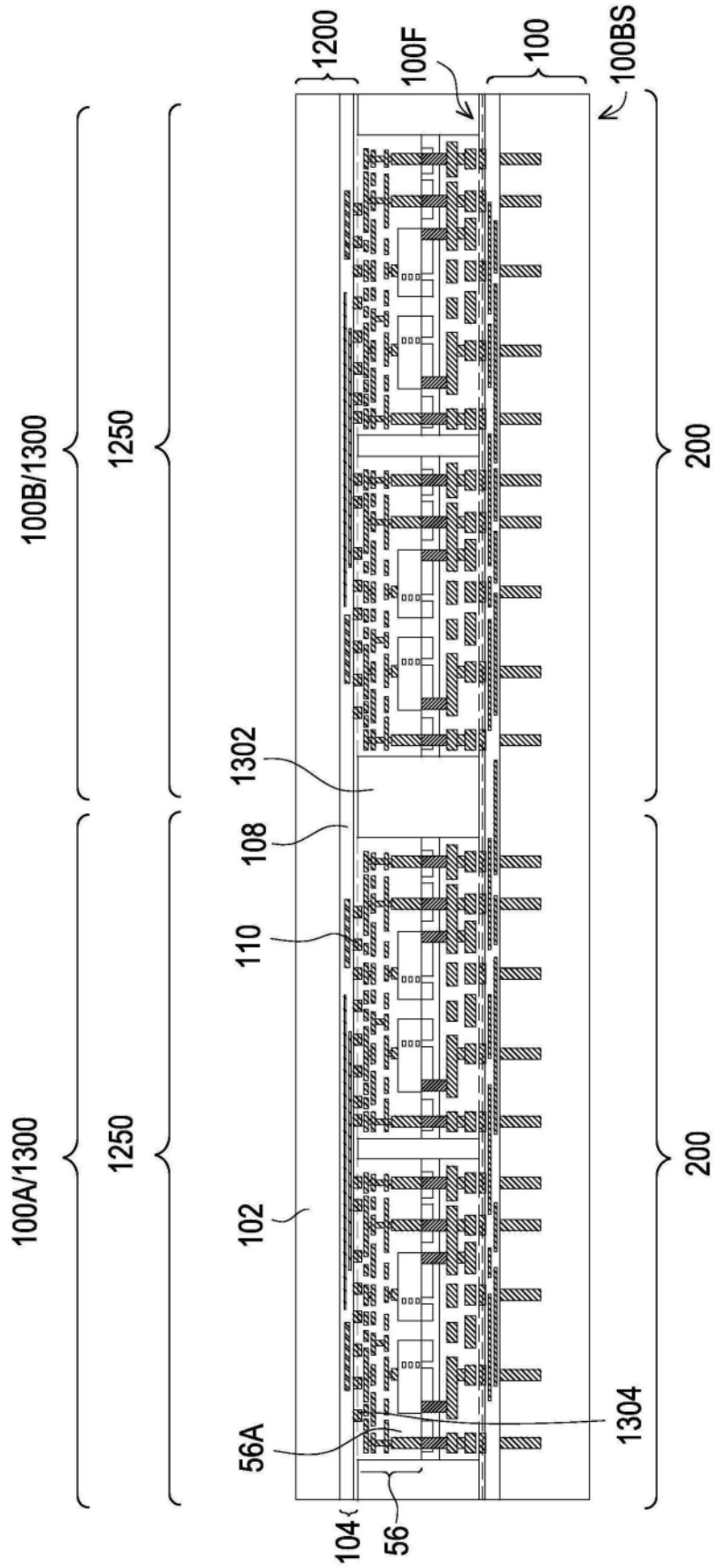


图21



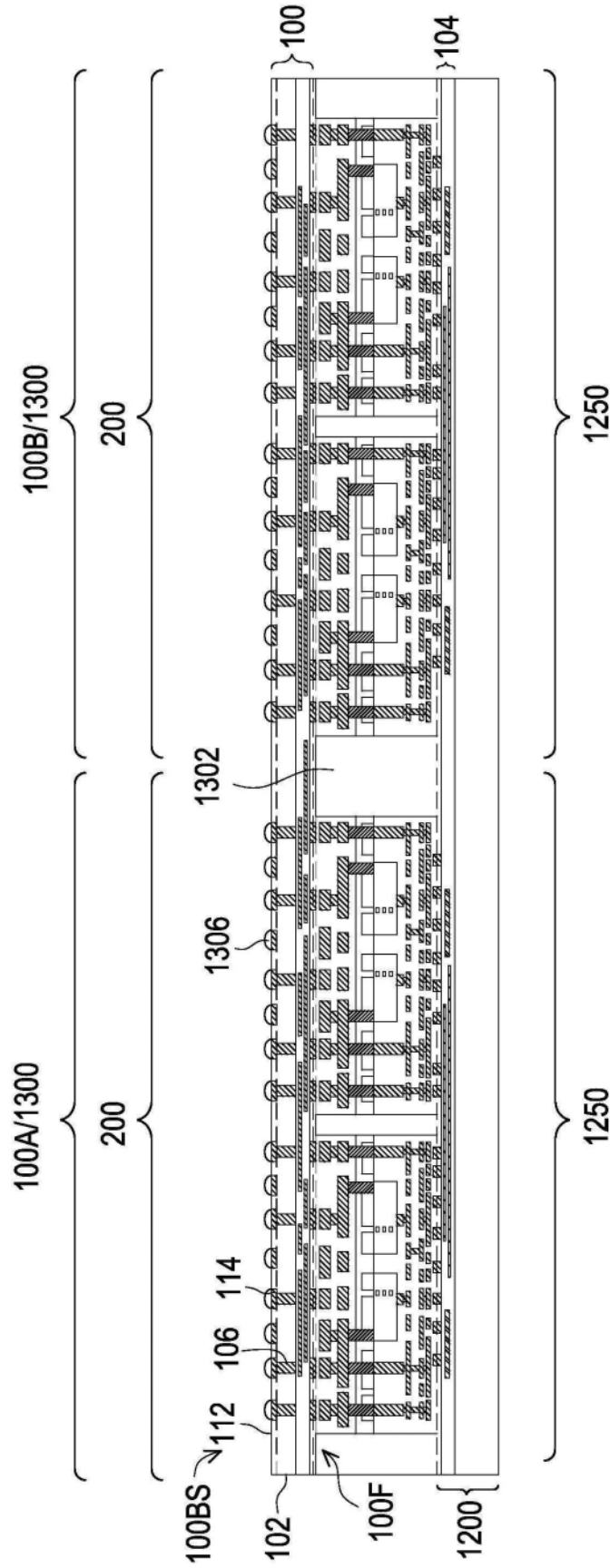


图22

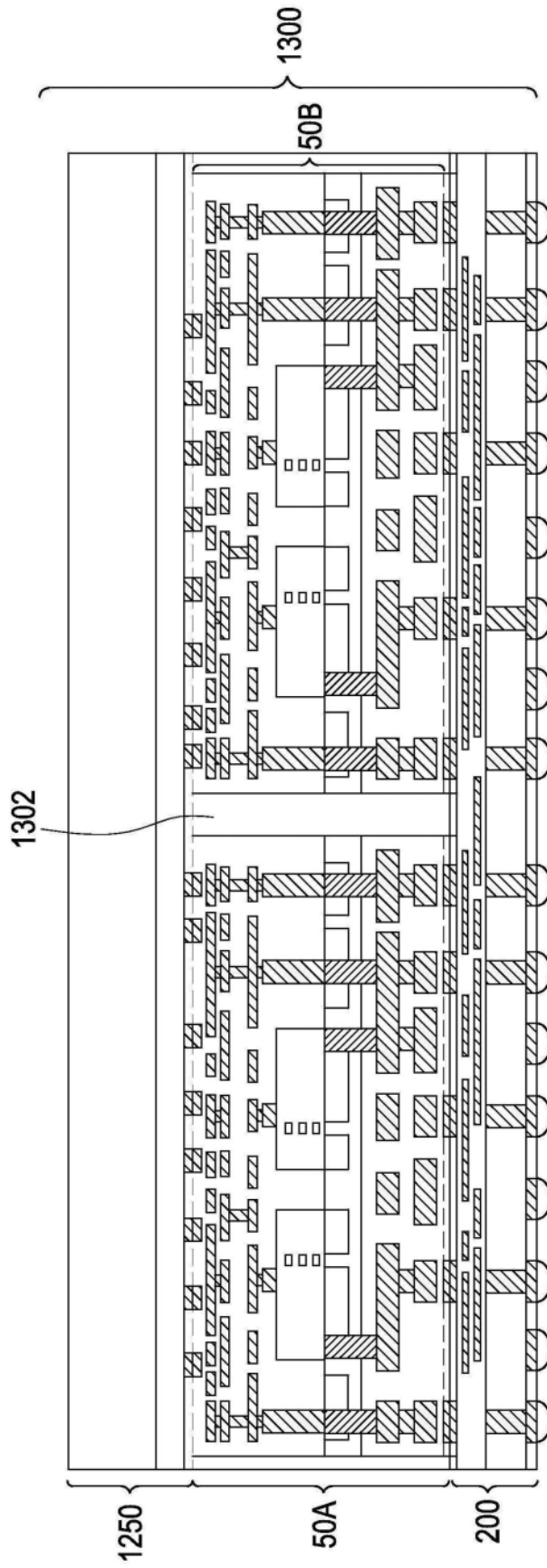


图23

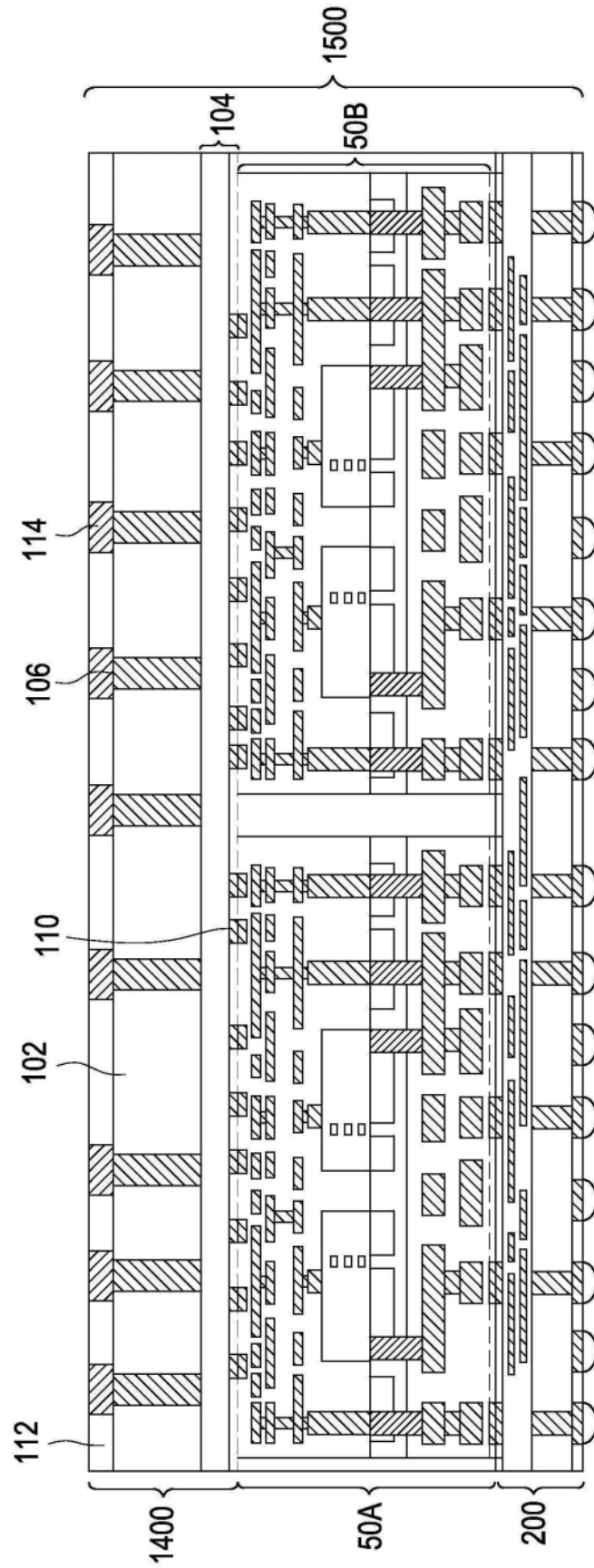


图24

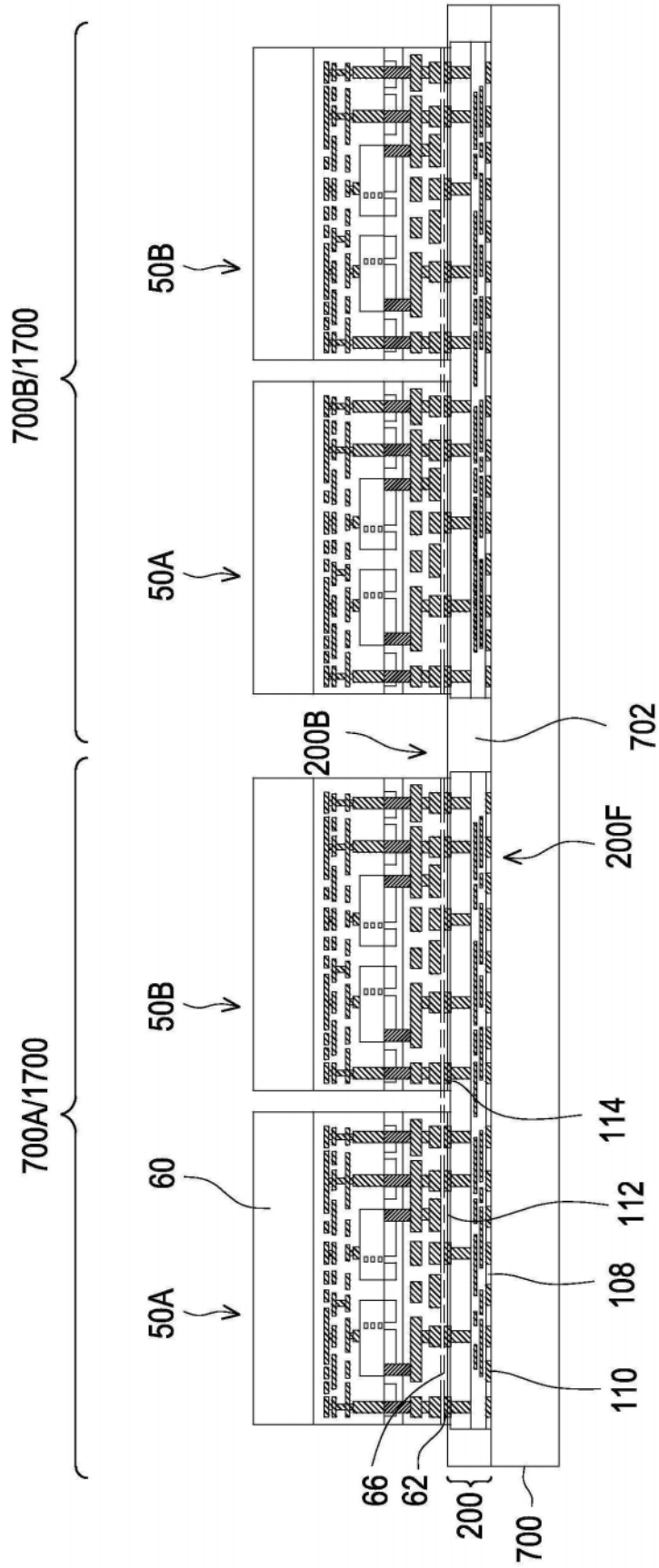


图25

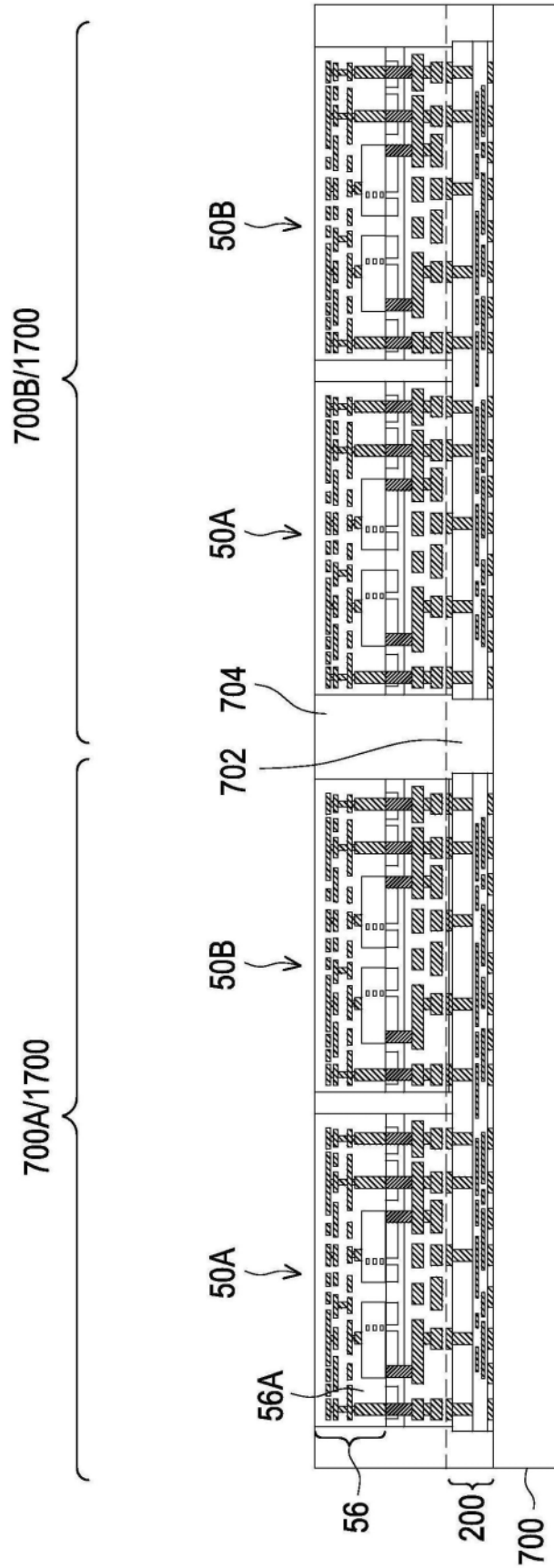


图26

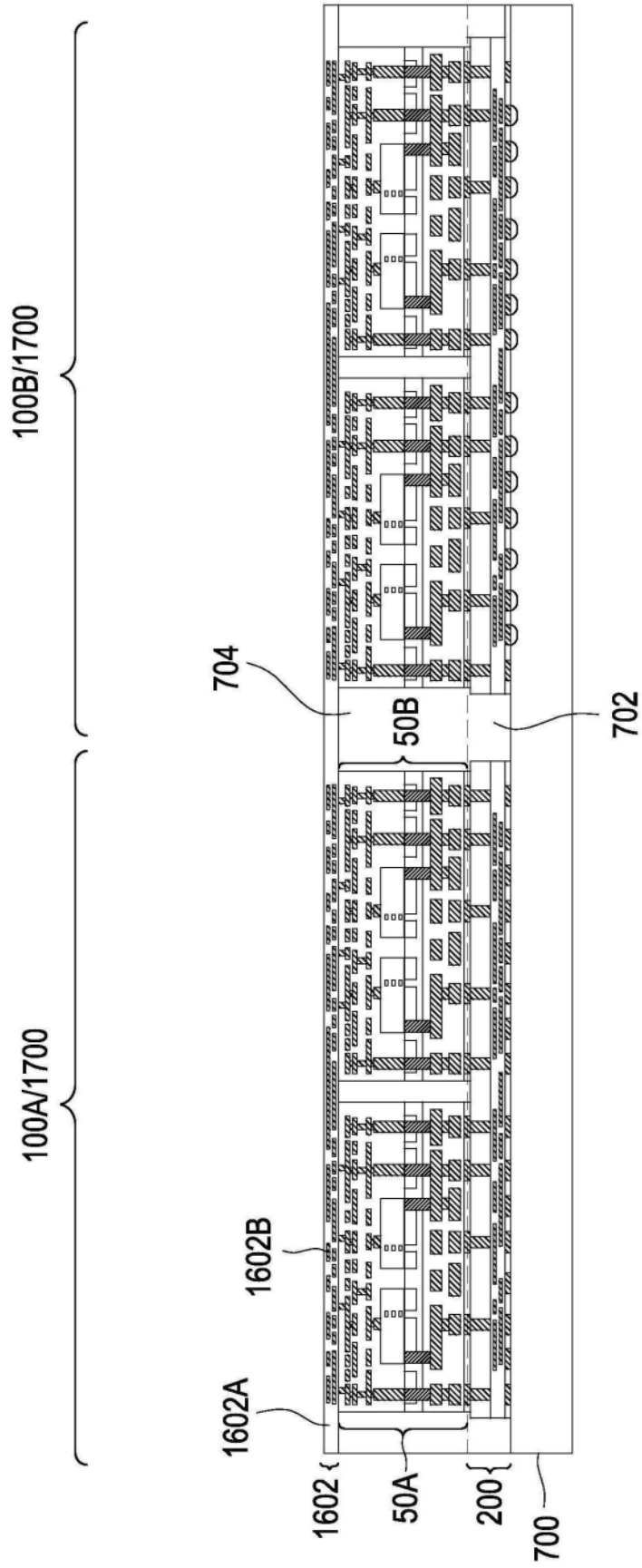


图27

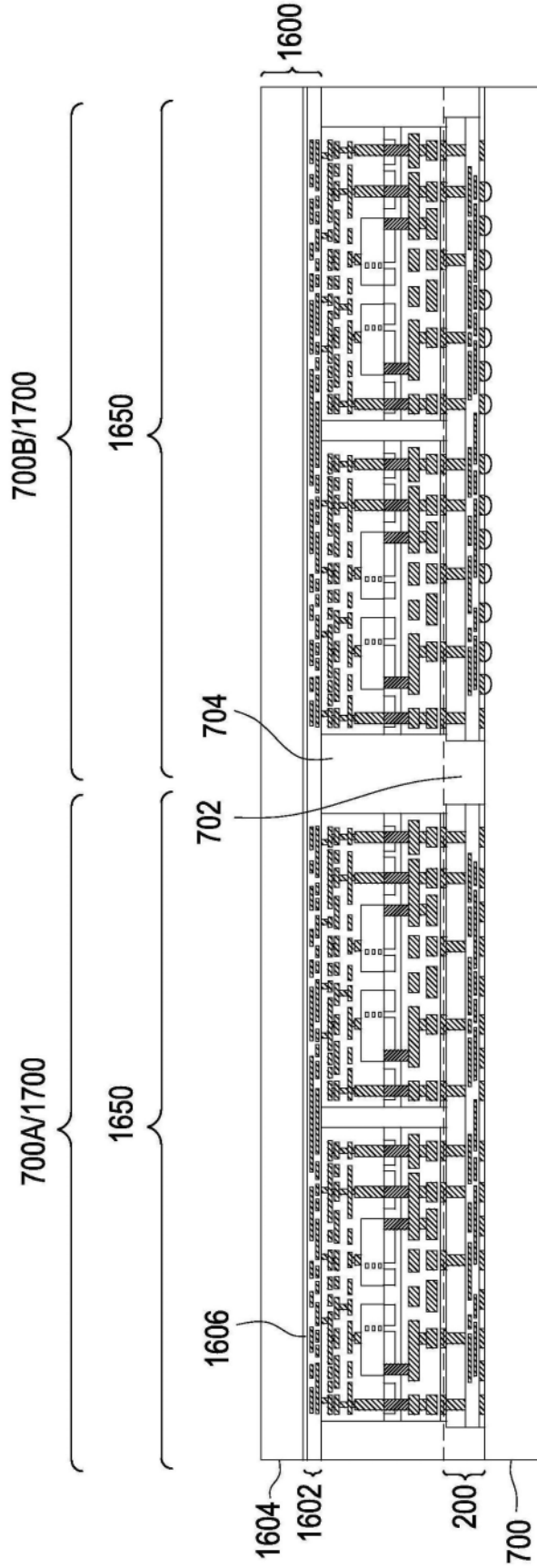


图28

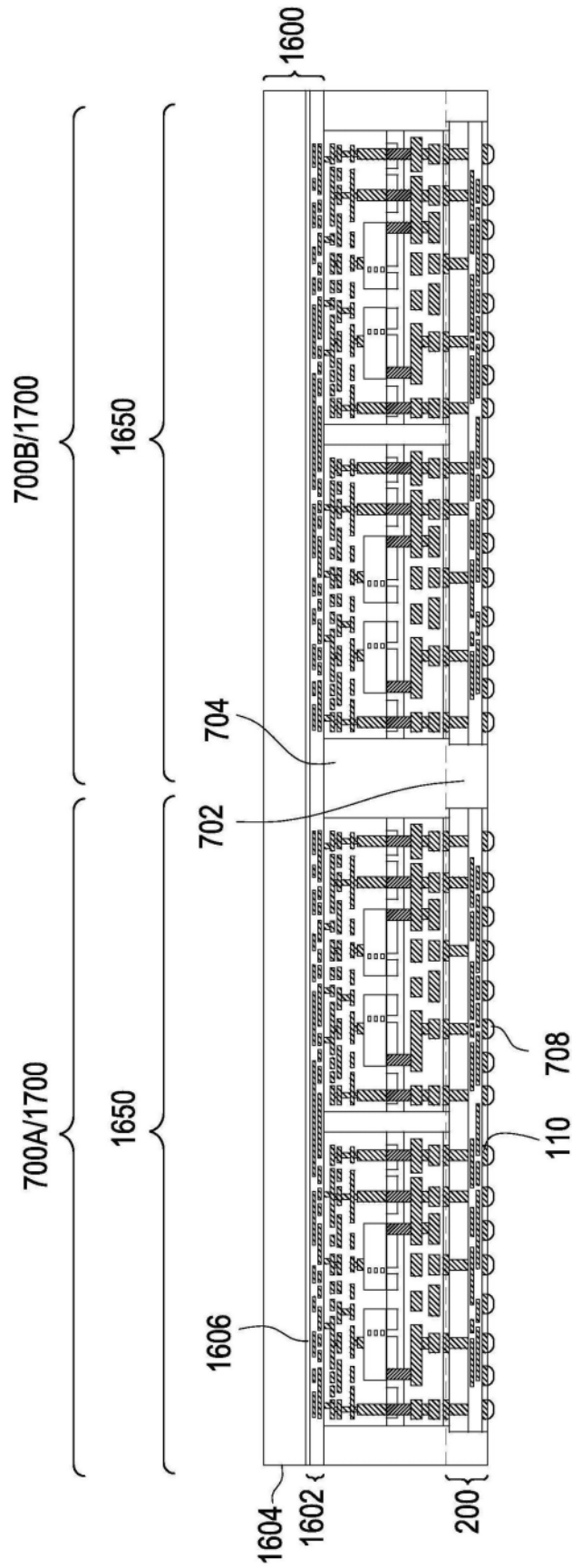


图29



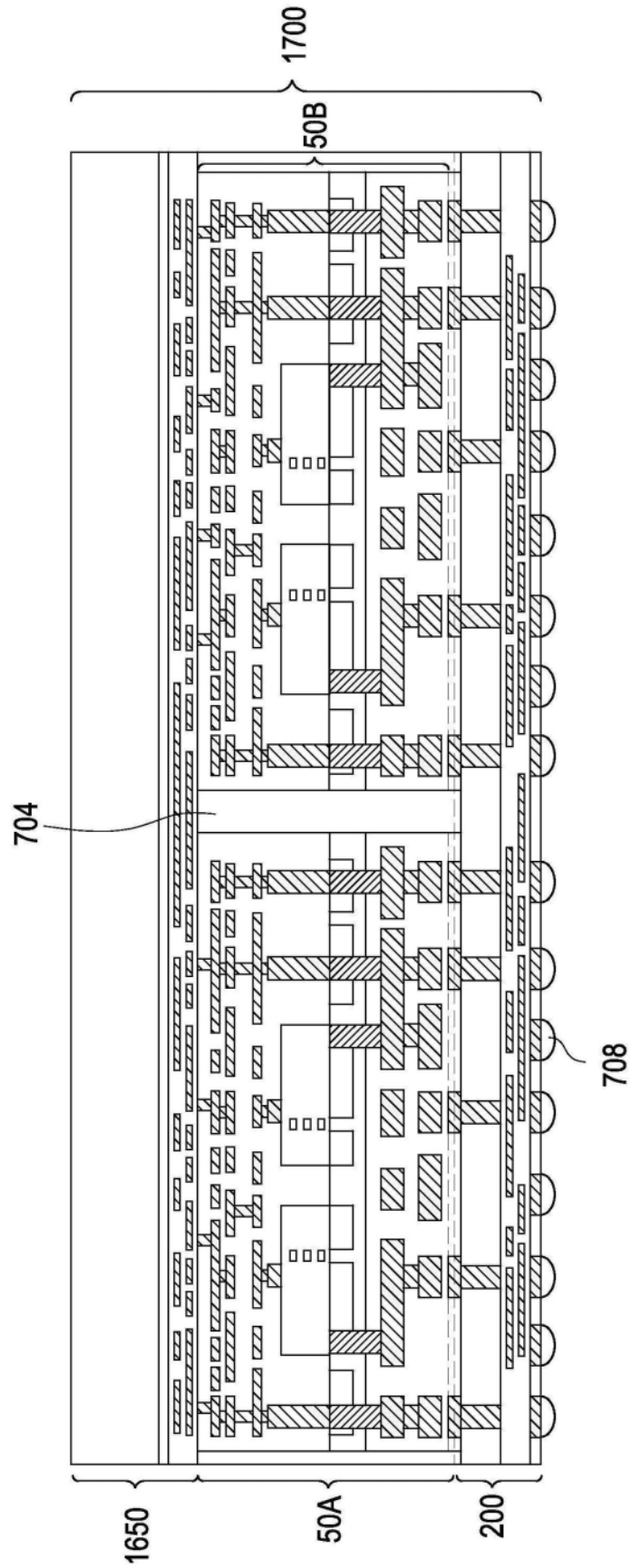


图30

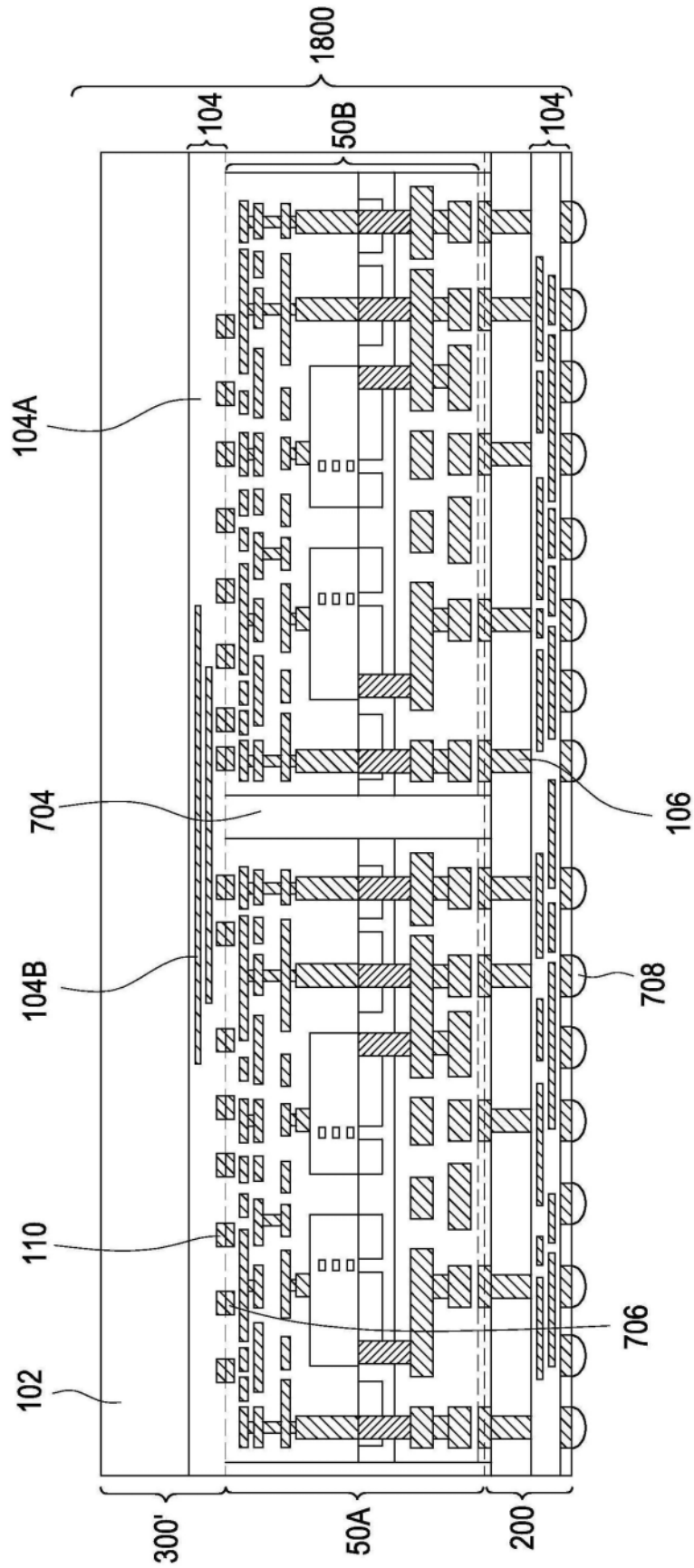


图31

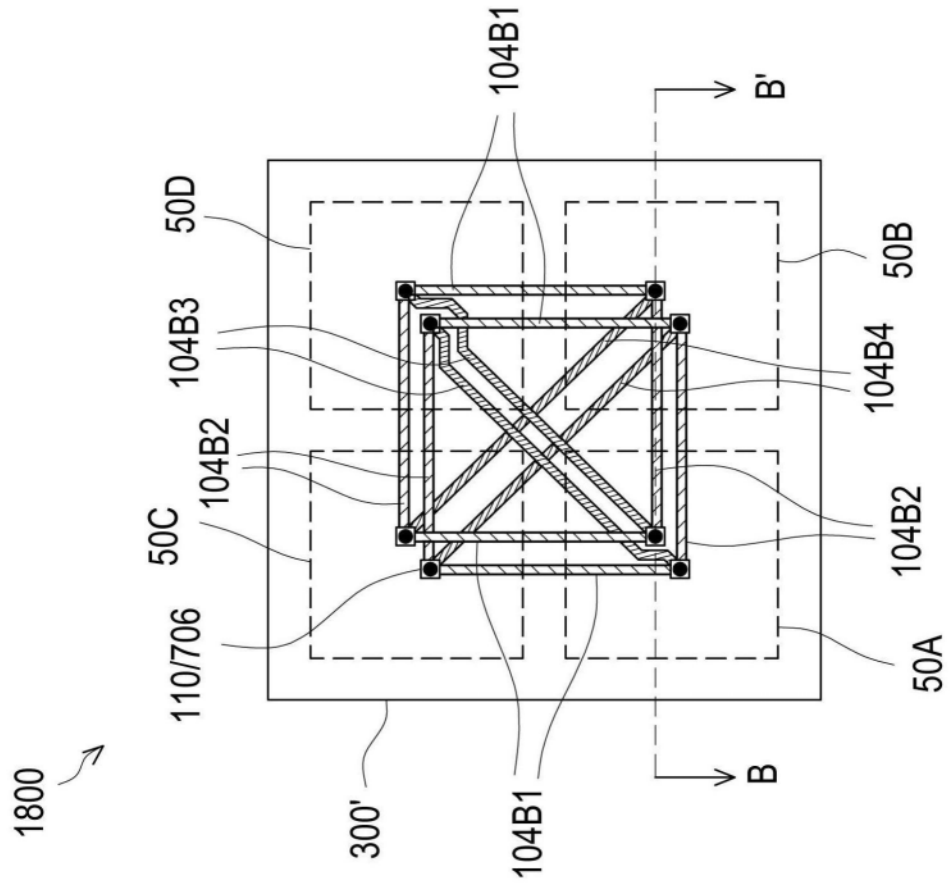


图32A

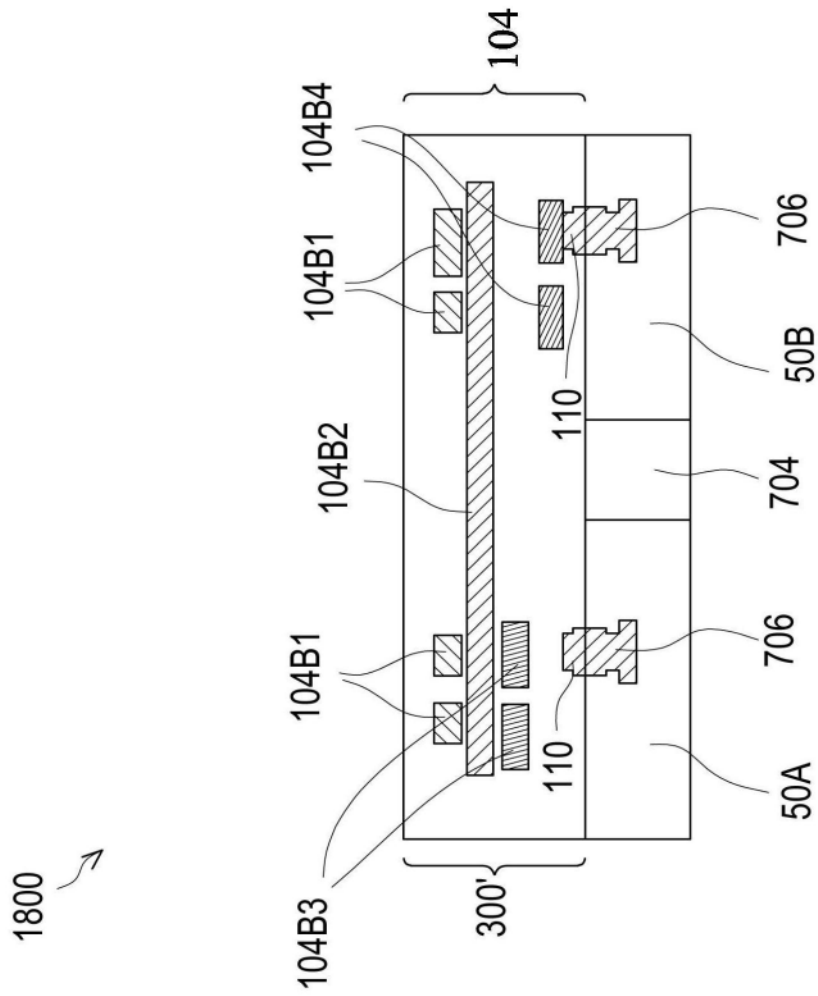


图32B

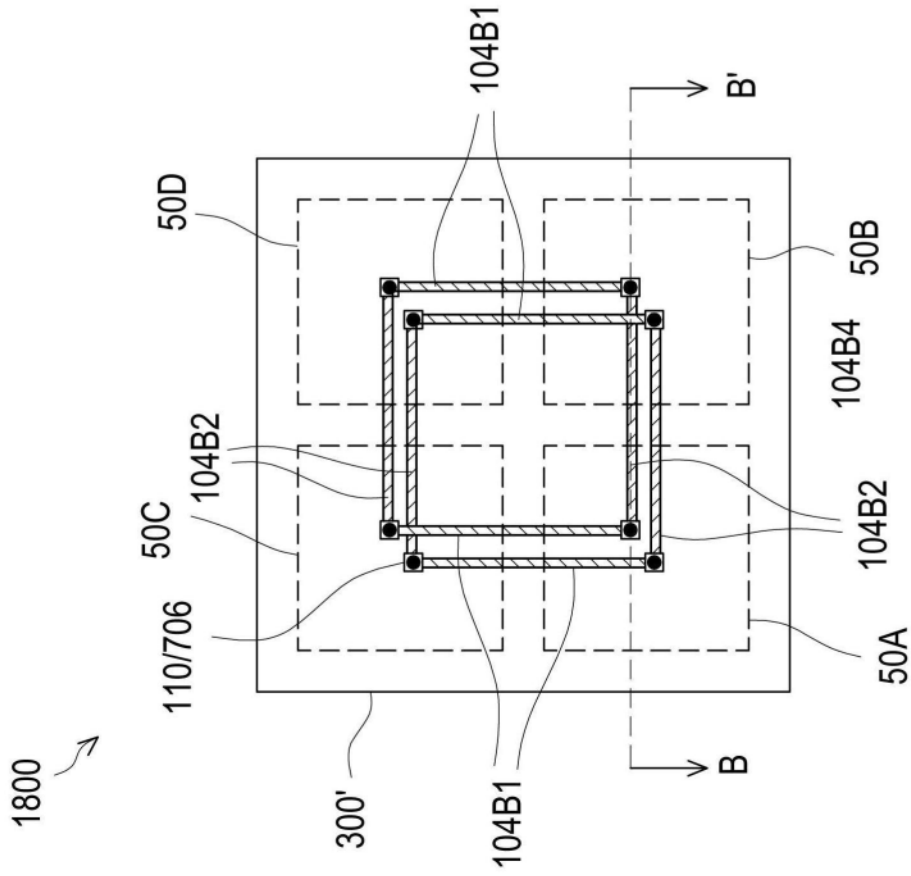


图33A

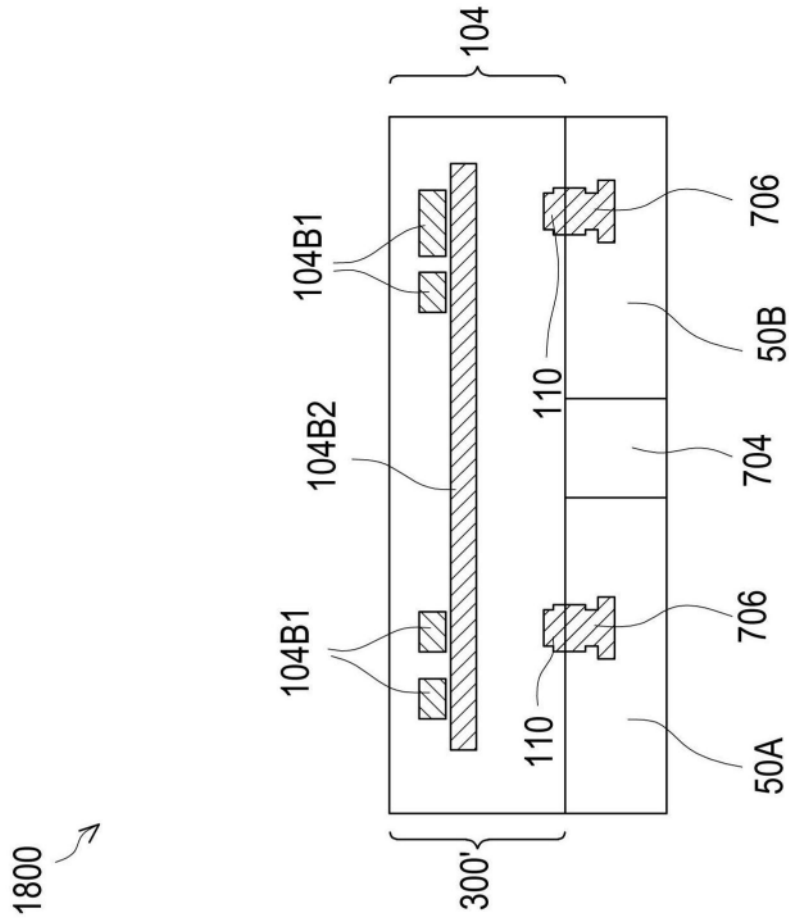


图33B

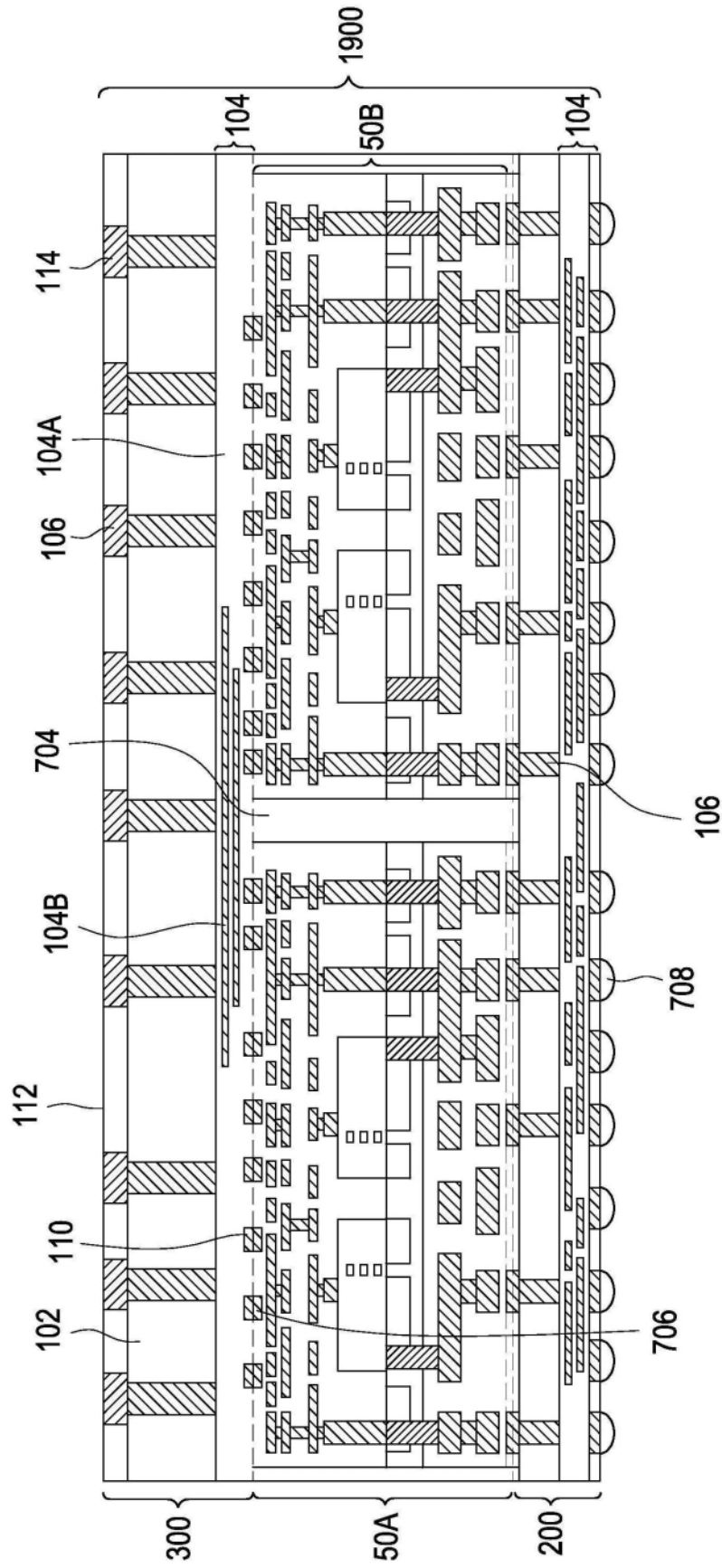


图34

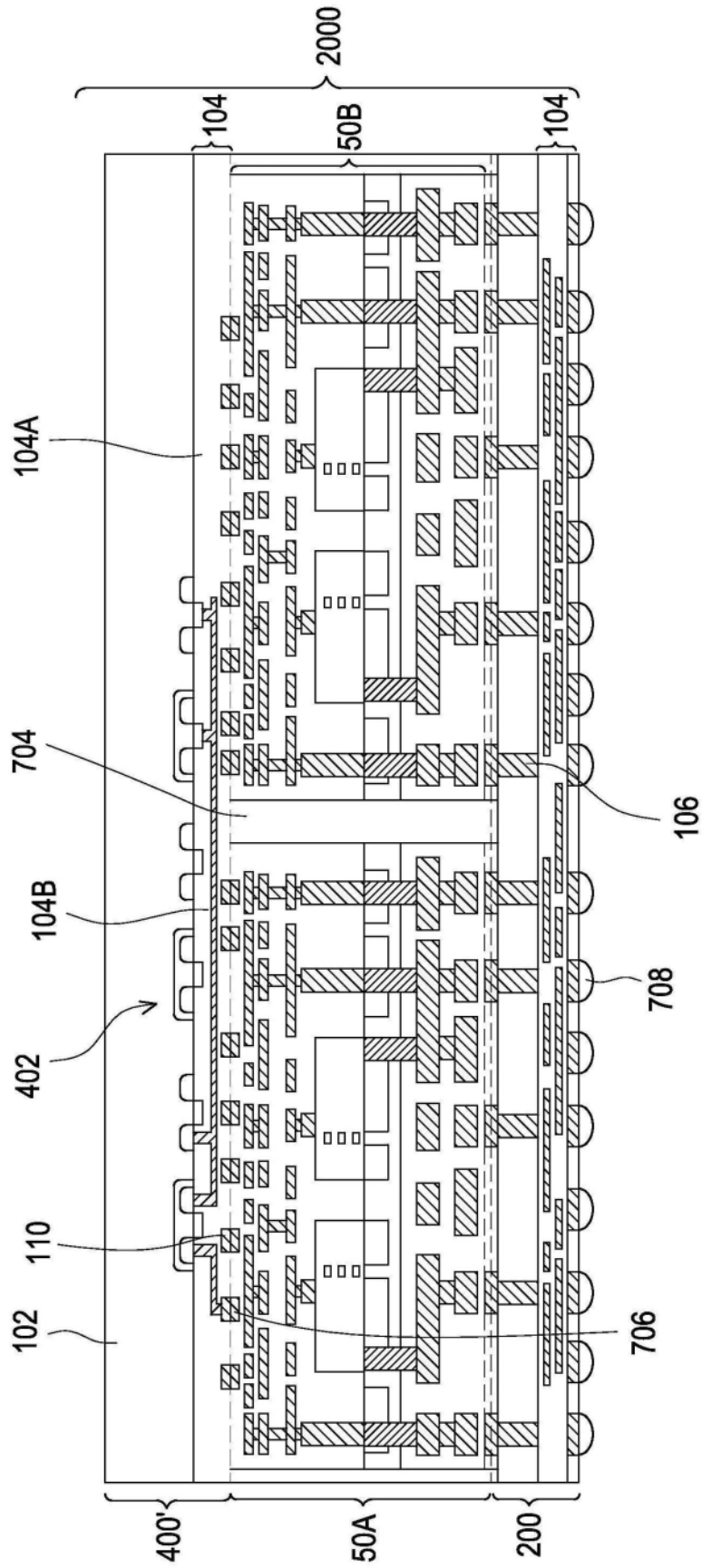


图35



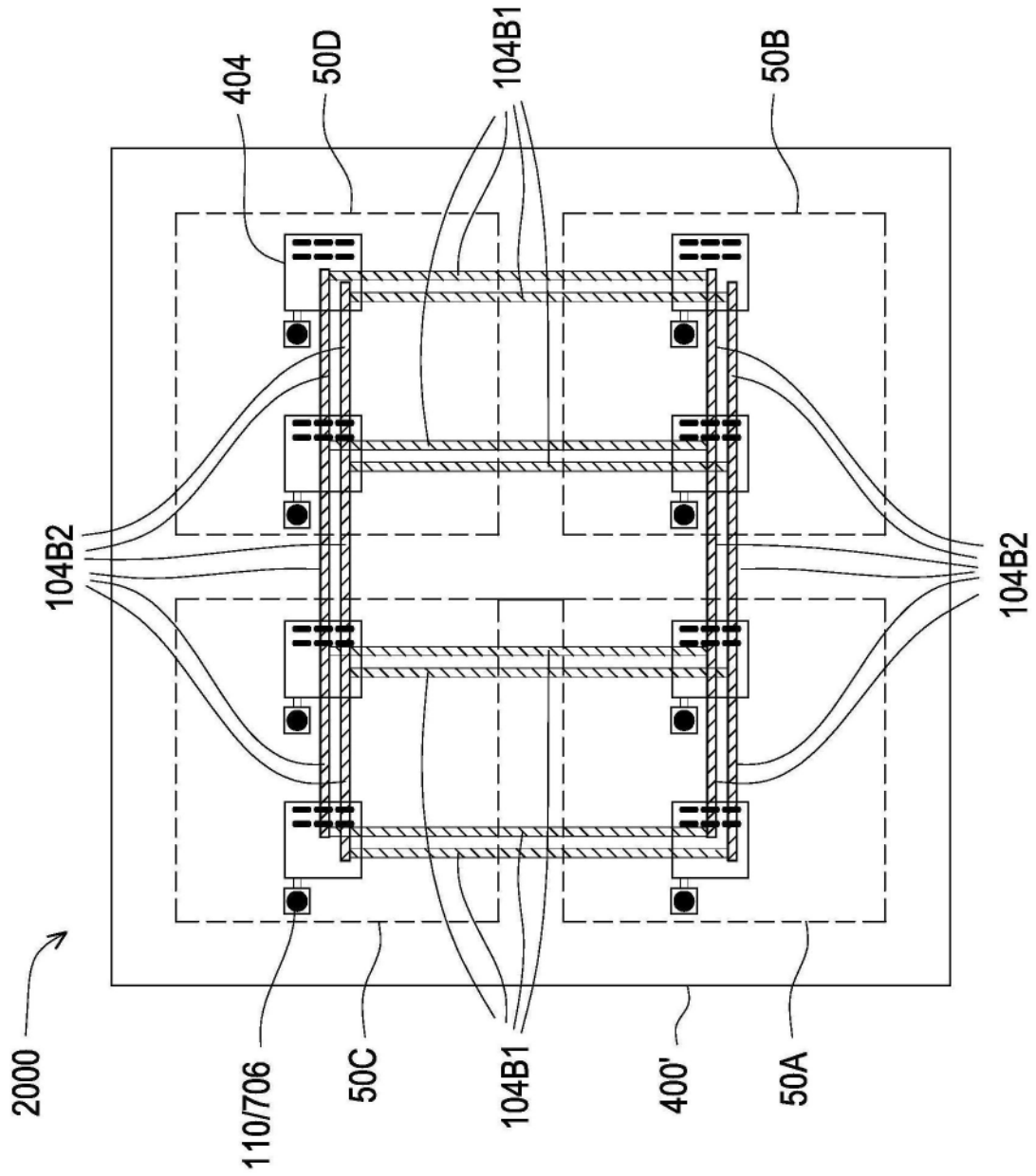


图36

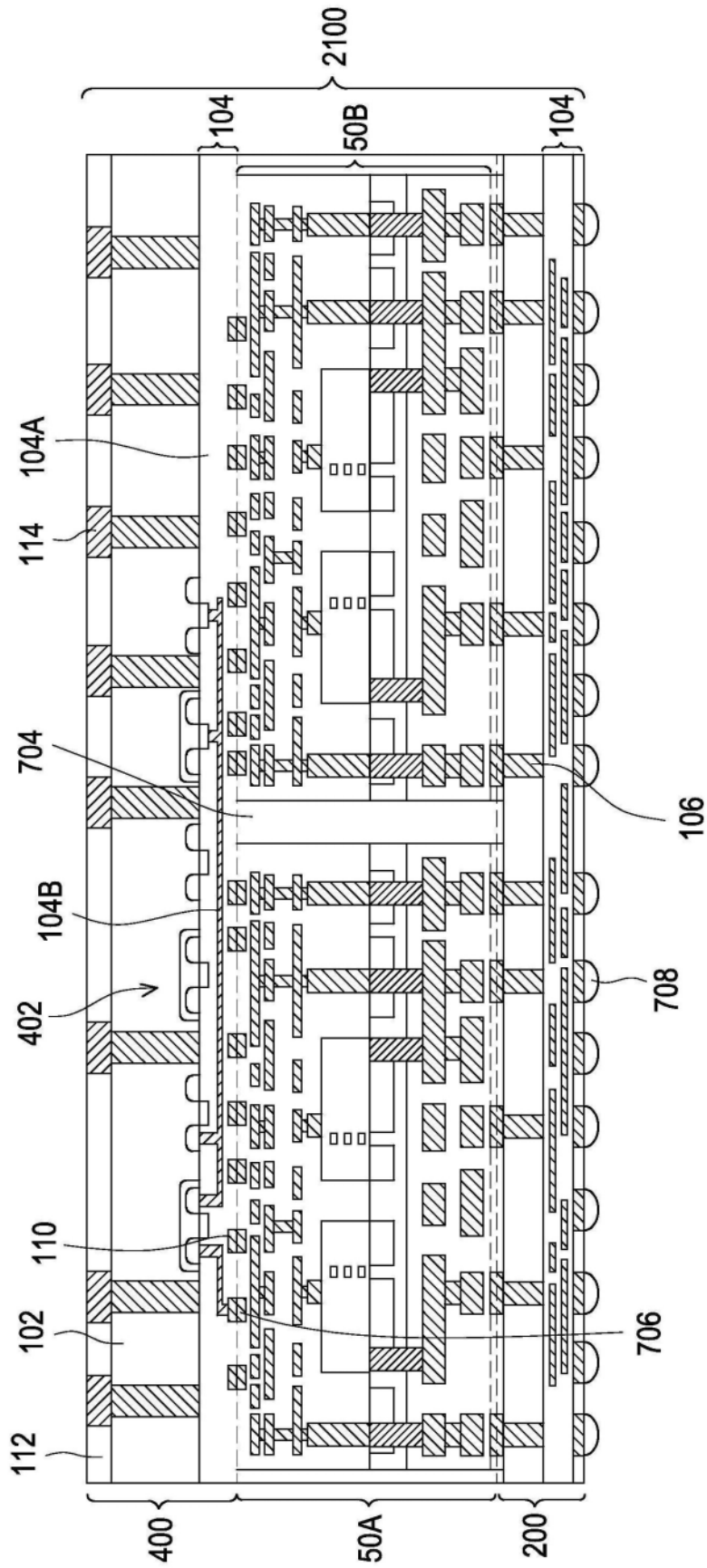


图37



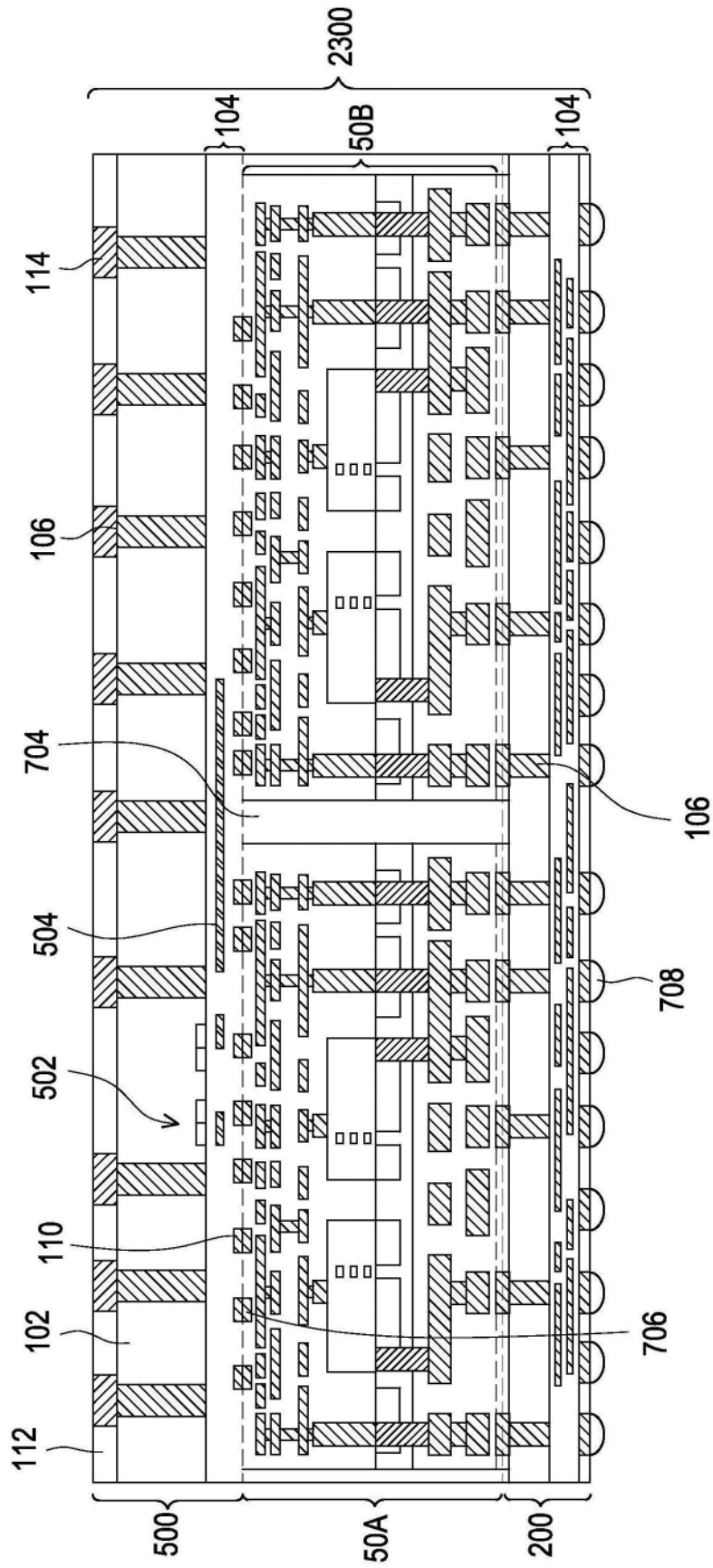


图39

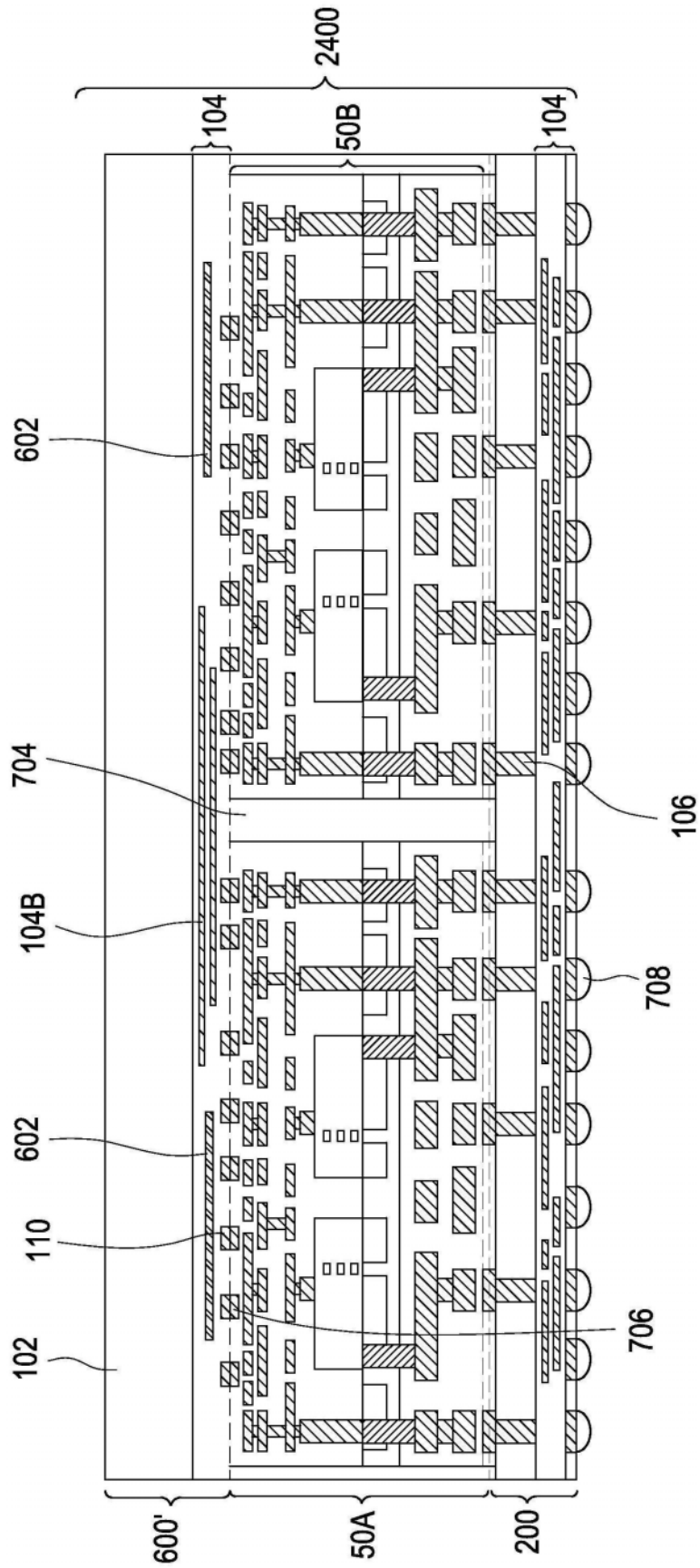


图40

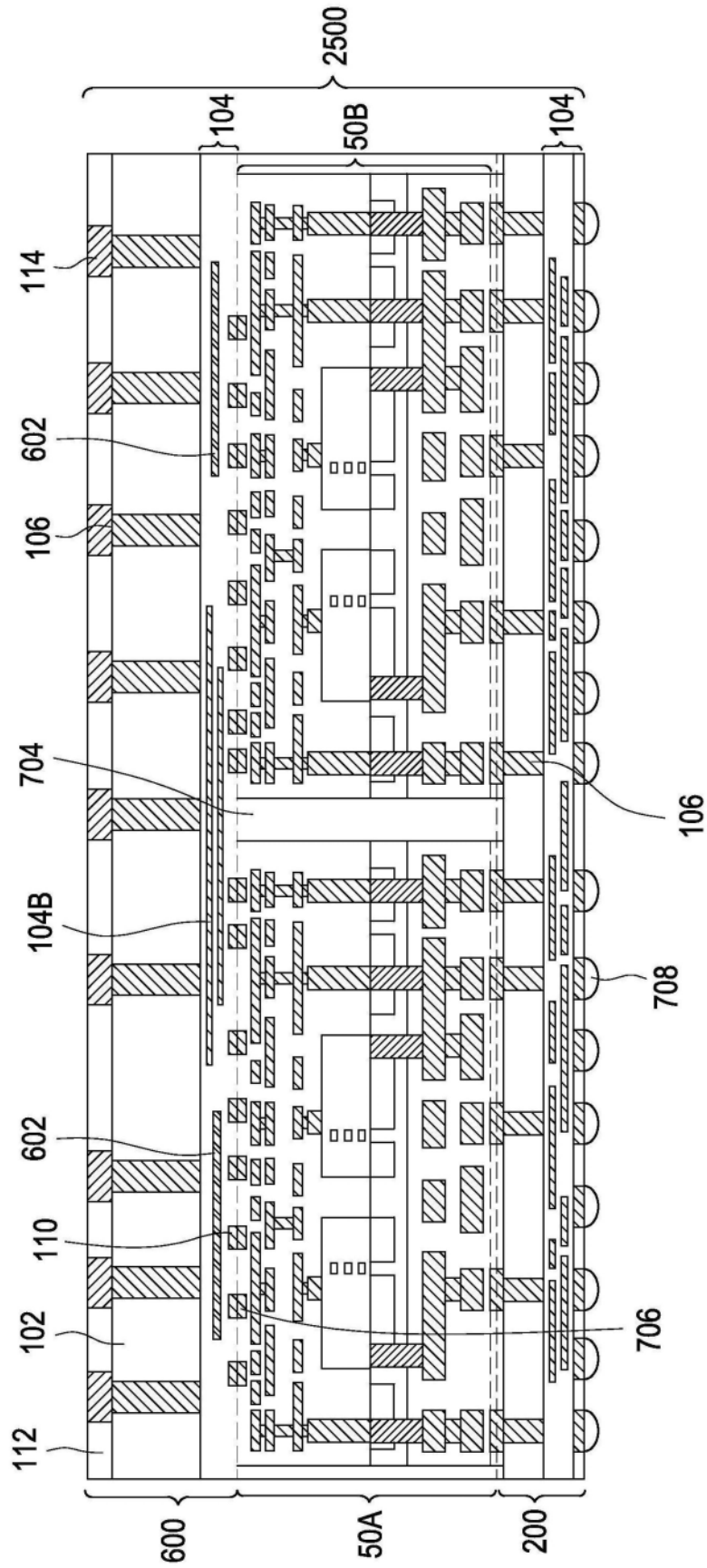


图41

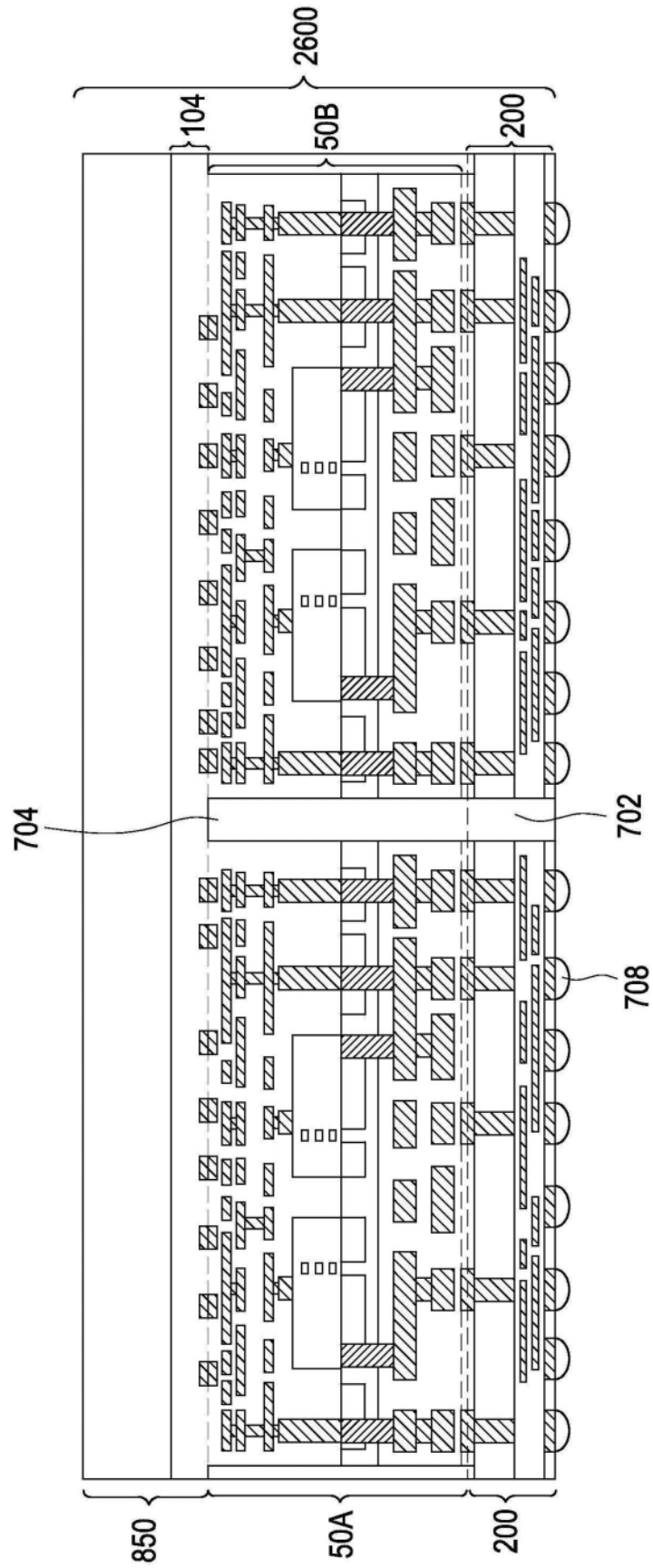


图42

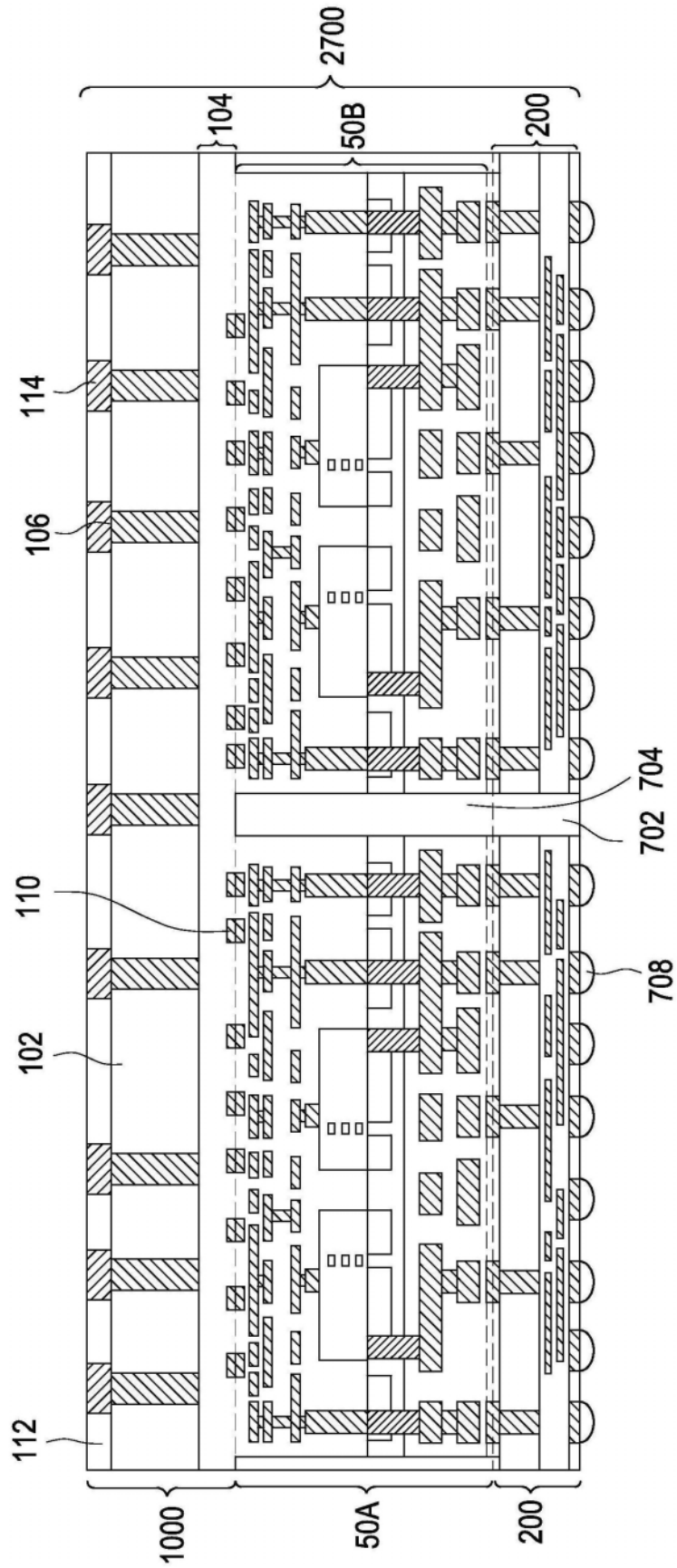


图43



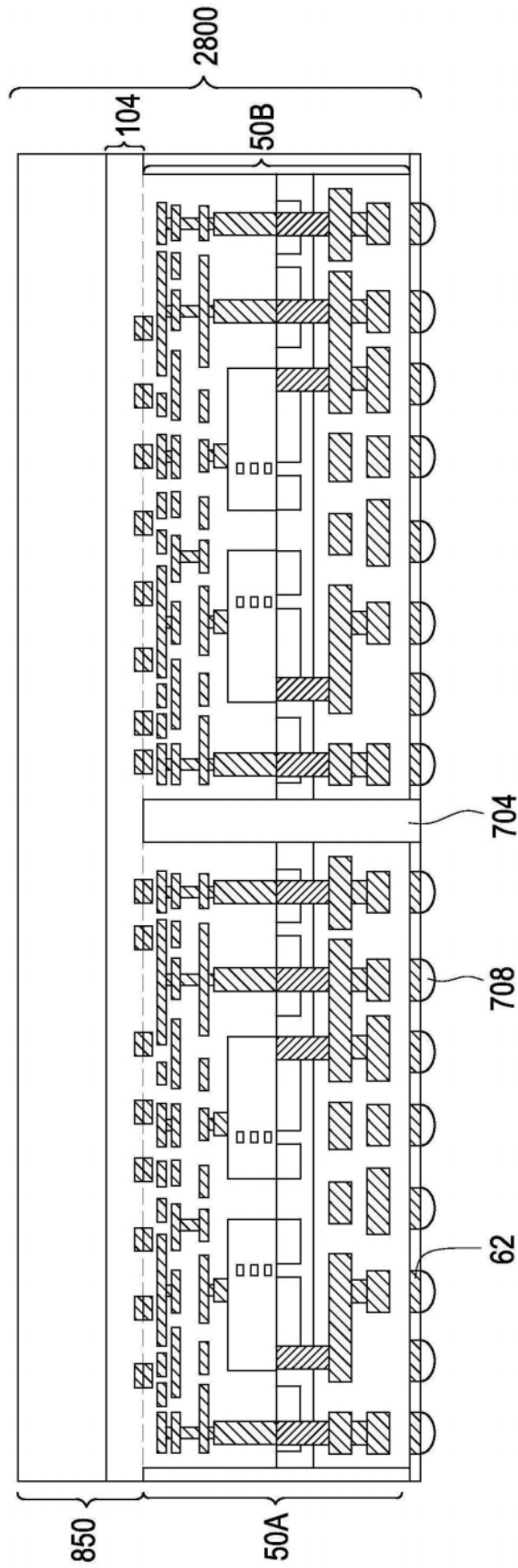


图44

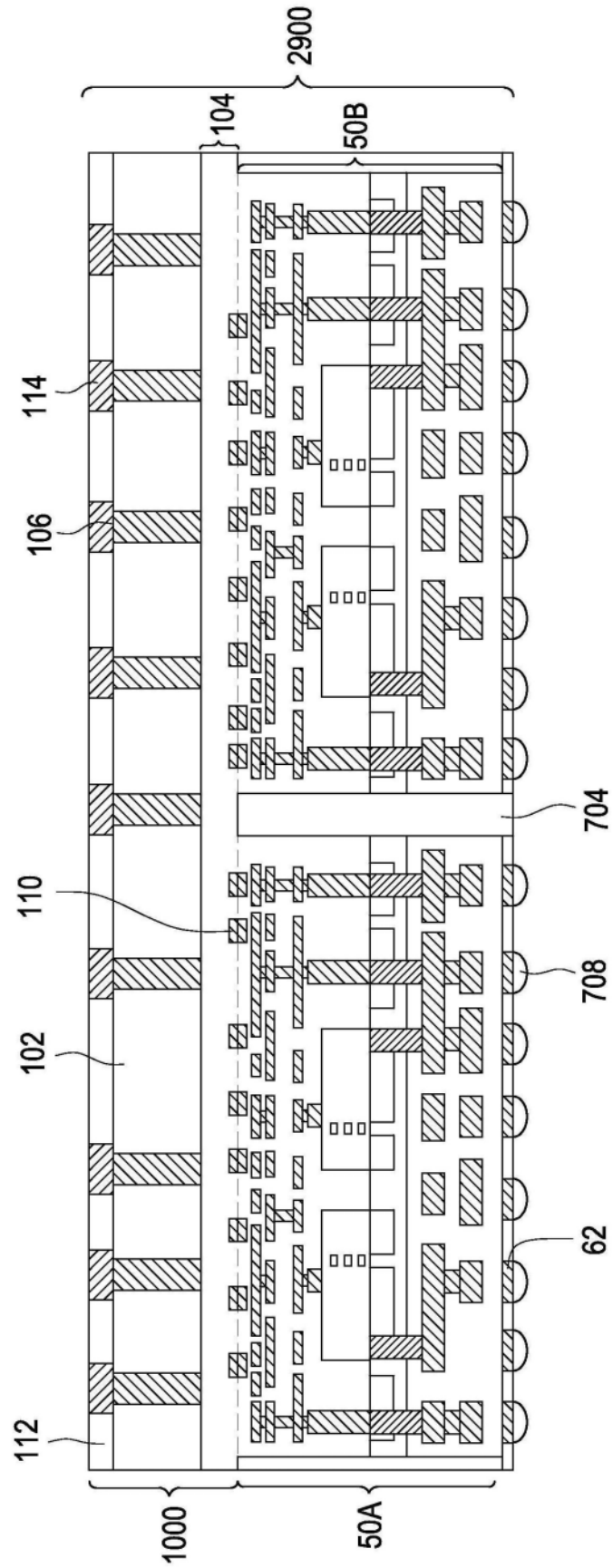


图45

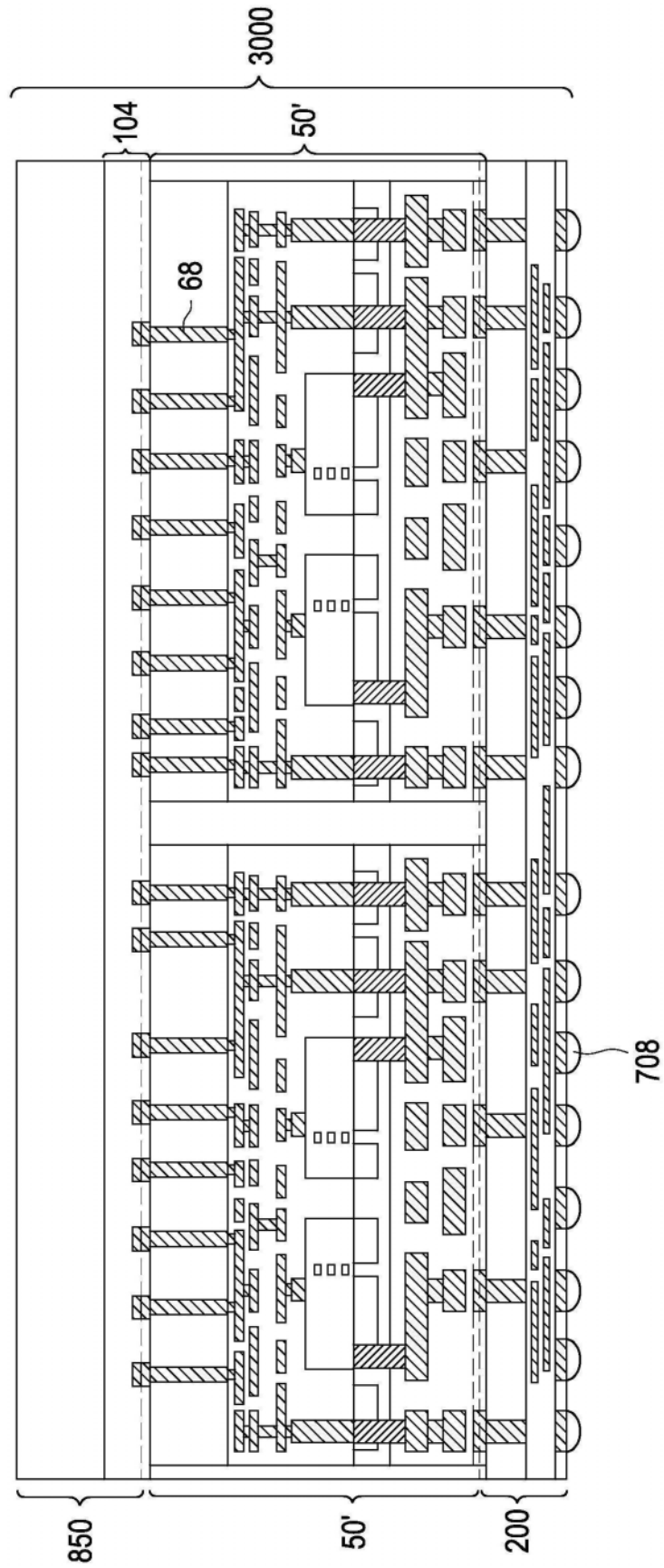


图46

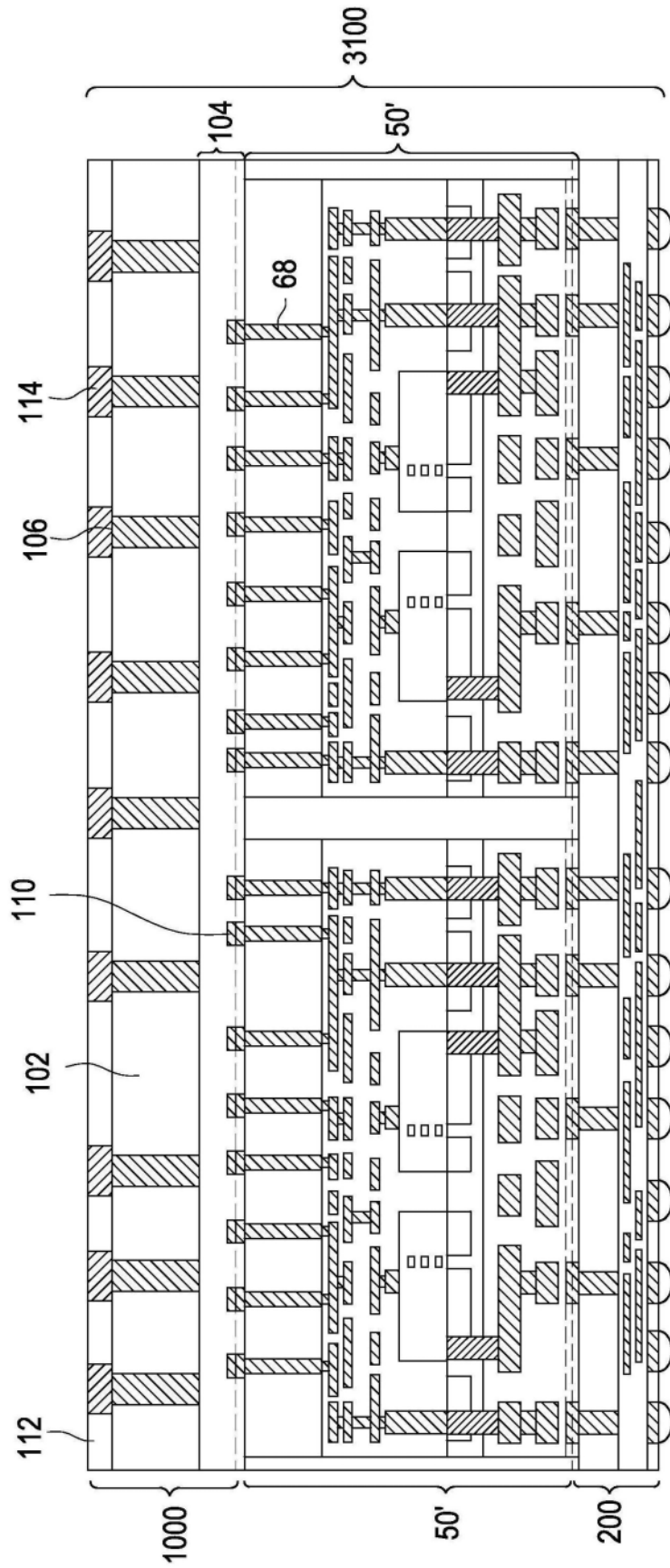


图47

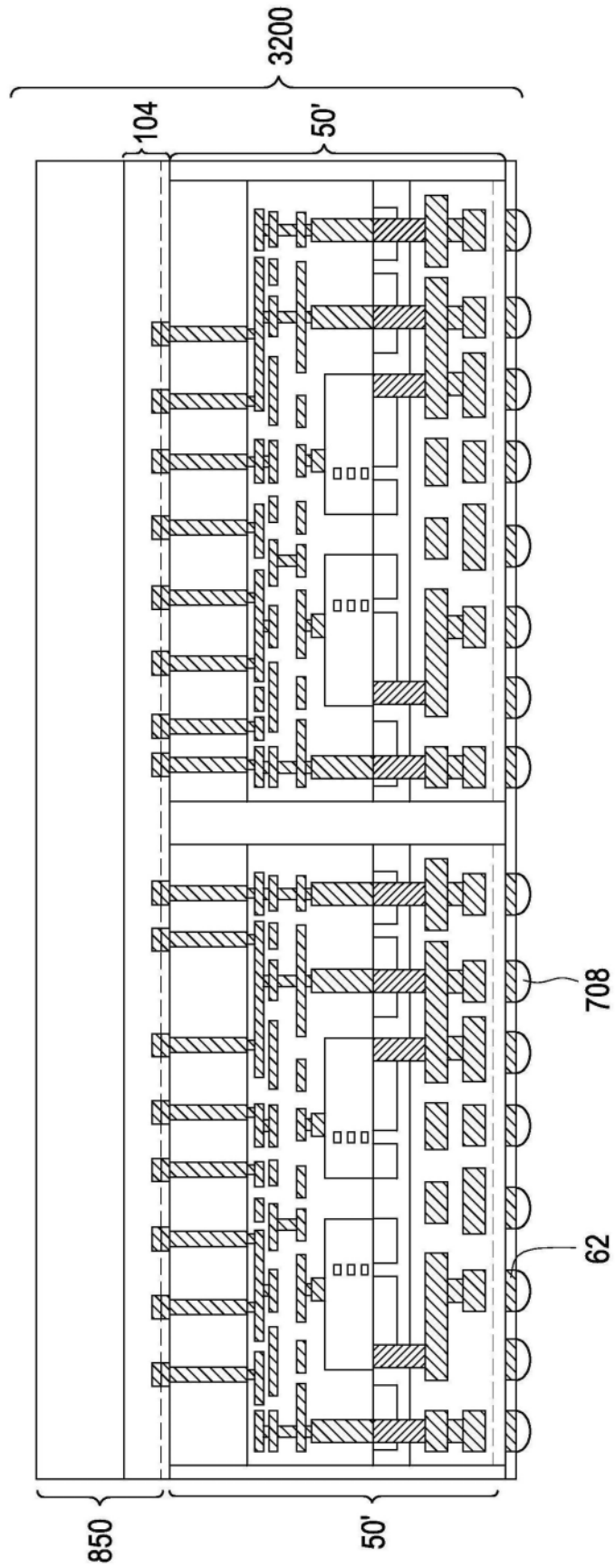


图48

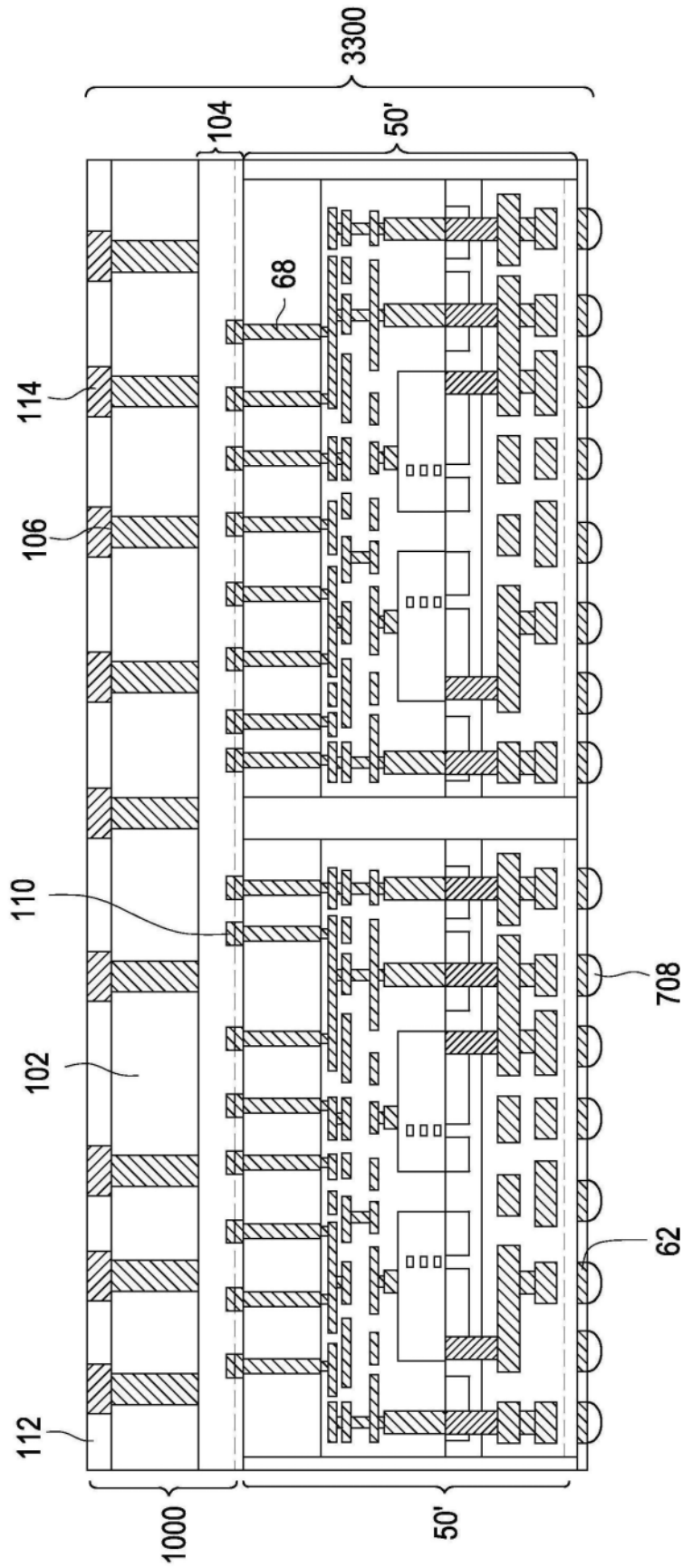


图49

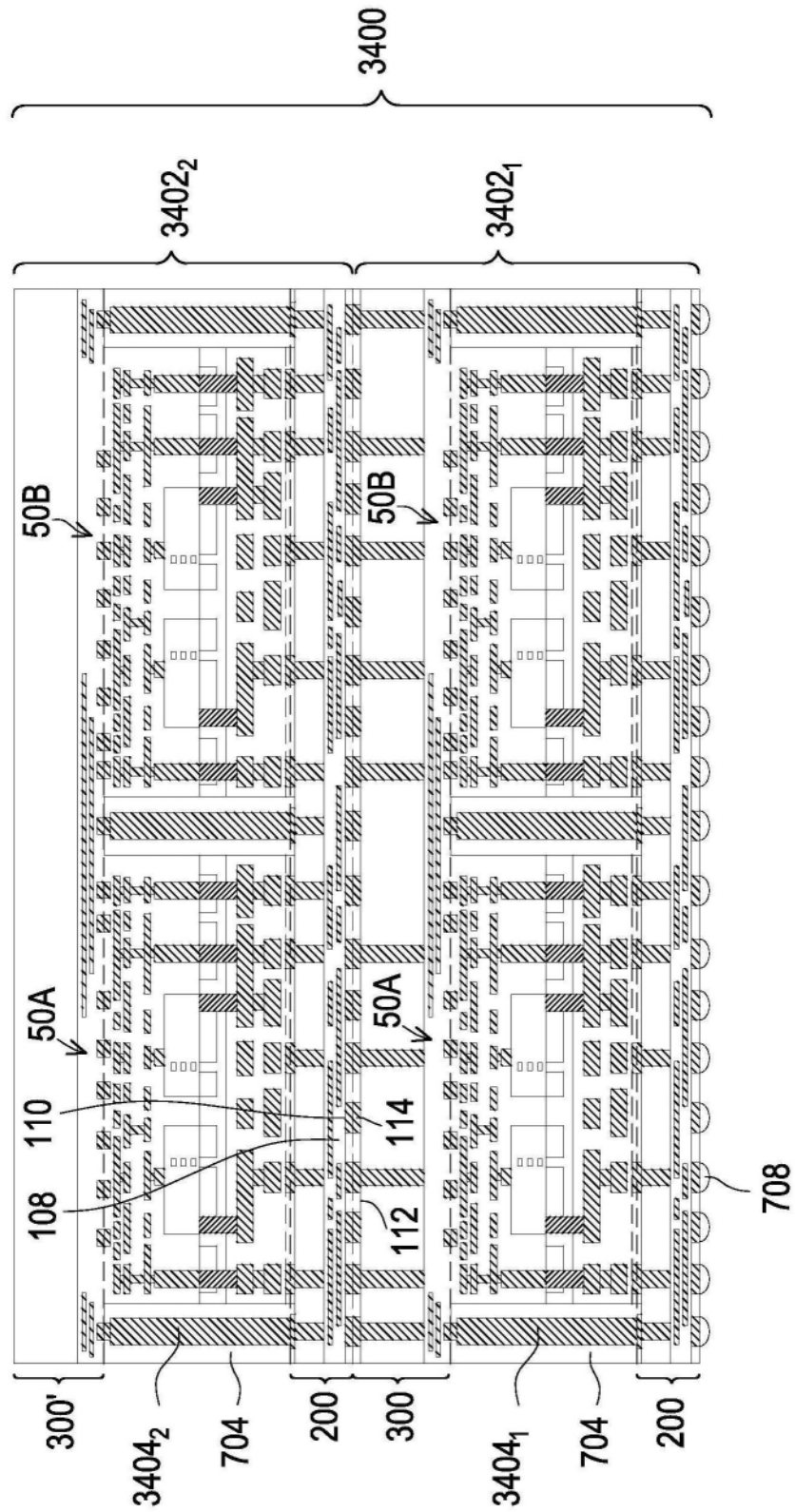


图50

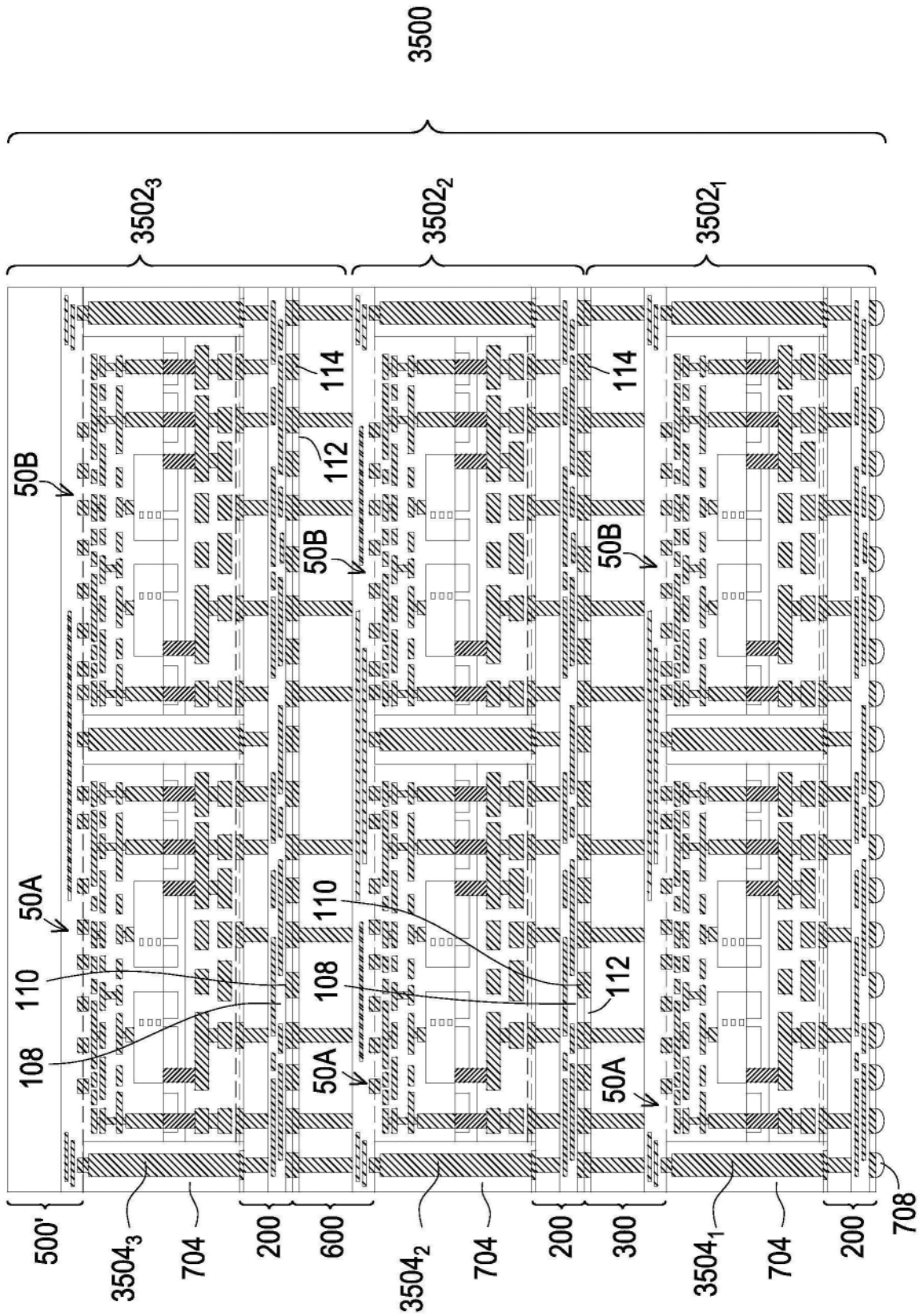


图51



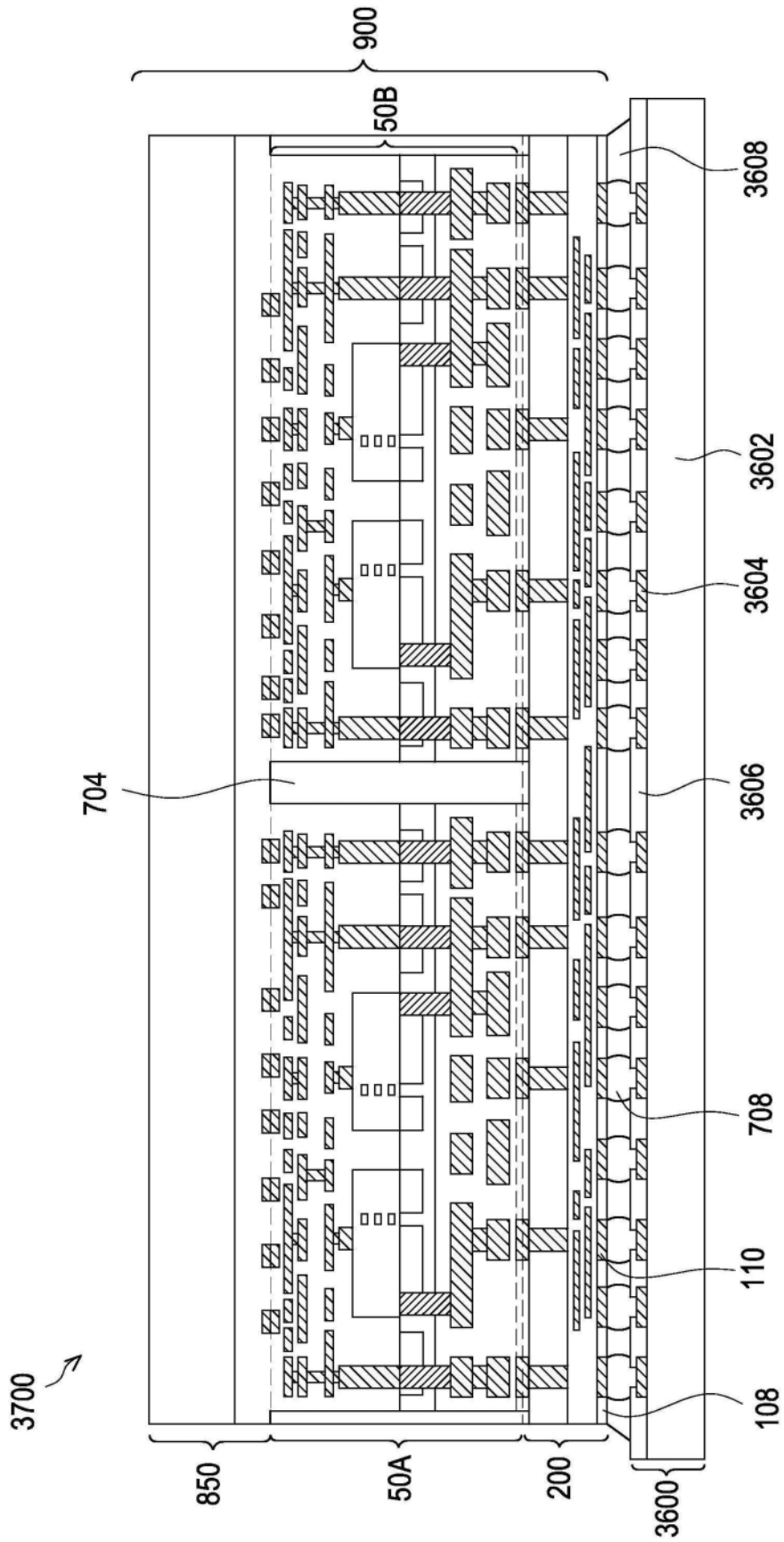


图52