

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02004/042821

発行日 平成18年3月9日 (2006.3.9)

(43) 国際公開日 平成16年5月21日 (2004.5.21)

|                                 |                       |             |
|---------------------------------|-----------------------|-------------|
| (51) Int. Cl.                   | F I                   | テーマコード (参考) |
| <b>G 1 1 C 11/409 (2006.01)</b> | G 1 1 C 11/34 3 5 3 C | 5 M O 2 4   |
| <b>G 1 1 C 11/401 (2006.01)</b> | G 1 1 C 11/34 3 6 2 H |             |

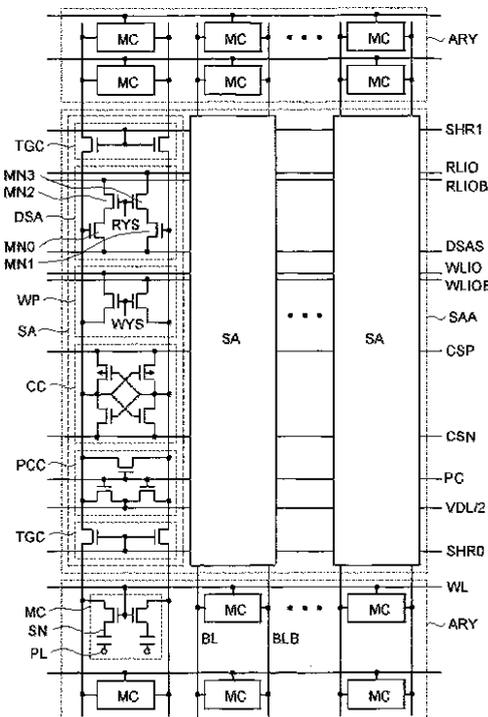
審査請求 有 予備審査請求 有 (全 25 頁)

|  |                       |
|--|-----------------------|
| 出願番号 特願2004-549569 (P2004-549569)  | (71) 出願人 000005108    |
| (21) 国際出願番号 PCT/JP2002/011659  | 株式会社日立製作所             |
| (22) 国際出願日 平成14年11月8日 (2002.11.8)  | 東京都千代田区丸の内一丁目6番6号     |
| (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), CN, JP, KR, US | (71) 出願人 500174247    |
|  | エルピーダメモリ株式会社          |
|  | 東京都中央区八重洲2-2-1        |
|  | (71) 出願人 000233169    |
|  | 株式会社日立超エル・エス・アイ・システムズ |
|  | 東京都小平市上水本町5丁目22番1号    |
|  | (74) 代理人 100080001    |
|  | 弁理士 筒井 大和             |
|  | (72) 発明者 関口 知紀        |
|  | 東京都国分寺市東恋ヶ窪一丁目280番地   |
|  | 株式会社日立製作所 中央研究所内      |
|  | 最終頁に続く                |

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

本発明のダイレクトセンスアンプはビット線がゲートに接続される差動対として働くMOSトランジスタとRLIO線の間ビット線方向に配線された列選択線で制御されるMOSトランジスタを入れて分離し、さらに差動対として働くMOSトランジスタのソースをワード線方向に配線された共通ソース線に接続する。読出し動作時には、列選択線と、共通ソース線により、選択マットにおいてだけダイレクトセンスアンプを活性化することにより、読出し動作時の消費電力を大幅に低減する。また、差動対として働くMOSトランジスタの寄生容量をローカルIO線から分離してローカルIO線の負荷容量を低減し、読出し速度の高速化を行う。また読出し動作におけるローカルIO線の負荷容量のデータパターン依存性を低減し、製造後の試験を容易化する。



## 【特許請求の範囲】

## 【請求項 1】

第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される第 1 および第 2 のビット線と、上記ワード線と上記第 1 および第 2 のビット線とに接続されるメモリセルと、上記メモリセルから読み出される情報を増幅する増幅回路と、上記増幅回路より読み出された情報を受ける第 1 及び第 2 の I O 線と、上記増幅回路を制御するソース線とをそれぞれ有する第 1 及び第 2 の領域と、

上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選択線とを具備する半導体記憶装置において、

上記増幅回路は、第 1 乃至第 4 の MOS トランジスタを具備し、

上記第 1 の MOS トランジスタのゲートは、上記第 1 のビット線と接続され、上記第 2 の MOS トランジスタのゲートは、上記第 2 のビット線に接続され、上記第 1 及び第 2 の MOS トランジスタのソースは、上記ソース線に接続され、

上記第 3 の MOS トランジスタのドレインは、上記第 1 の I O 線に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 2 の I O 線に接続され、

上記第 1 及び第 2 の領域に具備される増幅回路に含まれる上記第 3 及び第 4 の MOS トランジスタのゲートは、上記列選択線に共通に接続され、

上記第 1 の MOS トランジスタのドレインは、上記第 3 の MOS トランジスタのソースと接続され、

上記第 2 の MOS トランジスタのドレインは、上記第 4 の MOS トランジスタのソースと接続され、

第 1 の状態において、上記第 1 の領域に含まれる第 1 及び第 2 の I O 線の電位は、上記第 1 の領域に含まれるソース線の電位よりも高く、上記第 2 の領域に含まれる第 1 及び第 2 の I O 線とソース線は同電位である半導体記憶装置。

## 【請求項 2】

第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される第 1 および第 2 のビット線と、上記ワード線と上記第 1 および第 2 のビット線とに接続されるメモリセルと、上記メモリセルから読み出される情報を増幅する増幅回路と、上記増幅回路より読み出された情報を受ける第 1 及び第 2 の I O 線と、上記増幅回路を制御するソース線とをそれぞれ有する第 1 及び第 2 の領域と、

上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選択線とを具備する半導体記憶装置において、

上記増幅回路は、第 1 乃至第 4 の MOS トランジスタを具備し、

上記第 1 の MOS トランジスタのゲートは、上記第 1 のビット線と接続され、上記第 2 の MOS トランジスタのゲートは、上記第 2 のビット線に接続され、上記第 1 及び第 2 の MOS トランジスタのソースは、上記ソース線に接続され、

上記第 3 の MOS トランジスタのドレインは、上記第 1 の I O 線に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 2 の I O 線に接続され、

上記第 1 及び第 2 の領域に具備される増幅回路に含まれる上記第 3 及び第 4 の MOS トランジスタのゲートは、上記列選択線に共通に接続され、

上記第 1 の MOS トランジスタのドレインは、上記第 3 の MOS トランジスタのソースと接続され、

上記第 2 の MOS トランジスタのドレインは、上記第 4 の MOS トランジスタのソースと接続され、

第 1 の状態において、上記第 1 の領域に含まれる第 1 及び第 2 の I O 線の電位は、上記第 1 の領域に含まれるソース線の電位よりも高く、

上記第 2 の領域に含まれる第 1 及び第 2 の I O 線の電位と上記ソース線の電位は、上記第 1 及び第 2 のビット線の電位より上記第 1 及び第 2 の MOS トランジスタのしきい値電圧を引いた値の絶対値である半導体記憶装置。

## 【請求項 3】

10

20

30

40

50

上記第 1 状態において、上記第 1 の領域に含まれるメモリセルより情報が読み出される請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 4】

上記第 1 の領域は、上記増幅回路を複数と、上記ソース線を駆動するソース線ドライバとを具備し、

上記第 1 の領域に含まれる上記複数の増幅回路は、上記ソース線に共通に接続され、上記ソース線ドライバは、上記複数の増幅回路を具備するセンスアンプ列と、上記ワード線を駆動するワードドライバを複数具備するワードドライバ列とに囲まれた領域に配される請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 5】

上記複数の増幅回路は、上記第 1 及び第 2 の I O 線に共通に接続され、

上記第 1 及び第 2 の I O 線には、上記複数の増幅回路のオフセットを補償する第 2 の増幅回路が接続される請求項 1 乃至請求項 4 記載の半導体記憶装置。

【請求項 6】

上記増幅回路は、第 5 の MOS トランジスタをさらに具備し、

上記第 5 の MOS トランジスタのソースは、上記第 2 の MOS トランジスタのドレインと接続され、上記第 5 の MOS トランジスタのドレインは、上記第 1 の MOS トランジスタのドレインと接続され、上記第 5 の MOS トランジスタのゲートは、プリチャージ信号に制御される請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 7】

上記第 1 の領域は、上記メモリセルに情報を書き込む書き込み回路と、上記書き込み回路を選択する書き込み列選択線と、上記書き込み回路を制御する書き込み制御信号線と、上記書き込み回路に接続される書き込み I O 線対とをさらに具備し、

上記書き込み回路は、第 6 乃至第 9 の MOS トランジスタをさらに具備し、

上記第 6 及び第 7 の MOS トランジスタのゲートは、上記書き込み列選択線に接続され、上記第 6 の MOS トランジスタのドレインは、上記書き込み I O 線対の一方に接続され、上記第 7 の MOS トランジスタのドレインは、上記書き込み I O 線対の他方に接続され、

上記第 8 及び第 9 の MOS トランジスタのゲートは、上記書き込み制御信号線と接続され、上記第 8 MOS トランジスタのソースは、上記第 1 のビット線と接続され、上記第 9 の MOS トランジスタのソースは、上記第 2 のビット線と接続され、

上記第 6 の MOS トランジスタのソースは、上記第 8 の MOS トランジスタのドレインと接続され、上記第 7 の MOS トランジスタのソースは、上記第 9 の MOS トランジスタのドレインと接続される請求項 1 または請求項 2 記載の半導体記憶装置。

【請求項 8】

上記書き込み列選択線は、上記列選択線と接続される請求項 7 記載の半導体記憶装置。

【請求項 9】

上記書き込み回路は、第 10 の MOS トランジスタをさらに具備し、

上記第 10 の MOS トランジスタのソースは、上記第 6 の MOS トランジスタのソースと接続され、上記第 10 の MOS トランジスタのドレインは、上記第 7 の MOS トランジスタのソースと接続され、上記第 10 の MOS トランジスタのゲートは、プリチャージ信号に制御される請求項 7 または請求項 8 記載の半導体記憶装置。

【請求項 10】

第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される複数のビット線対と、上記ワード線と上記複数のビット線対に接続される複数のメモリセルと、上記メモリセルから読み出される情報を増幅する増幅回路と、上記増幅回路より読み出された情報を受ける第 1 及び第 2 の I O 線と、上記増幅回路を制御するソース線と、上記増幅回路に入力される信号を選択する選択手段とをそれぞれ有する第 1 及び第 2 の領域と、

上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選択線とを具備する半導体記憶装置において、

10

20

30

40

50

上記増幅回路は、第1乃至第4のMOSトランジスタを具備し、

上記第1及び第2のMOSトランジスタのゲートは、上記選択手段の入力を受け、上記第1及び第2のMOSトランジスタのソースは、上記ソース線に接続され、

上記第3のMOSトランジスタのドレインは、上記第1のIO線に接続され、上記第4のMOSトランジスタのドレインは、上記第2のIO線に接続され、

上記増幅回路にそれぞれ含まれる上記第3及び第4のMOSトランジスタのゲートは、上記列選択線に共通に接続され、

上記第1のMOSトランジスタのドレインは、上記第3のMOSトランジスタのソースと接続され、

上記第2のMOSトランジスタのドレインは、上記第4のMOSトランジスタのソースと接続され、 10

上記選択手段は、上記複数のビット線対の信号を入力される半導体記憶装置。

【請求項11】

上記半導体記憶装置は、第1の状態において、上記第1の領域に含まれる第1及び第2のIO線の電位は、上記第1の領域に含まれる上記ソース線の電位よりも高く、

上記第2の領域に含まれる第1及び第2のIO線とソース線の電位は、上記第2の領域に含まれる複数のビット線対の電位から上記第3及び第4のMOSトランジスタの閾値電圧を引いた値の絶対値以上である請求項10記載の半導体記憶装置。

【請求項12】

上記メモリセルは、2個のトランジスタと2個のキャパシタとを具備し、 20

上記選択手段は、マルチプレクサである請求項10または請求項11記載の半導体記憶装置。

【請求項13】

第1方向に延伸されるワード線と、上記第1方向と交差する第2方向に延伸され第1及び第2のビット線を含む複数のビット線と、上記ワード線と上記複数のビット線に接続される複数のメモリセルと、上記メモリセルより読み出される情報を増幅する増幅回路と上記メモリセルに情報を書き込む書き込み回路とをそれぞれ具備する第1及び第2の回路列と、上記回路列と接続され上記第1方向に延伸される第1及び第2のIO線対と、上記増幅回路に接続されるソース線とをそれぞれ具備する第1及び第2の領域と、

上記第1及び第2の領域に共通して接続される第1及び第2の読み出し列選択線と第1及び第2の書き込み列選択線とを具備する半導体記憶装置において、 30

上記第1及び第2の読み出し列選択線と第1及び第2の書き込み列選択線は上記第2方向に延伸され、

上記第1及び第2の回路列に具備される増幅回路の各々は、第1乃至第4のMOSトランジスタを具備し、

上記第1のMOSトランジスタのゲートは、上記第1のビット線に接続され、上記第2のMOSトランジスタのゲートは、上記第2のビット線に接続され、上記第1及び第2のMOSトランジスタのソースは、上記ソース線に接続され、

上記第1のMOSトランジスタのドレインは、上記第3のMOSトランジスタのソースと接続され、 40

上記第2のMOSトランジスタのドレインは、上記第4のMOSトランジスタのソースと接続され、

上記第1の回路列に含まれる増幅回路の第3のMOSトランジスタのドレインは、上記第2の回路列に含まれる書き込み列選択線と接続される第1のIO線対の一方に接続され、上記第4のMOSトランジスタのドレインは、上記第2の回路列に含まれる書き込み回路と接続される第1のIO線対の他方に接続され、

上記第2の回路列に含まれる増幅回路の第3のMOSトランジスタのドレインは、上記第1の回路列に含まれる書き込み回路に接続される第2のIO線対の一方に接続され、上記第4のMOSトランジスタのドレインは、上記第1の回路列に含まれる書き込み回路と接続される第2のIO線対の他方に接続され、 50

上記第1の回路列に含まれる書き込み回路は、上記第1の書き込み列選択線と接続され

、  
上記第2の回路列に含まれる書き込み回路は、上記第2の書き込み列選択線と接続され

、  
上記第1の領域に含まれる上記第1の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートと、上記第2の領域に含まれる上記第1の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートとは、上記第1の読み出し列選択線に共通に接続され、

上記第1の領域に含まれる上記第2の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートと、上記第2の領域に含まれる上記第2の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートとは、上記第2の読み出し列選択線に共通に接続され、

第1の状態において、上記第1及び第2の読み出し列選択線が活性化され、

上記第1の領域に含まれる第1及び第2のIO線対の電位は、上記第1の領域に含まれるソース線の電位よりも高く、

上記第2の領域に含まれる第1及び第2のIO線対とソース線は同電位である、もしくは、上記第2の領域に含まれる第1及び第2のIO線の電位と上記ソース線の電位は、上記第1及び第2のビット線の電位より上記第1及び第2のMOSトランジスタのしきい値電圧を引いた値の絶対値である半導体記憶装置。

#### 【請求項14】

第1及び第2のNチャンネルMOSトランジスタと第1及び第2のPチャンネルMOSトランジスタとを具備する第1の増幅回路と、メモリセルより読み出された情報を電源電圧振幅まで増幅する第2の増幅回路とを具備する半導体記憶装置において、

上記第1のNチャンネルMOSトランジスタのゲートと、上記第2のNチャンネルMOSトランジスタのゲートとは、第1の電源電位に接続され、上記第1のNチャンネルMOSトランジスタのソースは、第1の入力端子に接続され、上記第2のNチャンネルMOSトランジスタのソースは、第2の入力端子に接続され、

上記第1のPチャンネルMOSトランジスタのゲートと、上記第2のPチャンネルMOSトランジスタのゲートとは、接地電位に接続され、上記第1のPチャンネルMOSトランジスタのソースと、上記第2のPチャンネルMOSトランジスタのソースとは、上記第1の電源電位に接続され、

上記第1のNチャンネルMOSトランジスタのドレインは、上記第1のPチャンネルMOSトランジスタのドレインと接続され、上記第2のNチャンネルMOSトランジスタのドレインは、上記第2のNチャンネルMOSトランジスタのドレインと接続され、

上記第1及び第2のNチャンネルMOSトランジスタは、上記第1及び第2のPチャンネルMOSトランジスタよりも先に上記メモリセルより読み出された情報の入力を受ける半導体記憶装置。

#### 【請求項15】

上記半導体記憶装置は、第3乃至第6のNチャンネルMOSトランジスタを具備する第1の回路をさらに有し、

上記第3のNチャンネルMOSトランジスタのゲートは、上記第1のPチャンネルMOSトランジスタのドレインと接続され、上記第4のNチャンネルMOSトランジスタのゲートは、  
、上記第2のPチャンネルMOSトランジスタのドレインと接続され、

上記第3のNチャンネルMOSトランジスタのソースと、上記第4のNチャンネルMOSトランジスタのソースとは、上記第2の増幅回路に接続され、

上記第3のNチャンネルMOSトランジスタのドレインと、上記第4のNチャンネルMOSトランジスタのドレインとは、上記第1の電源電位に接続され、

上記第5のNチャンネルMOSトランジスタのゲートと、上記第6のNチャンネルMOSトランジスタのゲートとは、第2の電源電位に接続され、

上記第5のMOSトランジスタと、上記第6のMOSトランジスタのドレインとは、上記第2の増幅回路に接続され、

上記第5のMOSトランジスタのソースと、上記第6のMOSトランジスタのソースと

10

20

30

40

50

は、接地電位に接続される請求項 14 記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

本発明はランダムアクセスメモリに関し、特にメモリセルからビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリに関する。

【背景技術】

特開平 11 - 306762 号（以下「文献」と呼ぶ）には図 23 に示すような、個々のビット線  $BL / BLB$  にカラムセンスアンプ  $CSA$  を設けて、グローバルビット線  $GBL / GBLB$  に接続する  $SRAM$  メモリアレーが記載されている。この構成においてはブロック対応センスアンプ活性化信号  $S$  と、 $Y$  アドレス信号  $YB$  により選択的にカラムセンスアンプを活性化することが可能であり、消費電力が低減できる。 10

本願発明者等は、本願に先立って  $DRAM$  のビット線の電位を差動型でゲート受けの増幅器である、いわゆるダイレクトセンスアンプで検出する場合の制御方法について検討した。先に示した文献のアンプ制御方法を  $DRAM$  のダイレクトセンスアンプに用いると以下のような点について配慮すべきことに気が付いた。第一に、ビット線がゲートに接続されており差動対として働くサイズの大きい  $MOS$  トランジスタ  $MN20$ 、 $MN21$  が直接グローバルビット線（ $DRAM$  ではダイレクトセンスアンプの出力が接続されるローカル  $IO$  線に相当）に接続されているため、グローバルビット線（ローカル  $IO$  線）の負荷容量が大きくなる。 $DRAM$  ではローカル  $IO$  線には通常 32 から 128 個程度の多数のダイレクトセンスアンプが接続される。また、ローカル  $IO$  線さらにその先のメイン  $IO$  線の距離が長く負荷が大きいこと、及び、しきい値オフセットを小さくするために差動対となる  $MOS$  トランジスタのゲート長が長いことから  $MN20$ 、 $MN21$  のゲート幅は例えば  $4\ \mu m$  以上にすることが必要である。従って、図 23 の  $CSA$  のように、非選択のダイレクトセンスアンプの差動対が全て見える構成ではローカル  $IO$  線の負荷容量が大きくなり、高速動作が困難である。 20

第二に  $DRAM$  のビット線プリチャージレベルは電源電圧または電源電圧を降圧したレベル  $V_{DL}$  の半分の  $V_{DL} / 2$  である。したがって、 $BL$  上に負の信号が発生し、 $BL$  のレベルが  $V_{DL} / 2$  よりも下がった場合には  $MN21$  がカットオフしてローカル  $IO$  線から  $MN21$  のチャンネル容量が見えないが、 $BL$  上に正の信号が発生し、 $BL$  のレベルが  $V_{DL} / 2$  よりも上がった場合には  $MN21$  が導通してチャンネル容量が見えるため、ローカル  $IO$  線の容量がビット線上のデータパターンにより大きく変化してしまう。すなわち動作条件により、動作速度が大きく変化するということになり、製造後のテストが複雑になるという問題がある。 30

したがって、本発明が解決しようとする第一の課題は  $DRAM$ 、 $SRAM$  等のランダムアクセスメモリにおいてダイレクトセンスアンプを選択的に活性化可能な構成とし、そのときにローカル  $IO$  線の負荷容量を低減して、さらにそのデータパターン依存性を低減することである。また、本発明の第二の課題は高速動作を行う際のダイレクトセンスアンプにおけるノイズを低減し、動作マージンを拡大することである。また、本発明の第三の課題はチップサイズを増加させずに、一つのメモリアレーから読み出されるビット数を倍増させることである。 40

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【発明の開示】

本願発明の代表的構成を示せば以下の通りである。

すなわち、第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される第 1 および第 2 のビット線と、上記ワード線と上記ビット線対とに接続されるメモリセルと、上記メモリセルから読み出される情報を増幅する増幅回路と、上記増幅回路より読み出された情報を受ける第 1 及び第 2 の  $IO$  線と、上記増幅回路を制御するソース線とをそれぞれ有する第 1 及び第 2 の領域と、上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選択線とを具備する半導体記憶装置において、上記増幅回 40

路は、第1乃至第4のMOSトランジスタを具備し、上記第1のMOSトランジスタのゲートは、上記第1のビット線と接続され、上記第2のMOSトランジスタのゲートは、上記第2のビット線に接続され、上記第1及び第2のMOSトランジスタのソースは、上記ソース線に接続され、上記第3のMOSトランジスタのドレインは、上記第1のIO線に接続され、上記第4のMOSトランジスタのドレインは、上記第2のIO線に接続され、上記増幅回路にそれぞれ含まれる上記第3及び第4のMOSトランジスタのゲートは、上記列選択線に共通に接続され、上記第1のMOSトランジスタのドレインは、上記第3のMOSトランジスタのソースと接続され、上記第2のMOSトランジスタのドレインは、上記第4のMOSトランジスタのソースと接続され、第1の状態において、上記第1の領域に含まれる第1及び第2のIO線の電位は、上記第1の領域に含まれるソース線の電位よりも高く、上記第2の領域に含まれる第1及び第2のIO線とソース線は同電位であることを特徴とするようにする。

10

#### 【図面の簡単な説明】

図1は本発明のメモリアレーとセンスアンプである。

図2は本発明の半導体記憶装置のチップ構成、およびメモリーブロックの構成である。

図3はメモリアレーのレイアウトおよびその断面図である。

図4はサブワードドライバ及びサブワードドライバアレーの回路図である。

図5はクロスエリアの回路図である。

図6はメインアンプの回路図である。

図7はリード時のデータパスのブロック図である。

20

図8はリード時の動作波形である。

図9はリード時の動作波形の続きである。

図10はライト時のデータパスのブロック図である。

図11はライト時の動作波形である。

図12はライト時の動作波形の続きである。

図13は第二のセンスアンプの回路図である。

図14は第三のセンスアンプの回路図である。

図15は第四のセンスアンプの回路図である。

図16は第三のセンスアンプの動作波形である。

図17は第二のメインアンプの回路図である。

30

図18は第三のメインアンプの回路図である。

図19は第四のメインアンプの回路図である。

図20は本発明の第二のローカルIOの接続法である。

図21は本発明の第二のデータパス構成である。

図22は第二のデータパスにおけるリード時の動作波形である。

図23は従来のSRAMにおけるカラムセンスアンプ方式のブロック図である。

#### 【発明を実施するための最良の形態】

本発明を詳細に説明するために、添付の図面に従ってこれを説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

40

#### 【実施例1】

図1に本発明のメモリアレーARYとセンスアンプSAを示す。本センスアンプの機能を説明するために図2(a)に本発明の半導体記憶装置のチップ構成を示す。チップCHIP全体は制御回路CNTL、入出力回路DQC、メモリーブロックBLKに大きく分けられる。制御回路にはクロック、アドレス、制御信号がチップ外から入力され、チップの動作モードの決定やアドレスのプリデコードが行われる。入出力回路は入出力バッファを備え、チップ外部からライトデータが入力され、チップ外部へリードデータを出力する。

メモリーブロックBLKの構成を図2(b)に示す。メモリーブロックには複数のアレー上に配置されたメモリアレーARYが配置され、その周囲にはセンスアンプ列SAA、サブワードドライバ列SWDA、クロスエリアXPが配置される。またブロックの外周で

50

はセンスアンプ列と平行に列デコーダ Y D E C、メインアンプ列 M A A が配置され、サブワードドライバ列と平行に行デコーダ X D E C、アレー制御回路 A C C が配置される。

図 1 は 2 個のメモリアレーとその間のセンスアンプ列を示したものである。本発明のセンスアンプ S A はトランスファークゲート T G C、プリチャージ回路 P C C、リストア用アンプ C C、書き込み回路 W P、増幅回路、すなわちダイレクトセンスアンプ D S A からなる。トランスファークゲートはセンスアンプ分離信号 S H R が活性化された時にセンスアンプとメモリアレー間を接続する回路である。プリチャージ回路はプリチャージ信号 P C が活性化されたときに対となるビット線間をイコライズしビット線プリチャージレベルにプリチャージする。ビット線プリチャージレベルは通常ビット線振幅 V D L (チップ外部からの電源電圧 V C C と同レベルかまたはそれを降圧したレベル) の中点 V D L / 2 に設定される。上記のツインセル方式を用いた場合、参照電圧発生用のダミーセルを用いなくても、プリチャージレベルをビット線の高レベル V D L や低レベル V S S に設定することもできる。しかし、後述するダイレクトセンスアンプはビット線のレベルが V D L / 2 付近のとき伝達コンダクタンスが高くなるので、高速動作のためにはビット線プリチャージレベルを V D L / 2 とすることが望ましい。リストア用アンプはビット線上にメモリセルからの微小な読出し信号が発生した後に、P 側共通ソース線 C S P を V D L に駆動し、N 側共通ソース線 C S N を V S S に駆動して、ビット線 B L と B L B のうち電圧の高い方を V D L に、電圧の低い方を V S S に増幅する回路である。

書き込み回路 W P はライト用列選択線 W Y S が活性化されたときにライト用ローカル I O 線 W L I O / W L I O B とビット線対を接続する回路である。W L I O は非選択センスアンプ列での電流消費を防止するために、待機時には V B L R にプリチャージされている。ダイレクトセンスアンプ D S A はビット線上に生じた微小信号によってリード用ローカル I O 線 R L I O / R L I O B を駆動し、信号を伝える回路である。待機時には R L I O は I O 線プリチャージレベル V P C にプリチャージされている。ダイレクトセンスアンプ共通ソース線 D S A S は待機時に I O 線プリチャージレベル V P C にプリチャージされており、読出し動作の際には V S S に駆動される。

本センスアンプにおいてはリード用列選択線 R Y S が活性化されたときに、選択センスアンプ列において D S A S を V S S に駆動し、非選択センスアンプ列では D S A S を V P C に保持しておくことにより、選択センスアンプのみを活性化することができ、非選択センスアンプ列では電流を消費しないという利点がある。また本アンプでは、ビット線がゲートに接続される差動対として働くサイズの大きい (例えばゲート幅 4  $\mu\text{m}$ ) M O S トランジスタ M N 0、M N 1 と R L I O 線の間 R Y S で制御されるサイズの小さい (例えばゲート幅 1  $\mu\text{m}$ ) M O S トランジスタ M N 2、M N 3 を入れて分離している。したがって、R Y S が V S S である非選択のダイレクトセンスアンプにおいては、差動対のチャンネル容量が R L I O 線から見えないため、R L I O 線の寄生容量を低減することができ、ビット線上のデータパターンによって寄生容量が変化することも防ぐことができる。

メモリアレーは複数のメモリセル M C からなる。本例ではメモリセルを 2 個の D R A M セルからなるツインセル構成としている。D R A M セルは 1 個の M O S トランジスタおよび 1 個のキャパシタで構成され、M O S トランジスタの一方のソース又はドレインがビット線に接続され、他方のソース又はドレインが蓄積ノード S N に接続され、ゲートがワード線に接続されている。キャパシタの一方の端子は蓄積ノード S N に接続され、キャパシタの他方の端子は他のセルと共通にプレート電極 P L に接続される。ツインセルは 2 個の D R A M セルを共通のワード線および対となるビット線に接続して、それぞれのセルの蓄積ノードに相補データを書き込んで情報を記憶する。以下ではツインセルを用いて本発明を説明するが、本発明のセンスアンプはメモリセルとして 1 個の D R A M セルを用いた場合においても適応可能である。このようにツインセルを用いると D R A M セルを 1 個だけ用いた場合と比較して、ビット線の信号量がほぼ 2 倍となる。図 1 のようなダイレクトセンスアンプを用いた場合は、メモリセルから発生した信号をリストア用アンプで増幅することなくダイレクトセンスアンプで電流差に変換してローカル I O 線に読み出すことができるため、ビット線上の信号量が大きいほどローカル I O 線に読み出される信号量が大き

10

20

30

40

50

くなる。したがってダイレクトセンスアンプとツインセル方式との組合せにより、さらなる高速化が可能になる。

図3(a)にメモリアレーのレイアウト、(b)にそのA-A'における断面図を示す。DRAMセルは基板PW中に形成されたNチャンネルMOSトランジスタとビット線BLの上部に設けられたスタックキャパシタを有している。MOSトランジスタの活性領域をACT、ワード線をWL、N型拡散層領域をNで示している。活性領域は絶縁物SiO<sub>2</sub>によって分離される。拡散層の上部にコンタクトCBを配置し、その上部にビット線コンタクトBCまたは蓄積ノードコンタクトSCを配置する。ビット線コンタクトの上部にはビット線BLをワード線と直交する方向に配置する。蓄積ノードコンタクトの上には凹型の蓄積ノードSNを配置する。蓄積ノードの内側にはプレート電極PLが埋め込まれており、これらが容量絶縁膜CIを挟んでキャパシタを構成する。本メモリアレーは全てのビット線とワード線の交点にDRAMセルが接続される開放型メモリアレーであり、ワード線を2F(F:最小加工寸法)、ビット線ピッチを3Fまで縮小可能である。本例ではツインセル方式のメモリセルとするために2個のDRAMセルを一つのメモリセルとして利用するが、MCaのように隣接した2個のDRAMセルが対になる場合と、MCbのように離れた2個のDRAMセルが対になる場合がある。このような1交点セルを2個用いてツインセルを構成するとセルサイズは12F<sup>2</sup>乗となり、2交点セルを2個用いる場合よりも面積を低減することができる。また、通常の1交点セルと異なり、対となるビット線と同じアレー上に配置できるので、1交点セルで問題となるセンス時のノイズが発生しない利点がある。

図4にサブワードドライバSWD及びこれを複数配置して構成されるサブワードドライバアレーSWDAの回路図を示す。サブワードドライバはNチャンネルMOSトランジスタ2個とPチャンネルMOSトランジスタ1個で構成される。一方のNチャンネルMOSトランジスタはゲートにメインワード線MWLBが接続され、ドレインにワード線WLが接続され、ソースに接地電位VSSが接続される。他方のNチャンネルMOSトランジスタはゲートに相補ワードドライバ選択線FXB、ドレインにワード線WLが接続され、ソースに接地電位VSSが接続される。PチャンネルMOSトランジスタはゲートにメインワード線MWLBが接続され、ドレインにワード線WLが接続され、ソースにワードドライバ選択線FXが接続される。図のように一つのSWDA上に4組のFXが配線され、一本のMWLBで選択される4個のSWDのうちいずれか1個を選択して1本のWLが活性化される。またサブワードドライバ列上部または隣接した領域にメインIO線対MIO/MIOBが配線される。

図5にクロスエリアXPの回路図を示す。クロスエリアはSHR信号ドライバSHD、RLIO線プリチャージ回路RPC、リードゲートRGC、DSAS線ドライバDSAD、WLIO線プリチャージ回路WPC、ライトゲートWGC、CS線ドライバCSD、CS線プリチャージ回路SPC、PC信号ドライバPCD、FX線ドライバFXDからなる。SHR信号ドライバにはセンスアンプ分離信号SHRの相補信号SHRBが入力され、SHRを出力する。RLIO線プリチャージ回路はリードイネーブル信号REが非活性状態のVSSレベルのときにRLIO線をVPCにプリチャージする。リードゲートはREが活性状態のVCL(外部VCCレベルと同じかまたはそれを降圧したレベルで周辺回路用電源電圧として用いられる)のときにRLIO線とメインIO線MIO/MIOBとを接続する回路である。このときにVPCをVCL/2とするとリードゲートをNMOSだけで構成しても、NMOSのオン電流を大きくとることができるため、CMOS構成とする場合よりもMIOの負荷を小さくできてMIO線上の信号を増加することが可能である。また、VPCがVCL/2でもダイレクトセンスアンプに使われるNMOSのしきい値を下げれば、動作に支障はない。DSAS線ドライバはREが非活性状態のときにはDSASをVPCにプリチャージし、活性化されたときにVSSに駆動する回路である。このようにDSAS線ドライバをクロスエリアに配置することによりマツト単位でDSAS線を活性化できるため、選択マツトでのみダイレクトセンスアンプを活性化することができ、消費電力の低減が可能になる。また、図2においてアレー制御回路ACC部分に集中的

10

20

30

40

50

に D S A S 線ドライバを配置した場合と比較すると、ドライバが分散配置されている効果で D S A S 線上の電位の遠近端差が小さくなり、ダイレクトセンスアンプの場所によるセンス速度のばらつきを低減できる利点がある。

W L I O 線プリチャージ回路はライトイネーブル信号 W E が非活性状態の V S S レベルのときに W L I O 線を V D L / 2 にプリチャージする。ライトゲートは W E が活性状態の V C L レベルのときに W L I O 線とメイン I O 線 M I O / M I O B とを接続する回路である。本回路は C M O S 構成とすると、M I O 線から W L I O 線へライトするさいに V C L レベルと V S S レベルを振幅の減少なしで出力することが可能である。C S 線ドライバはセンスアンプイネーブル信号 S E が活性状態のときに、P 側共通ソース線 C S P を V D L (ビット線の H レベル) に駆動し、N 側共通ソース線 C S N を V S S に駆動する回路である。C S 線プリチャージ回路 S P C はプリチャージ信号 P C が活性化されたときに C S P 、C S N を V D L / 2 にプリチャージする回路である。P C 信号ドライバにはプリチャージ信号 P C の相補信号 P C B が入力され、P C を出力する。F X 線ドライバには F X 線の相補信号 F X B が入力され、F X を出力する。

図 6 にメインアンプ回路 M A を示す。メインアンプは M I O プリチャージ回路 I P C 、負荷回路 L D 、トランスファゲート T G C 、M A プリチャージ回路 A P C 、ラッチ回路 L T C 、G I O バッファ G B 、ライトバッファ W B からなる。M I O プリチャージ回路は M I O プリチャージ信号 I P が活性化されたときに M I O 線を V P C にプリチャージする。負荷回路はトランスファゲート制御信号 T G が活性化され、その相補信号 T G B が V S S になったときに M I O 線において負荷として機能する。トランスファゲートは T G が活性化されたときに導通し、M I O とラッチ回路とを接続する。メインアンププリチャージ回路はメインアンププリチャージ信号 A P が活性化されたときにメインアンプ内を V P C にプリチャージする。ラッチ回路はラッチ信号 L T が活性化されたときに M I O から入力した小振幅の信号をフル振幅 (V C L 、すなわち電源電位、または V S S ) まで増幅し保持する回路である。G I O バッファは G I O バッファイネーブル信号 G B E が活性化されたときに、ラッチ回路で保持したデータをリード用グローバル I O 線 G I O R に出力する回路である。ライトバッファ W B はライトバッファイネーブル信号 W B E が活性化されたときに、ライト用グローバル I O 線 G I O W 上のデータを M I O / M I O B に出力する回路である。

図 7 にリード動作を示すために、図 1 の一部である 2 個のメモリアレー A R Y 0 , 1 と 3 個のセンスアンプ列 S A A 0 - 2 に注目してブロック図を示す。本図ではリード用列選択線 R Y S を全てのセンスアンプ列で 1 個のダイレクトセンスアンプ D S A と接続しているが、R Y S を複数のダイレクトセンスアンプと接続してもよい。この場合、その分だけリード用 L I O 対を増やす必要がある。また、2 対の M I O 0 / M I O B 0 と M I O 1 / M I O B 1 を交互にクロスエリアでリードゲート回路と接続している。したがってワード線 W L 0 と R Y S 0 を活性化した場合、センスアンプ列 S A A 0 及び S A A 1 にデータが読み出され、これらのデータはそれぞれ R L I O 0 / R L I O B 0 および R L I O 1 / R L I O B 1 を介して M I O 0 / M I O B 0 と M I O 1 / M I O B 1 に読み出される。

図 8 の動作波形を用いてリード動作を示す。チップ外部からリードコマンド R D が入力されるとアドレスで指定されたセンスアンプ列 S A A 0 , 1 においてセンスアンプ分離信号 S H R とプリチャージ信号 P C が非活性化される。さらにリードイネーブル信号 R E が活性化されダイレクトセンスアンプ共通ソース線 D S A S 0 , 1 が V S S に駆動される。ここで、列デコーダより R Y S 0 が活性化されるとセンスアンプ列 S A A 0 、S A A 1 ではダイレクトセンスアンプが起動される。このとき、非選択センスアンプ列 S A A 2 においては R L I O 2 / R L I O B 2 と D S A S 2 が V P C で同電位であるため、貫通電流が流れない。他の選択されていないセンスアンプも同様に貫通電流が流れなく、消費電流が軽減される。なお、ここでいう同電位とは、R L I O 2 / R L I O B 2 と D S A S 2 の電位差が、それらの線が接続されているダイレクトセンスアンプが起動されない程度になっているということである。また、R I O 2 / R I O 2 B と D S A S をともにビット線電位 V D L / 2 から D S A S に使用されている N M O S のしきい値電圧を引いた値以上の電圧

10

20

30

40

50

にすることによっても消費電流を低減することができる。図1のブロック図からあきらかなようにRYSは多くのセンスアンプ列と接続しているので、本回路方式は動作電流の低減のために有効である。また、選択されているセンスアンプ列に接続されているRLIO/RLIOBと共通ソース線DSASの電位差の絶対値を、非選択センスアンプ列に接続されているRLIO/RLIOBと共通ソース線DSASの電位差の絶対値よりも大きくすることも貫通電流の低下を防ぐことも可能である。このように、選択されていないセンスアンプとビット線とを接続するトランジスタのソース・ドレイン間を流れる電流を、選択されているセンスアンプとビット線とを接続するトランジスタのソース・ドレイン間を流れる電流よりも少なくすることによっても同様の効果を得ることができる。

行デコーダにおいてメインワード線MWLBがVSSに下がり、アレー制御回路ACCにおいてFXが活性化されると、選択されたワード線WL0がVPPに活性化される。ワード線WLによって選択されたメモリセルにおいてはセルトランジスタが導通し、ビット線BL上に信号が読み出される。ここで、メモリセルをツインセル構成としているため、BL/BLBの一方はビット線のプリチャージレベルよりも高くなり、他方は低くなる。ビット線上の信号を受けてダイレクトセンスアンプがRLIO/RLIOBを駆動し、RLIO/RLIOBに電圧差が現れる。REによりクロスエリアにおいてリードゲートが導通状態になっているため、この信号がMIO/MIOBに伝えられる。また、本実施例ではRYS0が活性化されDSAS0,1がVSSに駆動された後にワード線WLを活性化しているが、RYS0及びDSAS0,1を駆動する前にWLを立ち上げることも可能である。これにより通常のセンスアンプより動作マージンを低減することができる。

この後の動作を図9で説明する。REが活性化されるとほぼ同時にトランスファークラック制御信号TGが活性化されるため、MIO上の信号はメインアンプ内でラッチに入力される。ラッチの入力端で十分に信号が大きくなったタイミングでTGが非活性化され、ラッチ信号LTが活性化されて、データが確定および保持される。その後、GIOバッファライン信号GBEが活性化されてリード用グローバルIO線GIORを介してデータが出力回路DQCに送られ、DQにデータが出力される。ラッチにおけるデータの確定が終わると、読出しに用いられたRLIO線対、MIO線対、DSAS線においてプリチャージが開始される。

このようなダイレクトセンスアンプ以降のデータの読出しと同時にメモリアレーでは再書込み動作が行われる。図8に示すようにP側共通ソース線CSPがVDLに駆動され、N側共通ソース線CSNをVSSに駆動されると、センスアンプ内のリストア用アンプCCがビット線をVDLまたはVSSへと増幅する。メモリセルに十分にデータが書き込まれるタイミングでワード線がVSSへと非活性化される。センスアンプ列ではPC、SHRが活性化され、ビット線、共通ソース線のプリチャージされてリードサイクルが終了する。したがって、ダイレクトセンスアンプを用いると、データの読出しと、メモリアレーの再書込み動作を平行して行うことができるため、ダイレクトセンスアンプをワード線が活性化するよりも早く起動してデータの読出しを高速化しながら、リストア用アンプをワード線が活性化してビット線上にメモリセルからの信号が十分発生してから起動して信頼性の高い再書込み動作を行うことができる。

図10にライト動作を示すために、図1の一部である2個のメモリアレーARY0,1と3個のセンスアンプ列SAA0-2に注目してブロック図を示す。本図ではライト用列選択線WYSを全てのセンスアンプ列で1個の書き込み回路WPと接続しているが、WYSを複数の書き込み回路と接続してもよい。この場合、その分だけライト用LIO対を増やす必要がある。また、2対のMIO0/MIOB0とMIO1/MIOB1交互にクロスエリアでライトゲート回路と接続している。したがってワード線WL0とWYS0を活性化する場合、MIO0/MIOB0とMIO1/MIOB1上のデータはそれぞれWLIO0/WLIOB0およびWLIO1/WLIOB1を介してセンスアンプ列SAA0及びSAA1内の書き込み回路からメモリアレーのデータ線およびメモリセルに書き込まれる。

図11の動作波形を用いてライト動作を示す。チップ外部からライトコマンドWTが入

力されるとDQからライトデータがとり込まれライト用グローバルIO線G I O Wに出力される。M I Oプリチャージ信号I Pが非活性化され、ライトバッファイネーブルW B Eが活性化されると、M I O線に書き込みデータが出力される。

この後のアレ動作を図12で説明する。チップ外部からライトコマンドW Tが入力されるとアドレスで指定されたセンスアンプ列S A A 0, 1においてセンスアンプ分離信号S H Rとプリチャージ信号P Cが非活性化される。さらにライトイネーブル信号W Eが活性化されてクロスエリアにおいてライトゲートが導通し、M I O / M I O BからとW L I O / W L I O Bへ書き込みデータが書き込まれる。列デコーダよりW Y S 0が活性化されるとメモリアレーのビット線への書き込みが開始される。このとき、非選択センスアンプ列S A A 2においてはW L I O 2 / W L I O B 2がV D L / 2のままなので、これらがビット線と接続されても、ビット線と同電位であるため電流は流れない。これは他の非選択センスアンプ列でも同様である。図1のブロック図から明らかなようにW Y Sは多くのセンスアンプ列と接続しているので、本回路方式は動作電流の低減のために有効である。

行デコーダにおいてメインワード線M W L BがV S Sに下がり、アレ制御回路A C CにおいてF Xが活性化されると、選択されたワード線W L 0がV P Pに活性化される。ワード線W Lによって選択されたメモリセルにおいてはセルトランジスタが導通し、ビット線からメモリセルへデータが書き込まれる。さらに、P側共通ソース線C S PがV D Lに駆動され、N側共通ソース線C S NをV S Sに駆動されると、センスアンプ内のリストア用アンプC Cがビット線をV D LまたはV S Sへと増幅する。メモリアレーへのデータ書き込みが終了すると、W Eが非活性化され、W L I OとM I Oが切断され、W L I OとM I Oがプリチャージされる。メモリセルに十分にデータが書き込まれるタイミングでワード線がV S Sへと非活性化される。センスアンプ列ではP C、S H Rが活性化されてビット線、共通ソース線のプリチャージされてライトサイクルが終了する。

図13に第二のセンスアンプS A回路を示す。本センスアンプでは2個のS Aで一組のダイレクトセンスアンプD S Aと書き込み回路W Pを共用する。このために、マルチプレクサM U X等の選択手段を追加し、S 0、S 1のどちらを選択するかによって、2個のS AのどちらをR L I O / R L I O BまたはW L I O / W L I O Bに接続するかを選択する。トランスファゲートT G C、プリチャージ回路P C C、リストア用アンプC C、書き込み回路W P、ダイレクトセンスアンプD S Aの回路およびその動作は図1で示したものと同様である。本センスアンプでは、図1のセンスアンプと同じ効果に加えて、センスアンプ2個分の領域でダイレクトセンスアンプD S Aを配置することが可能なので、ダイレクトセンスアンプD S A内のM O Sトランジスタのサイズを大きくでき、R L I O / R L I O BおよびM I O / M I O Bに読み出される信号量を増加できる。このようにセンスアンプ内にマルチプレクサを追加するとビット線の負荷容量が増加するため、ビット線の信号量が減少してしまう。しかし、本発明では図に示すようにツインセルを用いているため、ビット線の信号量が通常のD R A Mセル1個を用いた場合の約2倍に大きくなっており、マルチプレクサを追加したことによるビット線信号量減少の影響が小さいという利点がある。

図14に第三のセンスアンプS A回路を示す。本センスアンプでは選択線Y Sをリードとライトで兼用している。このために書き込み回路W Pの中に列選択線で制御されるM O Sトランジスタと直列にライトイネーブル信号W Eで制御されるM O Sトランジスタを接続する。リード動作時にはW Eを非活性化するので、列選択線Y Sが活性化されてもセンスアンプとW L I O / W L I O Bが接続されない。トランスファゲートT G C、プリチャージ回路P C C、リストア用アンプC C、ダイレクトセンスアンプD S Aの回路およびその動作は図1で示したものと同様である。本センスアンプでは図1のセンスアンプと同じ効果に加えて、列選択線の本数を図1のセンスアンプに比較して半分にできるため、配線ピッチを広げてプロセスを容易化したり、電源配線数を増加してセンスアンプ動作を高速化することが可能になる。

図15に第四のセンスアンプS A回路を示す。本センスアンプでは図14のセンスアンプにおいて、ダイレクトセンスアンプD S A内の列選択線Y Sで制御されるM O Sトラン

10

20

30

40

50

ジスタMN2、MN3とビット線がゲートに接続されるMOSトランジスタMN0、MN1の接続点N0、N1間にイコライズMOSトランジスタMN4を接続する。このMOSトランジスタはプリチャージ信号PCが活性化されたときに導通し、N0、N1間をショートする。MN4を設けていない図14のセンスアンプの動作波形を図16に示す。リード動作時にYSが非選択であるセンスアンプに注目すると、DSASがVSSに駆動されているときはN0、N1はVSSである。ビット線BL、BLBがVDL、VSSに増幅された状態で、DSASをVPCに復帰させると、MN0はオン、MN1はオフしているため、N0はVPCになるが、N1はVSSのままとなる。ビット線のプリチャージを行うと、N0はVPCのままであるが、N1はMN0のゲートがVDL/2なので、VDL/2-VTまでしかあがらない。ここでVTはMN1のしきい値電圧である。したがってビット線がプリチャージされた状態でN0、N1に電位差が生じてしまう。次の読出しサイクルでDSASがVSSに駆動されると、N0、N1は再びVSSまで電位が低下するが、その際にMN0、MN1を介してビット線へ戻るカップリング電圧がBLとBLBとでアンバランスになり、センスアンプに対してノイズとなる。イコライズMOSトランジスタMN4を追加した図15のセンスアンプではプリチャージ時のN0、N1間の電位差をなくすことができるため、動作時のノイズを低減でき、安定した回路動作を実現できる。

10

また、図15のセンスアンプでは書き込み回路WPの中で、列選択線YSで制御されるMOSトランジスタMN7、MN8とライトイネーブル信号WEで制御されるMOSトランジスタMN5、MN6との接続点N2、N3間にイコライズMOSトランジスタMN9を接続する。このMOSトランジスタはプリチャージ信号PCが活性化されたときに導通し、N2、N3間をショートする。MN9を設けない図14のセンスアンプの場合、ライト動作時にビット線BL、BLBがVDL、VSSに増幅された状態でWEをVSSに復帰させると、N2、N3はVDL、VSSのまま残される。これらのノードに蓄積された電荷はビット線のプリチャージ時にも保持されるため、次のライトサイクルでWEが活性化されたときに、BL、BLBに対して流出し、正負のノイズを発生させる。したがって、イコライズMOSトランジスタMN9を追加することにより動作時のノイズを低減でき、安定した回路動作を実現できる。ここで、図14のセンスアンプの場合には、WEをプリチャージ時には活性化しておき、リード動作のときだけ非活性化すれば、MN9を接続しなくても良い。ただし、この場合ワード線が活性化されるよりも早くWEを非活性化しないとYSが選択されたビット線ではメモリセルからの読出し信号がMN5-8を介してLIOまで流出してしまう。したがって、図15のセンスアンプにおいてプリチャージ時にWEを非活性化しておき、ライト動作のときだけ活性化すると動作時のタイミングマージンが緩和される。

20

30

なお、図15ではダイレクトセンスアンプDSAに接続される列選択線と書き込み回路WPに接続される列選択線が共通の場合を示したが、これらが分離されていても同様の効果がある。このような場合でも、ライト動作時にWYSおよびDSASで選択されたセンスアンプのうち一部のセンスアンプでライトを止めるライトマスク動作を行うためにはMN5、MN6が必要になり、上記のような問題を解決するためにMN9を設けることが有効である。

40

図17に第二のメインアンプ回路MAを示す。本メインアンプはMIOプリチャージ回路IPC、負荷回路LD、MAプリチャージ回路APC、ラッチ回路LTC、GIOバッファGB、ライトバッファWBからなる。MIOプリチャージ回路はMIOプリチャージ信号IPが活性化されたときにMIO線をVPCにプリチャージする。負荷回路はリードイネーブルREが活性化され、REBがVSSになったときにMIO線において負荷として機能する。メインアンププリチャージ回路は相補メインアンププリチャージ信号APBがVSSになったときにラッチの出力ノードをVCL(電源電位)にプリチャージする。ラッチ回路はラッチ信号LTが活性化されたときにMIOから入力した小振幅の信号をフル振幅(VCLまたはVSS)まで増幅し保持する回路である。本メインアンプのラッチ回路は図6のメインアンプ内のラッチ回路と異なりゲート入力アンプとクロスカップルを

50

用いている。したがってM I O線から見た入力容量が小さくなり、メインアンプの入力信号を大きく取れ、動作速度が速いという利点がある。一方、M I Oレベルが下がり過ぎるとM I Oがゲートに入力しているM O Sトランジスタのコンダクタンスが低下し、動作速度が遅くなる問題があるため、動作マージンの点では図6の第一のメインアンプが有利である。G I OバッファおよびライトバッファW Bの構成は図6のメインアンプと同様である。

図18に第三のメインアンプ回路M Aを示す。本メインアンプでは図6の第一のメインアンプ回路において負荷回路L DとトランスファージェートT G Cの位置のみを入れ替えており、他の回路は全く同じである。このようにメインI Oに対してN型M O Sトランジスタのトランスファージェートの内側に負荷回路を設けると、これらがゲート接地アンプとして作用する。従ってM I O 0 / M I O B 0における信号差が増幅されてラッチの入力L N、L N Bに伝えられる。したがってラッチ回路の入力信号が大きくなり、ラッチの動作速度向上、および動作マージン拡大という利点がある。

図19に第四のメインアンプ回路M Aを示す。本メインアンプでは図18の第三のメインアンプ回路におけるゲート接地アンプG Aを図17のラッチ回路L T Cとを組合せたものである。それに加えてL T CとG Aの間にソースフォロア回路S Fを設けてインピーダンス変換を行っている。本回路では、ゲート接地アンプにより入力信号をプリアンプ可能であるとともに、ラッチ型アンプの入力容量が小さいため、信号量を大きくとることができ、高速でマージンの広い動作が可能であるという利点がある。さらにソースフォロア回路を設けることにより、ラッチアンプ起動時にラッチアンプの差動M O Sトランジスタから入力端子に加わるカップリングノイズを低減することができる。また、本メインアンプではラッチアンプL T Cの入出力が分離されているため、ラッチアンプの出力ノードをV C Lにプリチャージすることが可能である。したがって、G I Oバッファ内のN M O SのゲートはV S Sでカットオフ状態になるので、L Tが入力されてラッチがデータを確定する前にG B Eを入力してG I Oバッファを活性化しておけば、ラッチのタイミングだけでG I Oバッファを駆動できるため、アクセスの高速化が可能である。

#### 【実施例2】

図20に本発明の第二のローカルI Oの接続法を示す。本接続法を用いると一つのセンスアンプS AにおいてダイレクトセンスアンプD S Aと書き込み回路W Pが異なるローカルI O線に接続されている場合に、2組のL I O線対を用いて、一つのセンスアンプ列からリード時・ライト時ともに2ビットのデータを読み出すことができる。

このために一つのセンスアンプ列S A Aの中央でセンスアンプをグループaとグループbに分割する。グループaにおいては書き込み回路W Pを一方のローカルI O線対L I O 0 / L I O 0 Bに接続し、ダイレクトセンスアンプD S Aを他方のローカルI O線対L I O 1 / L I O B 1に接続する。グループbにおいては逆に、書き込み回路W PをローカルI O線対L I O 1 / L I O 1 Bに接続し、ダイレクトセンスアンプD S Aを他方のローカルI O線対L I O 1 / L I O B 1に接続する。

リード時にはグループa、bからそれぞれ一本ずつR Y Sを活性化すると、グループaのセンスアンプからのデータはL I O 1、L I O B 1に読み出され、グループbのセンスアンプからのデータはL I O 0、L I O B 0に読み出される。ライト時にはグループa、bからそれぞれ一本ずつW Y Sを活性化すると、グループaのセンスアンプにはL I O 0、L I O B 0を用いてデータを書き込むことができ、グループbのセンスアンプにはL I O 1、L I O B 1を用いてデータを書き込むことができる。これに対して、図7において複数のR Y Sを活性化すると、複数のセンスアンプから読み出されたデータが同一L I O上で衝突してしまう。また、図10において複数のW Y Sを活性化すると、同一のデータが複数のセンスアンプに書き込まれてしまう。したがって、図20に示す本発明のローカルI Oの接続法によれば、L I O線の配線本数を増やさずに、一つのセンスアンプ列から読み出したまたは書き込み可能なビット数を2倍に増加することができる。

#### 【実施例3】

図21に本発明の第二のデータパス構成を示す。本発明のデータパスにおいてはローカ

10

20

30

40

50

ル I O 線とメイン I O 線の接続部にオフセット補償サブアンプを配置することにより、ダイレクトセンスアンプ自体にはオフセット補償を持たせずに、ダイレクトセンスアンプのオフセットを補償することができる。メモリアレー A R Y、センスアンプ S A は図 1 に示すものと同じであるが、その一部だけを取り出して示している。本発明で異なるのはクロスエリア X P にサブアンプ B A を備えることである。クロスエリアのその他の回路は図 5 と同様なので図 2 1 では省略している。

図 2 2 の動作波形を用いて本発明のデータパスの動作を示す。リードコマンド R D が入力されるとプリチャージ信号 P C が V S S に非活性化される。これとほぼ同時にリードイネーブル信号 R E が V C L に、R E B が V S S に活性化され、サブアンプ B A が起動される。さらに、D S A S が V P C から V S S へと駆動され、ダイレクトセンスアンプ D S A が活性化される。このときに D S A の入力であるビット線はまだ V D L / 2 にプリチャージされたままであるので、リード用列選択線 R Y S が活性化されるとリード用ローカル I O 線 R L I O / R L I O B にはダイレクトセンスアンプのオフセットに相当する信号が発生する。この時点では補償信号 C P が V C L であり、L I O とデカップリング容量で接続されたサブアンプの入力端子 G T、G B は出力端子とショートされ、オフセット補償電位に固定されている。サブアンプ自体のオフセットはこの時点で補償される。

続いて、C P を V S S に非活性化し、サブアンプを増幅可能な状態にした後、ワード線 W L を活性化し、ビット線 B L / B L B 間にメモリセルからの信号を発生させる。ダイレクトセンスアンプはこれを増幅して R L I O、R L I O B に信号を出力するが、このとき G T、G B にはデカップリングコンデンサを介して信号が発生するため、オフセット補償電位に R L I O、R L I O B の変化分が加わった電圧が発生する。したがって C P が V S S に落とされた瞬間の R L I O、R L I O B 間の電位差を基準とした信号が発生するので、ダイレクトセンスアンプのオフセット分を取り除いた正味の R L I O 信号が得られる。したがって、ダイレクトセンスアンプのオフセットが補償されることになる。サブアンプは G T、G B の電位差を増幅し M I O、M I O B に出力する。

このようにオフセット補償を行うためには、デカップリング容量とパストランジスタが必要になるが、これを個々のダイレクトセンスアンプに設けるとセンスアンプの面積が非常に大きくなってしまふ。本発明のデータパス構成を用いると、チップサイズを小さく保ちながら読出し時の動作マージンを拡大することができる。

以上に述べた本発明は D R A M、S R A M 等の高速なランダムアクセスメモリ、特にメモリセルからビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリで利用可能である。しかしながら、F L A S H、F E R A M、M R A M 等の不揮発メモリにおいても、読出しを高速化するために本発明を利用可能である。また、マイクロプロセッサや D S P 等のロジックチップに内蔵されるオンチップメモリでは、クロック周波数の向上に伴ったアクセス時間の高速化が要求されるため、単体メモリよりも速度向上の要求が強く、本発明を適用することが有効である。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

本発明によって得られる主な効果は以下の通りである。

第一にランダムアクセスメモリにおいてダイレクトセンスアンプが選択的に活性化可能となるため、読出し動作時の消費電力を大幅に低減できる。また、そのときにローカル I O 線の負荷容量を低減できるため、読出し速度が高速化可能である。また読出し動作におけるローカル I O 線の負荷容量のデータパターン依存性が低減され、製造後の試験が容易になる。

第二に高速動作を行う際のダイレクトセンスアンプにおけるノイズが低減され、動作マージンを拡大することである。第三にチップサイズを増加させずに、一つのメモリアレーから読み出されるビット数を倍増させることが可能になる。

#### 【産業上の利用可能性】

本発明は D R A M、S R A M 等の高速なランダムアクセスメモリ、特にメモリセルから

10

20

30

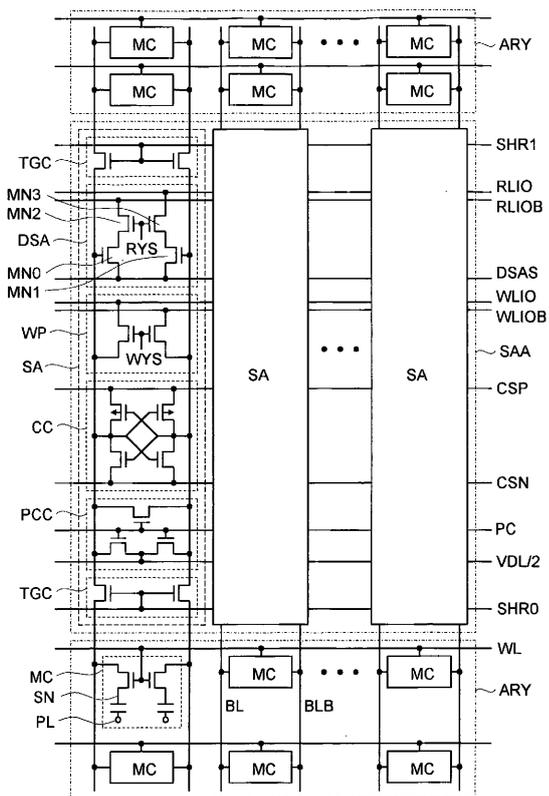
40

50

ビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリで利用可能である。また、FLASH、FERAM、MRAM等の不揮発メモリにおいても、読出しを高速化するために本発明を利用可能である。また、メモリ単体チップだけでなく、マイクロプロセッサやDSP等のロジックチップに内蔵されるオンチップメモリにも適用可能である。

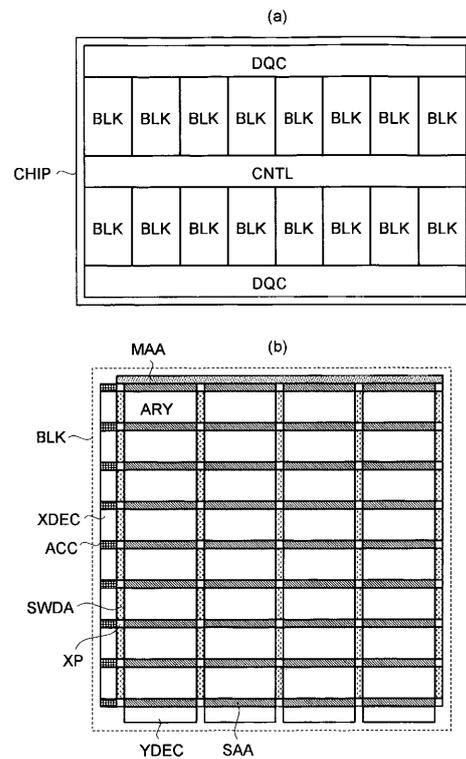
【図1】

図1



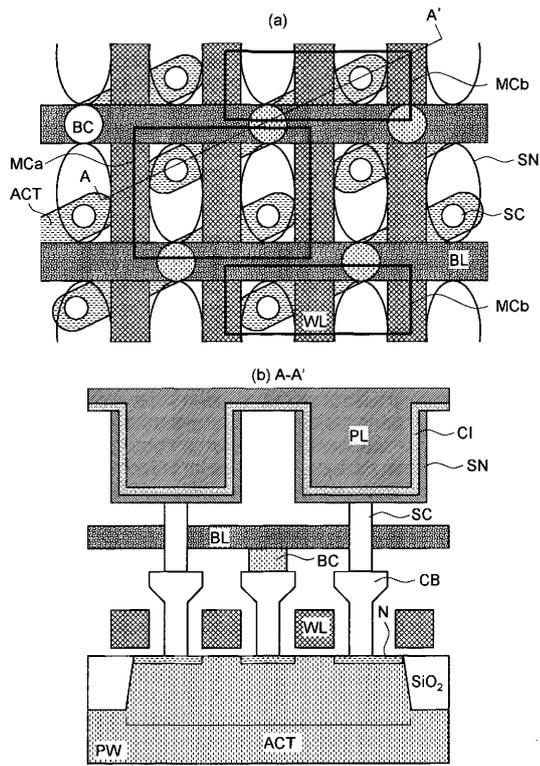
【図2】

図2



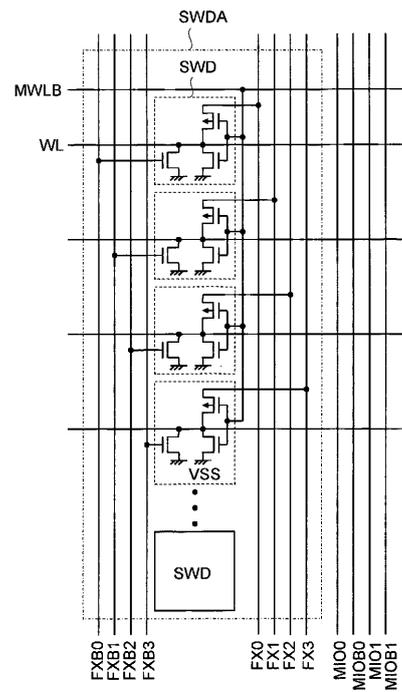
【 図 3 】

図 3



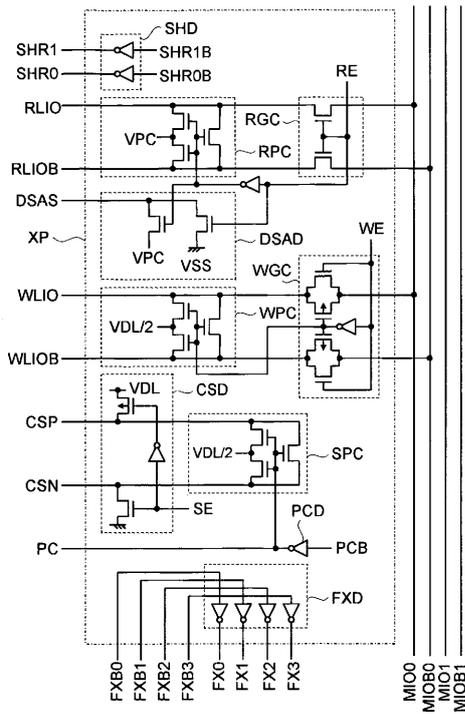
【 図 4 】

図 4



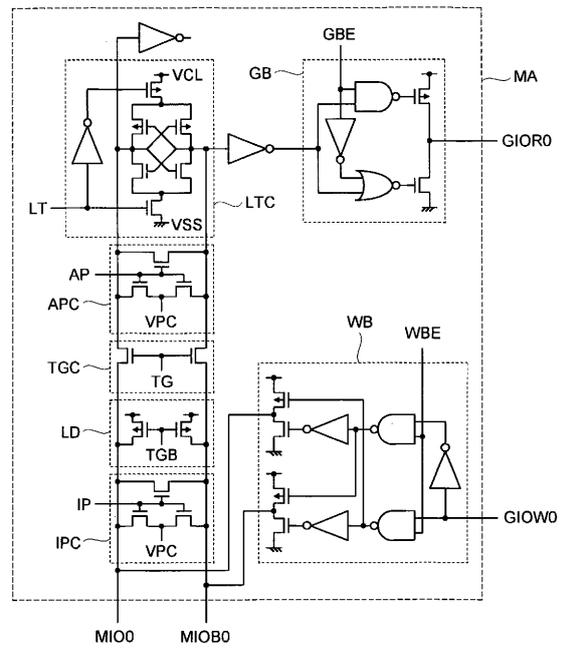
【 図 5 】

図 5



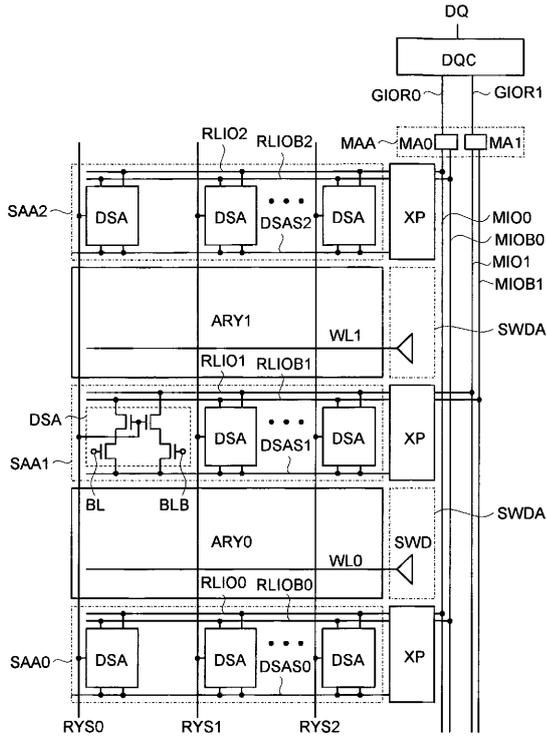
【 図 6 】

図 6



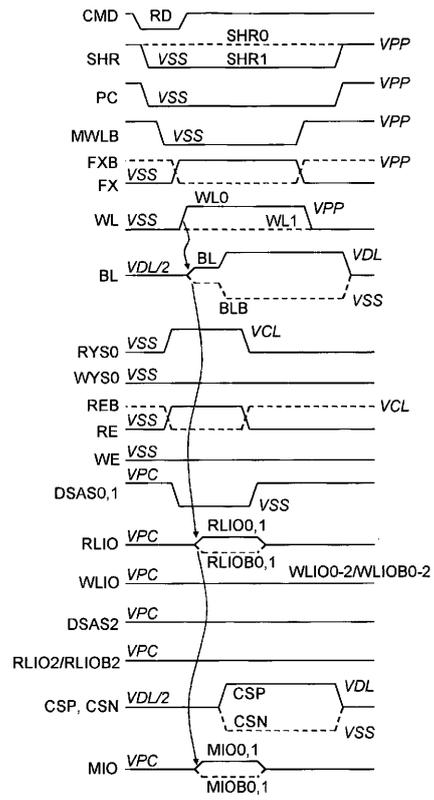
【 図 7 】

図 7



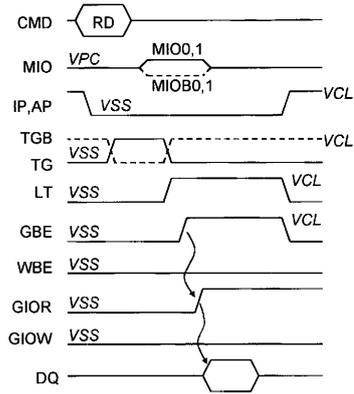
【 図 8 】

図 8



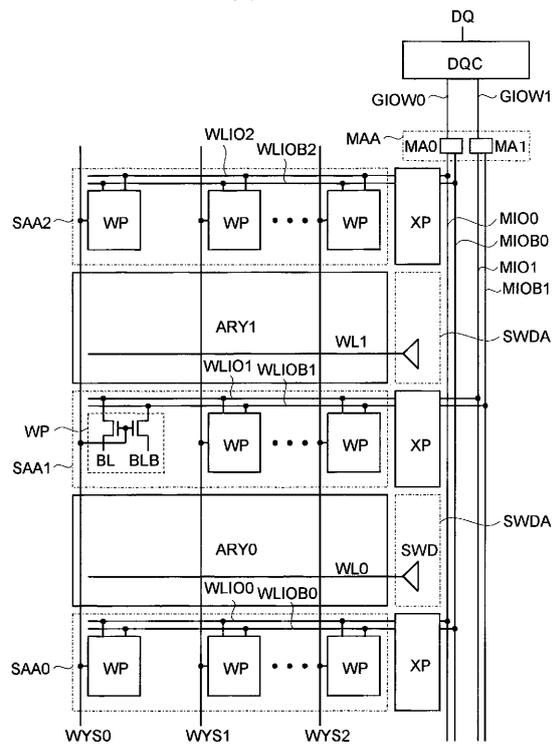
【 図 9 】

図 9



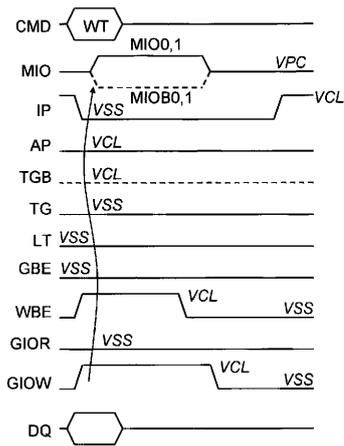
【 図 10 】

図 10



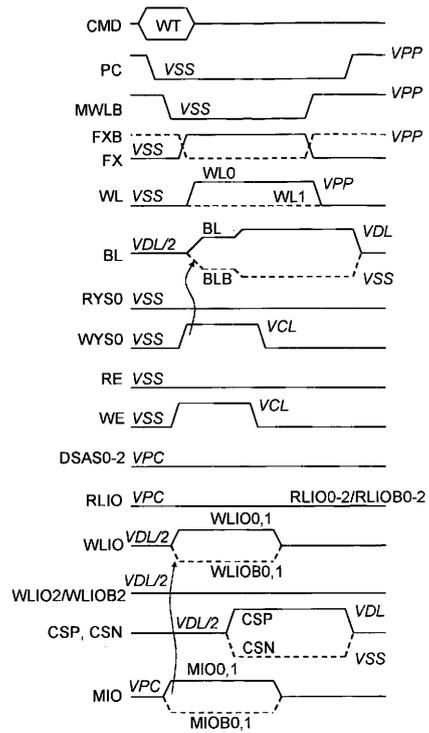
【 図 1 1 】

図 11



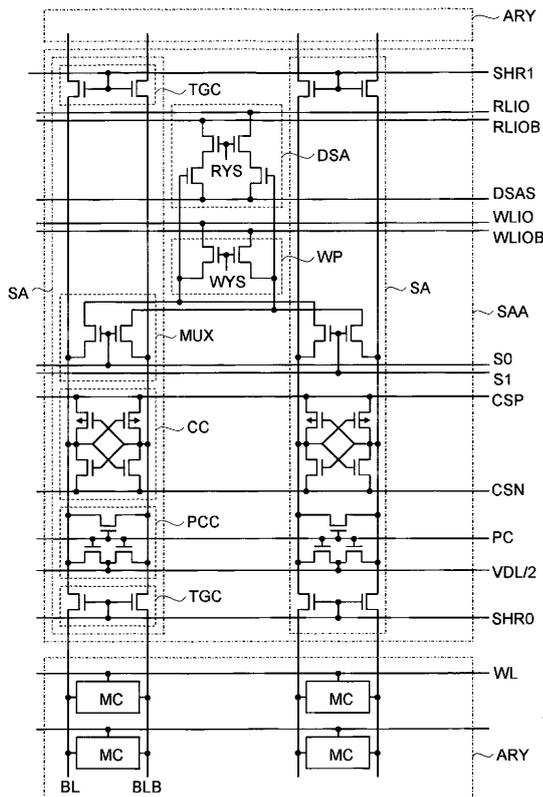
【 図 1 2 】

図 12



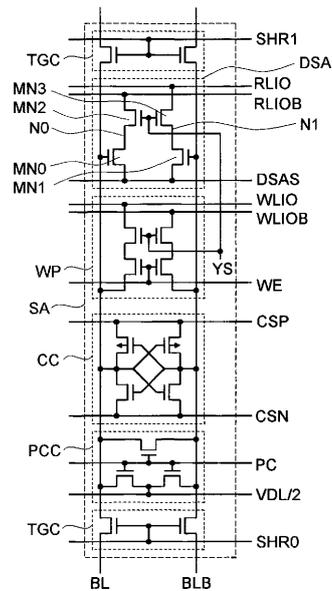
【 図 1 3 】

図 13



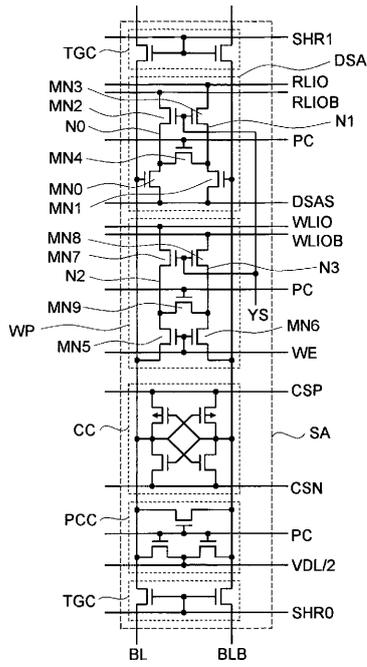
【 図 1 4 】

図 14



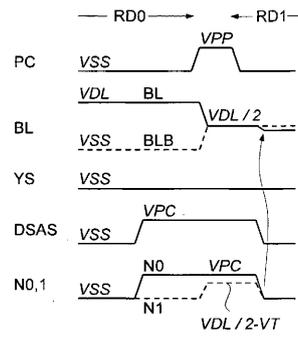
【 図 1 5 】

図 15



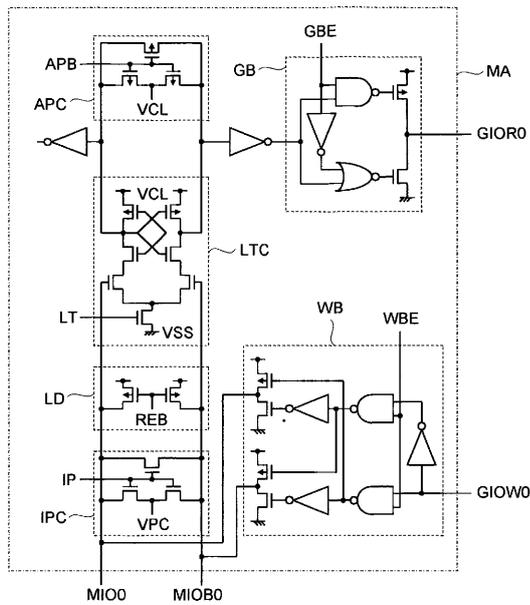
【 図 1 6 】

図 16



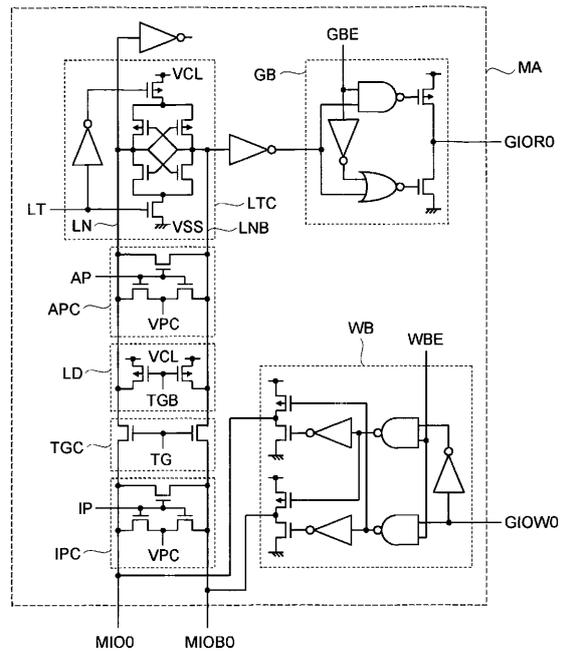
【 図 1 7 】

図 17



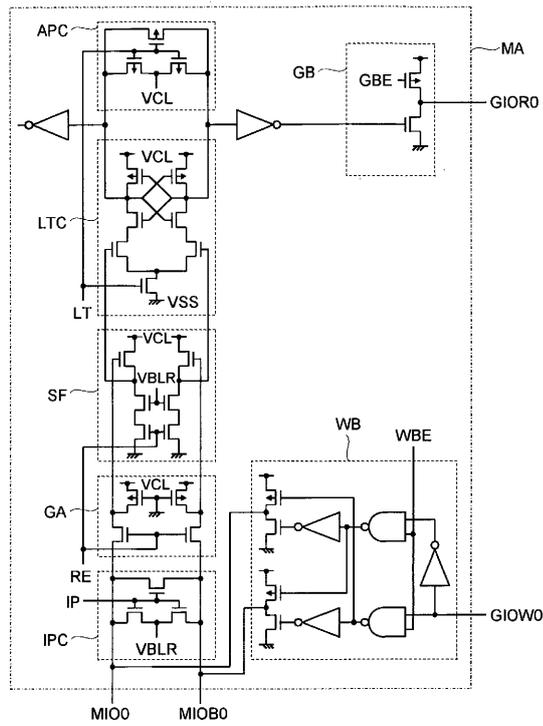
【 図 1 8 】

図 18



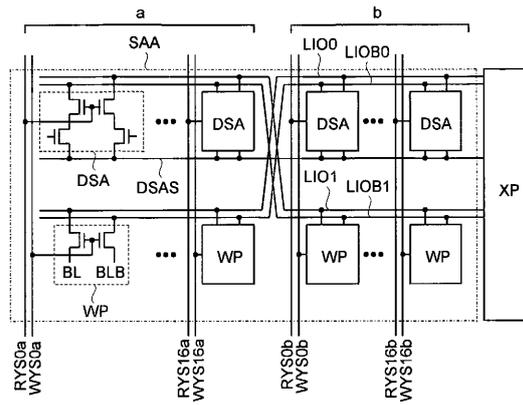
【 図 19 】

図 19



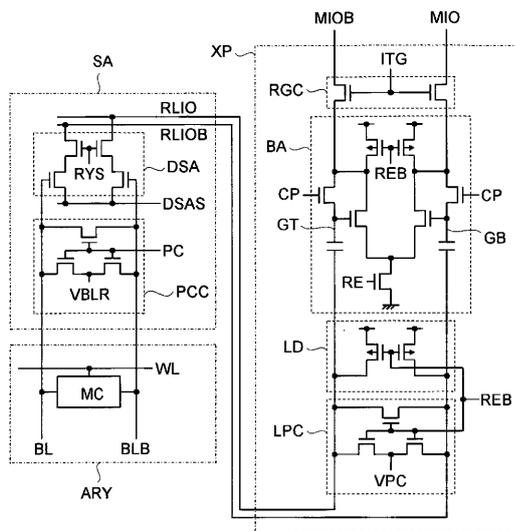
【 図 20 】

図 20



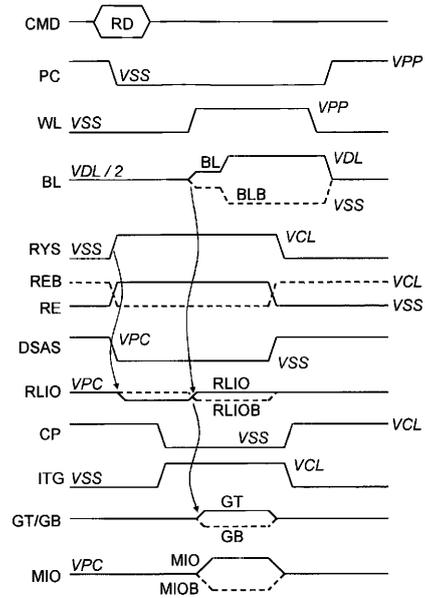
【 図 21 】

図 21



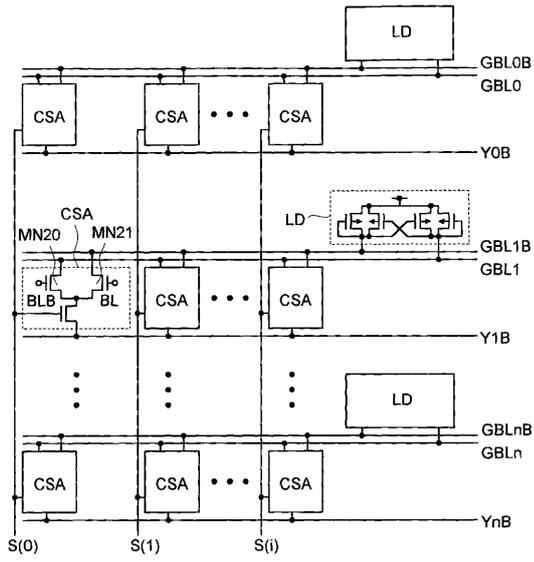
【 図 22 】

図 22



【 図 2 3 】

図 23



## 【 国際調査報告 】

| INTERNATIONAL SEARCH REPORT   |  | International application No.<br>PCT/JP02/11659  |
|---|--|--|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b><br>Int.Cl. <sup>7</sup> H01L27/108, H01L21/8242, G11C11/407, G11C11/409<br><br>According to International Patent Classification (IPC) or to both national classification and IPC   |  |  |
| <b>B. FIELDS SEARCHED</b><br>Minimum documentation searched (classification system followed by classification symbols)<br>Int.Cl. <sup>7</sup> H01L27/108, H01L21/8242, G11C11/407, G11C11/409<br><br>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2003<br>Kokai Jitsuyo Shinan Koho 1971-2003 Toroku Jitsuyo Shinan Koho 1994-2003<br><br>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) |  |  |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>   |  |  |
| Category*   | Citation of document, with indication, where appropriate, of the relevant passages                                     | Relevant to claim No.  |
| A   | JP 11-86549 A (Hitachi, Ltd.),<br>30 March, 1999 (30.03.99),<br>(Family: none)   | 1-15   |
| A   | JP 5-54653 A (Hitachi, Ltd., Hitachi Device<br>Engineering Co., Ltd.),<br>05 March, 1993 (05.03.93),<br>(Family: none) | 1-15   |
| A   | US 6046924 A1 (Kabushiki Kaisha Toshiba),<br>04 April, 2000 (04.04.00),<br>& JP 2000-77628 A                           | 1-15   |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.   |  |  |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier document but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed                 |  | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |
| Date of the actual completion of the international search<br>07 February, 2003 (07.02.03)   |  | Date of mailing of the international search report<br>25 February, 2003 (25.02.03)   |
| Name and mailing address of the ISA/<br>Japanese Patent Office<br><br>Facsimile No.   |  | Authorized officer<br><br>Telephone No.  |

| 国際調査報告   |   | 国際出願番号 PCT/JPO2/11659  |
|--|---|------------------------|
| A. 発明の属する分野の分類 (国際特許分類 (IPC))<br>Int. Cl <sup>7</sup> H01L27/108 H01L21/8242 G11C11/407 G11C11/409   |   |                        |
| B. 調査を行った分野<br>調査を行った最小限資料 (国際特許分類 (IPC))<br>Int. Cl <sup>7</sup> H01L27/108 H01L21/8242 G11C11/407 G11C11/409   |   |                        |
| 最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1926-1996年<br>日本国公開実用新案公報 1971-2003年<br>日本国実用新案登録公報 1996-2003年<br>日本国登録実用新案公報 1994-2003年   |   |                        |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  |   |                        |
| C. 関連すると認められる文献  |   |                        |
| 引用文献の<br>カテゴリー*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                       | 関連する<br>請求の範囲の番号       |
| A  | JP 11-86549 A(株式会社日立製作所)1999.03.30<br>(ファミリーなし)                         | 1-15                   |
| A  | JP 5-54653 A(株式会社日立製作所、日立デバイスエンジニアリング株式会社)1993.03.05<br>(ファミリーなし)       | 1-15                   |
| A  | US 6046924 A1(Kabushiki Kaisha Toshiba) 2000.04.04<br>& JP 2000-77628 A | 1-15                   |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。   |   |                        |
| * 引用文献のカテゴリー<br>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの<br>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)<br>「O」 口頭による開示、使用、展示等に言及する文献<br>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献<br>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの<br>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>「&」 同一パテントファミリー文献 |   |                        |
| 国際調査を完了した日   | 07.02.03  | 国際調査報告の発送日<br>25.02.03 |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/JP)<br>郵便番号100-8915<br>東京都千代田区霞が関三丁目4番3号   | 特許庁審査官 (権限のある職員)<br>正山 旭<br>電話番号 03-3581-1101 内線 3460                   | 4M 9276<br>            |

---

フロントページの続き

- (72)発明者 宮武 伸一  
東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内
- (72)発明者 阪田 健  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 竹村 理一郎  
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
- (72)発明者 野田 浩正  
東京都中央区八重洲二丁目2-1 エルピーダメモリ株式会社内
- (72)発明者 梶谷 一彦  
東京都中央区八重洲二丁目2-1 エルピーダメモリ株式会社内
- Fターム(参考) 5M024 AA16 AA42 BB14 BB35 CC53 CC74 CC85 CC87 CC97 DD02  
DD06 DD29 LL01 PP01 PP02 PP03 PP07

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。