



(12)发明专利申请

(10)申请公布号 CN 106067817 A

(43)申请公布日 2016. 11. 02

(21)申请号 201610411806.9

(22)申请日 2016.06.14

(71)申请人 复旦大学

地址 200433 上海市杨浦区邯郸路220号

(72)发明人 任俊彦 王晶晶 陈迟晓 陈勇臻

许俊 叶凡 李宁 徐荣金

李倩倩

(74)专利代理机构 上海正旦专利代理有限公司

31200

代理人 陆飞 陆尤

(51)Int. Cl.

H03M 1/06(2006.01)

H03M 1/38(2006.01)

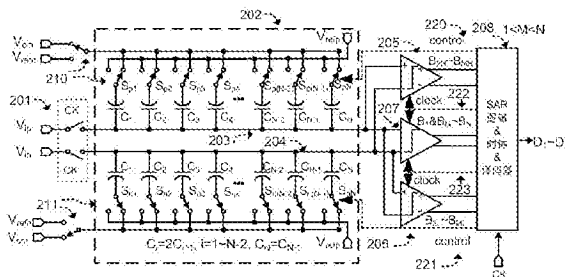
权利要求书2页 说明书7页 附图3页

(54)发明名称

基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器

(57)摘要

本发明属于集成电路技术领域,具体为基于可控非对称动态比较器的1.5比特冗余加速的逐次逼近型模数转换器。本发明提供的模数转换器结构包括两个相同的栅压自举开关,一组对称的N位二进制电容阵列,两个可控非对称动态比较器,一个普通动态比较器和SAR ADC的数字逻辑电路模块。本发明引入1.5比特冗余加速技术,缩短了等待前几位建立完全的时间,加快了模数转换器的转换速率,增加了冗余度,减少误码、失码,提高精度。相比于传统技术,能够大幅度简化电路规模,特别是省略参考电压产生电路,继而降低模数转换器的功耗和面积,迅速变化建立等效参考电压值,加快模数转换器的转换速度,且具有普适性,可以应用于其他0.5比特的应用场景。



1. 一种基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器,其特征在于,其电路包含:两个相同的栅压自举开关(201),一组对称的N位二进制电容阵列(202),两个可控非对称动态比较器(205、206),一个普通动态比较器(207)和SAR ADC的数字逻辑电路模块(208);其中:

栅压自举开关(201)含有一个信号输入端,一个时钟输入端,一个输出端;

N位二进制电容阵列(202)中含N组电容,其中,第N组电容值与第N-1组电容值相等,均为单位电容,从第N-1组到第一组,电容值二倍等比递增;每一组电容的顶极板互联接两个节点(203、204),每一组电容的底极板接三组传输门开关(210、211);

每个传输门开关(210、211)包含一N型场效应晶体管和一P型场效应晶体管,两者沟道平行排布,两者的漏极端相互连接构成传输门电路的漏极端,源极端相互连接构成传输门电路的源极端,N型场效应晶体管的栅极端构成传输门电路的N栅极端,P型场效应晶体管的栅极端构成传输门电路的P栅极端;

每个可控非对称动态比较器(205、206)具有一个正输入端、一负输入端、一个时钟输入端、一正输出端和一负输出端;

每个普通动态比较器(207)有两个不分极性的输入端,一个时钟控制端,有两个相对应的输出端;

SAR ADC的数字逻辑电路模块(208)包含:

时钟产生模块,根据三个比较器的数据流产生时钟信号(222、223);

数字逻辑处理模块,用于产生N位二进制电容阵列(202)底极板电平翻转的逻辑控制信号(220、221)以及寄存器模块存储输出数据码。

2. 如权利要求1所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,两个栅压自举开关信号输入分别接差分信号输入,时钟输入端均接整个逐次逼近型比较器的外部控制时钟,及采样保持时钟,输出端接对称的N位二进制电容阵列(202)的顶极板和两个节点(203、204),采样阶段将输入信号采集在电容阵列顶极板上后开关断开,电压值保存在电容阵列的顶极板上。

3. 如权利要求2所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,N位二进制电容阵列(202)中每一组电容的顶极板互联接栅压自举开关(201)、两个可控非对称动态比较器的输入端(205、206)、一个普通动态比较器的输入端(207)和节点(203、204);每一组电容的底极板接三组传输门开关(210、211),由SAR ADC的逻辑电路模块(208)产生的逻辑控制接参考电压高电平、参考电压低电平或共模电平;这样,每一位电容阵列顶极板电位的比较结果经由SAR ADC的逻辑电路模块(208)处理产生电容底极板电平翻转控制信号(220、221),控制当位的电容组的底极板接参考电压高电平、参考电压低电平或共模电平,以在电容阵列顶极板上产生下一位的比较电平。

4. 如权利要求3所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,两个可控非对称性动态比较器(205、206)的正负输入端交叉输入N位二进制电容阵列(202)的两个顶极板电压,及交叉接入两个节点(203、204);时钟输入接SAR ADC的逻辑电路模块(208)产生的控制信号(220、221),控制可控非对称性动态比较器(205、206)的开断;可控非对称性比较器(205、206)利用比较器内锁存器的负载非对称或者是比较器的输入对管阈值的非对称,在比较器的一侧输入信号上叠加一个可调参考电压,这样

的接法相当于将N位二进制电容阵列(202)两个顶极板的差分电压与可调参考电压比较,产生1.5比特的输出码,实现1.5比特冗余加速;输出的码传输到SAR ADC的逻辑电路模块(208),产生比较器的控制时钟(222、223),和电容底极板电平翻转控制信号(220、221)。

5. 如权利要求4所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,一个普通动态比较器(207)输入端接N位二进制电容阵列(202)的两个顶极板电压,及接入两个节点(203、204);时钟输入接SAR ADC的逻辑电路模块(208)产生的控制信号(220、221),控制普通动态比较器(207)的开断;对N位二进制电容阵列(202)的两个顶极板电压在控制比较,产生1比特的输出码;输出的码传输到SAR ADC的逻辑电路模块(208),产生比较器的控制时钟(222、223),和电容底极板电平翻转控制信号(220、221)。

6. 如权利要求5所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,第一位与第M到N位的比较均由普通动态比较器(207)比较触发下一位建立,而在第二位到M位的比较由两个可控非对称动态比较器(205、206)比较触发下一位建立。

7. 如权利要求6所述的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型比较器,其特征在于,其工作流程如下:

当CK为高电平,栅压自举开关(201)开启,将输入信号采样到模数转换器的二进制电容阵列(202)的顶极板上,此时电容阵列的每组电容组的底极板接共模电平 V_{cm} ,普通动态比较器(207)和两个可控非对称比较器(205、206)均关断,模数转换器处于采样阶段;

当CK为低电平,栅压自举开关(201)关断,二进制电容阵列(202)悬空,电荷量不变,下降沿时刻的输入信号就被保持到电容阵列(202)上,模数转换器处于量化阶段;

普通动态比较器(207)在SAR ADC的逻辑电路模块(208)产生的两个时钟信号(222、223)的控制下对保持的输入信号进行比较,普通动态比较器(207)的数据传输到SAR ADC的逻辑电路模块(208)中,经组合逻辑产生两个逻辑控制信号(220、221),通过三组传输门开关(210)控制第一位电容组底极板的对称翻转方向,参考电压高电平或参考电压低电平;经一段短时间的延迟,此时第一位的电平建立尚未完成,两个可控非对称动态比较器(205、206)开始1.5比特的比较,对称的顶极板电平交叉输入两个可控非对称动态比较器(205、206),即将两个节点(203、204)交叉接入两个可控非对称动态比较器(205、206)的正输入端和负输入端,在SAR ADC的逻辑电路模块(208)产生的两个时钟信号(222、223)的控制下对建立信号进行比较,两个可控非对称动态比较器(205、206)数据传输到SAR ADC的逻辑电路模块(208)中,经组合逻辑产生两个逻辑控制信号(220、221),通过三组传输门开关(210)控制将第二组电容的底极板接参考电压高电平、参考电压低电平或者是维持共模电平,重复该步骤,直至最后一位1.5比特级;

最后一位1.5比特级比较结束后,两个可控非对称动态比较器(205、206)将被关断,直到下一个量化周期;该位电平建立完全后,普通动态比较器(207)开启,完成之后位数的比较,直到N位;

两个可控非对称动态比较器(205、206)、普通动态比较器(207)量化出的数据在SAR ADC的逻辑电路模块(208)中经过数字逻辑运算产生N位的二进制码,存储在寄存器里,在下一个外部采样时钟的上升沿输出。

基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型 模数转换器

技术领域

[0001] 本发明属于集成电路技术领域,具体涉及一种基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型数模转换器。

背景技术

[0002] 1.5比特的技术在流水线型模数转换器中应用广泛,用过增加冗余度的来消除由小幅度静态偏移误差造成的模数转换器精度下降。而1.5比特技术第一次应用在逐次逼近型模数转换器中,还是Chun-Cheng Liu和 Soon-Jyh Chang于2010年在超大规模集成电路会议(Symposium on VLSI circuits)上首次发布,虽然当时没有提出1.5比特的概念,但是其中实施的冗余方法确实是1.5比特的做法。图1所示是Chun-Cheng Liu在该会议上发表的前四位采用1.5比特比较建立的10MS/s,10bit顶极板采样的逐次逼近型模数转换器的结构示意图。图1主要包括两个栅压自举开关101,与输入信号和10位二进制电容阵列102的顶极板和节点103、104连接;10位二进制电容阵列102,电容阵列的顶极板连接在一起与动态比较器105、106、107连接到节点103、104,和传统的顶极板采样逐次逼近型模数转换器的结构相比,图1的电容阵列102的前四位被拆分成等量的两部分,底极板电平的转向被分别控制;动态比较器105、106、107,图一的动态比较器数量不再是传统结构中的一个,而被扩展到三个,其中106、107用于1.5比特比较建立;一个六位子数模转换器108,通过电容底极板翻转产生每级1.5比特比较建立的参考电压,这部分电路是传统的逐次逼近性模数转换器没有的;SAR ADC逻辑电路模块109,时钟产生方式、控制电平转换方向和输出码组合逻辑与传统逐次逼近型模数转换器也有不同。

[0003] 图1所示结构的前四位1.5比特是由两个动态比较器106、107和一个六位子数模转换器实现的。两个动态比较器106、107分别接对称的10位电容阵列的顶极板和六位子数模转换器108,即两个动态比较器106、107的输入端分别连接节点103、110和节点104、110。六位的子模数转换器108产生的参考电压范围是共模电压的二分之一到共模电压的十六分之十五,当两个电容阵列上极板电压都高于参考电压时,该位的电容组低极板不翻转;当两个电容阵列上极板电压一个低于参考电压,一个高于参考电压时,高侧的电容组底极板接地,低侧的电容组底极板接参考电压。

[0004] 上述电路的工作方式如下。当CK为高电平,栅压自举开关101开启,将输入信号采样到模数转换器的二进制电容阵列102的顶极板上,此时电容组 $C_{1a} \sim C_{4a}$ 的底极板接地,其余的电容组($C_{1b} \sim C_{4b}$ 和 $C_5 \sim C_9$)接参考电压,动态比较器105、106、107均关断,模数转换器处于采样阶段。当CK为低电平,栅压自举开关101关断,电容阵列102悬空,电荷量不变,下降沿时刻的输入信号就被保持到电容阵列102上,模数转换器处于量化阶段。将保持的输入信号分别由两个动态比较器106、107与参考电压比较,比较器的数据传输到SAR ADC的逻辑电路模块109中,经组合逻辑产生逻辑控制信号,控制第一位电容组 C_{1a} 和 C_{1b} 底极板的翻转方向,经一段时间的建立完全后,开始下一个1.5比特的比较,直到第四位。第四位比较结束后,动态比

较器106、107将被关断直到下一个量化周期,第四位建立结束,动态比较器105开启,完成之后六位比较,直到第十位。动态比较器105、106、107量化出的数据在SAR ADC的逻辑电路模块109中经过数字逻辑运算产生十位的二进制码,存储在寄存器里,在下一个外部采样时钟的上升沿输出。

[0005] 由前述内容可知,Chun-Cheng Liu构建的前四位1.5比特比较建立的10MS/s,10bit顶极板采样的逐次逼近型模数转换器主要目的是降低翻转几率,以来减少功耗,而速度上没有提速,所能增加的冗余度也十分有限。而且该设计采用的工艺为0.18um CMOS工艺,单位电容值为5fF。而随着工艺发展,金属线的线性度更好,在65nm CMOS工艺下构建的单位电容值基本为1fF,这就说明相同位数的电容阵列的总电容值减少到五分之一,电平建立时间大大缩短,故而采用四位1.5比特的十位逐次逼近型比较器,硬件的消耗和延迟更大。该设计采用一个六位子数模转换器108生成参考电压,不仅消耗了一定面积和功耗,且容易干扰逐次逼近型比较器的电容阵列102上的电平建立,有可能引入失调,在高频情况下影响更大。这也就限制了这种结构下的逐次逼近型比较器的速率。

发明内容

[0006] 本发明的目的在于提出一种新型基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器的结构。其特点在于在第一位之后引入了1.5比特冗余加速的技术,在MSB的电容底极板电平翻转之后,电容阵列顶极板电平尚未完全建立之时将顶极板电平交叉输入两个可控非对称动态比较器,进行比较,根据结果选择将该组电容的底极板接参考电压高电平、参考电压低电平或者是维持共模电平。本发明引入的1.5比特冗余加速技术,不仅缩短了等待前几位建立完全的时间,加快了模数转换器的转换速率,而且还增加了冗余度,减少误码、失码,提高精度。

[0007] 本发明提供的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器,其结构如图2所示。其电路包含:两个相同的栅压自举开关201,一组对称的N位二进制电容阵列202,两个可控非对称动态比较器205、206,一个普通动态比较器207和SAR ADC的数字逻辑电路模块208;其中:

栅压自举开关201含有一个信号输入端,一个时钟输入端,一个输出端;

N位二进制电容阵列202中含N组电容,其中第N组电容值与第N-1组电容值相等,均为单位电容,从第N-1组到第一组,电容值二倍等比递增;每一组电容的顶极板互连接节点203、204,每一组电容的底极板接三组传输门开关210、211;

每个传输门210、211包含一N型场效应晶体管和一P型场效应晶体管,两者沟道平行排布,两者的漏极端相互连接构成传输门电路的漏极端,源极端相互连接构成传输门电路的源极端,N型场效应晶体管的栅极端构成传输门电路的N栅极端,P型场效应晶体管的栅极端构成传输门电路的P栅极端;

每个可控非对称动态比较器205、206具有一个正输入端、一负输入端、一个时钟输入端、一正输出端和一负输出端;

每个普通动态比较器207有两个不分极性的输入端,一个时钟控制端,有两个相对应的输出端;

SAR ADC的数字逻辑电路模块208包含:

时钟产生模块,根据三个比较器的数据流产生时钟信号222、223;

数字逻辑处理模块,用于产生N位二进制电容阵列202底极板电平翻转的逻辑控制信号220、221以及寄存器模块存储输出数据码;

本发明中,两个栅压自举开关信号输入分别接差分信号输入,时钟输入端均接整个逐次逼近型比较器的外部控制时钟,及采样保持时钟,输出端接对称的N位二进制电容阵列202的顶极板和节点203、204,采样阶段将输入信号采集在电容阵列顶极板上后开关断开,电压值保存在电容阵列的顶极板上;

本发明中,N位二进制电容阵列202中每一组电容的顶极板互联接栅压自举开关201、两个可控非对称动态比较器的输入端205、206、一个普通动态比较器的输入端207和节点203、204;每一组电容的底极板接三组传输门开关210、211,由SAR ADC的逻辑电路模块208产生的逻辑控制接参考电压高电平、参考电压低电平或共模电平;这样,每一位电容阵列顶极板电平的比较结果经由SAR ADC的逻辑电路模块208处理产生电容底极板电平翻转控制信号220、221,控制当位的电容组的底极板接参考电压高电平、参考电压低电平或共模电平,以在电容阵列顶极板上产生下一位的比较电平;

本发明中,两个可控非对称性动态比较器205、206的正负输入端交叉输入N位二进制电容阵列202的两个顶极板电压,及交叉接入节点203、204;时钟输入接SAR ADC的逻辑电路模块208产生的控制信号220、221,控制可控非对称性动态比较器205、206的开断;可控非对称性比较器205、206利用比较器内锁存器的负载非对称或者是比较器的输入对管阈值的非对称,在比较器的一侧输入信号上叠加一个可调参考电压,这样的接法相当于将N位二进制电容阵列202两个顶极板的差分电压与可调参考电压比较,产生1.5比特的输出码,实现1.5比特冗余加速;输出的码传输到SAR ADC的逻辑电路模块208,产生比较器的控制时钟222、223,和电容底极板电平翻转控制信号220、221;

本发明中,一个普通动态比较器207输入端接N位二进制电容阵列202的两个顶极板电压,及接入节点203、204;时钟输入接SAR ADC的逻辑电路模块208产生的控制信号220、221,控制普通动态比较器207的开断;对N位二进制电容阵列202的两个顶极板电压在控制比较,产生1比特的输出码;输出的码传输到SAR ADC的逻辑电路模块208,产生比较器的控制时钟222、223,和电容底极板电平翻转控制信号220、221;

本发明中,第一位与第M到N位的比较均由普通动态比较器207比较触发下一位建立,而在第二位到第M位的比较由两个可控非对称动态比较器205、206比较触发下一位建立;

本发明中,SAR ADC的数字逻辑电路模块208根据三个比较器的数据流产生时钟信号222、223,N位二进制电容阵列202底极板电平翻转的逻辑控制信号220、221以及存储输出数据码;

本发明进一步提供基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器的工作流程,具体如下:

当CK为高电平,栅压自举开关201开启,将输入信号采样到模数转换器的二进制电容阵列202的顶极板上,此时电容阵列的每组电容组的底极板接共模电平 V_{cm} ,普通动态比较器207和可控非对称比较器205、206均关断,模数转换器处于采样阶段;

当CK为低电平,栅压自举开关201关断,电容阵列202悬空,电荷量不变,下降沿时刻的输入信号就被保持到电容阵列202上,模数转换器处于量化阶段;

普通动态比较器207在SAR ADC的逻辑电路模块208产生的时钟信号222、223的控制下对保持的输入信号进行比较,动态比较器207的数据传输到SAR ADC的逻辑电路模块208中,经组合逻辑产生逻辑控制信号220、221,通过三组传输门开关210控制第一位电容组底极板的对称翻转方向,参考电压高电平或参考电压低电平;经一段短时间的延迟,此时第一位的电平建立尚未完成,两个可控非对称动态比较器开始1.5比特的比较,对称的顶极板电平交叉输入两个可控非对称动态比较器205、206,即将节点203、204交叉接入两个可控非对称动态比较器205、206的正输入端和负输入端,在SAR ADC的逻辑电路模块208产生的时钟信号222、223的控制下对建立信号进行比较,两个可控非对称动态比较器205、206数据传输到SAR ADC的逻辑电路模块208中,经组合逻辑产生逻辑控制信号220、221,通过三组传输门开关210控制将第二组电容的底极板接参考电压高电平、参考电压低电平或者是维持共模电平,重复该步骤,直至最后一位1.5比特级;

最后一位1.5比特级比较结束后,可控非对称动态比较器205、206将被关断直到下一个量化周期,该位电平建立完全后,普通动态比较器207开启,完成之后位数的比较,直到N位;

动态比较器205、206、207量化出的数据在SAR ADC的逻辑电路模块208中经过数字逻辑运算产生N位的二进制码,存储在寄存器里,在下一个外部采样时钟的上升沿输出。

[0008] 本发明中的用于实现1.5比特的可控非对称动态比较器如图3所示。可控非对称动态比较器实现的方法有两种,不同的实现方法的可控非对称动态比较器的结构稍有不同。第一种是动态比较器锁存器负载可控非对称,包含输入对管301、302,在图3中是N型晶体管M1、M2;尾电流源管303,在图3中是N型晶体管M3;锁存器304,两个首尾相接的反相器构成,在图3中由P型晶体管M6、M7和N型晶体管M4、M5构成;复位晶体管305、306、307、308,在图3中是P型晶体管M9、M10、M11、M12;输出缓冲器309A、309B,在图3中是由P型晶体管M14、M15和N型晶体管M12、M13构成的;可控非对称动态比较器的锁存器输出节点310、311;312A、312B是可控非对称动态比较器的锁存器输出可控电容阵列。实现方式如下:动态比较器的锁存器304与带开关的电容负载阵列312A、312B连接在节点310、311,通过控制开关331、332的通断,构造采集锁存器304两端的负载大小差异,通过负载大小的不同构造出锁存器的翻转阈值电压的不同,等效到输入端,人为造出输入阈值的不匹配,制造出在一端输入信号上叠加一个参考电压的效果。而通过调节比较器锁存器304两端负载的差值,可以调节出大小不同的参考电压效果。第二种实现方法就是动态比较器输入对管阈值电压可控非对称,包含输入对管301、302,在图3中是N型晶体管M1、M2;尾电流源管303,在图3中是N型晶体管M3;锁存器304,两个首尾相接的反相器构成,在图3中由P型晶体管M6、M7和N型晶体管M4、M5构成;复位晶体管305、306、307、308,在图3中是P型晶体管M9、M10、M11、M12;输出缓冲器309A、309B,在图3中是由P型晶体管M14、M15和N型晶体管M12、M13构成的;可控非对称动态比较器的锁存器输出节点310、311;可控非对称动态比较器的输入对管的体端电压320、321外接。实现方式如下:将输入对管301、302的体端引出,外接电压,通过改变MOS管源端和体端的电压差调节输入对管301、302的阈值电压,制造出在一端输入信号上叠加一个参考电压的效果。而通过调节输入对管体端电压差值,可以调节出大小不同参考电压的效果。但有一点需要注意,利用第二种方法需要输入对管是P型晶体管或者是深阱N型晶体管。本发明提供的方法虽不能构建出精确的参考电压值,但是之后会详解,在1.5比特冗余加速电路中,参考电压值不需要特别精确,只需满足在一定范围中即可。这种基于可控非对称动态比较器的1.5比

特实现方法相比于传统的1.5比特实现所需的两个四输入比较器加对应参考电压或两个二输入比较器加冗余参考电压产生电路,能够大幅度简化电路规模,特别是省略了参考电压产生电路,继而降低模数转换器的功耗和面积,能够迅速变化建立等效参考电压值(如果需要),加快模数转换器的转换速度,且具有普适性,可以应用于其他0.5比特的应用场景。

[0009] 前述内容大致叙述了本发明的特征和技术优点,下文特举出实施例,用以更加明晰地说明本发明的思想。任何本领域普通技术人员应可了解的是,可根据本发明所揭示的观念及特定实施例修改或设计出实现本发明相同目的的架构,此类同等架构并不超出本发明后附的权利要求所定义的精神和范围。

附图说明

[0010] 图1为Chun-Cheng Liu于2010年发表的前四位1.5比特的逐次逼近型模数转换器结构示意图。

[0011] 图2为本发明提供基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器的结构示意图。

[0012] 图3为本发明提供的可控非对称动态比较器的电路图。

[0013] 图4为本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器量化过程中顶级板电压建立示意图。

[0014] 图5为本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器的数字校准逻辑。

[0015] 图中标号:

101是Chun-Cheng Liu于2010年发表的前四位1.5比特的逐次逼近型模数转换器的两个栅压自举开关;102是该SAR ADC的10位二进制电容阵列,103、104电容阵列的顶极板连接在一起与动态比较器连接的节点;105、106、107是该SAR ADC的三个动态比较器,其中106、107用于1.5比特比较建立;108是该SAR ADC的六位子数模转换器,通过电容底极板翻转产生每级1.5比特比较建立的参考电压;108是该SAR ADC的逻辑电路模块。

[0016] 201是基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器的两个相同的栅压自举开关;202是该发明的N位二进制电容阵列;203、204电容阵列的顶极板连接在一起与动态比较器连接的节点;205、206是该发明的两个可控非对称动态比较器;207是该发明的一个普通动态比较器;208是该发明的SAR ADC的数字逻辑电路模块;210、211是该发明的N位二进制电容的底极板传输门开关;220、221是该发明的SAR ADC的数字逻辑电路模块产生的逻辑控制信号;222、223该发明的SAR ADC的数字逻辑电路模块产生的动态比较器时钟信号。

[0017] 301、302是本发明提供的可控非对称动态比较器的输入对管,在图3中是体端电压被引出的深阱N型晶体管M1、M2;303是可控非对称动态比较器的尾电流源管,N型晶体管M3;304是可控非对称动态比较器的锁存器;305、306、307、308是可控非对称动态比较器的复位晶体管,P型晶体管M9、M10、M11、M12;309A、309B是可控非对称动态比较器的输出缓冲器;310、311是可控非对称动态比较器的锁存器输出节点;312A、312B是可控非对称动态比较器的锁存器输出可控电容阵列;320、321是可控非对称动态比较器的输入对管的体端电压。

[0018] 401是传统顶极板采样的逐次逼近型模数转换器的顶极板电压建立示意图,其中

410是传统顶极板采样的逐次逼近型模数转换器的第一位建立的冗余度;402是本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器量化过程中顶极板电压建立示意图,其中411是第二位为1.5比特冗余加速的逐次逼近型模数转换器的第一位建立的冗余度,412是第二位为1.5比特冗余加速的逐次逼近型模数转换器的第二位建立的冗余度;403是本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器的动态比较器组,413是可控非对称动态比较器,414是普通动态比较器;404是本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器的动态比较器组的控制时钟,其中415是控制两个可控非对称动态比较器的时钟,416是控制动态比较器的时钟。

[0019] 501是本发明提供的实例,第二位为1.5比特冗余加速的逐次逼近型模数转换器中单级一比特的数据;502是第二位为1.5比特冗余加速的逐次逼近型模数转换器中1.5比特每级的数据;503是第二位为1.5比特冗余加速的逐次逼近型模数转换器的输出数据。

具体实施方式

[0020] 下面结合附图对本发明提供的校正方法进行详细说明。值得注意的是,本发明提供的1.5比特冗余加速的逐次逼近型模数转换器有不同的指标及性能实现方法,本发明中基于可控非对称动态比较器的1.5比特实现也可以有多种应用场景。下文的实例为本发明提供一个典型实现电路,仅用以说明本发明的形成与使用,并非用以限定本发明。

[0021] 本发明提供的基于可控非对称动态比较器的1.5比特冗余加速逐次逼近型模数转换器实例,实施目标为实现一款第二位1.5比特冗余加速顶极板采样的150MS/s采样率,10位精度的逐次逼近型模数转换器,具体结构图如图2所示。所述结构包括包含两个相同的栅压自举开关201,一组对称的10位二进制电容阵列202,两个可控非对称动态比较器205、206,一个普通动态比较器207和SAR ADC的数字逻辑电路模块208;其中:

两个栅压自举开关信号输入分别接差分信号输入,时钟输入端均接整个逐次逼近型比较器的外部控制时钟,及采样保持时钟,输出端接对称的10位二进制电容阵列202的顶极板、两个可控非对称动态比较器205、206的输入端、一个普通动态比较器207的输入端和节点203、204,采样阶段将输入信号采集在电容阵列顶极板上后开关断开,电压值保存在电容阵列的顶极板上;10位二进制电容阵列202的每一组电容的底极板接三组传输门开关210、211,由SAR ADC的逻辑电路模块208产生的逻辑控制220、221接参考电压高电平、参考电压低电平或共模电平;两个可控非对称性动态比较器205、206的正负输入端交叉输入N位二进制电容阵列202的两个顶极板电压,及交叉接入节点203、204;时钟输入接SAR ADC的逻辑电路模块208产生的控制信号222、223,控制可控非对称性动态比较器205、206的开断;可控非对称性比较器205、206利用比较器内锁存器的负载非对称或者是比较器的输入对管阈值的非对称,在比较器的一侧输入信号上叠加一个可调参考电压,这样的接法相当于将10位二进制电容阵列202两个顶极板的差分电压与可调参考电压比较,产生1.5比特的输出码,实现1.5比特冗余加速;输出的码传输到SAR ADC的逻辑电路模块208,产生比较器的控制时钟222、223,和电容底极板电平翻转控制信号220、221。本实例中第一位与第三到十位的比较均由普通动态比较器207比较触发下一位建立,而在第二位的比较由两个可控非对称动态比较器205、206比较触发下一位建立;

该实例的动态比较器的工作时序如图4中415、416所示,结合时序图对其工作过程做如

下说明：

(1)上述基于可控非对称动态比较器的第二位1.5比特冗余加速逐次逼近型模数转换器在CK为高时,CK为高电平,栅压自举开关201开启,将输入信号采样到模数转换器的二进制电容阵列202的顶极板上,此时电容阵列的每组电容组的底极板接共模电平 V_{cm} ,普通动态比较器207和可控非对称比较器205、206均关断,模数转换器处于采样阶段;

(2)当CK为低电平,栅压自举开关201关断,电容阵列202悬空,电荷量不变,下降沿时刻的输入信号就被保持到电容阵列202上,模数转换器处于量化阶段。普通动态比较器207在SAR ADC的逻辑电路模块208产生的时钟信号222、223控制下,及信号416高电平时,对保持的输入信号进行比较,动态比较器207的数据传输到SAR ADC的逻辑电路模块208中,经组合逻辑产生逻辑控制信号220、221,通过三组传输门开关210控制第一位电容组底极板的对称翻转方向,参考电压高电平或参考电压低电平;

(3)经一段短时间的延迟,此时第一位的电平建立尚未完成,两个可控非对称动态比较器开始第二位的1.5比特的比较,对称的顶极板电平交叉输入两个可控非对称动态比较器205、206,即将节点203、204交叉接入两个可控非对称动态比较器205、206的正输入端和负输入端,在SAR ADC的逻辑电路模块208产生的时钟信号222、223的控制下,及信号415高电平时,对建立信号进行比较,两个可控非对称动态比较器205、206数据传输到SAR ADC的逻辑电路模块208中,经组合逻辑产生逻辑控制信号220、221,通过三组传输门开关210控制将第二组电容的底极板接参考电压高电平、参考电压低电平或者是维持共模电平,可控非对称动态比较器205、206将被关断直到下一个量化周期;

(4)经过一段时间延时,第二位电平建立完全后,信号416高电平时,普通动态比较器207开启,对建立信号进行比较,动态比较器207的数据传输到SAR ADC的逻辑电路模块208中,经组合逻辑产生逻辑控制信号220、221,通过三组传输门开关210控制第一位电容组底极板的对称翻转方向,参考电压高电平或参考电压低电平;

(5)动态比较器205、206量化的数据B2H和B2L,207量化出的数据B1,B3~B10在SAR ADC的逻辑电路模块208中按照图5中的逻辑运算方法运算,产生10位的二进制码,存储在寄存器里,在下一个外部采样时钟的上升沿输出。

[0022] 本发明的内容及优点虽然已详细揭示如上,然而必须说明的是,本发明的范围并不受限于说明书中所描述的方法及步骤等特定实施例,在不脱离本发明的精神和范围内,任何本领域普通技术人员皆可根据本发明所揭示的内容做出许多变形和修改,这些也应视为本发明的保护范围。

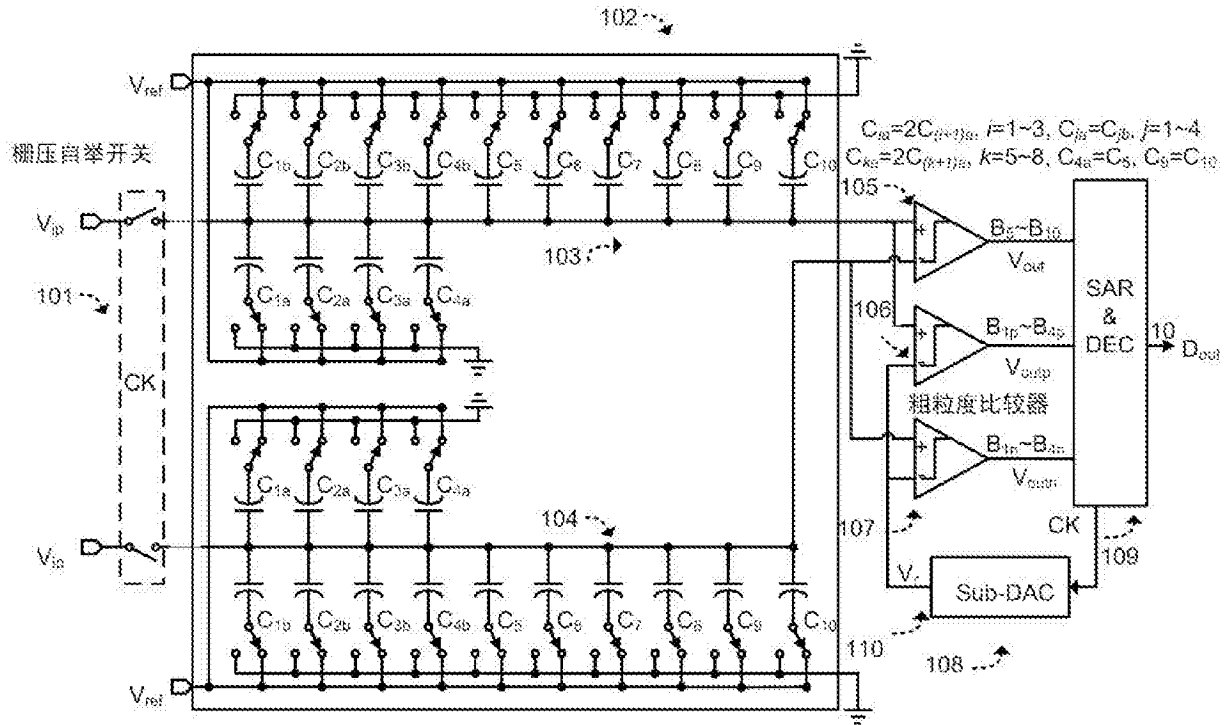


图1

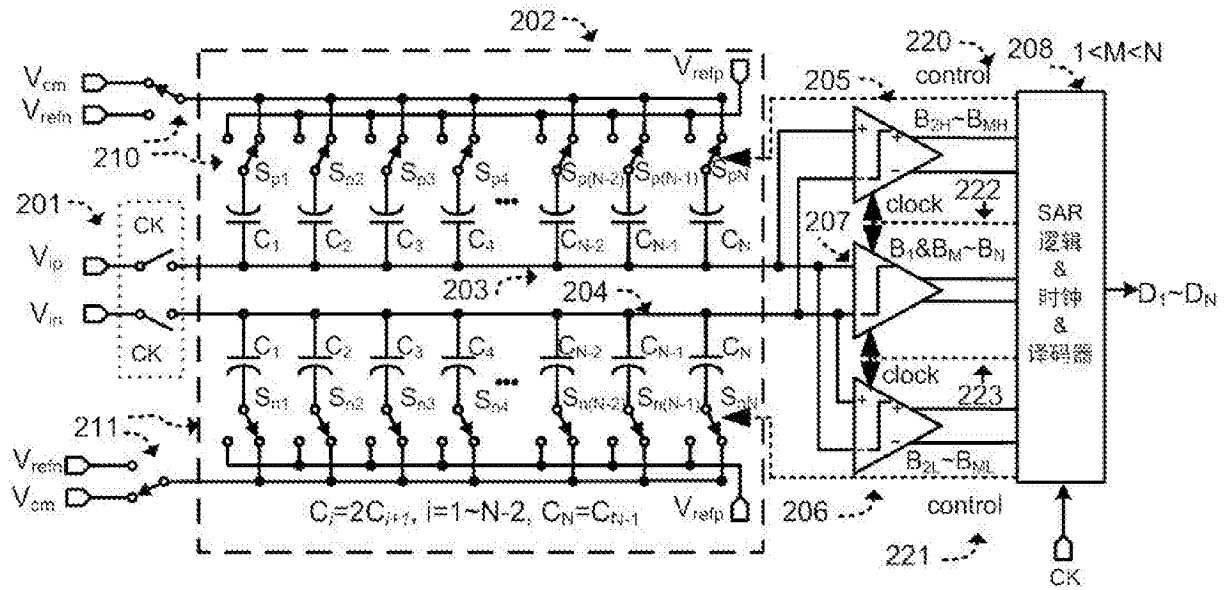


图2

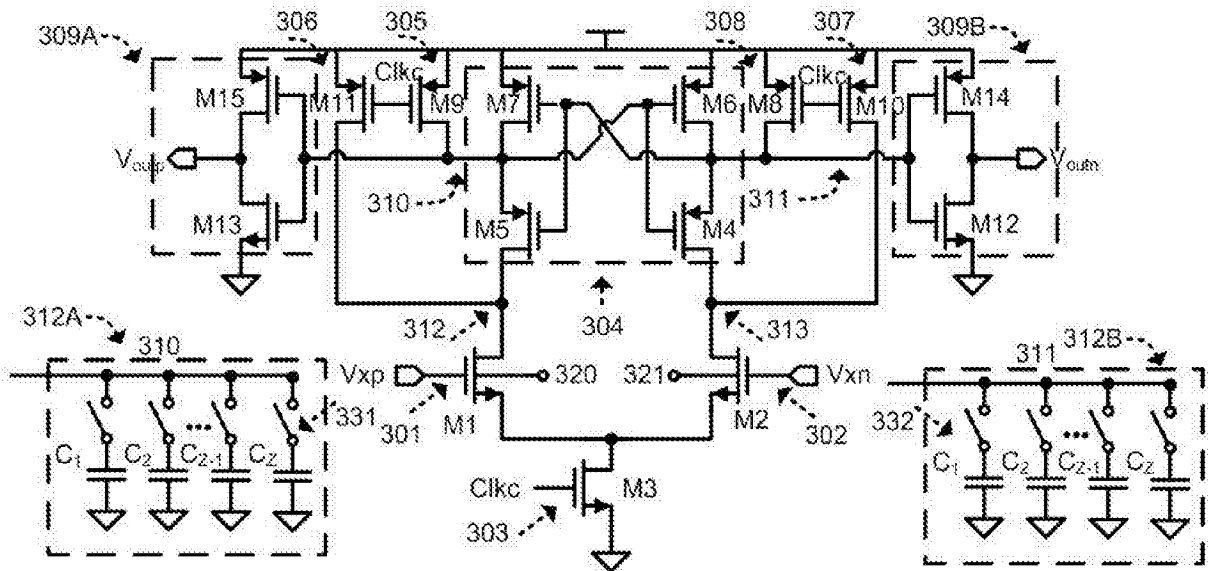


图3

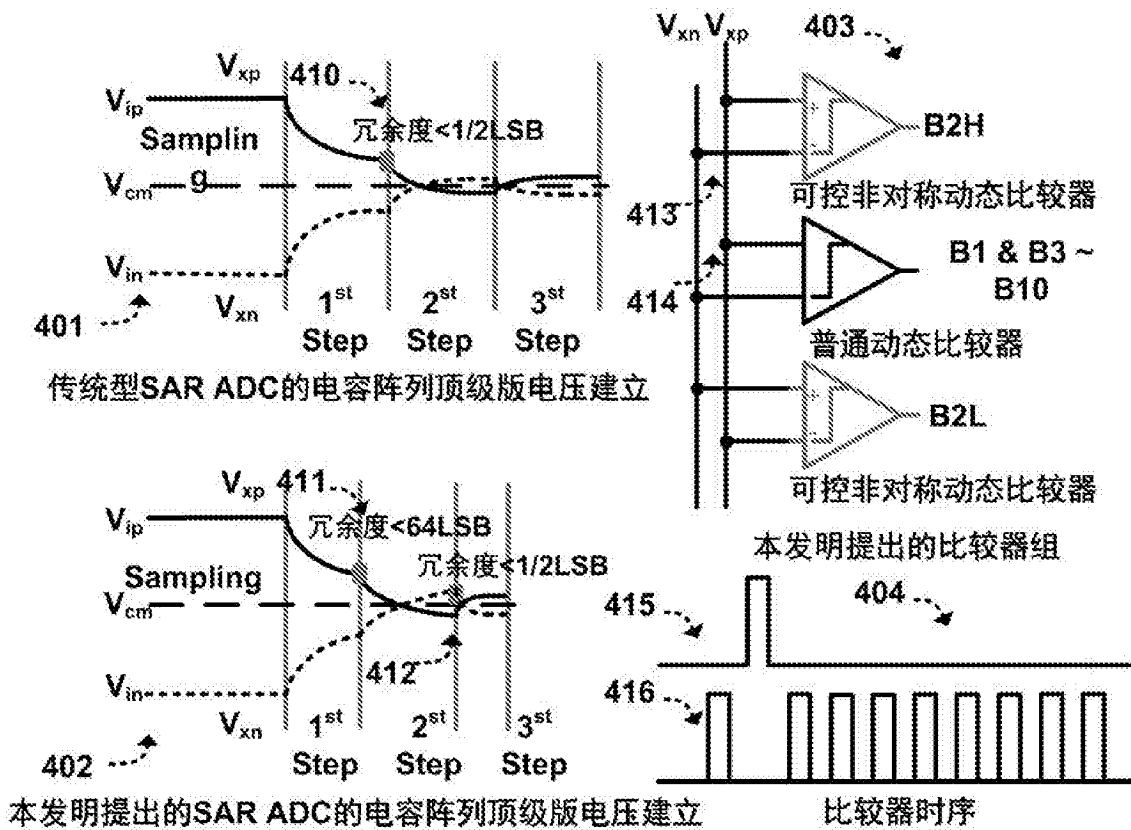


图4

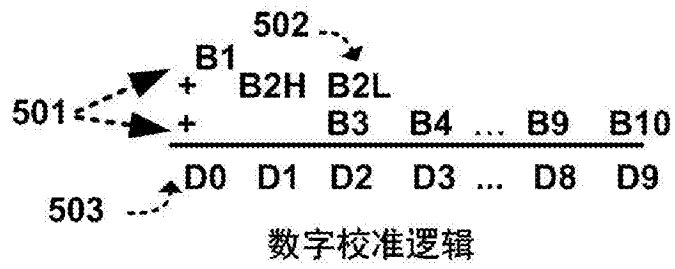


图5