



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0100881
(43) 공개일자 2009년09월24일

(51) Int. Cl.

H01L 27/06 (2006.01)

(21) 출원번호 10-2008-0026386

(22) 출원일자 2008년03월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김용돈

경기 화성시 반월동 두산위브아파트 202동 1203호

김용찬

경기 수원시 영통구 망포동 현대아이파크아파트 205동 1502호

(뒷면에 계속)

(74) 대리인

특허법인가산

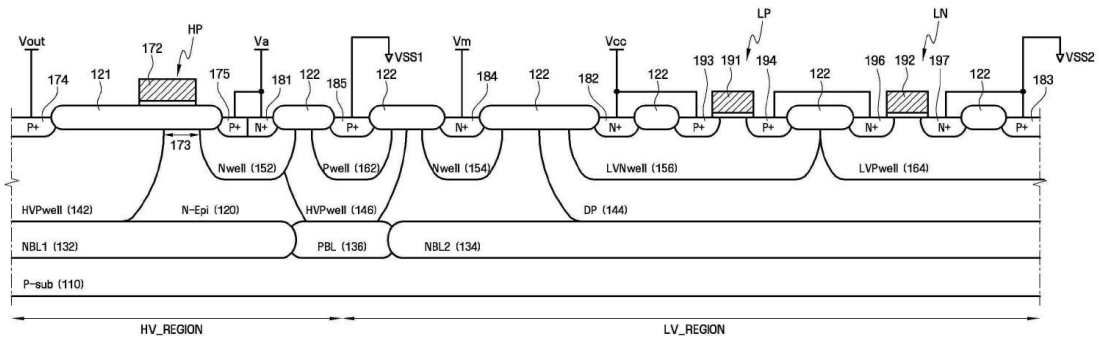
전체 청구항 수 : 총 20 항

(54) 신뢰성이 향상된 반도체 집적 회로 장치

(57) 요약

신뢰성이 향상된 반도체 집적 회로 장치가 제공된다. 상기 반도체 집적 회로 장치는 고전압 소자 영역과 저전압 소자 영역이 정의된 기판, 고전압 소자 영역의 적어도 일부에 형성되고, 제1 전압과 커플링된 제1 매물 불순물층, 저전압 소자 영역의 적어도 일부에 형성되고, 제1 전압보다 작은 제2 전압과 커플링된 제2 매물 불순물층, 및 저전압 소자 영역 내에, 제2 매물 불순물층 상에 형성되고, 제2 전압보다 작은 제3 전압과 커플링된 웰을 포함한다.

대표도



(72) 발명자

김정호

경기 수원시 영통구 매탄동 삼성아파트1차 7동
1102호

이맹열

서울 동대문구 회기동 54-16

이용규

서울 서초구 서초2동 1355-24번지 우정에채르 707
호

임종욱

서울 송파구 가락동 79 롯데캐슬과인힐 2603호

특허청구의 범위

청구항 1

고전압 소자 영역과 저전압 소자 영역이 정의된 기판;

상기 고전압 소자 영역의 적어도 일부에 형성되고, 제1 전압과 커플링된 제1 매물 불순물층;

상기 저전압 소자 영역의 적어도 일부에 형성되고, 상기 제1 전압보다 작은 제2 전압과 커플링된 제2 매물 불순물층; 및

상기 저전압 소자 영역 내에, 상기 제2 매물 불순물층 상에 형성되고, 상기 제2 전압보다 작은 제3 전압과 커플링된 웰을 포함하는 반도체 집적 회로 장치.

청구항 2

제 1항에 있어서,

상기 제1 매물 불순물층, 상기 제2 매물 불순물층 및 상기 웰은 서로 전기적으로 분리된 반도체 집적 회로 장치.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 저전압 소자 영역 내에, 상기 제2 매물 불순물층 상에 형성된 깊은 웰(deep well)을 더 포함하고, 상기 웰은 깊은 웰 내에 형성되는 반도체 집적 회로 장치.

청구항 4

제 3항에 있어서,

상기 제2 매물 불순물층과 상기 깊은 웰은 서로 다른 도전형을 갖는 반도체 집적 회로 장치.

청구항 5

제 1항 또는 제 2항에 있어서,

상기 제1 매물 불순물층과 상기 제2 매물 불순물층 사이에 형성된 제3 매물 불순물층과, 상기 제3 매물 불순물층 상에 형성된 분리 웰을 더 포함하고,

상기 제1 및 제2 매물 불순물층은 동일한 도전형을 갖고,

상기 제3 매물 불순물층 및 상기 분리 웰은 상기 제1 및 제2 매물 불순물층과 다른 도전형을 갖는 반도체 집적 회로 장치.

청구항 6

제 5항에 있어서,

상기 제3 매물 불순물층 및 상기 웰은 상기 제3 전압보다 작은 제4 전압과 커플링된 반도체 집적 회로 장치.

청구항 7

제 1항에 있어서,

상기 고전압 소자 영역에 형성된 고전압 트랜지스터를 더 포함하고,

상기 고전압 트랜지스터는 소오스와 드레인 사이에 형성된 드리프트 영역과 채널 영역을 포함하는 반도체 집적 회로 장치.

청구항 8

제 7항에 있어서,

상기 드리프트 영역은 상기 제1 매몰 불순물층과 접하는 반도체 집적 회로 장치.

청구항 9

제 1항에 있어서,

상기 기판은 베이스 기판과, 상기 베이스 기판 상에 형성된 에피층을 포함하되, 상기 베이스 기판과 상기 에피층은 다른 도전형을 갖는 반도체 집적 회로 장치.

청구항 10

제 9항에 있어서, 상기 제1 및 제2 매몰 불순물층은 상기 베이스 기판과 상기 에피층의 경계에 형성되는 반도체 집적 회로 장치.

청구항 11

제 1항에 있어서,

상기 제1 전압은 약 50-70V이고, 상기 제2 전압은 약 10-30V이고, 상기 제3 전압은 약 1-5V인 반도체 집적 회로 장치.

청구항 12

제 1항에 있어서,

상기 반도체 집적 회로 장치는 디스플레이 구동칩인 반도체 집적 회로 장치.

청구항 13

제1 도전형의 베이스 기판과, 상기 베이스 기판 상에 형성된 제2 도전형의 에피층을 포함하는 기판;

상기 베이스 기판과 상기 에피층의 경계의 적어도 일부에 형성된 제2 도전형의 제1 매몰 불순물층;

상기 제1 매몰 불순물층 상에 형성된 제1 도전형의 깊은 웰; 및

상기 깊은 웰 상에 형성된 반도체 소자를 포함하되,

상기 반도체 소자는 제1 전압을 이용하여 동작하고, 상기 제1 매몰 불순물층은 상기 제1 전압보다 높은 제2 전압과 커플링된 반도체 집적 회로 장치.

청구항 14

제 13항에 있어서,

상기 제1 도전형은 P형이고, 상기 제2 도전형은 N형인 반도체 집적 회로 장치.

청구항 15

제 13항에 있어서,

상기 에피층의 표면에, 상기 반도체 소자를 씨라운딩하도록 형성되고, 상기 제2 전압이 인가되는 제2 도전형의 오믹 컨택을 더 포함하는 반도체 집적 회로 장치.

청구항 16

제 13항에 있어서,

상기 기판에는 고전압 소자 영역과 저전압 소자 영역이 정의되고,

상기 제1 매몰 불순물층, 상기 깊은 웰, 상기 반도체 소자는 상기 저전압 소자 영역에 형성되는 반도체 집적 회로 장치.

청구항 17

제 16항에 있어서,

상기 고전압 소자 영역의 적어도 일부에 형성되고, 상기 제2 전압보다 높은 제3 전압과 커플링된 제2 도전형의 제2 매물 불순물층을 더 포함하는 반도체 집적 회로 장치.

청구항 18

제 17항에 있어서,

상기 고전압 소자 영역에 형성된 제1 도전형의 고전압 트랜지스터를 더 포함하고,

상기 고전압 트랜지스터는 소오스와 드레인 사이에 형성된 드리프트 영역과 채널 영역을 포함하는 반도체 집적 회로 장치.

청구항 19

제 18항에 있어서,

상기 드리프트 영역은 상기 제2 매물 불순물층과 접하는 반도체 집적 회로 장치.

청구항 20

제 17항에 있어서,

상기 제1 매물 불순물층과 상기 제2 매물 불순물층 사이에 형성된 제1 도전형의 제3 매물 불순물층과, 상기 제3 매물 불순물층 상에 형성된 제1 도전형의 분리 웰을 더 포함하는 반도체 집적 회로 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 집적 회로 장치에 관한 것으로, 보다 자세하게는 서로 다른 전압 조건에서 동작하는 소자들을 포함하는 반도체 집적 회로 장치에 관한 것이다.

배경 기술

<2> SOC(System On Chip), MCU(MicroController Unit), DDI(Display Driver IC)와 같은 반도체 집적 회로 장치는 프로세서, 메모리, 그리고 논리 회로, 음성 및 화상 처리 회로, 다양한 인터페이스용 회로 등을 구비하는 다수의 주변 장치를 구비한다. 따라서, 반도체 집적 회로 장치에는 서로 다른 전압 조건에서 동작하는 소자들이 공존한다. 예를 들어, 반도체 집적 회로 장치는 고전압 소자들, 저전압 소자들을 모두 포함할 수 있다.

<3> 특히, 고전압 소자들과 저전압 소자들이 공존할 경우, 고전압 소자들과 저전압 소자들은 서로 전기적으로 분리되어야 한다. 고전압이 저전압 소자들에 영향을 미칠 경우, 저전압 소자들은 비정상적으로 동작하게 되기 때문이다.

발명의 내용

해결 하고자하는 과제

<4> 본 발명이 해결하고자 하는 과제는, 신뢰성이 향상된 반도체 집적 회로 장치를 제공하는 것이다.

<5> 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

<6> 상기 기술적 과제를 달성하기 위한 본 발명의 반도체 집적 회로 장치의 일 태양은 고전압 소자 영역과 저전압 소자 영역이 정의된 기판, 고전압 소자 영역의 적어도 일부에 형성되고, 제1 전압과 커플링된 제1 매물 불순물층, 저전압 소자 영역의 적어도 일부에 형성되고, 제1 전압보다 작은 제2 전압과 커플링된 제2 매물 불순물층,

및 저전압 소자 영역 내에, 제2 매물 불순물층 상에 형성되고, 제2 전압보다 작은 제3 전압과 커플링된 웰을 포함한다.

- <7> 상기 기술적 과제를 달성하기 위한 본 발명의 반도체 집적 회로 장치의 다른 태양은 제1 도전형의 베이스 기판과, 베이스 기판 상에 형성된 제2 도전형의 에피층을 포함하는 기판, 베이스 기판과 에피층의 경계의 적어도 일부에 형성된 제2 도전형의 제1 매물 불순물층, 제1 매물 불순물층 상에 형성된 제1 도전형의 깊은 웰, 및 깊은 웰 상에 형성된 반도체 소자를 포함하되, 반도체 소자는 제1 전압을 이용하여 동작하고, 제1 매물 불순물층은 제1 전압보다 높은 제2 전압과 커플링된다.
- <8> 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

- <9> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- <10> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <11> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <12> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- <13> 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- <14> 도 1은 본 발명의 실시예들에 따른 반도체 집적 회로 장치를 설명하기 위한 회로도이다. 도 1에서는 디스플레이 구동칩(DDI, Display Driver IC) 중 PDP 데이터 구동칩(PDP data driver IC)를 예시적으로 도시하여 설명하였으나, 본 발명의 권리 범위가 이에 한정되는 것은 아니다. 예를 들어, SOC(System On Chip), MCU(MicroController Unit) 등과 같은 반도체 집적 회로 장치에도 적용할 수 있음은, 당업자에게 자명하다.
- <15> 도 1을 참조하면, 본 발명의 실시예들에 따른 반도체 집적 회로 장치는 전원 공급부(10), 다수의 풀업 트랜지스터(HP1, HPn, HPm), 다수의 풀다운 트랜지스터(HN1, HNn, HNm)를 포함할 수 있다.
- <16> 전원 공급부(10)는 구동 전압(Va)을 생성하여 공급하는 부분으로, 예를 들어, SMPS(Switching Mode Power Supply)를 포함할 수 있다.
- <17> 다수의 채널 커패시터(Cch1, Cchn, Cchm)은 디스플레이 패널의 다수의 채널을 각각 나타내고, 다수의 풀업 트랜지스터(HP1, HPn, HPm), 다수의 풀다운 트랜지스터(HN1, HNn, HNm)의 동작에 따라 각 채널 커패시터(Cch1, Cchn, Cchm)에 전압이 충전되거나, 방전된다. 풀업 트랜지스터(HP1, HPn, HPm)는 풀업 신호(P1, Pn, Pm)에 응답하여 턴온/턴오프되고, 풀다운 트랜지스터(HN1, HNn, HNm)는 풀다운 신호(D1, Dn, Dm)에 응답하여 턴온/턴오프

프된다. 예를 들어 설명하면, 풀업 트랜지스터(HP1, HPn, HPm)가 턴온되고 풀다운 트랜지스터(HN1, HNn, HNm)가 턴오프된 상태에서는, 구동 전압(Va)에 의해 채널 커패시터(Cch1, Cchn, Cchm)가 충전된다. 반면, 풀업 트랜지스터(HP1, HPn, HPm)가 턴오프되고 풀다운 트랜지스터(HN1, HNn, HNm)가 턴온된 상태에서는, 채널 커패시터(Cch1, Cchn, Cchm)는 방전되게 된다.

- <18> 디스플레이 구동칩에서 사용되는 구동 전압(Va)은 상당히 높은 레벨의 전압이 사용되고, 예를 들어, 약 50-70V일 수 있다. 따라서, 풀업 트랜지스터(HP1, HPn, HPm), 풀다운 트랜지스터(HN1, HNn, HNm)는 각각 제1 도전형(예를 들어, P형)의 고전압 트랜지스터, 제2 도전형(예를 들어, N형)의 고전압 트랜지스터로 구성될 수 있다.
- <19> 도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 설명하기 위한 단면도이다. 도 3은 도 2의 반도체 집적 회로 장치에서, 중간 전압(Vm)과 관련된 부분을 설명하기 위한 레이아웃도이다.
- <20> 우선, 도 2를 참조하면, 본 발명의 일 실시예에 따른 반도체 집적 회로 장치는 기관(110, 120)에 서로 다른 전압 조건에서 동작하는 소자들이 공존한다. 예를 들어, 기관(110, 120)에는 고전압 소자 영역(HV_REGION)과 저전압 소자 영역(LV_REGION)이 정의되어 있다. 고전압 소자 영역(HV_REGION)에는 고전압을 이용하여 동작하는 소자들이 형성되고, 저전압 소자 영역(LV_REGION)에는 저전압을 이용하여 동작하는 소자들이 형성된다. 예를 들어, 고전압 소자 영역(HV_REGION)에는 고전압 디지털 회로가 형성되고, 저전압 소자 영역(LV_REGION)에는 저전압 디지털 회로, 아날로그 회로가 형성될 수 있다.
- <21> 설명의 편의상 도 2에서, 고전압 소자 영역(HV_REGION)에는 제1 도전형의 고전압 트랜지스터(HP)(예를 들어, 도 1의 풀업 트랜지스터(HPn)에 대응됨)가 형성되어 있는 것을 도시하였고, 저전압 소자 영역(LV_REGION)에는 제1 도전형의 제1 저전압 트랜지스터(LP)와 제2 도전형의 제2 저전압 트랜지스터(LN)(예를 들어, 도 1의 풀업 신호(P1, Pn, Pm), 풀다운 신호(D1, Dn, Dm)를 제공하는 제어 회로에 대응됨)가 형성되어 있는 것으로 도시하였다.
- <22> 여기서, 기관(110, 120)은 예시적으로, 제1 도전형(예를 들어, P형)의 베이스 기관(110)과, 제2 도전형(예를 들어, N형)의 에피층(120)을 포함할 수 있다. 예를 들어, 베이스 기관(110)은 실리콘 기관, 갈륨 비소 기관, 실리콘 게르마늄 기관, 세라믹 기관, 석영 기관, 또는 디스플레이용 유리 기관 등일 수도 있고, SOI(Semiconductor On Insulator) 기관일 수도 있다. 또한, 에피층(120)은 도시된 것과 달리, 베이스 기관(110)과 동일한 도전형을 가질 수도 있다.
- <23> 제2 도전형의 제1 매물 불순물층(132)은 고전압 소자 영역(HV_REGION)의 적어도 일부에 형성될 수 있다. 제2 도전형의 제2 매물 불순물층(134)은 저전압 소자 영역(LV_REGION)의 적어도 일부에 형성될 수 있다. 제1 도전형의 제3 매물 불순물층(136)은 제1 매물 불순물층(132)과 제2 매물 불순물층(134) 사이에 형성되어 있다. 이러한 제1 내지 제3 매물 불순물층(132, 134, 136)은 베이스 기관(110)과 에피층(120)의 경계에 형성될 수 있다. 즉, 제1 내지 제3 매물 불순물층(132, 134, 136)의 일부는 베이스 기관(110)에 형성되고, 나머지는 에피층(120)에 형성될 수 있다. 이와 같이 형성되는 이유는, 베이스 기관(110) 내에 제1 내지 제3 매물 불순물층(132, 134, 136)을 형성한 후 베이스 기관(110) 상에 에피층(120)을 형성하고, 이후의 열공정 등에 의해 제1 내지 제3 매물 불순물층(132, 134, 136)이 베이스 기관(110)과 에피층(120)으로 확산되기 때문이다.
- <24> 고전압 소자 영역(HV_REGION)에는 제1 도전형의 제1 고전압 웰(142)이 형성될 수 있다. 제1 고전압 웰(142)은 제1 매물 불순물층(132)과 접하도록 형성될 수 있으나, 이에 한정되는 것은 아니다. 후술하겠으나, 제1 고전압 웰(142)은 고전압 트랜지스터(HP)의 드리프트 영역 역할을 하게 된다.
- <25> 저전압 소자 영역(LV_REGION)에는 제1 도전형의 깊은 웰(144)이 형성될 수 있다. 깊은 웰(144)은 제2 매물 불순물층(134)과 접하도록 형성될 수 있으나, 이에 한정되는 것은 아니다. 자세히 후술하겠으나, 깊은 웰(144)은 제2 매물 불순물층(134)과, 제2 도전형의 제1 저전압 웰(156)(즉, 제1 저전압 웰(156) 내에 형성된 제1 저전압 트랜지스터(LP)), 제2 도전형의 제2 저전압 웰(164)(즉, 제2 저전압 웰(164) 내에 형성된 제2 저전압 트랜지스터(LN))을 서로 전기적으로 분리시키는 역할을 한다.
- <26> 고전압 소자 영역(HV_REGION)과 저전압 소자 영역(LV_REGION) 사이에는, 제1 도전형의 제2 고전압 웰(146)이 형성될 수 있다. 제2 고전압 웰(146)은 제3 매물 불순물층(136)과 접하도록 형성될 수 있으나, 이에 한정되는 것은 아니다. 제2 고전압 웰(146)은 분리 웰 역할을 한다. 즉, 제3 매물 불순물층(136), 제2 고전압 웰(146)은 고전압 소자 영역(HV_REGION)과 저전압 소자 영역(LV_REGION)을 전기적으로 분리하는 역할을 한다.
- <27> 한편, 제1 및 제2 고전압 웰(142, 146), 깊은 웰(144)은 동일한 마스크를 이용하여 형성될 수도 있으나, 이에 한정된 것은 아니다. 필요에 따라, 예를 들어, 제1 및 제2 고전압 웰(142, 146)은 하나의 마스크를 이용하여 형

성하고, 깊은 웰(144)은 별도의 마스크를 이용하여 형성할 수도 있다.

- <28> 저전압 소자 영역(LV_REGION)의 깊은 웰(144) 내에는 제2 도전형의 제1 저전압 웰(156)과, 제1 도전형의 제2 저전압 웰(164)이 형성될 수 있다. 또한, 저전압 소자 영역(LV_REGION)에는 제2 도전형의 제1 웰(154)이 형성될 수 있다.
- <29> 고전압 소자 영역(HV_REGION)에는 제2 도전형의 제2 웰(152)이 형성될 수 있다.
- <30> 고전압 소자 영역(HV_REGION)과 저전압 소자 영역(LV_REGION) 사이의, 제2 고전압 웰(146) 내에는 제1 도전형의 제3 웰(162)이 형성될 수 있다.
- <31> 한편, 제1 저전압 웰(156), 제1 웰(154), 제2 웰(152)은 동일한 마스크를 이용하여 형성될 수 있고, 제2 저전압 웰(164), 제3 웰(162)은 동일한 마스크를 이용하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- <32> 또한, 기판(110, 120) 상에는 고전압 트랜지스터(HP), 제1 저전압 트랜지스터(LP), 제2 저전압 트랜지스터(LN) 등이 형성될 영역을 정의하는 필드 산화막(122)이 형성되어 있다. 또한, 기판(110, 120) 상에는 고전압 게이트 절연막(121)이 형성되어 있다.
- <33> 고전압 트랜지스터(HP)는 DMOS 트랜지스터일 수 있고, 게이트 전극(172), 채널 영역(173), 드레인(174), 소오스(175)를 포함할 수 있다. 드레인(174)은 제1 고전압 웰(142) 내에 형성될 수 있다. 드레인(174)은 제1 고전압 웰(142)보다 농도가 높다. 전술한 바와 같이, 제1 고전압 웰(142)은 드리프트 영역의 역할을 하게 된다. 따라서, 고전압 트랜지스터(HP)의 드레인(174)과 소오스(175) 사이에는 드리프트 영역과 채널 영역(173)이 존재하게 된다. 드리프트 영역이 필요한 이유는 고전압에 대한 BV(Breakdown Voltage)를 확보하기 위함이다. 또한, 소오스(175)는 제2 웰(152) 내에 형성될 수 있다. 여기서, 드레인(174)은 출력 전압(Vout)과 커플링되고, 소오스(175)는 구동 전압(Va)과 커플링되어 있다.
- <34> 또한, 제1 오믹 콘택(181)은 구동 전압(Va)이 인가되는 부분으로, 고전압 트랜지스터(HP)의 소오스(175)에 접하여 제2 웰(152) 내에 형성된다. 여기서, 구동 전압(Va)은 예를 들어, 약 50-70V일 수 있다.
- <35> 제1 도전형의 제1 저전압 트랜지스터(LP)는 게이트 전극(191), 소오스(193), 드레인(194)를 포함한다. 소오스(193), 드레인(194)은 제1 저전압 웰(156) 내에 형성될 수 있다.
- <36> 또한, 제2 오믹 콘택(182)은 전원 전압(Vcc)이 인가되는 부분으로, 제1 저전압 트랜지스터(LP)의 소오스(193), 드레인(194)과 같은 제1 저전압 웰(156) 내에 형성될 수 있다. 여기서, 전원 전압(Vcc)은 예를 들어, 약 1-5V일 수 있다.
- <37> 제2 도전형의 제2 저전압 트랜지스터(LN)는 게이트 전극(192), 드레인(196), 소오스(197)를 포함한다. 드레인(196), 소오스(197)는 제2 저전압 웰(164) 내에 형성될 수 있다.
- <38> 또한, 제3 오믹 콘택(183)은 접지 전압(Vss2)과 커플링된 부분으로, 제2 저전압 트랜지스터(LN)의 드레인(196), 소오스(197)과 같은 제2 저전압 웰(164) 내에 형성될 수 있다.
- <39> 제4 오믹 콘택(184)은 중간 전압(Vm)이 인가되는 부분으로, 제1 웰(154) 내에 형성될 수 있다. 여기서, 중간 전압(Vm)은 예를 들어, 약 10-30V일 수 있다.
- <40> 제5 오믹 콘택(185)은 접지 전압(Vss1)과 커플링된 부분으로, 제3 웰(162) 내에 형성될 수 있다.
- <41> 본 발명의 구조에 대해 정리하여 설명하면 다음과 같다.
- <42> 구동 전압(Va)은 제1 오믹 콘택(181), 제2 웰(152), 에피층(120)을 통해서, 제1 매몰 불순물층(132)에 전달된다. 즉, 제1 매몰 불순물층(132)은 구동 전압(Va)과 커플링된다.
- <43> 전원 전압(Vcc)은 제2 오믹 콘택(182)을 통해서, 제1 저전압 웰(156)에 전달된다. 즉, 제1 저전압 웰(156)은 전원 전압(Vcc)과 커플링된다.
- <44> 접지 전압(VSS2)은 제3 오믹 콘택(183)을 통해서, 제2 저전압 웰(164)에 전달된다. 즉, 제2 저전압 웰(164)은 접지 전압(VSS2)과 커플링된다.
- <45> 중간 전압(Vm)은 제4 오믹 콘택(184), 제1 웰(154)을 통해서, 제2 매몰 불순물층(134)에 전달된다. 즉, 제2 매몰 불순물층(134)은 중간 전압(Vm)과 커플링된다.
- <46> 접지 전압(VSS1)은 제5 오믹 콘택(185), 제3 웰(162), 제2 고전압 웰(164)을 통해서, 제3 매몰 불순물층(136)

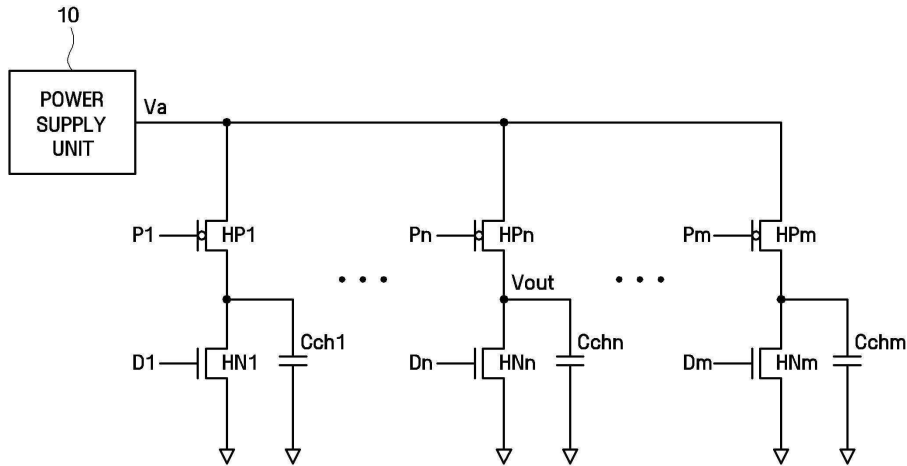
에 전달된다. 즉, 제3 매물 불순물층(136)은 접지 전압(VSS1)과 커플링된다. 베이스 기관(110) 역시 접지 전압(VSS1)과 커플링된다.

- <47> 전술한 바와 같이, 고전압 소자 영역(HV_REGION)에서 사용되는 구동 전압(Va)은 약 50-70V이고, 저전압 소자 영역(LV_REGION)에서 사용되는 전원 전압(Vcc)은 약 1-5V이다. 구동 전압(Va)이 저전압 소자 영역(LV_REGION)에 영향을 미치면, 저전압 소자 영역(LV_REGION) 내에 형성되어 있는 각종 소자들이 비정상적으로 동작하게 된다. 따라서, 저전압 소자 영역(LV_REGION)은 구동 전압(Va)으로부터 전기적으로 분리시키는 것이 중요하다.
- <48> 이를 위해서, 접지 전압(VSS1)과 커플링되어 있는 제5 오믹 컨택(185), 제3 웰(162), 제2 고전압 웰(164), 제3 매물 불순물층(136)은 고전압 소자 영역(HV_REGION)과 저전압 소자 영역(LV_REGION)을 전기적으로 분리시킨다.
- <49> 뿐만 아니라, 고전압 소자 영역(HV_REGION)에서 사용하는 접지 전압(VSS1)과 저전압 소자 영역(LV_REGION)에서 사용되는 접지 전압(VSS2)는 서로 전기적으로 분리되어 있다. 이와 같이 하는 이유는, 예를 들어, 고전압 소자 영역(HV_REGION)에서의 접지 전압이 흔들리더라도 저전압 소자 영역(LV_REGION)에서의 접지 전압은 흔들리지 않도록 하게 하기 위함이다.
- <50> 뿐만 아니라, 제2 매물 불순물층(134)을 중간 전압(Vm)과 커플링시킨다. 이와 같이 하는 이유에 대해서는 도 2, 도 4 내지 도 6을 참조하여 자세히 후술한다. 제2 매물 불순물층(134)을 중간 전압(Vm)과 커플링시켰기 때문에, 깊은 웰(144)을 이용하여 제2 매물 불순물층(134)과, 제1 저전압 웰(156), 제2 저전압 웰(164)을 서로 전기적으로 분리시킨다. 즉, 깊은 웰(144)은 중간 전압(Vm)이 제1 저전압 웰(156), 제2 저전압 웰(164)에 미치는 영향을 줄이게 된다.
- <51> 특히, 도 3에 도시된 것과 같이, 중간 전압(Vm)이 인가되는 제4 오믹 컨택(184)은 에피층(120)의 표면에 제1 저전압 트랜지스터(LP)가 형성되는 제1 저전압 웰(156)과, 제2 저전압 트랜지스터(LN)가 형성되는 제2 저전압 웰(164)을 씨라운딩하도록 형성된다. 이와 같이 제4 오믹 컨택(184)이 형성되어 있기 때문에, 제1 저전압 트랜지스터(LP), 제2 저전압 트랜지스터(LN)는 구동 전압(Va)의 영향에서 멀어질 수 있다.
- <52> 이하에서는, 중간 전압(Vm)과 제2 매물 불순물층(134)이 커플링되어 있는 이유에 대해서 도 2, 도 4 내지 도 6을 참조하여 설명한다.
- <53> 도 4는 도 2의 반도체 집적 회로 장치의 등가 회로도이다. 도 5 및 도 6은 반도체 집적 회로 장치의 동작을 설명하기 위한 도면이다.
- <54> 우선, 도 2 및 도 4를 참조하면, 베이스 기관(110)은 제1 도전형(예를 들어, P형)이고, 제1 매물 불순물층(132)은 제2 도전형(예를 들어, N형)이고, 제1 고전압 웰(142)은 제1 도전형이기 때문에, 베이스 기관(110), 제1 매물 불순물층(132), 제1 고전압 웰(142) 사이에는 제1 기생 PNP 바이폴라 트랜지스터(Q1)가 형성된다.
- <55> 제1 고전압 웰(142), 제2 고전압 웰(146)은 제1 도전형이고, 제2 웰(152)은 제2 도전형이기 때문에, 제1 고전압 웰(142), 제2 웰(152), 제2 고전압 웰(146) 사이에는 제2 기생 PNP 바이폴라 트랜지스터(Q2)가 형성된다.
- <56> 유사하게, 베이스 기관(110), 제2 매물 불순물층(134), 깊은 웰(144) 사이에는 제3 기생 PNP 바이폴라 트랜지스터(Q3)가 형성된다.
- <57> 유사하게, 제2 매물 불순물층(134), 깊은 웰(144), 제1 저전압 웰(156) 사이에는 기생 NPN 바이폴라 트랜지스터(Q4)가 형성된다.
- <58> 또한, 베이스 기관(110)은 제1 도전형이고, 제2 매물 불순물층(134) 사이에는 기생 다이오드(PD)가 형성된다.
- <59> 여기서, 도 5를 참조하면, 통상적인 동작에서는 구동 전압(Va)가 출력 전압(Vout)보다 크기 때문에, 제1 기생 PNP 바이폴라 트랜지스터(Q1)은 턴온되지 않는다. 그런데, 특정 상황에서, 출력 전압(Vout)이 구동 전압(Va)보다 커지게 되는 경우가 생기고(예를 들어, $V_{out} - V_a > 0.6V$), 제1 기생 PNP 바이폴라 트랜지스터(Q1)가 턴온된다. 이와 같이 되면, 출력 전압(Vout)에서부터 베이스 기관(110)으로 전류(I)가 생성되어, 베이스 기관(110)의 전압 레벨이 상승된다. 예를 들어, 베이스 기관(110)은 약 10V까지 상승될 수 있다.
- <60> 그런데, 이와 같은 상황에서도, 기생 다이오드(PD)와, 제3 PNP 바이폴라 트랜지스터(Q3)은 턴오프되어 있다. 제2 매물 불순물층(134)에는 10V 이상의 전압(예를 들어, 약 10-30V)이 인가되어 있기 때문이다. 즉, 기생 다이오드(PD)의 애노드의 전압보다 캐소드의 전압이 크기 때문에, 기생 다이오드(PD)는 턴온되지 않는다. 마찬가지로, 제3 PNP 바이폴라 트랜지스터(Q3)의 베이스의 전압이 이미터의 전압보다 크기 때문에, 제3 PNP 바이폴라 트랜지스터(Q3)는 턴온되지 않는다.

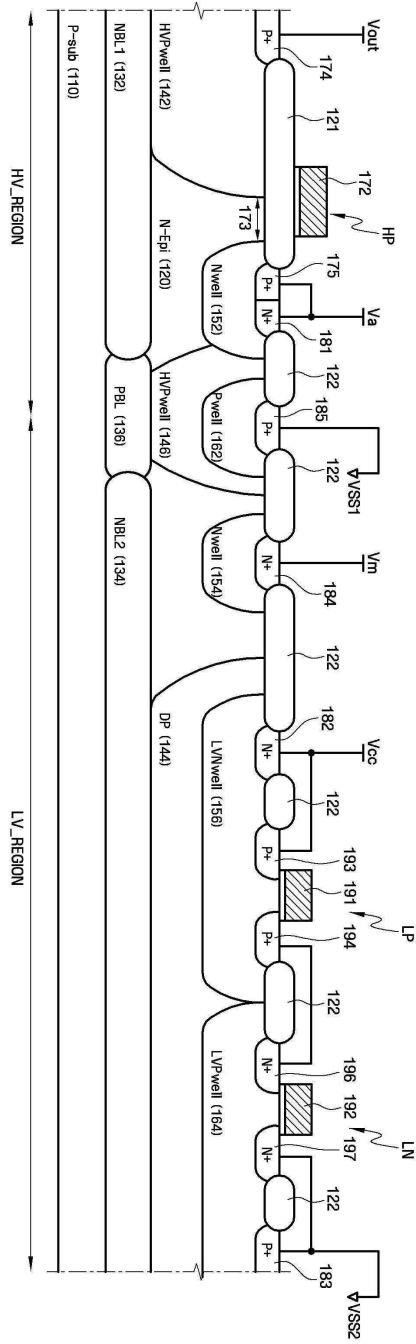
- <80> 132 : 제1 매물 불순물층 134 : 제2 매물 불순물층
- <81> 136 : 제3 매물 불순물층 144 : 깊은 웰

도면

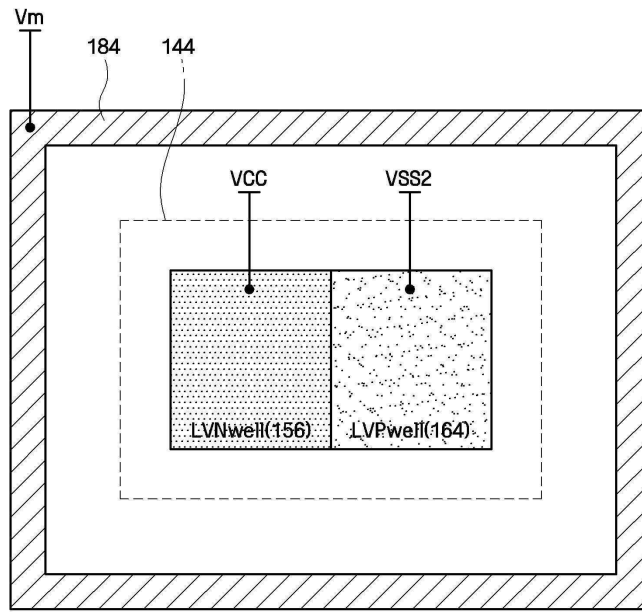
도면1



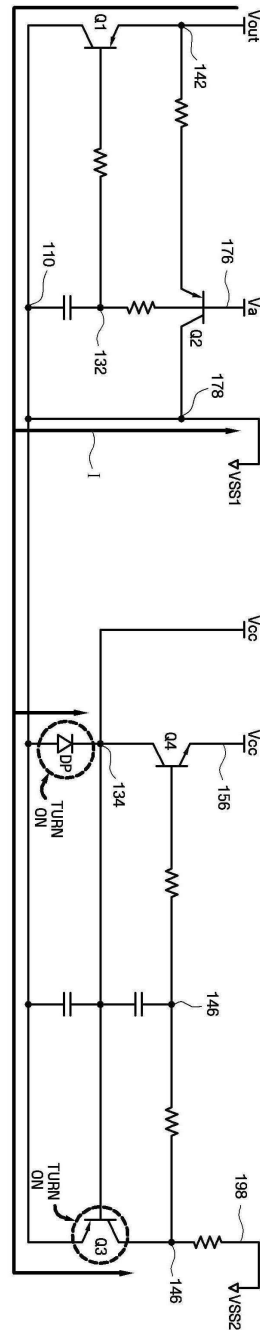
도면2



도면3



도면6



도면7

