

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5773379号
(P5773379)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int. Cl.	F I	
HO 1 L 27/146 (2006.01)	HO 1 L 27/14	F
HO 1 L 21/3205 (2006.01)	HO 1 L 27/14	A
HO 1 L 21/768 (2006.01)	HO 1 L 21/88	J
HO 1 L 23/522 (2006.01)	HO 1 L 21/90	B
HO 1 L 21/02 (2006.01)	HO 1 L 21/02	B

請求項の数 15 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2014-260268 (P2014-260268)	(73) 特許権者	000002185
(22) 出願日	平成26年12月24日(2014.12.24)		ソニー株式会社
(62) 分割の表示	特願2010-12586 (P2010-12586) の分割		東京都港区港南1丁目7番1号
原出願日	平成22年1月22日(2010.1.22)	(74) 代理人	110000925 特許業務法人信友国際特許事務所
(65) 公開番号	特開2015-65479 (P2015-65479A)	(72) 発明者	梅林 拓 東京都港区港南1丁目7番1号 ソニー株 式会社内
(43) 公開日	平成27年4月9日(2015.4.9)	(72) 発明者	高橋 洋 東京都港区港南1丁目7番1号 ソニー株 式会社内
審査請求日	平成26年12月26日(2014.12.26)	(72) 発明者	庄子 礼二郎 東京都港区港南1丁目7番1号 ソニー株 式会社内
(31) 優先権主張番号	特願2009-68582 (P2009-68582)		
(32) 優先日	平成21年3月19日(2009.3.19)		
(33) 優先権主張国	日本国(JP)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 半導体装置とその製造方法、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

光電変換部が形成された第1のシリコン基板と、第1の多層配線層とからなり、少なくとも1つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとが形成された画素アレイを有する第1の半導体ウェハと、

第2のシリコン基板と、第2の多層配線層とからなり、信号処理回路が形成されたロジック回路を有し、前記第1の半導体ウェハと、前記第2の多層配線層と前記第1の多層配線層とが向き合うように貼り合わされた第2の半導体ウェハと、

前記第1の多層配線層上に形成された第1の保護膜と、

前記第1の保護膜上に形成された第1の接合膜と、

前記第2の多層配線層上に形成された第2の保護膜と、

前記第2の保護膜上に形成された第2の接合膜と、

前記第1の半導体ウェハを貫通して形成され、前記第2の半導体ウェハに形成された配線に達する貫通接続孔と、

前記貫通接続孔に埋め込まれた第1の接続導体と、

前記第1のシリコン基板を貫通して形成され、前記第1の半導体ウェハに形成された配線に達する接続孔と、

前記接続孔に埋め込まれた第2の接続導体と、

前記第1のシリコン基板側に露出された電極パッドと、を備え、

前記第1のシリコン基板の厚さは前記第2のシリコン基板の厚さよりも薄く、

10

20

前記第 1 の半導体ウェハと前記第 2 の半導体ウェハとは、前記第 1 の接合膜と前記第 2 の接合膜とが、プラズマ接合で貼り合わされ、

前記第 1 の接合膜は、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜、S i C 膜のいずれか一つからなり、

前記第 2 の接合膜は、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜、S i C 膜のいずれか一つからなり、

前記第 1 の接続導体と前記第 2 の接続導体とが前記電極パッドを介して電氣的に接続され、前記第 1 の接続導体が前記第 2 の半導体ウェハに形成された前記配線に接続され、前記第 2 の接続導体が前記第 1 の半導体ウェハに形成された前記配線に接続されて、前記画素アレイと前記ロジック回路とが電氣的に接続される

10

半導体装置。

【請求項 2】

前記第 1 の接続導体が前記第 2 の半導体ウェハに形成された前記配線の最上層に接続され、前記第 2 の接続導体が前記第 1 の半導体ウェハの裏面側から前記第 1 のシリコン基板側の第 1 層目に形成された前記配線に接続されて、前記画素アレイと前記ロジック回路とが電氣的に接続される請求項 1 に記載の半導体装置。

【請求項 3】

前記貫通接続孔の側壁の全面と前記接続孔の側壁の全面に絶縁膜が形成されている請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

20

前記貫通接続孔と前記接続孔とが近接して設けられ、前記接続孔の外側に前記貫通接続孔が設けられている請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

前記ロジック回路と電氣的に接続され、前記第 2 の半導体ウェハの裏面側に露出される第 3 の接続導体を備える請求項 1 から 4 のいずれかに記載の半導体装置。

【請求項 6】

前記第 1 の接続導体、及び、前記第 2 の接続導体は、前記画素アレイが形成される領域の外側に形成されている請求項 1 から 5 のいずれかに記載の半導体装置。

【請求項 7】

光電変換部が形成された第 1 のシリコン基板と、第 1 の多層配線層とからなり、少なくとも 1 つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとを形成した画素アレイを備える第 1 の半導体ウェハを形成する工程と、

30

第 2 のシリコン基板と、第 2 の多層配線層とからなり、信号処理回路が形成されたロジック回路を備える第 2 の半導体ウェハを形成する工程と、

前記第 1 の多層配線層上に第 1 の保護膜を形成する工程と、

前記第 1 の保護膜上に、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜、S i C 膜のいずれか一つからなる第 1 の接合膜を形成する工程と、

前記第 2 の多層配線層上に第 2 の保護膜を形成する工程と、

前記第 2 の保護膜上に、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜、S i C 膜のいずれか一つからなる第 2 の接合膜を形成する工程と、

40

前記第 1 の半導体ウェハと前記第 2 の半導体ウェハとを前記第 1 の多層配線層と前記第 2 の多層配線層とが向き合うように、前記第 1 の接合膜と前記第 2 の接合膜とをプラズマ接合により貼り合わせる工程と、

前記第 1 の半導体ウェハを薄膜化する工程と、

前記第 1 の半導体ウェハを貫通して、前記第 2 の半導体ウェハに形成された配線に達する貫通接続孔を形成する工程と、

前記貫通接続孔内に第 1 の接続導体を埋め込む工程と、

前記第 1 のシリコン基板を貫通して、前記第 1 の半導体ウェハに形成された配線に達する接続孔を形成する工程と、

前記接続孔内に第 2 の接続導体を埋め込む工程と、

50

前記第 1 の接続導体と前記第 2 の接続導体とを電氣的に接続し、前記第 1 のシリコン基板側に露出する電極パッドを形成する工程と、を有する半導体装置の製造方法。

【請求項 8】

前記貫通接続孔を形成する工程において、前記第 1 の半導体ウェハを貫通して、前記第 2 の半導体ウェハに形成された最上層の配線に達する貫通接続孔を形成し、前記接続孔を形成する工程において、前記第 1 のシリコン基板を貫通して、前記第 1 の半導体ウェハの裏面側から前記第 1 のシリコン基板の第 1 層目の配線に達する接続孔を形成する請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記貫通接続孔の側壁の全面と前記接続孔の側壁の全面に絶縁膜を形成する工程を備える請求項 7 又は 8 に記載の半導体装置の製造方法。

【請求項 10】

前記貫通接続孔と前記接続孔とを近接して設け、前記接続孔の外側に前記貫通接続孔を形成する請求項 7 から 8 のいずれかに記載の半導体装置の製造方法。

【請求項 11】

前記第 2 の半導体ウェハを貫通して前記第 2 の半導体ウェハの裏面側に露出され、前記ロジック回路と電氣的に接続された第 3 の接続導体を形成する工程を有する請求項 7 から 10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】

前記貫通接続孔を、前記画素アレイが形成される領域の外側に形成する請求項 7 から 11 のいずれかに記載の半導体装置の製造方法。

【請求項 13】

固体撮像装置と、
前記固体撮像装置の光電変換部に入射光を導く光学系と、
前記固体撮像装置の出力信号を処理する信号処理回路と、を有し、
前記固体撮像装置は、
前記光電変換部が形成された第 1 のシリコン基板と、第 1 の多層配線層とからなり、少なくとも 1 つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとが形成された画素アレイを有する第 1 の半導体ウェハと、

第 2 のシリコン基板と第 2 の多層配線層とからなり、前記信号処理回路が形成されたロジック回路を有し、前記第 1 の半導体ウェハと、前記第 2 の多層配線層と前記第 1 の多層配線層とが向き合うように貼り合わされた第 2 の半導体ウェハと、

前記第 1 の多層配線層上に形成された第 1 の保護膜と、
前記第 1 の保護膜上に形成された第 1 の接合膜と、
前記第 2 の多層配線層上に形成された第 2 の保護膜と、
前記第 2 の保護膜上に形成された第 2 の接合膜と、
前記第 1 の半導体ウェハを貫通して形成され、前記第 2 の半導体ウェハに形成された配線に達する貫通接続孔と、

前記貫通接続孔に埋め込まれた第 1 の接続導体と、
前記第 1 のシリコン基板を貫通して形成され、前記第 1 の半導体ウェハに形成された配線に達する接続孔と、

前記接続孔に埋め込まれた第 2 の接続導体と、
前記第 1 のシリコン基板側に露出された電極パッドと、を備え、
前記第 1 のシリコン基板の厚さは前記第 2 のシリコン基板の厚さよりも薄く、
前記第 1 の半導体ウェハと前記第 2 の半導体ウェハとは、前記第 1 の接合膜と前記第 2 の接合膜とが、プラズマ接合で貼り合わされ、

前記第 1 の接合膜は、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜、S i C 膜のいずれかが一つからなり、

前記第 2 の接合膜は、少なくともプラズマ T E O S 膜、プラズマ S i N 膜、S i O N 膜

10

20

30

40

50

、SiC膜のいずれか一つからなり、

前記第1の接続導体と前記第2の接続導体とが前記電極パッドを介して電氣的に接続され、前記第1の接続導体が前記第2の半導体ウェハに形成された前記配線に接続され、前記第2の接続導体が前記第1の半導体ウェハに形成された前記配線に接続されて、前記画素アレイと前記ロジック回路とが電氣的に接続される

電子機器。

【請求項14】

前記第1の接続導体が前記第2の半導体ウェハに形成された前記配線の最上層に接続され、前記第2の接続導体が前記第1の半導体ウェハの裏面側から前記第1のシリコン基板側の第1層目に形成された前記配線に接続されて、前記画素アレイと前記ロジック回路とが電氣的に接続される請求項13に記載の電子機器。

10

【請求項15】

前記貫通接続孔の側壁の全面と前記接続孔の側壁の全面に絶縁膜が形成されている請求項13又は14に記載の電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置等の半導体装置とその製造方法、及びこの固体撮像装置を備えたカメラ等の電子機器に関する。

20

【背景技術】

【0002】

固体撮像装置として、CMOS (Complementary Metal Oxide Semiconductor) 等のMOS型イメージセンサに代表される増幅型固体撮像装置が知られている。また、CCD (Charge Coupled Device) イメージセンサに代表される電荷転送型固体撮像装置が知られている。これら固体撮像装置は、デジタルスチルカメラ、デジタルビデオカメラなどに広く用いられている。近年、カメラ付き携帯電話やPDA (Personal Digital Assistant) などのモバイル機器に搭載される固体撮像装置としては、電源電圧が低く、消費電力の観点などからMOS型イメージセンサが多く用いられている。

【0003】

30

MOS型の固体撮像装置は、単位画素が光電変換部となるフォトダイオードと複数の画素トランジスタで形成され、この複数の単位画素が2次元アレイ状に配列された画素アレイ (画素領域) と、周辺回路領域を有して構成される。複数の画素トランジスタは、MOSトランジスタで形成され、転送トランジスタ、リセットトランジスタ、増幅トランジスタの3トランジスタ、あるいは選択トランジスタを加えた4トランジスタで構成される。

【0004】

従来、このようなMOS型固体撮像装置において、複数の画素が配列された画素領域が形成された半導体チップと、信号処理を行うロジック回路が形成された半導体チップを電氣的に接続して1つのデバイスとして構成した固体撮像装置が種々提案されている。例えば、特許文献1では、各画素セル毎にマイクロパッド有する裏面照射型のイメージセンサチップと、信号処理回路が形成されマイクロパッドを有する信号処理チップとを、マイクロパッドによって接続した半導体モジュールが開示されている。特許文献2では、インターポーザ (中間基板) 上に、撮像画素部が設けられた裏面照射型のMOS固体撮像素子であるセンサチップと、信号処理を行う周辺回路が設けられた信号処理チップを実装したデバイスが開示されている。特許文献3では、イメージセンサチップと、薄型回路基板と、信号処理を行うロジック回路チップとを備えた構成である。そして、この薄膜回路基板とロジック回路チップが電氣的に接続され、薄膜回路基板がイメージセンサチップの裏面からスルホールビアを介して電氣的に接続された構成が開示されている。

40

【0005】

50

また、特許文献4では、透明基板に支持された固体撮像素子に貫通電極を設け、この貫通電極を介して固体撮像素子をフレキシブル回路基板に電氣的に接続した固体撮像装置が開示されている。さらに、特許文献5では、裏面照射型の固体撮像装置において、支持基板を貫通する電極を設けた構成が開示されている。

【0006】

特許文献1～3に示すように、イメージセンサチップとロジック回路などの異種回路チップを混載する技術は、種々提案されている。従来技では、いずれも機能チップがほぼ完成した状態のものを用い、貫通接続孔を形成して、チップ間の相互接続を可能に状態で1つのチップ上に形成されることが特徴となっている。

【先行技術文献】

【特許文献】

【0007】

- 【特許文献1】特開2006-49361号公報
- 【特許文献2】特開2007-13089号公報
- 【特許文献3】特開2008-130603号公報
- 【特許文献4】特許第4000507号公報
- 【特許文献5】特開2003-31785号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上述した従来の固体撮像装置にも見られるように、基板を貫通する接続導体によって異種チップ間を接続して半導体デバイスを構成することは、アイデアとして知られていた。しかし、深い基板に絶縁を確保しながら接続孔を開けねばならず、接続孔の加工と、接続導体の埋め込みに必要な製造プロセスのコスト経済性から実用化は困難とされていた。

【0009】

一方、例えば1 μ m程度の小さなコンタク穴を形成するためには、上部チップを極限まで薄膜化する必要がある。この場合、薄膜化する前に上部チップを支持基板に貼り付ける等の複雑な工程とコスト増を招いてしまう。しかも、高アスペクト比の接続孔に接続導体で埋めるためには、接続導体としてタングステン(W)等の被覆性の良いCVD膜を使うことが必然的に求められ、接続導体材料が制約される。

【0010】

量産で簡便に適用できる経済性を有する為には、この接続孔のアスペクト比を劇的に下げ、形成し易くすると共に、特別な接続孔加工を用いずに従来のウェハ製造プロセス内で加工できる技術を選択できることが望ましい。

【0011】

また、固体撮像装置などでは、画像領域と、信号処理を行うロジック回路とを、それぞれの性能を十分発揮できるように形成し、高性能化が図れることが望まれている。

固体撮像装置に限らず、他の半導体集積回路を有する半導体装置においても、それぞれの半導体集積回路の性能を十分に発揮できるように形成し、高性能化が図れることが望まれる。

【0012】

本発明は、上述の点に鑑み、それぞれの性能を十分に発揮して高性能化を図り、且つ量産性、コスト低減を図った、固体撮像装置等の半導体装置とその製造方法を提供するものである。また、本発明は、上記固体撮像装置を備えたカメラ等の電子機器を提供するものである。

【課題を解決するための手段】

【0013】

本発明の半導体装置は、光電変換部と、少なくとも1つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとが形成された画素アレイを有し、薄膜化された第1の半導体ウェハと、信号処理回路が形成されたロジック回路を有し、第1の半導

10

20

30

40

50

体ウェハと貼り合わされた第2の半導体ウェハと、第1の半導体ウェハを貫通して形成され、第2の半導体ウェハに形成された配線に達する貫通接続孔と、貫通接続孔に埋め込まれた第1の接続導体と、第1の半導体ウェハを貫通して形成され、第1の半導体ウェハに形成された配線に達する接続孔と、接続孔に埋め込まれた第2の接続導体と、を備え、第1の接続導体と、第2の半導体ウェハに形成された配線とが接続され、第2の接続導体と、第1の半導体ウェハに形成された配線とが接続されて、画素アレイとロジック回路とが電氣的に接続される。

【0014】

本発明に係る半導体装置の製造方法は、光電変換部と、少なくとも1つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとを形成した画素アレイを備える第1の半導体ウェハを形成する工程と、信号処理回路が形成されたロジック回路を備える第2の半導体ウェハを形成する工程と、第1の半導体ウェハと第2の半導体ウェハとを貼り合わせる工程と、第1の半導体ウェハを薄膜化する工程と、第1の半導体ウェハを貫通して、第2の半導体ウェハに形成された配線に達する第1の貫通接続孔を形成する工程と、第1の貫通接続孔内に第1の接続導体を埋め込む工程と、第1の半導体ウェハを貫通して、第1の半導体ウェハに形成された配線に達する接続孔を形成する工程と、接続孔内に第2の接続導体を埋め込む工程と、を有する。

【0015】

本発明に係る電子機器は、固体撮像装置と、固体撮像装置の光電変換部に入射光を導く光学系と、固体撮像装置の出力信号を処理する信号処理回路とを備える。固体撮像装置は、光電変換部と、少なくとも1つ以上の転送トランジスタ、リセットトランジスタ、及び、増幅トランジスタとが形成された画素アレイを有し、薄膜化された第1の半導体ウェハと、信号処理回路が形成されたロジック回路を有し、第1の半導体ウェハと貼り合わされた第2の半導体ウェハと、第1の半導体ウェハを貫通して形成され、第2の半導体ウェハに形成された配線に達する第1の貫通接続孔と、第1の貫通接続孔に埋め込まれた第1の接続導体と、第1の半導体ウェハを貫通して形成され、第1の半導体ウェハに形成された配線に達する接続孔と、記接続孔に埋め込まれた第2の接続導体と、を備え、第1の接続導体と、第2の半導体ウェハに形成された配線とが接続され、第2の接続導体と、第1の半導体ウェハに形成された配線とが接続されて、画素アレイとロジック回路とが電氣的に接続される。

【発明の効果】

【0016】

本発明に係る半導体装置によれば、各チップ部にそれぞれの性能を十分発揮する画素アレイ及びロジック回路が形成されるので、高性能の半導体装置、すなわち裏面照射型の固体撮像装置を提供することができる。また、量産性に優れ、低コストで高性能の裏面照射型の固体撮像装置を提供することができる。

【0017】

また、本発明に係る半導体装置によれば、各チップ部にそれぞれの性能を十分発揮する第1及び第2の半導体集積回路が形成されるので、高性能の半導体装置を提供することができる。また、量産性に優れ、低コストで高性能の半導体装置を提供することができる。

【0018】

本発明に係る半導体装置の製造方法によれば、最適なプロセス技術で、それぞれの性能を十分に発揮する画素アレイ及びロジック回路を備えた高性能な半導体装置、すなわち裏面照射型の固体撮像装置を製造することができる。また、量産性に優れ、低コストで高性能の裏面照射型の固体撮像素子を製造することができる。

【0019】

本発明に係る半導体装置の製造方法によれば、最適なプロセス技術で、それぞれの性能を十分に発揮する第1及び第2の半導体集積回路を備えた高性能な半導体装置を製造することができる。また、量産性に優れ、低コストで高性能の半導体装置を製造することができる。

10

20

30

40

50

【0020】

本発明に係る電子機器によれば、固体撮像装置において高性能化が図られ、かつ製造コストの低減が図られるので、安価で信頼性の高い電子機器を提供することができる。

【図面の簡単な説明】

【0021】

【図1】本発明に適用されるMOS固体撮像装置の一例を示す概略構成図である。

【図2】本発明の実施の形態に係る固体撮像装置の模式図である。

【図3】第1実施の形態に係る固体撮像装置を示す要部の概略構成図である。

【図4】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その1)である。

10

【図5】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その2)である。

【図6】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その3)である。

【図7】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その4)である。

【図8】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その5)である。

【図9】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その6)である。

20

【図10】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その7)である。

【図11】第1実施の形態に係る固体撮像装置及びその製造方法を示す製造工程図(その8)である。

【図12】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その9)である。

【図13】第1実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その10)である。

【図14】第2実施の形態に係る固体撮像装置の構成図である。

【図15】第3実施の形態に係る固体撮像装置の構成図である。

30

【図16】第4実施の形態に係る固体撮像装置を示す要部の概略構成図である。

【図17】第4実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その1)である。

【図18】第4実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その2)である。

【図19】第4実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その3)である。

【図20】第4実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その4)である。

【図21】第4実施の形態に係る固体撮像装置の製造方法例を示す製造工程図(その5)である。

40

【図22】第5実施の形態に係る半導体装置の要部の概略構成図である。

【図23】第5実施の形態に係る半導体装置の製造方法例を示す製造工程図(その1)である。

【図24】第5実施の形態に係る半導体装置の製造方法例を示す製造工程図(その2)である。

【図25】第5実施の形態に係る半導体装置の製造方法例を示す製造工程図(その3)である。

【図26】第5実施の形態に係る半導体装置の製造方法例を示す製造工程図(その4)である。

50

【図 27】第 5 実施の形態に係る半導体装置の製造方法例を示す製造工程図（その 5）である。

【図 28】第 5 実施の形態に係る半導体装置の製造方法例を示す製造工程図（その 6）である。

【図 29】第 6 実施の形態に係る電子機器を示す概略構成図である。

【発明を実施するための形態】

【0022】

以下、発明を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. MOS 固体撮像装置の概略構成例
2. 第 1 実施の形態（固体撮像装置の構成例とその製造方法例）
3. 第 2 実施の形態（固体撮像装置の構成例）
4. 第 3 実施の形態（固体撮像装置の構成例）
5. 第 4 実施の形態（固体撮像装置の構成例とその製造方法例）
6. 第 5 実施の形態（半導体装置の構成例とその製造方法例）
7. 第 6 実施の形態（電子機器の構成例）

【0023】

< 1. MOS 固体撮像装置の概略構成例 >

図 1 に、本発明の半導体装置に適用される MOS 固体撮像装置の概略構成を示す。この MOS 固体撮像装置は、各実施の形態の固体撮像装置に適用される。本例の固体撮像装置 1 は、図 1 に示すように、半導体基板 11 例えばシリコン基板に複数の光電変換部を含む画素 2 が規則的に 2 次元アレイ状に配列された画素領域（いわゆる画素アレイ）3 と、周辺回路部とを有して構成される。画素 2 は、光電変換部となる例えばフォトダイオードと、複数の画素トランジスタ（いわゆる MOS トランジスタ）を有して成る。複数の画素トランジスタは、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの 3 つのトランジスタで構成することができる。その他、選択トランジスタ追加して 4 つのトランジスタで構成することもできる。単位画素の等価回路は通常と同様であるので、詳細説明は省略する。画素 2 は、1 つの単位画素として構成することができる。また、画素 2 は、共有画素構造とすることもできる。この画素共有構造は、複数のフォトダイオードと、複数の転送トランジスタと、共有する 1 つのフローティングディフュージョンと、共有する 1 つずつの他の画素トランジスタとから構成される。すなわち、共有画素では、複数の単位画素を構成するフォトダイオード及び転送トランジスタが、他の 1 つずつの画素トランジスタを共有して構成される。

【0024】

周辺回路部は、垂直駆動回路 4 と、カラム信号処理回路 5 と、水平駆動回路 6 と、出力回路 7 と、制御回路 8 などとを有して構成される。

【0025】

制御回路 8 は、入力クロックと、動作モードなどを指令するデータを受け取り、また固体撮像装置の内部情報などのデータを出力する。すなわち、制御回路 8 では、垂直同期信号、水平同期信号及びマスタクロックに基づいて、垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 等に入力する。

【0026】

垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給し、行単位で画素を駆動する。すなわち、垂直駆動回路 4 は、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査し、垂直信号線 9 を通して各画素 2 の光電変換部となる例えばフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路 5 に供給する。

10

20

30

40

50

【 0 0 2 7 】

カラム信号処理回路 5 は、画素 2 の例えば列ごとに配置されており、1 行分の画素 2 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路 5 は、画素 2 固有の固定パターンノイズを除去するための C D S や、信号増幅、A D 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には水平選択スイッチ（図示せず）が水平信号線 1 0 との間に接続されて設けられる。

【 0 0 2 8 】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 1 0 に出力させる。

10

【 0 0 2 9 】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 1 0 を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 1 2 は、外部と信号のやりとりをする。

【 0 0 3 0 】

図 2 に、本発明に係る M O S 固体撮像装置の基本的な概略構成を示す。従来の M O S 固体撮像装置 1 5 1 は、図 2 A に示すように、1 つの半導体チップ 1 5 2 内に、画素領域 1 5 3 と、制御回路 1 5 4 と、信号処理するためのロジック回路 1 5 5 とを搭載して構成される。通常、画素領域 1 5 3 と制御回路 1 5 4 でイメージセンサ 1 5 6 が構成される。これ
20
に対して、本発明の一実施の形態における M O S 固体撮像装置 2 1 は、図 2 B に示すように、第 1 の半導体チップ部 2 2 に画素領域 2 3 と制御回路 2 4 を搭載し、第 2 の半導体チップ部 2 6 に信号処理するための信号処理回路を含むロジック回路 2 5 を搭載する。この第 1 及び第 2 の半導体チップ 2 2 及び 2 6 を相互に電氣的に接続して 1 つの半導体チップとして M O S 固体撮像装置 2 1 が構成される。本発明の他の実施の形態における M O S 固体撮像装置 2 7 は、図 2 C に示すように、第 1 の半導体チップ部 2 2 に画素領域 2 3 を搭載し、第 2 の半導体チップ部 2 6 にと制御回路 2 4、信号処理回路を含むロジック回路 2 5 を搭載する。この第 1 及び第 2 の半導体チップ 2 2 及び 2 6 を相互に電氣的に接続して 1 つの半導体チップとして M O S 固体撮像装置 2 7 が構成される。

20

【 0 0 3 1 】

上述の実施の形態に係る M O S 固体撮像装置は、後述するように、その製造方法と、この製造方法に基いて得られた構成に特徴を有している。

30

【 0 0 3 2 】

< 2 . 第 1 実施の形態 >

[固体撮像装置の構成例とその製造方法例]

図 3、図 4 ~ 図 1 3 を用いて、本発明の第 1 実施の形態に係る半導体装置、すなわち M O S 固体撮像装置をその製造方法と共に説明する。

【 0 0 3 3 】

第 1 実施の形態においては、先ず、図 4 に示すように、第 1 の半導体ウェハ（以下、半導体基板という）3 1 の各チップ部となる領域に、半製品状態のイメージセンサ、すなわち画素アレイ（以下、画素領域という）2 3 と制御回路 2 4 を形成する。すなわち、半導体基板（例えばシリコン基板）3 1 の各チップ部となる領域に、各画素の光電変換部となるフォトダイオード（P D）を形成し、その半導体ウェル領域 3 2 に各画素トランジスタのソース/ドレイン領域 3 3 を形成する。半導体ウェル領域 3 2 は、第 1 導電型、例えば p 型の不純物を導入して形成し、ソース/ドレイン領域 3 3 は、第 2 導電型、例えば n 型の不純物を導入して形成する。フォトダイオード（P D）及び各画素トランジスタのソース/ドレイン領域 3 3 は、基板表面からのイオン注入で形成する。

40

【 0 0 3 4 】

フォトダイオード（P D）は、n 型半導体領域 3 4 と基板表面側の p 型半導体領域 3 5 を有して形成される。画素を構成する基板表面上にはゲート絶縁膜を介してゲート電極 3

50

6を形成し、ゲート電極36と対のソース/ドレイン領域33により画素トランジスタTr1、Tr2を形成する。図4では、複数の画素トランジスタを、2つの画素トランジスタTr1、Tr2で代表して示す。フォトダイオード(PD)に隣接する画素トランジスタTr1が転送トランジスタに相当し、そのソース/ドレイン領域がフローティングディフュージョン(FD)に相当する。各单位画素30が素子分離領域38で分離される。素子分離領域38は、半導体基板31を酸化処理してシリコン酸化膜を形成するいわゆるLOCOSや、半導体基板31内に溝を開口し、その溝にシリコン酸化膜を埋めるSTI(Shallow Trench Isolation)や、ノードとなる拡散層とは異なる導電型の不純物拡散層で形成される。

【0035】

一方、制御回路24側では、半導体基板31に制御回路を構成するMOSトランジスタを形成する。図3では、MOSトランジスタTr3、Tr4で代表して、制御回路23を構成するMOSトランジスタを示す。各MOSトランジスタTr3、Tr4は、n型のソース/ドレイン領域33と、ゲート絶縁膜を介して形成したゲート電極36とのより形成される。

【0036】

次いで、半導体基板31の表面上に、1層目の層間絶縁膜39を形成し、その後、層間絶縁膜39に接続孔を形成し、所要のトランジスタに接続する接続導体44を形成する。高さの異なる接続導体44の形成に際しては、トランジスタ上面を含む全面に第1絶縁薄膜43a、例えばシリコン酸化膜と、ゲート電極36やソース/ドレイン領域33に接続するコンタクト開口(後に接続導体44で埋める)をするためのエッチングにおけるエッチングストップとなる第2絶縁薄膜43b、例えばシリコン窒化膜を積層する。この第2絶縁薄膜43b上に1層目の層間絶縁膜39を形成する。そして、1層目の層間絶縁膜39に深さの異なる接続孔をエッチングストップとなる第2絶縁薄膜43bまで選択的に形成する。次いで、各接続孔に連続するように、各部で同じ膜厚の第1絶縁薄膜43a及び第2絶縁薄膜43bを選択エッチングして接続孔を形成する。そして、各接続孔に接続導体44を埋め込む。前記のコンタクト開口におけるエッチングストップが不要な場合には、第2絶縁薄膜43bを形成しないことも可能である。

【0037】

次いで、各接続導体44に接続するように、層間絶縁膜39を介して複数層、本例では3層のメタル配線40を形成して多層配線層41を形成する。メタル配線40は、銅(Cu)配線で形成する。通常、各銅配線は、Cu拡散を防止するバリアメタル膜で覆われる。このため、多層配線層41上に銅配線40のキャップ膜、いわゆる保護膜42を形成する。これまでの工程で、半製品状態の画素領域23及び制御回路24を有する第1の半導体基板31を形成する。

【0038】

一方、図5に示すように、第2の半導体基板(半導体ウェハ)45の各チップ部となる領域に、半製品状態の信号処理するための信号処理回路を含むロジック回路25を形成する。すなわち、半導体基板(例えばシリコン基板)45の表面側のp型の半導体ウェル領域46に、素子分離領域50で分離されるようにロジック回路を構成する複数のMOSトランジスタを形成する。ここでは、複数のMOSトランジスタを、MOSトランジスタTr6、Tr7、Tr8で代表する。各MOSトランジスタTr6、Tr7、Tr8は、それぞれ1対のn型のソース/ドレイン領域47と、ゲート絶縁膜を介して形成したゲート電極48を有して形成される。ロジック回路25では、CMOSトランジスタで構成することができる。

【0039】

次いで、半導体基板45の表面上に、1層目の層間絶縁膜49を形成し、その後、層間絶縁膜49に接続孔を形成し、所要のトランジスタに接続する接続導体54を形成する。高さの異なる接続導体54の形成に際しては、前述と同様に、トランジスタ上面を含む全面に第1絶縁薄膜43a、例えばシリコン酸化膜と、エッチングストップとなる第2絶

10

20

30

40

50

縁薄膜膜 4 3 b、例えばシリコン窒化膜を積層する。この第 2 絶縁薄膜 4 3 b 上に 1 層目の層間絶縁膜 4 9 を形成する。そして、1 層目の層間絶縁膜 3 9 に深さの異なる接続孔をエッチングストッパとなる第 2 絶縁薄膜 4 3 b まで選択的に形成する。次いで、各接続孔に連続するように、各部で同じ膜厚の第 1 絶縁薄膜 4 3 a 及び第 2 絶縁薄膜 4 3 b を選択エッチングして接続孔を形成する。そして、各接続孔に接続導体 4 4 を埋め込む。

一方、各チップ部となる領域の所要の位置において、第 1 層の層間絶縁膜 4 9 の表面から半導体基板 4 5 内の所望の深さ位置にわたって接続孔を形成し、この接続孔内に取り出し電極用の接続導体 5 1 を埋め込む。この接続導体 5 1 としては、例えば銅 (Cu)、タングステン (W)、ポリシリコンなどで形成することができる。接続導体 5 1 を埋め込む前に、接続孔の内壁面に接続導体 5 1 と半導体基板 4 5 とを絶縁するための絶縁膜 5 2 を形成して置く。

10

【 0 0 4 0 】

次いで、各接続導体 5 4 及び電極取り出し用の接続導体 5 1 に接続するように、層間絶縁膜 4 9 を介して複数層、本例では 3 層のメタル配線 5 3 を形成して多層配線層 5 5 を形成する。メタル配線 5 3 は、銅 (Cu) 配線で形成する。上述と同様に、多層配線層 4 9 上に銅配線 5 3 のキャップ膜、いわゆる保護膜 5 6 を形成する。これまでの工程で、半製品状態のロジック回路 2 5 を有する第 2 の半導体基板 4 5 を形成する。

【 0 0 4 1 】

次に、図 6 に示すように、第 1 の半導体基板 3 1 と第 2 の半導体基板 4 5 とを、互いの多層配線層 4 1 及び 5 5 が向き合うように、貼り合わせる。貼り合わせは、例えばプラズマ接合と、接着剤による接合がある。プラズマ接合の場合は、図 7 に示すように、第 1 の半導体ウェハ 3 1 と第 2 の半導体ウェハ 4 5 の接合面に、それぞれプラズマ TEOS 膜、プラズマ SiN 膜、SiON 膜 (ブロック膜)、あるいは SiC 膜などの膜 5 7 を形成する。この膜 5 7 が形成された接合面をプラズマ処理して重ね合わせ、その後アニール処理して両者を接合する。貼り合わせ処理は、配線などに影響を与えない 400 以下の低温プロセスで行うことが好ましい。接着剤接合の場合は、図 8 に示すように、第 1 及び第 2 の半導体ウェハ 3 1 及び 4 5 の接合面の一方に接着剤層 5 8 を形成し、この接着剤層 5 8 を介して重ね合わせて両者を接合する。本例では、プラズマ接合で貼り合わせる。

20

【 0 0 4 2 】

次に、図 9 に示すように、第 1 の半導体基板 3 1 の裏面 3 1 b 側から研削、研磨して第 1 の半導体基板 3 1 を薄膜化する。この薄膜化は、フォトダイオード (PD) が臨むように行われる。薄膜化したのち、フォトダイオード (PD) の裏面に暗電流抑制のための p 型半導体層を形成する。半導体基板 3 1 の厚さは例えば 600 μm 程度あるが、例えば 1 μm ~ 10 μm 、好ましくは 1 μm ~ 5 μm 程度となるように、薄膜化する。従来、このような薄膜化は、別途用意した支持基板を貼り合わせて行われていた。しかし、本実施の形態では、ロジック回路 2 5 が形成された第 2 の半導体基板 4 5 を支持基板に兼用して第 1 の半導体基板 3 1 の薄膜化が行われる。薄膜化の後、基板裏面上に例えばシリコン酸化膜などによる層間絶縁膜 5 9 を形成する。この第 1 の半導体基板 3 1 の裏面 3 1 b が裏面照射型の固体撮像装置として構成されたときの、光入射面となる。

30

【 0 0 4 3 】

次に、図 10 に示すように、薄膜化した第 1 の半導体基板 3 1 に対し、各チップ部となる領域の所要の位置に、裏面 3 1 b 側から第 1 の半導体基板 3 1 を貫通して第 2 の半導体基板 4 5 の最上層の配線 5 3 に達する貫通接続孔 6 1 を形成する。同時に、第 1 の半導体基板 3 1 に、この貫通接続孔 6 1 に近接して裏面 3 1 b 側から第 1 の半導体基板 3 1 側の 1 層目の配線 4 0 に達する接続孔 6 2 を形成する。貫通接続孔 6 1 や接続孔 6 2 のコンタクト径は 1 ~ 5 μm のサイズで形成できる。貫通接続孔 6 1 及び接続孔 6 2 は、第 1 の半導体基板 3 1 を薄膜化した後に形成するので、アスペクト比が小さくなり、微細孔として形成することができる。貫通接続孔 6 1 や接続孔 6 2 コンタクト深さは、例えば 5 μm ~ 15 μm 程度の深さとすることができる。次いで、貫通接続孔 6 1 及び接続孔 6 2 の内壁面に、半導体基板 3 1 と電氣的に絶縁するための絶縁膜 6 3 を形成する。

40

50

【0044】

この時点では未だ画素アレイの製造プロセスとしてオンチップカラーフィルタ、オンチップマイクロレンズの加工工程を経ておらず、未完成である。それと共に、接続孔61、62は、従来のウェハプロセスの延長で加工、形成することが可能である。一方、ロジック回路においても、回路技術として最適な最上層の配線53までの工程であって未完成である。このことは製造コストの抑制を可能にする。

【0045】

次に、図11に示すように、貫通接続孔61及び接続孔62内に貫通接続導体64及び接続導体65を埋め込む。これら貫通接続導体64及び接続導体65は、例えば銅(Cu)、タングステン(W)等の金属を用いることができる。その後、第1の半導体基板31の裏面全面に絶縁保護膜66を形成する。絶縁保護膜66としては、例えばSiCN膜、プラズマ・シリコン窒化膜、SiC膜などを用いることができる。

【0046】

次に、図12に示すように、遮光すべき領域上に遮光膜67を形成する。図では模式的に制御回路24上に形成しているが、その他画素トランジスタ上にも形成する。遮光膜67としては、例えばタングステンなどの金属膜を用いることができる。この遮光膜67を接地電位とされた半導体ウェル領域32に電氣的に接続させ、遮光膜67が電氣的にフローティング状態になるのを避けることができる。また、半導体ウェル領域32に電氣的に接続された遮光膜67に接地電位を与えることにより、半導体ウェル領域32が電氣的にフローティング状態になるのを避けることができる。この遮光膜67を被覆するように、全面にパシベーション膜68を形成する。パシベーション膜68としては、例えばプラズマ・シリコン窒化膜、CVD-SiV膜などを用いる。次いで、パシベーション膜68及び絶縁保護膜66の貫通接続導体64及び接続導体65に対応する部分に接続孔69を形成した後、バリアメタル膜71を介してアルミニウム膜による接続用配線72を形成する。バリアメタル膜71は、例えばTi(下)/TiN(上)の積層膜で形成される。接続用配線72は、接続孔71を通じて貫通接続導体64と接続導体65に接続される。この接続用配線72は、画素領域23及び制御回路24と、ロジック回路25との接続に用いられると共に、上面からの取り出し電極、いわゆる電極パッドの役割を担う。以後、接続用配線72を電極パッドという。

【0047】

従って、第1の半導体基板31に形成された画素領域23及び制御回路24からなるイメージセンサと、第2の半導体基板45に形成されたロジック回路25とは、接続導体65、電極パッド72、貫通接続導体64を通じて電氣的に接続される。その後、平坦化膜73を形成する。

【0048】

次に、図13に示すように、平坦化膜73上に各画素に対応して例えば赤(R)、緑(G)、青(B)のオンチップカラーフィルタ74を形成し、その上にオンチップマイクロレンズ75を形成する。各オンチップカラーフィルタ74及びオンチップマイクロレンズ75は、画素アレイの各单位画素に対応して形成される。なお、図12では、本実施の形態の理解を容易にするために、オンチップカラーフィルタ74及びオンチップマイクロレンズ75を除く基板断面構造を拡大して示している。このため、単位画素のピッチ寸法に対してオンチップカラーフィルタ74及びオンチップマイクロレンズ75のピッチ寸法を縮小して表示している。

【0049】

次いで、図13では図示していないが、レンズ材料膜75a及び平坦化膜73を選択的にエッチング除去して、電極パッド72を露出させる。一方、第2の半導体基板45側では、表面を研削、研磨して取り出し電極となる接続導体51の面を露出させる。第2の半導体基板45の接続導体51が露出面にパシベーション膜76を形成した後、接続導体51に対応する開口77を形成し、開口77を通じて接続導体51に電氣的に接続した球状をなす電極バンプ78を形成する(図3参照)。第1の半導体基板31においては、画素

領域 2 3、制御回路 2 4 が完成品状態となる。第 2 の半導体基板 4 5 においては、ロジック回路 2 5 が完成品状態になる。

【 0 0 5 0 】

次いで、各チップに分割して、図 3 に示す目的の裏面照射型の固体撮像装置 7 9 を得る。

【 0 0 5 1 】

第 1 実施の形態の固体撮像装置 7 9 では、電極パッド 7 2 を用いるときは、電極パッド 7 2 に対してワイヤボンディングにて外部配線と接続することができ、電極バンプ 7 8 を用いるときは、フェースダウンボンディングにて外部配線と接続することができる。ユーザの希望により、電極パッド 7 2、電極バンプ 7 8 を選択することができる。

10

【 0 0 5 2 】

第 1 実施の形態において、半導体ウェハでの固体撮像装置に対する検査は、電極パッド 7 2 を用いて行われる。また、検査は、ウェハ状態での検査と、チップに切断して最終モジュール状態での検査の 2 回である。

【 0 0 5 3 】

第 1 実施の形態に係る固体撮像装置 7 9 及びその製造方法によれば、第 1 の半導体基板 3 1 からのチップ部に画素領域 2 3 及び制御回路 2 4 を形成し、第 2 の半導体基板 4 5 からのチップ部に信号処理するロジック回路 2 5 を形成している。このように画素アレイの機能とロジック機能を異なるチップ部に形成した構成であるので、画素アレイ、ロジック回路のそれぞれに最適なプロセス形成技術を用いることができる。従って、画素アレイ、ロジック回路それぞれの性能を十分に発揮させることができ、高性能の固体撮像装置を提供することができる。

20

【 0 0 5 4 】

図 2 C の構成を採用すれば、半導体チップ部 2 2 側には光を受ける画素領域 2 3 を形成するだけで良く、その制御回路 2 4 及びロジック回路 2 5 は分離して半導体チップ部 2 6 に形成することができる。これによって、それぞれの機能チップに最適なプロセス技術を独立して選択できると共に、製品モジュールの面積も削減することができる。

【 0 0 5 5 】

従来のウェハプロセス技術で画素アレイとロジック回路との混載を可能にするので、製造も容易である。

30

【 0 0 5 6 】

画素領域 2 3 及び制御回路 2 4 を有する第 1 の半導体基板 3 1 と、ロジック回路 2 5 を有する第 2 の半導体基板 4 5 を共に半製品状態で貼り合わせ、第 1 の半導体基板 3 1 を薄膜化している。つまり、第 2 の半導体基板 4 5 を、第 1 の半導体基板 3 1 の薄膜化の際の支持基板として用いている。これによって、部材の節約、製造工程の節減を図ることができる。さらに、薄膜化に貫通接続孔の形成を行うので、孔のアスペクト比が小さくなり、高精度の接続孔の形成が可能になる。また、貫通接続導体 6 1、接続導体 6 2 は、低アスペクト比の貫通接続孔及び接続孔に埋め込むので、被覆性の良いタングステン (W) などの金属材料は勿論のこと、被覆性の悪い例えば銅 (C u) などの金属材料を用いることができる。つまり、接続導体材料の制約を受けることがない。これにより、画素領域及び制御回路と、ロジック回路の電氣的接続を高精度で行うことができる。従って、量産性を図り、製造コストを抑え、且つ高性能の固体撮像装置を製造することができる。

40

【 0 0 5 7 】

< 3 . 第 2 実施の形態 >

[固体撮像装置の構成例]

図 1 4 に、本発明の第 2 実施の形態に係る半導体装置、すなわち M O S 固体撮像装置の第 2 実施の形態を示す。第 2 実施の形態に係る固体撮像装置 8 1 は、第 1 実施の形態における第 2 の半導体基板 4 5 側の接続導体 5 1、絶縁膜 5 2 及び電極バンプ 7 8 を省略し、第 1 の半導体基板 3 1 側の電極パッド 7 2 のみを形成して構成される。第 2 の半導体基板 4 5 の裏面にはパシベーション膜 7 6 が形成される。その他の構成は第 1 実施の形態で説

50

明したと同様であるので、図3と対応する部分には同一符号を付して重複説明を省略する。また、固体撮像装置81の製造は、接続導体51を形成するための接続孔、接続導体51、絶縁膜52及び電極パンプ78を形成しない工程を除き、図4～図13で示す第1実施の形態の製造方法を適用できる。

【0058】

第2実施の形態に係る固体撮像装置81によれば、電極パンプ78を除き、第1実施の形態と同様に構成されるので、第1実施の形態で説明したと同様の効果を奏する。第2実施の形態では、予めロジックの回路側に接続孔、絶縁膜62及び接続導体61を形成しない事によって、コストを下げる事が期待できる。

【0059】

< 4 . 第3実施の形態 >

[固体撮像装置の構成例]

図15に、本発明の第3実施の形態に係る半導体装置、すなわち、MOS固体撮像装置の第3実施の形態を示す。第3実施の形態に係る固体撮像装置83は、第1の半導体基板31に形成する1つの貫通接続導体84によって、第1の半導体基板31側の画素領域23及び制御回路24と、第2の半導体基板45側のロジック回路25とを電気的に接続して構成される。

【0060】

即ち、第1の半導体基板の裏面31b側から第1の半導体基板31を貫通して第2の半導体基板45の最上層の配線53に達し、且つ一部第1の半導体基板31の最上層の配線40に達する貫通接続孔85を形成する。貫通接続孔85の内壁面に絶縁膜63を形成した後、貫通接続孔85内に、画素領域23及び制御回路24側の配線40と、ロジック回路25側の配線53を接続する貫通絶縁膜族導体84を埋め込む。前述の第1実施の形態では、接続導体65が1層目の配線40が接続端となってこの配線40と接続される。しかし、第2実施の形態では、貫通接続導体84が最上層の配線40と接続されるので、この接続される最上層の配線40が接続端となるように各層の配線40が相互に接続される。

【0061】

本実施の形態では、1つの貫通接続導体84で画素領域23及び制御回路24と、ロジック回路25とを接続するので、第1実施の形態で示す最上層の接続配線となる電極パッド72を形成する必要がなく、電極パッド72は省略される。

【0062】

その他の構成は第1実施の形態で説明したと同様であるので、図3と対応する部分には同一符号を付して重複説明を省略する。また、固体撮像装置83の製造は、接続導体65、電極パッド72の形成工程、レンズ材料膜75a及び平坦化膜73の選択エッチング工程を除き、図4～図13で示す第1実施の形態の製造方法を適用できる。

【0063】

第3実施の形態では、固体撮像装置に対する検査は、接続導体51からの電極パンプを用いて行われる。

【0064】

第3実施の形態に係る固体撮像装置83によれば、1つの貫通接続導体84で画素領域23及び制御回路24と、ロジック回路25との電気的な接続がなされ、且つ電極パッド72が省略されるので、第1実施の形態に比べて構成が簡素化される。また、製造工数も削減される。従って、より製造コストの削減することができる。その他、第1実施の形態で説明したと同様の効果を奏する。

【0065】

< 5 . 第4実施の形態 >

[固体撮像装置の構成例とその製造方法例]

図16、図17～図21を用いて、本発明の第4実施の形態に係る半導体装置、すなわちMOS固体撮像装置をその製造方法と共に説明する。

【 0 0 6 6 】

第 4 実施の形態においては、先ず、図 1 7 に示すように、第 1 の半導体基板 3 1 の各チップ部となる領域に、半製品状態のイメージセンサ、すなわち画素領域 2 3 と制御回路 2 4 を形成する。この形成工程は、前述の第 1 実施の形態における図 4 と同様であるので、図 4 と対応する部分に同一符号を付して重複説明を省略する。但し、本実施の形態では、第 1 の半導体基板 3 1 上に多層配線層 4 1 を形成するが、最上層の配線 4 0 を形成した時点で終了する。すなわち、最上層の配線 4 0 が露出した状態とし、その上には図 4 で示す保護膜 4 2 を形成しない。

【 0 0 6 7 】

一方、図 1 8 に示すように、第 2 の半導体基板 4 5 の各チップ部となる領域に、半製品状態の信号処理するためのロジック回路 2 5 を形成する。この形成工程は、前述の第 1 実施の形態における図 5 と同様であるので、図 5 と対応する部分に同一符号を付して重複説明を省略する。但し、本実施の形態では、第 2 の半導体基板 4 5 上に多層配線層 5 5 を形成するが、最上層の配線 5 3 を形成した時点で終了する。すなわち、最上層の配線 5 3 が露出した状態とし、その上には図 4 で示す保護膜 5 6 を形成しない。

10

【 0 0 6 8 】

次に、図 1 9 に示すように、第 1 の半導体基板 3 1 と第 2 の半導体基板 4 5 とを、互いの多層配線層 4 1 及び 5 5 が向き合うように、互いの配線 4 0 及び 5 3 同士、互いの層間絶縁膜 3 9 及び 4 9 同士が接合するように貼り合わせる。この貼り合わせ工程では、配線 4 0、5 3 を銅 (C u) 配線とし、層間絶縁膜 3 9、4 9 をシリコン酸化膜とする。そして、互いの C u 配線 4 0 及び 5 3 が直接接触するように、両半導体基板 3 1 及び 4 5 を重ね合わせ、所要の加重をかけながら加熱し、両 C u 配線 4 0 及び 5 3 を直接接合する。同時に層間絶縁膜 3 9 及び 4 9 同士も接合される。このときの加熱温度は C u 配線が損なわれない温度、例えば 3 0 0 程度とする。

20

【 0 0 6 9 】

次に、図 2 0 に示すように、第 1 の半導体基板 3 1 の裏面 3 1 b 側から研削、研磨して第 1 の半導体基板 3 1 を薄膜化する。この薄膜化は、フォトダイオード (P D) が臨むように行われる。薄膜化後、基板裏面上に例えばシリコン酸化膜などによる層間絶縁膜 5 9 を形成する。次いで、薄膜化した第 1 の半導体基板 3 1 に対して、各チップ部となる領域の所要の位置に、裏面 3 1 b 側から 1 層目の配線 4 0 に達する接続孔 8 8 を形成し、接続孔 8 8 の内壁面に絶縁膜 6 3 を形成する。その後、接続孔 6 2、第 2 の半導体基板 4 5 側の最上層の配線 5 3 に達する貫通接続孔 6 1 を形成する。そして、接続孔 6 2 内及び貫通接続孔 6 1 内に接続導体 6 5 及び貫通接続導体 6 4 を埋め込む。その後、第 1 の半導体基板 3 1 の裏面 3 1 b 側の表面全面に絶縁保護膜 6 6 を形成する。この図 2 0 の工程は、前述の図 9 ~ 図 1 1 の工程で説明したと同様であり、図 9 ~ 図 1 1 と対応する部分には同一符号を付して重複説明を省略する。

30

【 0 0 7 0 】

次に、図 2 1 に示すように、第 1 の半導体基板 3 1 側では、接続導体 6 2 及び貫通接続導体 6 1 に接続する電極パッド 7 2、遮光膜 6 7 を形成し、さらに、平坦化膜 7 3、オンチップカラーフィルタ 7 4 及びオンチップマイクロレンズ 7 4 を形成する。一方、第 2 の半導体基板側では、基板裏面を研削、研磨して接続導体 5 1 を露出させ、パシベーション膜 7 6 を形成した後、接続導体 5 1 に電極バンプ 7 8 を形成する (図 1 6 参照)。図 2 1 の工程は、前述の図 1 3 の工程で説明したと同様であり、図 1 3 と対応する部分には同一符号を付して重複説明を省略する。

40

【 0 0 7 1 】

次いで、各チップに分割して、図 1 6 に示す目的の裏面照射型の固体撮像装置 9 1 を得る。なお、本実施の形態では、図 2 B の構成としたが、図 2 C の構成とすることもできる。

【 0 0 7 2 】

第 4 実施の形態に係る固体撮像装置 9 1 及びその製造方法によれば、第 1 及び第 2 の半

50

導体基板 3 1 及び 4 5 の貼合わせ工程で、同時に配線 4 0 及び 5 3 が直接接合され、画素領域 2 3 及び制御回路 2 4 と、ロジック回路 2 5 との電気的な接続が完了する。これにより、更に製造工程数の削減が図られ、製造コストの更なる削減が可能に成る。その他、第 1 実施の形態で説明したと同様の効果を奏する。

【 0 0 7 3 】

< 6 . 第 5 実施の形態 >

[半導体装置の構成例とその製造方法例]

図 2 2、図 2 3 ~ 図 2 8 を用いて、本発明の第 5 実施の形態に係る半導体装置をその製造方法と共に説明する。本実施の形態の半導体装置は、第 1 の半導体集積回路と第 2 の半導体集積回路を混載した半導体装置である。

10

【 0 0 7 4 】

第 5 実施の形態においては、先ず、図 2 3 に示すように、第 1 の半導体基板（半導体ウェハ）1 0 1 の各チップ部となる領域に、半製品状態の第 1 の半導体集積回路、本例ではロジック回路 1 0 2 を形成する。すなわち、半導体基板（例えばシリコン基板）1 0 3 に形成した半導体ウェル領域 1 0 4 の各チップ部となる領域に、複数の MOS トランジスタ $T r 1 1$ 、 $T r 1 2$ 、 $T r 1 3$ を形成する。各 MOS トランジスタ $T r 1 1 \sim T r 1 3$ は、それぞれ 1 対のソース/ドレイン領域 1 0 5 と、ゲート絶縁膜を介して形成されたゲート電極 1 0 6 とを有して構成される。各 MOS トランジスタ $T r 1 1 \sim T r 1 3$ は、素子分離領域 1 0 7 により分離される。

MOS トランジスタ $T r 1 1 \sim T r 1 3$ は代表として示した。ロジック回路 1 0 2 は、CMOS トランジスタで構成することができる。このため、これら複数の MOS トランジスタとしては、n チャンネル MOS トランジスタ、あるいは p チャンネル MOS トランジスタとして構成することができる。従って、n チャンネル MOS トランジスタを形成するときは、p 型半導体ウェル領域に n 型ソース/ドレイン領域が形成される。p チャンネル MOS トランジスタを形成するときは、n 型半導体ウェル領域に p 型ソース/ドレイン領域が形成される。

20

【 0 0 7 5 】

なお、第 1 の半導体集積回路としては、ロジック回路 1 0 2 に代えて、例えば半導体メモリ回路とすることもできる。この場合、後述する第 2 の半導体集積回路となるロジック回路は半導体メモリ回路の信号処理に供される。

30

【 0 0 7 6 】

次いで、導体基板 1 0 3 上に層間絶縁膜 1 0 8 を介して複数層、本例では 3 層のメタル配線 1 0 9 を積層した多層配線層 1 1 1 を形成する。メタル配線 1 0 9 は、例えば銅（Cu）配線とすることができる。なお、各 MOS トランジスタ $T r 1 1 \sim T r 1 3$ は所要の 1 層目の配線 1 0 9 と続導体 1 1 2 を介して接続する。また、3 層の配線 1 0 9 は接続導体を介して相互に接続する。多層配線層 1 1 3 上に銅配線 1 0 9 の拡散を抑制するためのキャップ膜、いわゆる保護膜 1 1 4 を形成する。

【 0 0 7 7 】

一方、図 2 4 に示すように、第 2 の半導体基板（半導体ウェハ）1 1 6 の各チップ部となる領域に、半製品状態の第 2 の半導体集積回路、本例ではロジック回路 1 1 7 を形成する。すなわち、図 2 0 と同様に、半導体基板（例えばシリコン基板）1 1 8 に形成した半導体ウェル領域 1 1 9 の各チップ部となる領域に、複数の n チャンネル MOS トランジスタ $T r 2 1$ 、 $T r 2 2$ 、 $T r 2 3$ を形成する。各 MOS トランジスタ $T r 2 1 \sim T r 2 3$ は、それぞれ 1 対のソース/ドレイン領域 1 2 1 と、ゲート絶縁膜を介して形成されたゲート電極 1 2 2 とを有して構成される。各 MOS トランジスタ $T r 2 1 \sim T r 2 3$ は、素子分離領域 1 2 3 により分離される。

40

MOS トランジスタ $T r 2 1 \sim T r 2 3$ は代表として示した。ロジック回路 1 1 7 は、CMOS トランジスタで構成することができる。このため、これら複数の MOS トランジスタとしては、n チャンネル MOS トランジスタ、あるいは p チャンネル MOS トランジスタとして構成することができる。従って、n チャンネル MOS トランジスタを形成するときは

50

、p型半導体ウェル領域にn型ソース/ドレイン領域が形成される。pチャネルMOSトランジスタを形成するときは、n型半導体ウェル領域にp型ソース/ドレイン領域が形成される。

【0078】

次いで、半導体基板118上に層間絶縁膜124を介して複数層、本例では3層のメタル配線125を積層した多層配線層126を形成する。メタル配線125は、例えば銅(Cu)配線とすることができる。なお、各MOSトランジスタTr21~Tr23は所要の1層目の配線125と接続導体112を介して接続する。また、3層の配線125は接続導体を介して相互に接続する。

【0079】

また、半導体基板118には、各チップ部となる領域の所要の位置において、第1層の層間絶縁膜124の表面から半導体基板118内の所望の深さ位置にわたって接続孔を形成し、この接続孔内に取り出し電極用の接続導体128を埋め込む。この接続導体128としては、例えば銅(Cu)、タングステン(W)、ポリシリコンなどで形成することができる。接続導体128を埋め込む前に、接続孔の内壁面に接続導体128と半導体基板118とを絶縁するための絶縁膜129を形成して置く。そして、多層配線層126上に銅配線125の拡散を抑制するためのキャップ膜、いわゆる保護膜127を形成する。

【0080】

次に、図25に示すように、第1の半導体基板101と第2の半導体基板116とを、互いの多層配線層111及び126が向かい合うように、貼り合わせする。貼り合わせは、前述と同様にプラズマ接合、あるいは接着剤接合で貼り合わせることができる。本例では、第1及び第2の半導体基板101及び116の貼合わせ面に、それぞれプラズマTEOS膜、プラズマSiN膜、SiON膜(ブロック膜)、あるいはSiC膜などの膜129を形成し、プラズマ接合で貼り合わせる。

【0081】

次に、図26に示すように、一方の第1の半導体基板101を、裏面側から研削、研磨して薄膜化する。半導体基板101の厚さは例えば600μm程度としたとき、膜厚が例えば5~10μm程度となるように、薄膜化する。

【0082】

次に、図27に示すように、薄膜化した第1の半導体基板101に対し、各チップ部となる領域の所要の位置に、裏面101b側から第1の半導体基板101を貫通して第2の半導体基板116の最上層の配線125に達する貫通接続孔131を形成する。同時に、第1の半導体基板101に、この貫通接続孔131に近接して裏面101b側から第1の半導体基板101側の1層目の配線109に達する接続孔132を形成する。貫通接続孔131及び接続孔132は、第1の半導体基板101を薄膜化した後に形成するので、アスペクト比が小さくなり、微細孔として形成することができる。次いで、貫通接続孔131及び接続孔132の内壁面に、半導体基板101と電氣的に絶縁するための絶縁膜133を形成する。

【0083】

そして、貫通接続孔131及び接続孔132内に貫通接続導体134及び接続導体135を埋め込む。これら貫通接続導体134及び接続導体135は、例えば銅(Cu)、タングステン(W)等の金属を用いることができる。

【0084】

次に、図28に示すように、第1の半導体基板101の裏面に、貫通接続導体134及び接続導体135を接続する接続配線136を形成する。接続導体135、貫通接続導体134、接続配線136を通じて、第1の半導体集積回路102と第2の半導体集積回路117が電氣的に接続される。接続配線136は、取り出し電極となる電極パッドとなる。接続配線136を除く表面に絶縁膜によるオーバーコート膜139を形成する。このオーバーコート膜139としては、例えばプラズマ・シリコン窒化膜を用いることができる。一方、第2の半導体基板116側では表面を研削、研磨して取り出し電極となる接続導

10

20

30

40

50

体 1 2 8 の面を露出させる。第 2 の半導体基板 1 1 6 の接続導体 1 2 8 が露出面にパシベーション膜 1 3 7 を形成した後、接続導体 1 2 8 に接続する球状をなす電極パンプ 1 3 8 を形成する(図 2 2 参照)。

【 0 0 8 5 】

次いで、各チップに分割して、図 2 2 に示す目的の半導体装置 1 4 0 を得る。

【 0 0 8 6 】

第 5 実施の形態に係る半導体装置 1 4 0 及びその製造方法によれば、前述と同様に、異なるチップ部にそれぞれ第 1 の半導体集積回路、第 2 の半導体集積回路を最適なプロセス技術で形成することができ、高性能の半導体集積回路を提供することができる。また、半製品状態で第 1 及び第 2 の半導体ウェハを貼り合わせ、薄膜化し、また第 1 及び第 2 の半導体集積回路の電気接続の後、完成品状態としてチップ化することにより、製造コストの低減を図ることができる。

【 0 0 8 7 】

なお、第 5 実施の形態においても、前述の第 4 実施の形態と同様に、多層配線層の配線同士を直接接合するように、第 1 及び第 2 の半導体基板を貼り合わせることも可能である。この構成とするときは、さらに製造工程数の削減が可能となり、更なる製造コストの削減ができる。

【 0 0 8 8 】

上述の第 1 実施の形態～第 4 実施の形態に係る固体撮像装置において、光入射される上側の半導体ウェル領域 3 2 のみの半導体基板の厚さは、下側の半導体ウェル領域 4 6 を含む半導体基板の厚さより薄い。上側の上記半導体基板と多層配線層 4 1 を含めた第 1 の半導体基板 3 1 の厚さも、下側の上記半導体基板と多層配線層 5 5 を含めた第 2 の半導体基板 4 5 の厚さより薄い。

上述の第 5 実施の形態に係る半導体装置において、上側の半導体基板 1 0 4 の厚さは、下側の半導体基板 1 1 8 の厚さよりも厚い。上側の半導体基板 1 0 4 と多層配線層 1 1 1 を含めた第 1 の半導体基板 1 0 1 の厚さも、下側の半導体基板 1 1 8 と多層配線層 1 2 6 を含めた第 2 の半導体基板 1 1 6 の厚さより厚い。

【 0 0 8 9 】

なお、上述の実施の形態に係る固体撮像装置では、信号電荷を電子とし、第 1 導電型を p 型、第 2 導電型を n 型として構成したが、信号電荷を正孔とする固体撮像装置にも適用できる。この場合、各半導体基板、半導体ウェル領域あるいは半導体領域の導電型を逆にし、n 型が第 1 導電型、p 型が第 2 導電型となる。

【 0 0 9 0 】

< 7 . 第 6 実施の形態 >

[電子機器の構成例]

上述の本発明に係る固体撮像装置は、例えばデジタルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話、あるいは撮像機能を備えた他の機器、などの電子機器に適用することができる。

【 0 0 9 1 】

図 2 9 に、本発明に係る電子機器の一例としてカメラに適用した第 6 実施の形態を示す。本実施形態例に係るカメラは、静止画像又は動画撮影可能なビデオカメラを例としたものである。本実施形態例のカメラ 1 4 1 は、固体撮像装置 1 4 2 と、固体撮像装置 1 4 2 の受光センサ部に入射光を導く光学系 1 4 3 と、シャッタ装置 1 4 4 を有する。さらに、カメラ 1 4 1 は、固体撮像装置 1 4 2 を駆動する駆動回路 1 4 5 と、固体撮像装置 1 4 2 の出力信号を処理する信号処理回路 1 4 6 とを有する。

【 0 0 9 2 】

固体撮像装置 1 4 2 は、上述した各実施の形態の固体撮像装置のいずれかが適用される。光学系(光学レンズ) 1 4 3 は、被写体からの像光(入射光)を固体撮像装置 1 4 2 の撮像面上に結像させる。これにより、固体撮像装置 1 4 2 内に、一定期間信号電荷が蓄積される。光学系 1 4 3 は、複数の光学レンズから構成された光学レンズ系としてもよい。

シャッタ装置 144 は、固体撮像装置 142 への光照射期間及び遮光期間を制御する。駆動回路 145 は、固体撮像装置 142 の転送動作及びシャッタ装置 144 のシャッタ動作を制御する駆動信号を供給する。駆動回路 145 から供給される駆動信号（タイミング信号）により、固体撮像装置 142 の信号転送を行う。信号処理回路 146 は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、或いは、モニタに出力される。

【0093】

第6実施の形態に係るカメラなどの電子機器によれば、固体撮像装置 142 において高性能化が図られ、かつ製造コストの低減が図られるので、安価で信頼性の高い電子機器を提供することができる。

【符号の説明】

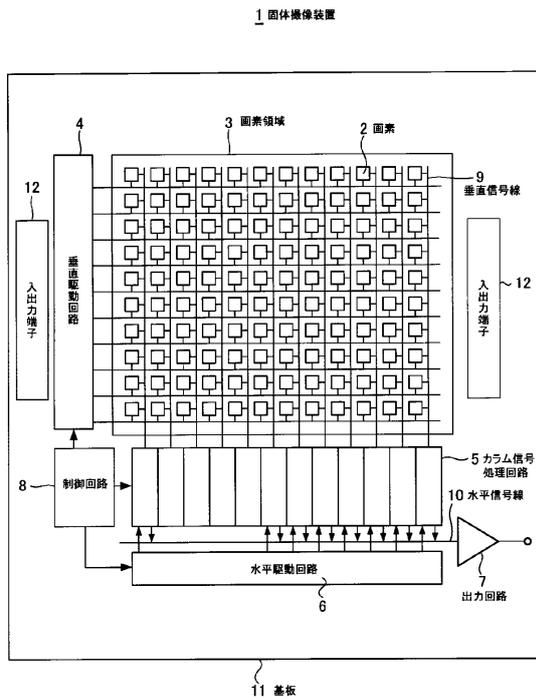
【0094】

1・・・固体撮像装置、2・・・画素、3・・・画素アレイ（画素領域）、4・・・垂直駆動回路、5・・・カラム信号処理回路、6・・・水平駆動回路、7・・・出力回路、8・・・制御回路、9・・・垂直信号線、10・・・水平信号線、12・・・入出力端子、21・・・MOS固体撮像装置、22・・・第1の半導体チップ部、23・・・画素領域、24・・・制御領域、25・・・ロジック回路、26・・・第2の半導体チップ部、31・・・第1の半導体ウェハ、PD・・・フォトダイオード、39・・・層間絶縁膜、40・・・配線、41・・・多層配線層、45・・・第2の半導体ウェハ、49・・・層間絶縁膜、53・・・配線、49・・・多層配線層、61・・・貫通接続孔、62・・・接続孔、64・・・貫通接続導体、65・・・接続導体、72・・・接続配線（電極パッド）、74・・・オンチップカラーフィルタ、75・・・オンチップマイクロレンズ、78・・・電極バンプ、79, 81, 83・・・裏面照射型の固体撮像装置、140・・・半導体装置、141・・・カメラ

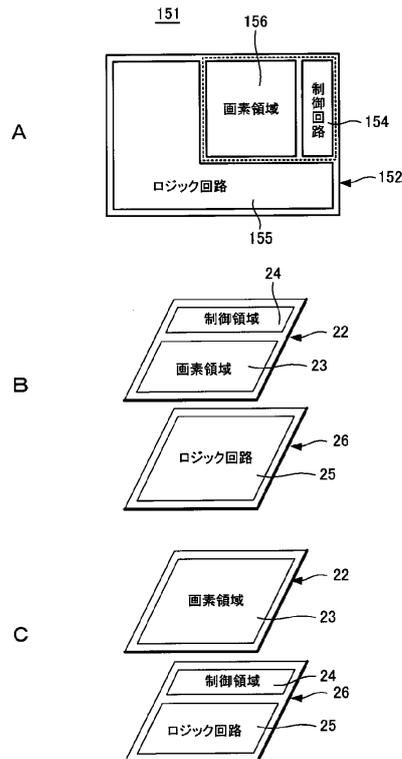
10

20

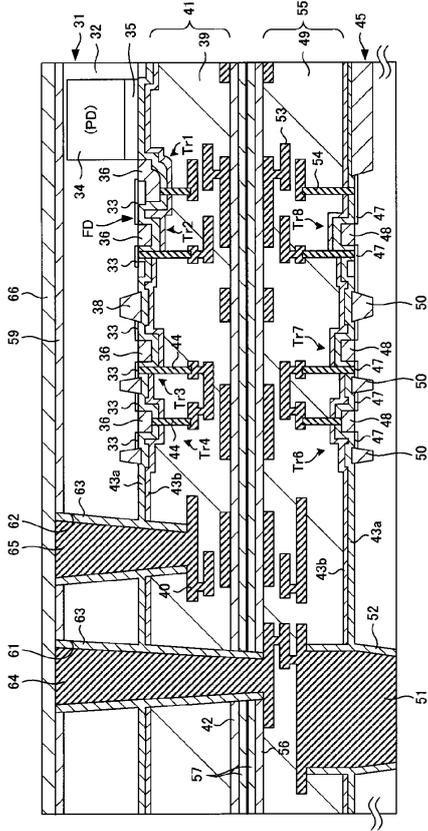
【図1】



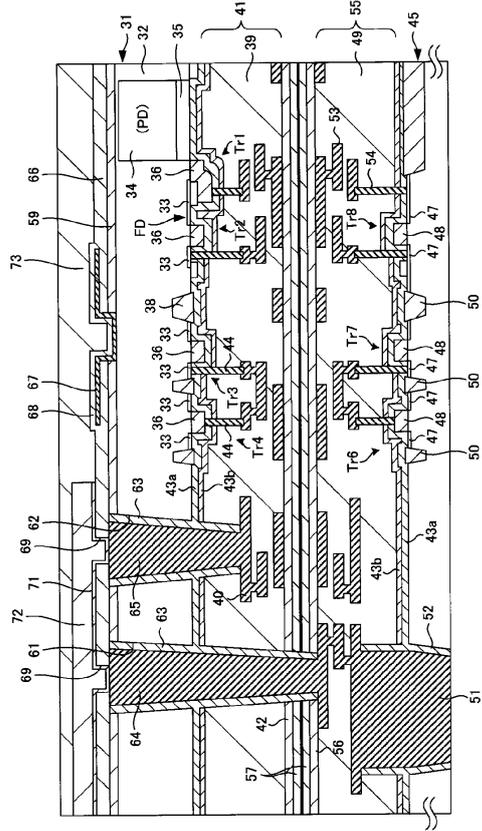
【図2】



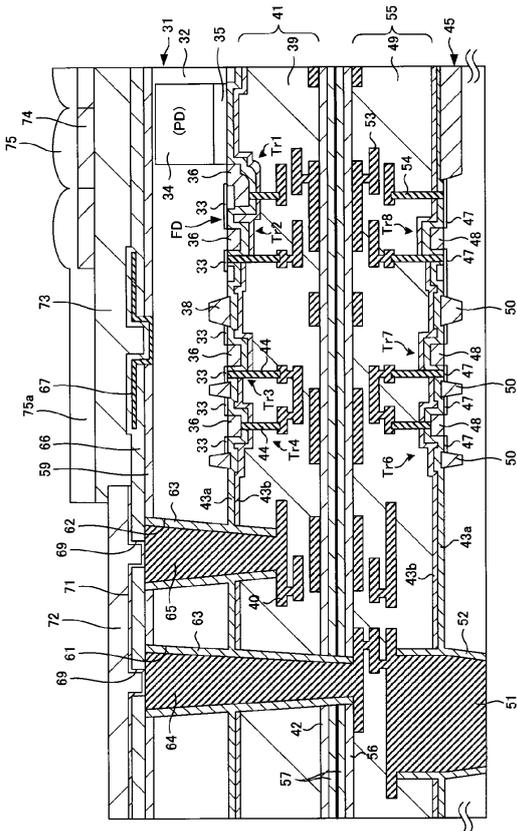
【図 1 1】



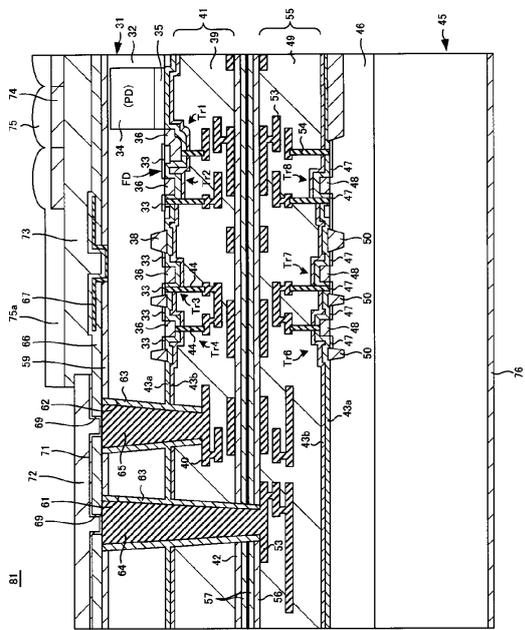
【図 1 2】



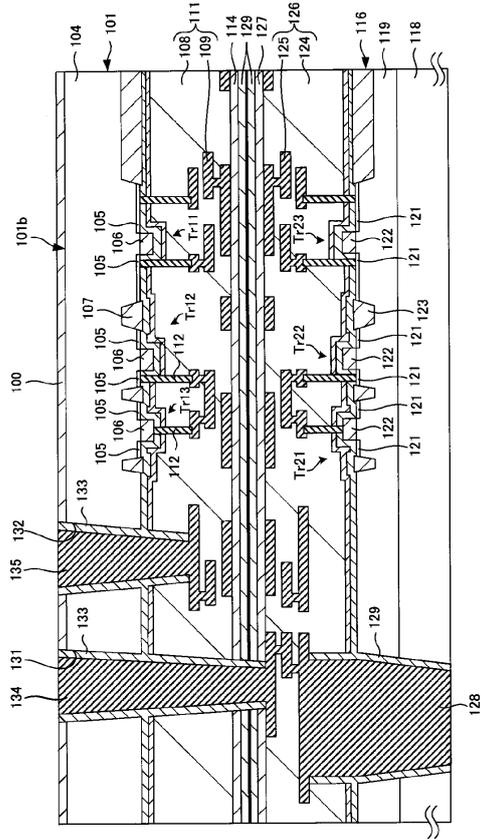
【図 1 3】



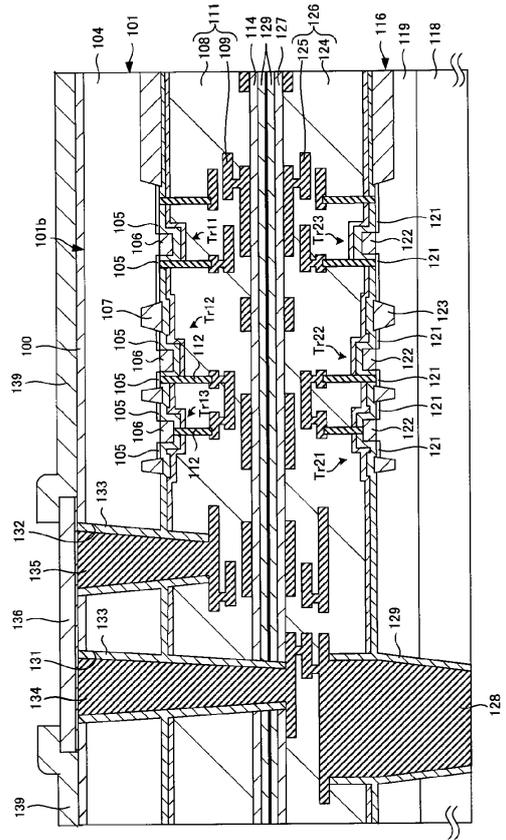
【図 1 4】



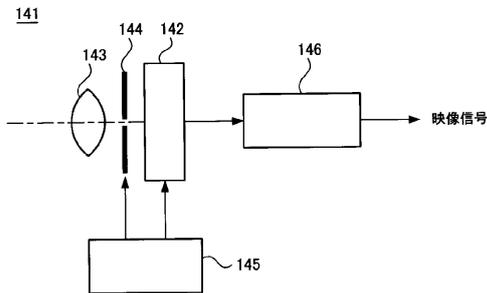
【 27 】



【 28 】



【 29 】



フロントページの続き

(51) Int.Cl. F I
H 0 1 L 27/00 (2006.01) H 0 1 L 27/00 3 0 1 B
H 0 1 L 27/00 3 0 1 C

審査官 安田 雅彦

(56) 参考文献 特開2005-322745(JP,A)
国際公開第2008/074688(WO,A1)
特開2008-235478(JP,A)
特開2001-339057(JP,A)
特開2007-088450(JP,A)
特開2001-168046(JP,A)
国際公開第2007/127825(WO,A2)
特表2001-511608(JP,A)
特開2007-311385(JP,A)
特開2008-140819(JP,A)

(58) 調査した分野(Int.Cl., DB名)
H 0 1 L 2 7 / 1 4 - 1 4 8
H 0 1 L 2 7 / 0 0
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 3 / 5 2 2 - 5 3 2
H 0 1 L 2 1 / 0 2