

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-96475

(P2014-96475A)

(43) 公開日 平成26年5月22日(2014.5.22)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 0 3 3
HO 1 L 27/108 (2006.01)	HO 1 L 21/88 C	5 F 0 8 3
HO 1 L 21/3213 (2006.01)	HO 1 L 27/10 6 7 1 B	
HO 1 L 21/768 (2006.01)	HO 1 L 27/10 6 8 1 A	
	HO 1 L 27/10 6 8 1 F	

審査請求 未請求 請求項の数 16 O L (全 24 頁)

(21) 出願番号 特願2012-247282 (P2012-247282)
 (22) 出願日 平成24年11月9日 (2012.11.9)

(71) 出願人 513192281
 ピーエスフォー ルクスコ エスエイアー
 ルエル
 PS4 Luxco S. a. r. l.
 ルクセンブルク大公国エルー 2 1 2 1、ル
 クセンブルク、ヴァル デ ボン マラデ
 ス 2 0 8
 (74) 代理人 100123788
 弁理士 宮崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭

最終頁に続く

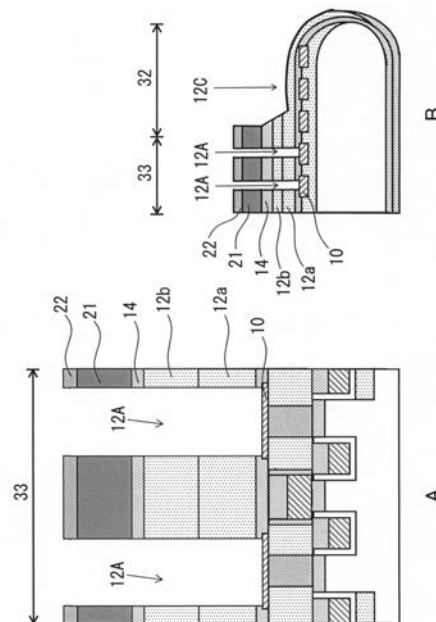
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体基板の外周領域から第2の絶縁膜が剥離することを防止する。これにより、半導体装置の製造歩留まりの低下を抑制する。

【解決手段】半導体基板の主面上に第1の絶縁膜と第2の絶縁膜を成膜する工程と、第2の絶縁膜上にレジスト膜を塗布する工程と、レジスト膜をパターニングして外周領域上に位置するレジスト膜を除去する工程と、レジスト膜をマスクに用いたエッチングによりデバイス領域上では第1および第2の絶縁膜を貫通する第1の開口を形成し外周領域上では第2の絶縁膜を除去する工程と、第1の開口の内壁面上に第1の導電膜を形成する工程と、デバイス領域上と外周領域上の第1の絶縁膜を薬液で除去して第1の導電膜の外壁側面を露出させる工程と、を備えることを特徴とする半導体装置の製造方法。

【選択図】 図 1 3



【特許請求の範囲】

【請求項 1】

素子を有するデバイス領域と、前記デバイス領域の外周に位置し前記素子に対応するダミーパターンを有する外周領域とを備えた半導体基板の主面上に、第 1 の絶縁膜と、前記第 1 の絶縁膜上に第 2 の絶縁膜と、を成膜する工程と、

前記第 2 の絶縁膜上にレジスト膜を塗布する工程と、

前記レジスト膜をパターンニングして、前記デバイス領域上に位置する前記レジスト膜内に前記素子に対応する開口部を形成するとともに、前記外周領域上に位置する前記レジスト膜を除去する工程と、

前記レジスト膜をマスクに用いたエッチングにより、前記デバイス領域上では前記第 1 および第 2 の絶縁膜をその厚み方向に貫通する第 1 の開口を形成し、前記外周領域上では前記第 2 の絶縁膜を除去する第 1 の工程と、

前記第 1 の開口の内壁面上に第 1 の導電膜を形成する工程と、

前記デバイス領域上の前記第 2 の絶縁膜が前記第 1 の導電膜と接して残るように、前記第 2 の絶縁膜内に第 2 の開口を形成する工程と、

前記デバイス領域上と前記外周領域上の前記第 1 の絶縁膜を薬液で除去して前記第 1 の導電膜の外壁側面を露出させる第 2 の工程と、

を備えることを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記レジスト膜を除去する工程では、

前記外周領域上において、前記ダミーパターンに対応する開口部と前記開口部以外に位置する前記レジスト膜を除去することを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 3】

デバイス領域と、前記デバイス領域の外周に位置する外周領域とを備えた半導体基板の主面上に、第 1 の絶縁膜と、前記第 1 の絶縁膜上に第 2 の絶縁膜とを成膜する工程と、

前記第 2 の絶縁膜上にレジスト膜を塗布する工程と、

前記レジスト膜をパターンニングして、前記デバイス領域上に位置する前記レジスト膜内に開口部を形成するとともに、前記外周領域上に位置する前記レジスト膜を除去する工程と、

30

前記レジスト膜をマスクに用いたエッチングにより、前記デバイス領域上では前記第 1 および第 2 の絶縁膜をその厚み方向に貫通する第 1 の開口を形成し、前記外周領域上では前記第 2 の絶縁膜を除去する第 1 の工程と、

前記第 1 の開口の内壁面上に第 1 の導電膜を形成する工程と、

前記デバイス領域上の前記第 2 の絶縁膜が前記第 1 の導電膜と接して残るように、前記第 2 の絶縁膜内に第 2 の開口を形成する工程と、

前記デバイス領域上と前記外周領域上の前記第 1 の絶縁膜を薬液で除去して前記第 1 の導電膜の外壁側面を露出させる第 2 の工程と、

を備えることを特徴とする半導体装置の製造方法。

40

【請求項 4】

前記外周領域上に位置する前記レジスト膜を除去する工程では、

前記外周領域上にある前記第 2 の絶縁膜上の前記レジスト膜を全て除去することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 の工程において、

前記外周領域上では、前記第 1 の絶縁膜の一部が残るように、前記エッチングを行うことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記第 1 の工程では、

前記デバイス領域上の前記第 1 の絶縁膜のエッチングレートよりも、前記外周領域上の

50

前記第 1 の絶縁膜のエッチングレートが小さくなるように、前記エッチングを行うことを特徴とする請求項 1 ~ 5 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 の工程では、

逆マイクロローディング効果を利用した前記エッチングを行うことを特徴とする請求項 1 ~ 6 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 の工程では、

エッチングガスとして C_4F_6 または C_4F_8 を用いた前記エッチングを行うことを特徴とする請求項 1 ~ 7 の何れか 1 項に記載の半導体装置の製造方法。

10

【請求項 9】

前記第 1 の絶縁膜は、層間絶縁膜であることを特徴とする請求項 1 ~ 8 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 10】

前記層間絶縁膜は、下層絶縁膜と、上層絶縁膜とがこの順に積層された膜であることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記第 1 の工程において、

前記外周領域上では、前記上層絶縁膜が除去され、前記下層絶縁膜の一部が残るように、前記エッチングを行うことを特徴とする請求項 10 に記載の半導体装置の製造方法。

20

【請求項 12】

前記第 2 の絶縁膜は、サポート膜であることを特徴とする請求項 1 ~ 11 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 13】

前記第 2 の工程の後に更に、

前記第 1 の導電膜の露出した表面上に、第 3 の絶縁膜を形成する工程と、

前記第 3 の絶縁膜上に、第 2 の導電膜を形成する工程と、

を有し、

前記第 1 の導電膜は、下部電極であり、

前記第 3 の絶縁膜は、容量絶縁膜であり、

前記第 2 の導電膜は、上部電極であり、

30

前記下部電極、容量絶縁膜、および上部電極は、キャパシタを構成することを特徴とする請求項 1 ~ 12 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 14】

前記素子は、

トランジスタと、

前記トランジスタの一方の不純物拡散層に接続されたビット線と、

前記トランジスタの他方の不純物拡散層に接続された容量コンタクトプラグと、

前記容量コンタクトプラグに接続された容量コンタクトパッドと、

を有することを特徴とする請求項 13 に記載の半導体装置の製造方法。

40

【請求項 15】

前記容量コンタクトパッドは、前記下部電極に接続されることを特徴とする請求項 14 に記載の半導体装置の製造方法。

【請求項 16】

前記素子は、

トランジスタと、

前記トランジスタの一方の不純物拡散層に接続されたビット線と、

前記トランジスタの他方の不純物拡散層に接続された容量コンタクトプラグと、

前記容量コンタクトプラグに接続された容量コンタクトパッドと、

を有し、

50

前記ダミーパターンは、

ダミートランジスタと、

前記ダミートランジスタの一方の不純物拡散層に接続されたダミービット線と、

前記ダミートランジスタの他方の不純物拡散層に接続されたダミー容量コンタクトプラグと、

前記ダミー容量コンタクトプラグに接続されたダミー容量コンタクトパッドと、

を有することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

従来の半導体装置の加工では、半導体基板の外周領域において、レジスト膜が正常にパターンニングされないことに起因して、パターン崩れが発生し、それによるゴミが出て歩留まりを低下させるという問題が生じることがある。なお、図 1 A は半導体基板 3 1 の断面図、図 1 B は半導体基板 3 1 の平面図である。外周領域とは、図 1 A および 1 B に示すように、半導体基板 3 1 の半径方向のエッジの傾斜部、側面部およびその近傍の領域を表す。図 1 A および 1 B に示すように、半導体基板 3 1 の外周領域で囲まれたその内側の領域がデバイス領域 3 3 を表す。すなわち、半導体基板 3 1 において、外周領域 3 2 は、デバイス領域 3 3 の外周に位置している。

20

【0003】

従来の半導体装置の製造方法では、層間絶縁膜上に、キャパシタの下部電極を支えるためのサポート膜を形成する。次に、レジストマスクを用いたエッチングにより、層間絶縁膜内に下部電極を作るためのシリンダーホールと呼ぶ開口を形成する。このとき、外周領域では、レジストマスクのパターン崩れに起因してサポート膜、層間絶縁膜の一部が除去されたり、シリンダーホールが所望の深さまで形成されない、パターン異常が発生する。次に、サポート膜をパターンニングした後、下部電極の外壁側面もキャパシタの電極として使うため、薬液で層間絶縁膜をエッチングして、層間絶縁膜に覆われていた下部電極の外壁側面を露出させる。このとき、外周領域では前工程でのパターン異常に起因して、サ

30

【0004】

そこで、半導体基板の外周領域に残存するサポート膜の剥がれを防止する種々の提案がなされている。特許文献 1 (特開 2011-228340 号公報) には、第 1 のマスクが倒壊しないように、外周領域上の第 1 のマスクを覆うよう第 2 のマスクを形成する方法が開示されている。しかし、上記方法では第 1 のマスク上に第 2 のマスクを形成して、覆う追加工程が必要となり、製造コストを増大させるおそれがあった。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開 2011-228340 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

そこで、本発明者は、外周領域からのサポート膜の剥がれを防止する方法を検討した。図 2 ~ 4 は、第 1 の方法を表す断面図であり、ウェハ (半導体基板) 1 の外周領域 3 2、および外周領域に隣接するデバイス領域 3 3 の一部を示している。図 2 ~ 4 では、容量コンタクトパッド 10 よりも下の構造は省略し、主に容量コンタクトパッド 10 およびそれよ

50

りも上の構造を示す。また、図2～4では各部の構造を概略的に示している。

(1) 第1の方法では、図2Aに示すように、半導体基板1のメモリセル領域にメモリセル用のトランジスタ、トランジスタの一方の不純物拡散層に接続されたビット線(何れも図示していない)を形成する。次に、半導体基板1上に、層間絶縁膜7を形成した後、層間絶縁膜7内にトランジスタの他方の不純物拡散層に接続された容量コンタクトプラグ(何れも図示していない)を形成する。容量コンタクトプラグに接続された容量コンタクトパッド10を形成する。容量コンタクトパッド10を覆うようにストッパー膜11、BPSG(Boron Phosphorus Silicon Glass)膜12a、TEOS(Tetra Ethyl Ortho Silicate)膜12b、およびサポート膜14を、この順に形成する。

10

【0007】

この後、キャパシタの下部電極13を設ける第1の開口12A(シリンダーホール)を形成するために、サポート膜14上に、アモルファスカーボン膜21とレジスト膜22を形成する。リグラフィ技術によりレジスト膜22をパターニングしてレジストパターンを形成する。この際、デフォーカスにより、外周領域32上のレジストパターン22が正常に形成されず、パターン異常が発生する。このレジストパターン22をマスクに用いて、アモルファスカーボン膜21のドライエッチングを行い、レジストパターン22をアモルファスカーボン膜21に転写する。この際、外周領域32上では、レジストパターン22のパターン異常を反映して、アモルファスカーボン膜21のパターンも正常に形成されない。

20

【0008】

図2Bに示すように、レジストパターン22およびアモルファスカーボン膜21をマスクとしてドライエッチングを行い、サポート膜14、TEOS膜12b、BPSG膜12a、ストッパー膜11を貫通する第1の開口12A(キャパシタホール)を形成する。図2Bのドライエッチング工程では、外周領域32上のアモルファスカーボン膜21のパターンが正常に形成されなかったため、外周領域32では、容量コンタクトパッド10に到達する正常な形状の第1の開口12Aが形成されない。この後、レジストパターン22およびアモルファスカーボン膜21を除去する。

【0009】

図3Aに示すように、第1の開口12Aの内壁を覆うようにサポート膜14上に、下部電極として窒化チタン膜13を形成する。プラズマCVD法により、下部電極13を覆うように、窒化シリコン膜16を形成する。この窒化シリコン膜16は、後に形成するレジスト膜17が第1の開口12A内に入り込むのを防ぐ目的で形成する。次に、窒化シリコン膜16上にレジストパターン17を形成する。

30

【0010】

図3Bに示すように、レジストパターン17をマスクに用いて、窒化シリコン膜16、下部電極13およびサポート膜14のドライエッチングを行う。これにより、サポート膜14内に第2の開口12Bを形成する。この後、レジストパターン17および窒化シリコン膜16を除去する。エッチバックにより、サポート膜14上の窒化チタン膜13を除去する。

40

【0011】

図4Aに示すように、フッ化水素酸(HF)を含有する薬液を用いた湿式エッチングを行うことにより、デバイス領域33および外周領域32のTEOS膜12b、BPSG膜12aを除去して、下部電極13の外壁側面を露出させる。窒化シリコンで形成されているストッパー膜11は、この湿式エッチングの際に下層に位置する素子等がエッチングされるのを防止する。この工程において、デバイス領域33では、サポート膜14は下部電極13の外壁側面を介して固定され、下部電極13はその底面を介して容量コンタクトパッド10に固定されている。このため、デバイス領域33では、サポート膜14は半導体基板1に固定されており、サポート膜14が剥がれてゴミとなることはない。これに対して、外周領域32では、下部電極13が容量コンタクトパッド10にまで到達していないた

50

め、下部電極 13 およびその外壁側面に接するサポート膜 14 は半導体基板 1 に固定されていない。このため、TEOS 膜 12b、BPSG 膜 12a の除去時に、サポート膜 14 が剥がれてゴミとなっていた。

【0012】

一方、図 4B に示すように、サポート膜 14 内に第 2 の開口 12B を形成する工程において、外周領域 32 の第 1 の開口 12A 上にレジストパターン 17 を形成せずに、サポート膜 14 のドライエッチングを行う場合も考えられる。しかしながら、このような場合であっても、上記と同様に下部電極 13 は半導体基板 1 に固定されていないため、その後の TEOS 膜 12b、BPSG 膜 12a の除去時に、サポート膜 14 が剥がれてゴミとなっていた。

10

【0013】

(2) そこで、本発明者は、第 2 の方法として、図 5A に示すように、サポート膜 14 内に第 2 の開口 12B を形成する工程のリソグラフィ時に、半導体基板 1 の外周領域 32 全体をレジスト膜 17 で覆う方法を検討した。この方法では、デバイス領域 33 において TEOS 膜 12b、BPSG 膜 12a を除去した後も、外周領域 32 をレジスト膜 17 で覆うことにより、外周領域 32 ではこれらの膜を残すことを目的とした。

【0014】

図 5B に示すように、第 2 の開口 12B の形成、サポート膜 14 上の窒化チタン膜 13 の除去、デバイス領域 33 の TEOS 膜 12b、BPSG 膜 12a の除去を行う。この際、第 2 の開口 12B の形成時に、第 2 の開口 12B の側壁を構成するサポート膜 14 の端部 14A の形状が異常形状（ギザギザ形状）となり、TEOS 膜 12b、BPSG 膜 12a の除去時に、この異常形状に起因してサポート膜 14 が剥がれてゴミとなっていた。以上のように、従来の製造方法では、外周領域の層間絶縁膜の除去時に、サポート膜が剥がれてゴミとなることが問題となっていた。このゴミにより、半導体装置の特性が劣化して、歩留まり低下の原因となっていた。

20

【課題を解決するための手段】

【0015】

一実施形態は、

素子を有するデバイス領域と、前記デバイス領域の外周に位置し前記素子に対応するダミーパターンを有する外周領域とを備えた半導体基板の主面上に、第 1 の絶縁膜と、前記第 1 の絶縁膜上に第 2 の絶縁膜と、を成膜する工程と、

30

前記第 2 の絶縁膜上にレジスト膜を塗布する工程と、

前記レジスト膜をパターンングして、前記デバイス領域上に位置する前記レジスト膜内に前記素子に対応する開口部を形成するとともに、前記外周領域上に位置する前記レジスト膜を除去する工程と、

前記レジスト膜をマスクに用いたエッチングにより、前記デバイス領域上では前記第 1 および第 2 の絶縁膜をその厚み方向に貫通する第 1 の開口を形成し、前記外周領域上では前記第 2 の絶縁膜を除去する第 1 の工程と、

前記第 1 の開口の内壁面上に第 1 の導電膜を形成する工程と、

前記デバイス領域上の前記第 2 の絶縁膜が前記第 1 の導電膜と接して残るように、前記第 2 の絶縁膜内に第 2 の開口を形成する工程と、

40

前記デバイス領域上と前記外周領域上の前記第 1 の絶縁膜を薬液で除去して前記第 1 の導電膜の外壁側面を露出させる第 2 の工程と、

を備えることを特徴とする半導体装置の製造方法に関する。

他の実施形態は、

デバイス領域と、前記デバイス領域の外周に位置する外周領域とを備えた半導体基板の主面上に、第 1 の絶縁膜と、前記第 1 の絶縁膜上に第 2 の絶縁膜とを成膜する工程と、

前記第 2 の絶縁膜上にレジスト膜を塗布する工程と、

前記レジスト膜をパターンングして、前記デバイス領域上に位置する前記レジスト膜内に開口部を形成するとともに、前記外周領域上に位置する前記レジスト膜を除去する工程

50

と、

前記レジスト膜をマスクに用いたエッチングにより、前記デバイス領域上では前記第 1 および第 2 の絶縁膜をその厚み方向に貫通する第 1 の開口を形成し、前記外周領域上では前記第 2 の絶縁膜を除去する第 1 の工程と、

前記第 1 の開口の内壁面上に第 1 の導電膜を形成する工程と、

前記デバイス領域上の前記第 2 の絶縁膜が前記第 1 の導電膜と接して残るように、前記第 2 の絶縁膜内に第 2 の開口を形成する工程と、

前記デバイス領域上と前記外周領域上の前記第 1 の絶縁膜を薬液で除去して前記第 1 の導電膜の外壁側面を露出させる第 2 の工程と、

を備えることを特徴とする半導体装置の製造方法に関する。

10

【発明の効果】

【0016】

半導体基板の外周領域から第 2 の絶縁膜が剥離することを防止できる。これにより、半導体装置の製造歩留まりの低下を抑制することができる。

【図面の簡単な説明】

【0017】

【図 1】半導体基板のデバイス領域および外周領域を表す図である。

【図 2】発明者が検討した第 1 の方法を表す図である。

【図 3】発明者が検討した第 1 の方法を表す図である。

【図 4】発明者が検討した第 1 の方法を表す図である。

20

【図 5】発明者が検討した第 2 の方法を表す図である。

【図 6】第 1 実施例の半導体装置を表す図である。

【図 7】第 1 実施例の半導体装置を表す図である。

【図 8】第 1 実施例の半導体装置を表す図である。

【図 9】第 1 実施例の半導体装置の製造方法を表す図である。

【図 10】第 1 実施例の半導体装置の製造方法を表す図である。

【図 11】第 1 実施例の半導体装置の製造方法を表す図である。

【図 12】第 1 実施例の半導体装置の製造方法を表す図である。

【図 13】第 1 実施例の半導体装置の製造方法を表す図である。

【図 14】第 1 実施例の半導体装置の製造方法を表す図である。

30

【図 15】第 1 実施例の半導体装置の製造方法を表す図である。

【図 16】第 1 実施例の半導体装置の製造方法を表す図である。

【図 17】第 1 実施例の半導体装置の製造方法を表す図である。

【発明を実施するための形態】

【0018】

本発明の半導体装置の製造方法の一例では、デバイス領域上および外周領域上に第 1 および第 2 の絶縁膜を成膜する。第 2 の絶縁膜上にレジスト膜を塗布した後、レジスト膜をパターンニングして、デバイス領域上に位置するレジスト膜内に開口部を形成するとともに、外周領域上に位置するレジスト膜を除去する。次に、レジスト膜をマスクに用いたエッチングにより、デバイス領域上では第 1 および第 2 の絶縁膜をその厚み方向に貫通する第 1 の開口を形成し、外周領域上では第 2 の絶縁膜を除去する（第 1 の工程）。次に、第 1 の開口の内壁側面および内壁底面上に第 1 の導電膜を形成した後、第 2 の絶縁膜が第 1 の導電膜と接して残るように第 2 の絶縁膜内に第 2 の開口を形成する。この後、デバイス領域上と外周領域上の第 1 の絶縁膜を除去して、第 1 の導電膜の外壁側面を露出させる（第 2 の工程）。

40

【0019】

上記製造方法では、第 1 の工程において、外周領域上の第 2 の絶縁膜が除去される。このため、図 2 ~ 5 を参照して前述したようなサポート膜（第 2 の絶縁膜）14 のゴミが発生するといった問題が起こらない。この結果、半導体装置の装置特性の劣化を防止して、歩留まりを向上させることができる。

50

【0020】

好ましくは、第1の工程において、外周領域上では、第1の絶縁膜の一部が残るように第1および第2の絶縁膜を除去するのが良い。このように、外周領域上では第1の絶縁膜の一部が残留することにより、外周領域上にダミーパターン等を形成した場合であっても、ダミーパターン等は第1の絶縁膜で被覆されているため、ダミーパターン等からゴミが発生することをより効果的に防止できる。また、後の工程でデバイス領域の第1の絶縁膜を除去する際、外周領域では第1の開口を形成せず、第2の絶縁膜も存在しないため、第2の絶縁膜のゴミが発生することをより効果的に防止できる。

【0021】

好ましくは、第1の工程では、デバイス領域上の第1の絶縁膜のエッチングレートよりも、外周領域上の第1の絶縁膜のエッチングレートが小さくなるようにエッチングを行うのが良い。このようにデバイス領域上と外周領域上とでエッチングレートの差を設けることで、デバイス領域では第1および第2の絶縁膜をその厚み方向に貫通する第1の開口を形成しつつ、外周領域では第1の絶縁膜の一部を効果的に残留させることができる。

10

【0022】

このようにデバイス領域上の第1の絶縁膜のエッチングレートよりも、外周領域上の第1の絶縁膜のエッチングレートを小さくする方法としては、逆マイクロローディング効果を利用したエッチング法を用いることができる。逆マイクロローディング効果を利用したエッチング法では例えば、エッチングガスとして C_4F_6 または C_4F_8 を用いたエッチングを行うと、デバイス領域上では、レジスト膜内の開口部の幅が狭いため、開口部の下に形成される第1の開口の内壁側面上にのみ、エッチング時の反応生成物が堆積される。これに対して、外周領域では、レジスト膜が除去されており幅が広い開口部が設けられているため、開口部の下に形成される第3の開口の内壁側面上および内壁底面上に、エッチング時の反応生成物が堆積される。従って、第1の開口を形成するエッチングのエッチングレートよりも、第3の開口を形成するエッチングのエッチングレートを効果的に小さくすることができる。

20

【0023】

なお、外周領域には、正規パターンと同形状であるが電氣的に動作しない、ダミーパターンを設けても良い。外周領域上にダミーパターンを形成することで、半導体基板全体に規則的なパターン形成を行うことが可能となり、パターン形成をより容易とすることができる。ダミーパターンとしては、デバイス領域に設けるトランジスタ、ビット線、容量コンタクトプラグ、および容量コンタクトパッドなどとそれぞれ、同じ構造のダミートランジスタ、ダミービット線、ダミー容量コンタクトプラグ、およびダミー容量コンタクトパッドを挙げることができる。

30

【0024】

また、「逆マイクロローディング効果」とは、エッチングガス中に、エッチングを阻害するような反応生成物を発生させるガスを添加することにより、場所によってエッチングレートの差異を設けるものである。これにより、エッチング時に、レジスト膜の広い開口部の下に形成される開口の内壁側面および内壁底面上に反応生成物を堆積させることによって、広い開口部の下に位置する膜のエッチングレートを低下させる。一方、エッチング時に、レジスト膜の狭い開口部の下に形成される開口では、その内壁側面上にしか反応生成物が堆積しない。このため、狭い開口部の下に位置する膜のエッチングレートが、広い開口部の下に位置する膜のエッチングレートよりも大きくなるものである。

40

【0025】

以下に、本発明を適用した実施例について図面を参照して説明する。この実施例は、本発明のより一層の深い理解のために示される具体例であって、本発明は、この具体例に何ら限定されるものではない。また、同一部材には同一符号を付し、説明を省略又は簡略化する。また、同一部材には適宜符号を省略する。なお、以下の説明で用いる図面は模式的なものであり、各図における長さ、幅、及び厚みの比率等は実際のものと同じとは限らず、各図における長さ、幅、及び厚みの比率等は互いに一致していない場合がある。以下の

50

実施例では、具体的に示した材料や寸法等の条件は例示に過ぎない。

【0026】

下記実施例において、「第1の絶縁膜」は、BPSG膜12aおよびTEOS膜12bの積層膜に相当する。

「下層絶縁膜」および「上層絶縁膜」はそれぞれ、BPSG膜12aおよびTEOS膜12bに相当する。

「第2の絶縁膜」は、サポート膜14に相当する。

「第3の絶縁膜」は、キャパシタの容量絶縁膜に相当する。

「第1の導電膜」および「第2の導電膜」はそれぞれ、下部電極13および上部電極15に相当する。

「素子」は、デバイス領域33に形成されたトランジスタTr、トランジスタTrの一方の不純物拡散層8aに接続されたビット線6、トランジスタTrの他方の不純物拡散層8bに接続された容量コンタクトプラグ7A、および容量コンタクトプラグ7Aに接続された容量コンタクトパッド10に相当する。

「素子に対応するダミーパターン」は、外周領域32に形成されたダミートランジスタ、ダミートランジスタの一方の不純物拡散層に接続されたダミービット線、ダミートランジスタの他方の不純物拡散層に接続されたダミー容量コンタクトプラグ、およびダミー容量コンタクトプラグに接続されたダミー容量コンタクトパッドに相当する。

【0027】

(第1実施例)

本実施例の半導体装置のキャパシタを含むメモリセルの構成について、以下に説明する。半導体装置に係るDRAMチップは、メモリセル領域と周辺回路領域とから概略構成されている。図6は、DRAMチップの平面構造を示す模式図である。DRAMチップ50上には複数のメモリセル領域51が配置されており、メモリセル領域51を囲むように周辺回路領域52が配置されている。周辺回路領域52には、センスアンプ回路や、ワード線の駆動回路、外部との入出力回路等が含まれる。図6のDRAMチップは、半導体基板1のデバイス領域内に複数、設けられている。なお、図6の配置は一例であり、メモリセル部の数や、配置される位置は、図6のレイアウトには限定されない。

【0028】

図7は、メモリセル領域51内に配置されている各メモリセルの平面構造を詳細に示すための模式図で、メモリセルを構成する一部の要素のみを示している。図8は、図7のA-A'線に対応するメモリセル領域の断面模式図である。また、図7では、後述する、ワード配線Wとなるゲート電極5を切断する面を基準とした平面図に、活性領域Kとビット線6とを透過的に示している。

【0029】

図8に示すように、メモリセルは、MOS型トランジスタTrと、MOS型トランジスタTrに容量コンタクトプラグ7Aを介して接続されたキャパシタ(容量素子)Caとから概略構成されている。半導体基板1は、所定濃度のP型不純物を含有するシリコン(Si)によって形成されている。この半導体基板1には、素子分離領域3が形成されている。素子分離領域3は、半導体基板1の表面にSTI(Shallow Trench Isolation)法により酸化シリコン膜(SiO₂)等の絶縁膜を埋設することで、活性領域K以外の部分に形成され、隣接する活性領域Kとの間を絶縁分離している。図8では、1つの活性領域Kに2ビットのメモリセルが配置されるセル構造を、具体例として示している。

【0030】

メモリセル領域は図7に示す平面構造の如く、細長い短冊状の活性領域Kが複数、個々に所定間隔をあけて右斜め下向きに整列して配置されている。活性領域Kの周囲には、素子分離領域3が設けられており、活性領域Kを区画している。各活性領域K内をY方向に延在するようにワード線Wが設けられている。各活性領域Kのワード線Wを挟んだ領域(活性領域Kの両端部と中央部)には個々に不純物拡散層8a、8bが形成され、MOS型ト

10

20

30

40

50

ランジスタTrのソースおよびドレイン領域として機能する。ソースおよびドレイン領域の何れか一方（活性領域Kの両側の不純物拡散層8b）の真上に配置されるように、基板コンタクト部2a、2bの位置が規定されている。なお、活性領域Kの配列は、特に図7の配置に限定されるべきものではない。図7に示す活性領域Kの形状は、その他一般的なトランジスタに適用される活性領域の形状としてもよい。

【0031】

図7の横（X）方向にはビット線6が延設され、このビット線6が図11の縦（Y）方向に所定の間隔で複数、配置されている。また、図7の縦（Y）方向に延在する直線形状のワード配線Wが配置されている。個々のワード配線Wは図7の横（X）方向に所定の間隔で複数、配置され、ワード配線Wは各活性領域Kと交差する部分において、図8に示されるゲート電極5を含むように構成されている。ワード線Wの両側面上および図示しないワード線Wの下には、ゲート絶縁膜5aが形成されている。ここでは、MOS型トランジスタTrが、溝型のゲート電極を備えている場合を一例として示した。溝型のゲート電極を備えたMOS型トランジスタに代えて、縦型MOS型トランジスタなどを使用することも可能である。

10

【0032】

図8の断面構造に示す如く、半導体基板1において素子分離領域3に区画された活性領域Kにソースおよびドレイン領域として機能する不純物拡散層8a、8bが離間して形成され、個々の不純物拡散層8aと8bの間に、溝型のゲート電極5が形成されている。ゲート電極5は多結晶シリコン膜と金属膜との積層膜により形成され、その上面は、半導体基板1の主面よりも下に位置するように形成されている。ゲート電極5に用いる多結晶シリコン膜はCVD法（Chemical Vapor Deposition）での成膜時にリン等の不純物を含有させて形成することができる。また、成膜時に不純物を含有しないように形成した多結晶シリコン膜に、後の工程でN型またはP型の不純物をイオン注入法により導入してもよい。ゲート電極用の金属膜には、タングステン（W）や窒化タングステン（WN）、タングステンシリサイド（WSi）等の高融点金属を用いることができる。なお、図8のゲート電極5中には、多結晶シリコン膜と金属膜の境界は示しておらず、多結晶シリコン膜と金属膜の積層膜を一体的に示している。図8以降の図面においても同様である。

20

【0033】

また、図8に示すように、ゲート電極5と半導体基板1との間にはゲート絶縁膜5aが形成されている。また、ゲート電極5上にも窒化シリコンなどの絶縁膜5bが形成されている。不純物拡散層8a、8bは、半導体基板1に設けた活性領域K内にN型不純物として、例えばリンを導入することで形成されている。不純物拡散層8a上には、ビット線6が形成されている。ビット線6は窒化タングステン（WN）及びタングステン（W）からなる積層膜で構成されている。ビット線6の側面は窒化シリコン膜からなるサイドウォール絶縁膜6aで覆われ、ビット線6の上面は窒化シリコン膜からなるキャップ絶縁膜6bで覆われている。

30

【0034】

半導体基板1上には、酸化シリコン等を用いた層間絶縁膜7が形成されている。層間絶縁膜7を貫通して不純物拡散層8bに接続されるように容量コンタクトプラグ7Aが形成されている。この容量コンタクトプラグ7Aは、図7に示した基板コンタクト部2a、2bの位置にそれぞれ配置され、例えば、リンを含有した多結晶シリコンから形成される。層間絶縁膜7上には、容量コンタクトパッド10が配置されており、容量コンタクトプラグ7Aと導通している。容量コンタクトパッド10は、窒化タングステン（WN）及びタングステン（W）からなる積層膜で形成されている。容量コンタクトパッド10を覆うように、窒化シリコンを用いたストッパー膜11が形成されている。ストッパー膜11を貫通して、容量コンタクトパッド10と接続するようにキャパシタCaが形成されている。キャパシタCaは下部電極13と上部電極15の間に容量絶縁膜（図示せず）を挟んだ構造となっており、下部電極13が容量コンタクトパッド10と導通している。また、下

40

50

部電極13の外壁側面を保持するように、サポート膜14が形成されており、製造工程の途中で下部電極13が倒壊しないように支持している。メモリセル領域においては、キャパシタCa上には層間絶縁膜40、アルミニウム(Al)、銅(Cu)等で形成した上層の配線層41、表面保護膜42が形成されている。

【0035】

図示しないDRAMチップの周辺回路領域には記憶動作のキャパシタCaは配置されず、サポート膜14の下には、BPSG膜12aおよびTEOS膜12bからなる層間絶縁膜が設けられている。また、サポート膜14は、少なくともキャパシタの下部電極13を露出させる湿式エッチングの工程が終了するまでは、周辺回路領域の上面を覆うように配置され、湿式エッチングの薬液が上面方向から周辺回路領域に浸透するのを防止している。

10

【0036】

次に、本実施例のDRAMの製造方法について、図8~17を参照して説明する。図9~10、11A、12A、13A、14A、16A、および17Aは図7のA-A'線に対応する断面模式図を表す。図11B、12B、13B、14B、16B、および17Bは半導体基板1の外周領域32およびその近傍のデバイス領域33の一部を表す断面模式図を表す。図11B、12B、13B、14B、16B、および17Bでは、容量コンタクトパッド10およびそれよりも上の構造を模式的に示し、容量コンタクトパッド10よりも下の構造は省略している。また、図15は、メモリセル領域51におけるサポート膜14内に第2の開口12Bを形成した状態を表す平面図であり、図16Aは、図15のA-A'線に対応する断面模式図でもある。

20

【0037】

図9に示すように、P型のシリコンからなる半導体基板1の主面に活性領域Kを区画するため、STI法により、酸化シリコン(SiO₂)等の絶縁膜を埋設した素子分離領域3を、活性化領域K以外の部分に形成する。次に、MOS型トランジスタTrのゲート電極用に、ライン・アンド・スペースパターンの溝パターンを形成する。溝パターンは半導体基板1のシリコンをレジストで形成したパターン(図示せず)をマスクとしてエッチングすることによって形成する。

【0038】

次に、熱酸化法により半導体基板1のシリコン表面を酸化して酸化シリコンとすることにより、溝パターンの内部に厚さ4nm程度のゲート絶縁膜5aを形成する。ゲート絶縁膜5aとしては、酸化シリコンと窒化シリコンの積層膜やHigh-K膜(高誘電体膜)を使用してもよい。この後に、ゲート絶縁膜5a上にモノシラン(SiH₄)及びフォスフィン(PH₃)を原料ガスとしたCVD法により、N型の不純物が含有された多結晶シリコン膜を堆積する。この際に、ゲート電極用の溝パターンの内部が完全に多結晶シリコン膜で充填されるような膜厚に設定する。リン等の不純物を含まない多結晶シリコン膜を形成して、後の工程で所望の不純物をイオン注入法にて多結晶シリコン膜に導入してもよい。次に、エッチバックにより、多結晶シリコン膜の上面が半導体基板1の主面よりも下方となるように、多結晶シリコン膜の上面を後退させる。次に、上記多結晶シリコン膜上に、スパッタリング法により金属膜として、例えばタングステンシリサイド膜、窒化タングステン膜、タングステン膜を順次、堆積した積層膜を50nm程度の厚さに形成する。次に、エッチバックにより、金属膜の上面が半導体基板1の主面よりも下方となるように、金属膜の上面を後退させる。これにより、多結晶シリコン膜と金属膜の積層膜からなるゲート電極5を形成する。ゲート電極5はワード線W(図7)として機能する。

30

40

【0039】

次に、モノシランとアンモニア(NH₃)を原料ガスとするプラズマCVD法により、ゲート電極5を構成する金属膜上に半導体基板1の主面を覆うように、窒化シリコンからなる絶縁膜5bを堆積する。次に、エッチバックにより、絶縁膜5bの上面が半導体基板1の主面と面一となるように、絶縁膜5bの上面を後退させる。

【0040】

50

次に、N型不純物としてリンのイオン注入を行い、ゲート電極5で覆われていない活性領域に不純物拡散層8a、8bを形成する。これにより、ゲート絶縁膜5a、ゲート電極5、ならびにソースおよびドレイン領域となる不純物拡散層8a、8bを備えたMOS型トランジスタTrが完成する。なお、図9中には示していないが、外周領域においても同様にMOS型トランジスタTrを形成する。外周領域に形成されたMOS型トランジスタTrはダミーパターンであるダミートランジスタとなる。図9以降の図面においても外周領域にMOS型トランジスタTrは示していないが、図9と同様に外周領域にはMOS型トランジスタTrが形成されているものとする。

【0041】

図10に示すように、半導体基板1上に、CVD法により、N型の不純物が含有された多結晶シリコン膜を堆積する。この後、多結晶シリコン膜上に、スパッタリング法により、金属膜を形成した後、プラズマCVD法により、金属膜上に窒化シリコン6bを形成する。金属膜としては例えば、窒化タングステン膜及びタングステン膜を順次、堆積した積層膜を用いることができる。リソグラフィ技術およびドライエッチング技術を利用して、窒化シリコン6bのパターニングを行うことにより、窒化シリコン6bからなるハードマスク(キャップ絶縁膜)を形成する。ハードマスクを用いて多結晶シリコン膜および金属膜のドライエッチングを行うことにより、不純物拡散層8a上に、多結晶シリコン膜および金属膜からなるビット線6を形成する。なお、図10のビット線6中には、多結晶シリコン膜と金属膜の境界は示しておらず、多結晶シリコン膜と金属膜の積層膜を一体的に示している。図10以降の図面においても同様である。

10

20

【0042】

次に、半導体基板1上に、CVD法により、窒化シリコン膜を形成した後、エッチバックを行うことにより、ビット線6の側面を、窒化シリコン膜からなるサイドウォール絶縁膜6aで覆う。

【0043】

次に、半導体基板1上に、ビット線6およびキャップ絶縁膜6bを覆うように、CVD法により酸化シリコン等の層間絶縁膜7を形成する。この後、ビット線6に由来する凹凸を平坦化するため、CMP(Chemical Mechanical Polishing)法により、層間絶縁膜7の研磨を行う。層間絶縁膜7の研磨は、キャップ絶縁膜6bの上面が露出した時点で停止する。

30

【0044】

この後に、容量コンタクトプラグ7Aを形成する。具体的には、まず、図7の基板コンタクト部2a、2bの位置に開口を形成するように、レジスト膜で形成したパターン(図示していない)をマスクとして層間絶縁膜7のエッチングを行い、不純物拡散層8bを露出させる開口を形成する。この後に、開口の内部を充填するように、TiN/Ti等のバリア膜上にタングステン(W)を積層した膜を堆積し、表面をCMP法にて研磨することにより、不純物拡散層8bに接続された容量コンタクトプラグ7Aを形成する。

【0045】

なお、図10中には示していないが、外周領域においても同様にビット線6および容量コンタクトプラグ7Aを形成する。外周領域に形成されたビット線6および容量コンタクトプラグ7Aはそれぞれ、ダミーパターンであるダミービット線およびダミー容量コンタクトプラグとなる。図10以降の図面においても外周領域にビット線6および容量コンタクトプラグ7Aは示していないが、図10と同様に外周領域にはビット線6および容量コンタクトプラグ7Aが形成されているものとする。

40

【0046】

図11に示すように、層間絶縁膜7上に、タングステンを含む積層膜を用いて容量コンタクトパッド10を形成する。容量コンタクトパッド10は容量コンタクトプラグ7Aと導通し、後に形成するキャパシタの下部電極13の底部のサイズよりも大きくなるようなサイズで配置する。この際、図11Bに示すように、外周領域においても、容量コンタクトパッド10を形成する。この容量コンタクトパッド10はダミーパターンであるダミー

50

容量コンタクトパッドとなる。

【 0 0 4 7 】

次に、容量コンタクトパッド 1 0 を覆うように、窒化シリコンを用いてストッパー膜 1 1 を、例えば 6 0 n m の厚さで堆積する。この後、ストッパー膜 1 1 上に、B P S G 膜 1 2 a および T E O S 膜 1 2 b を順次、形成する。B P S G 膜 1 2 a および T E O S 膜 1 2 b の積層膜は第 1 の絶縁膜に相当する。また、B P S G 膜 1 2 a および T E O S 膜 1 2 b はそれぞれ、下層絶縁膜および上層絶縁膜に相当する。L P - C V D 法または A L D 法で形成した窒化シリコン膜を約 1 0 0 n m の厚さに堆積し、サポート膜 1 4 を形成する。サポート膜 1 4 は第 2 の絶縁膜に相当する。

【 0 0 4 8 】

図 1 2 に示すように、サポート膜 1 4 上に、キャパシタの下部電極 1 3 を設ける第 1 の開口 1 2 A を形成するためのハードマスク層を設ける。ハードマスク層としては、アモルファスカーボン膜 2 1 を形成する。アモルファスカーボン膜 2 1 は、C V D 法によって 6 0 0 ~ 8 0 0 n m の膜厚に形成する。この後、アモルファスカーボン膜 2 1 上にレジスト膜 2 2 を用いて、キャパシタを形成する位置に第 1 の開口 1 2 A を形成するためのマスクパターンを、フォトリソグラフィ技術によって形成する。この際、本実施例では、外周領域上のレジスト膜 2 2 を除去し、デバイス領域のキャパシタを形成する領域にのみレジスト膜 2 2 が残るようにする。

【 0 0 4 9 】

図 1 3 に示すように、レジスト膜 2 2 をマスクとして異方性ドライエッチングを行い、アモルファスカーボン膜 2 1 をパターンニングする。この後、アモルファスカーボン膜 2 1 をマスクに用いて、サポート膜 1 4、B P S G 膜 1 2 a および T E O S 膜 1 2 b からなる層間絶縁膜のエッチングを行い、開口 1 2 A (第 1 の開口) および開口 1 2 C (第 3 の開口) を形成する。第 1 の開口 1 2 A は、サポート膜 1 4 および層間絶縁膜 1 2 a、1 2 b をその厚み方向に貫通して、第 1 の開口 1 2 A の底部では容量コンタクトパッド 1 0 の上面が露出するように形成される。この際、サポート膜 1 4、および層間絶縁膜 1 2 a、1 2 b のエッチング条件は、外周領域 3 2 において逆マイクロローディング効果が発生するような条件とする。具体的には、エッチングガスとして C_4F_6 または C_4F_8 を用いたドライエッチングを行う。これらのエッチングガスを用いると、デバイス領域 3 3 ではレジスト膜 2 2 内の開口部の下に第 1 の開口 1 2 A を形成する際、第 1 の開口 1 2 A の内壁側面上に反応生成物である保護膜 (カーボンポリマー膜) が形成される。これに対して、外周領域 3 2 ではレジスト膜 2 2 が形成されないため、第 3 の開口 1 2 C を形成する際、第 3 の開口 1 2 C の内壁側面だけでなく内壁底面上にも保護膜が形成される。このため、第 1 の開口 1 2 A 形成時の層間絶縁膜 1 2 a、1 2 b のエッチングレートよりも、第 3 の開口 1 2 C 形成時の層間絶縁膜 1 2 a、1 2 b のエッチングレートは小さくなる。従って、デバイス領域 3 3 においてサポート膜 1 4 および層間絶縁膜 1 2 a、1 2 b をその厚み方向に貫通して容量コンタクトパッド 1 0 を露出させる第 1 の開口 1 2 A を形成した時点においても、外周領域 3 2 ではダミー容量コンタクトパッドは露出しておらず、B P S G 膜 1 2 a が残留する。

【 0 0 5 0 】

図 1 4 に示すように、レジストパターン 2 2 およびアモルファスカーボン膜 2 1 (何れも図 1 4 には図示していない) を除去する。この後、キャパシタの下部電極 1 3 として、窒化チタン膜を、第 1 の開口 1 2 A の内部を充填しない膜厚で形成する。下部電極 1 3 の材料としては窒化チタン以外の金属膜も使用可能である。半導体基板 1 を覆うように、プラズマ C V D 法により窒化シリコン膜 1 6 を形成する。この窒化シリコン膜 1 6 は、後に形成するレジスト膜 1 7 が第 1 の開口 1 2 A 内に入り込まないようにする目的で形成する。この後、窒化シリコン膜 1 6 上に、レジストパターン 1 7 を形成する。

【 0 0 5 1 】

図 1 5 および 1 6 に示すように、レジストパターン 1 7 (図 1 5 および 1 6 には図示していない) をマスクに用いて、窒化シリコン膜 1 6 (図 1 5 および 1 6 には図示していな

10

20

30

40

50

い)、下部電極 13 およびサポート膜 14 のエッチングを行い、サポート膜 14 内に第 2 の開口 12 B を形成する。この後、レジストパターン 17 および窒化シリコン膜 16 を除去する。CMP またはエッチバックによってサポート膜 14 上の下部電極 13 を除去し、第 1 の開口 12 A の内壁を覆う部分のみに下部電極 13 を残存させる。サポート膜 14 は下部電極 13 の外壁側面の一部に接触して保持することで、後の湿式エッチングの工程において下部電極 13 が倒壊するのを防止する。図 15 に示すように、第 2 の開口 12 B は、X 方向に延在する帯状のパターンとして形成される。第 1 の開口 12 A の内部には最初からサポート膜 14 は存在していないので、サポート膜 14 は、第 1 の開口 12 A の外部に位置する領域のみが、残留する。すなわち、サポート膜 14 は、第 1 の開口 12 A 内に設けられた下部電極 13 の外壁側面に接して残るように、第 2 の開口 12 B が形成される。なお、図 15 は、第 2 の開口 12 B のパターン配置の一例を示すものであり、サポート膜 14 が複数の下部電極 13 の外壁側面に接する限り、第 2 の開口 12 B の形状および延在する方向は、図 15 に示した例に限定されない。

10

【0052】

図 17 に示すように、フッ酸 (HF) を含有した薬液を用いた湿式エッチングを行うことにより、デバイス領域 33 のメモリセル領域および外周領域 32 の層間絶縁膜 (BPSG 膜 12 a および TEOS 膜 12 b) を除去して、下部電極 13 の外壁側面を露出させる。窒化シリコンで形成されているストッパー膜 11 は、この湿式エッチングの際のストッパー膜として機能し、下層に位置する素子等がエッチングされるのを防止する。

20

【0053】

図 8 に示すように、下部電極 13 の露出した表面を覆うように、容量絶縁膜 (図示せず) を形成する。容量絶縁膜としては例えば、酸化ジルコニウム (ZrO_2)、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2) や、それらの積層体からなる高誘電体膜を例示できる。この後、キャパシタ Ca の上部電極 15 を窒化チタン等で形成する。上部電極 15 には、窒化チタン以外の金属膜も使用可能である。また、窒化チタン上に多結晶シリコン等を積層して、下部電極 13 間のスペース部分の充填性を向上させた膜を上部電極 15 として使用してもよい。下部電極 13 と上部電極 15 によって容量絶縁膜を挟むことにより、キャパシタ Ca が形成される。なお、容量絶縁膜は第 3 の絶縁膜に相当する。下部電極 13 と上部電極 15 はそれぞれ、第 1 の導電膜および第 2 の導電膜に相当する。

30

【0054】

この後、酸化シリコン等で層間絶縁膜 40 を形成する。メモリセル領域では、キャパシタ Ca の上部電極 15 に電位 (プレート電位) を与えるための引き出し用コンタクトプラグ (図示せず) を形成する。この後に、上層の配線層 41 をアルミニウム (Al) や銅 (Cu) 等で形成する。さらに、表面の保護膜 42 を酸化窒化シリコン (SiON) 等で形成する。この後、半導体基板 1 をダイシングして個片化することにより、図 6 に示す DRAM チップが完成する。

【0055】

本実施例では、図 13 の第 1 の開口 12 A (シリンダーホール) を形成する工程において、外周領域 32 上にマスクであるレジスト膜 22 を設けず、外周領域 32 上に広い開口部を設ける。また、第 1 の開口 12 A を形成するためのエッチング時には、逆マイクロロウディング効果を利用して、デバイス領域 33 と比べて、外周領域 32 の層間絶縁膜 12 a、12 b のエッチングレートを小さくする。この結果、外周領域 32 では、層間絶縁膜の一部である TEOS 膜 12 a が残るため、外周領域 32 の下層に形成された素子等ではエッチングされず、ゴミとならない。また、図 17 の工程で湿式エッチングにより層間絶縁膜 12 a、12 b を除去する際、前述のように、外周領域 32 では第 1 の開口 12 A を形成せず、サポート膜 14 も存在しないため、サポート膜 14 のゴミが発生しなくなる。この結果、半導体装置の装置特性の劣化を防止して、歩留まりを向上させることができる。

40

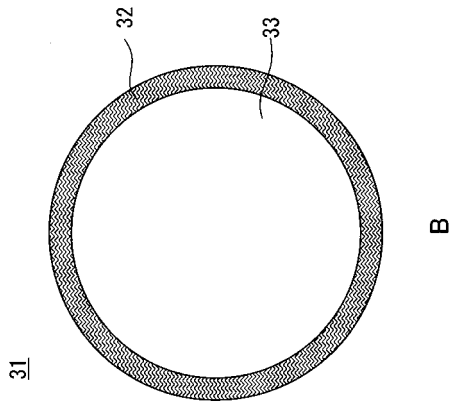
【符号の説明】

50

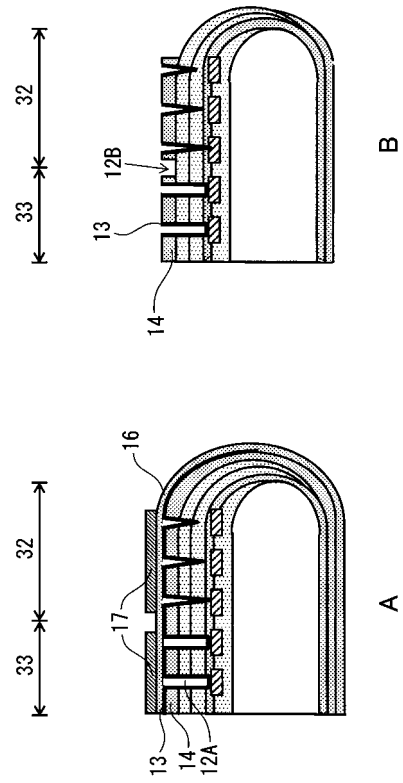
【 0 0 5 6 】

1、3 1	半 導 体 基 板	
2 a、2 b	基 板 コ ン タ ク ト 部	
3	素 子 分 離 領 域	
5	ゲ ー ト 電 極	
5 a	ゲ ー ト 絶 縁 膜	
5 b	絶 縁 膜	
6	ビ ッ ト 線	
6 a	サ イ ド ウ ォ ー ル 絶 縁 膜	
6 b	キャ ッ プ 絶 縁 膜	10
7	層 間 絶 縁 膜	
7 A	容 量 コ ン タ ク ト プ ラ グ	
8 a、8 b	不 純 物 拡 散 層	
1 0	容 量 コ ン タ ク ト パ ッ ド	
1 1	ス ト ッ パ ー 膜	
1 2 a	B P S G 膜	
1 2 b	T E O S 膜	
1 2 A、1 2 B、1 2 C	開 口	
1 3	下 部 電 極	
1 4	サ ポ ー ト 膜	20
1 4 A	サ ポ ー ト 膜 の 側 面	
1 5	上 部 電 極	
1 6	窒 化 シ リ コ ン 膜	
1 7、2 2	レ ジ ス ト 膜	
2 1	ア モ ル フ ァ ス カ ー ボ ン 膜	
3 2	外 周 領 域	
3 3	デ バ イ ス 領 域	
4 0	層 間 絶 縁 膜	
4 1	配 線 層	
4 2	表 面 保 護 膜	30
5 0	D R A M チ ッ プ	
5 1	メ モ リ セ ル 領 域	
5 2	周 辺 回 路 領 域	
C a	キャ パ シ タ (容 量 素 子)	
K	活 性 領 域	
T r	M O S 型 ト ラ ン ジ ス タ	
W	ワ ー ド 配 線	

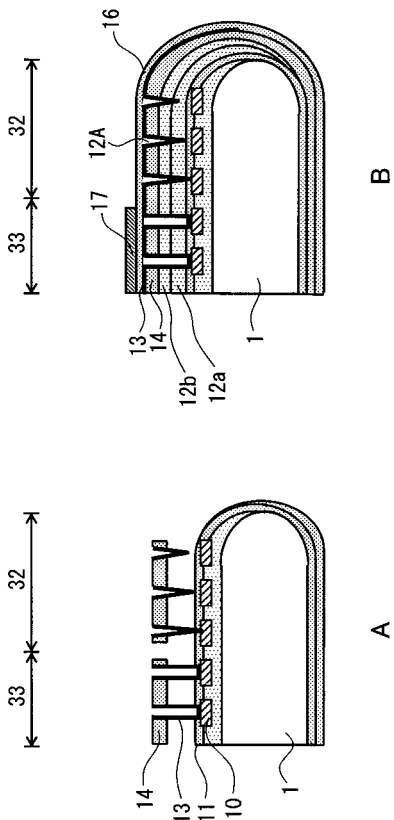
【 図 1 】



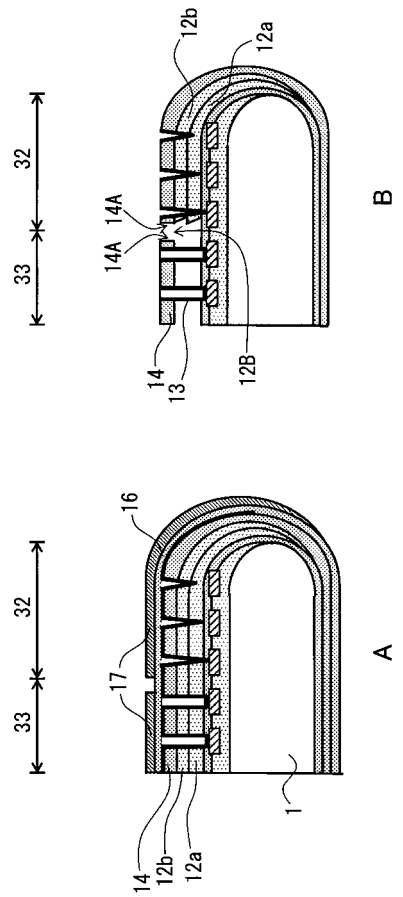
【 図 3 】



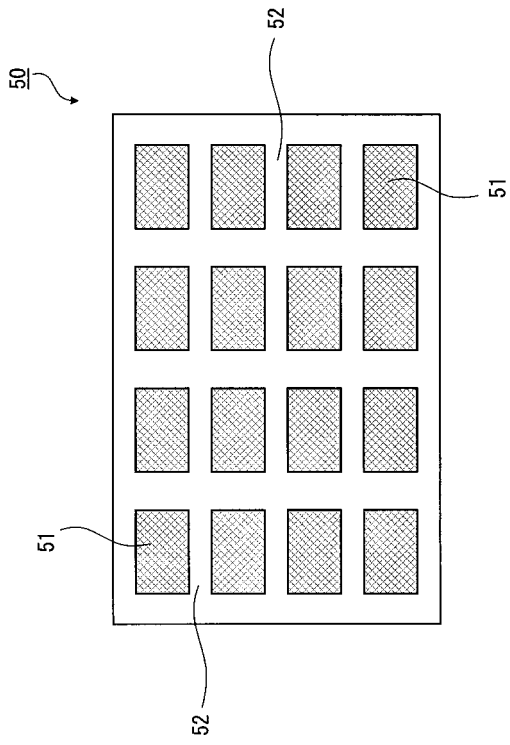
【 図 4 】



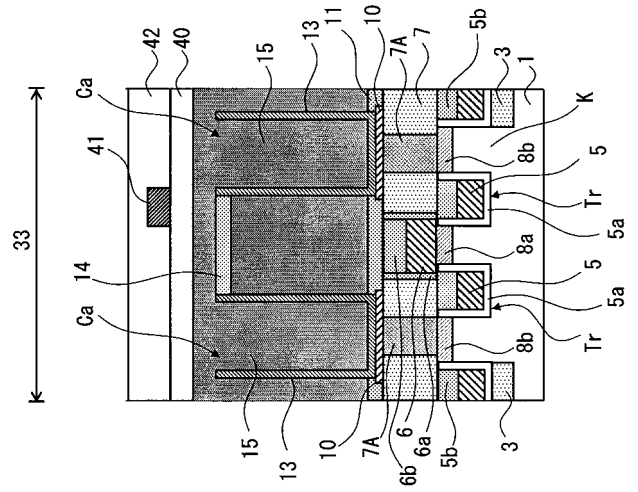
【 図 5 】



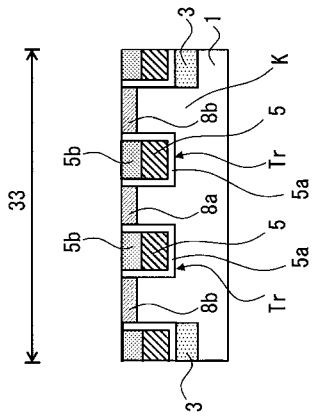
【 図 6 】



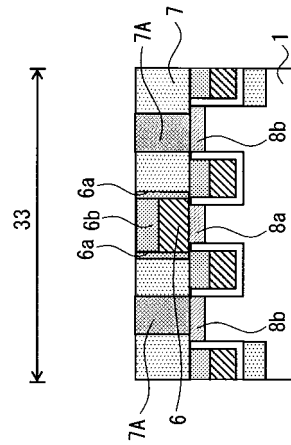
【 図 8 】



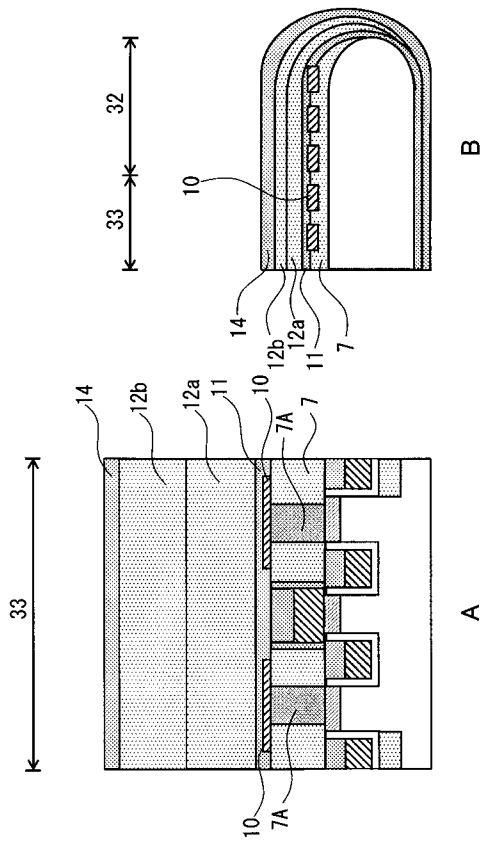
【 図 9 】



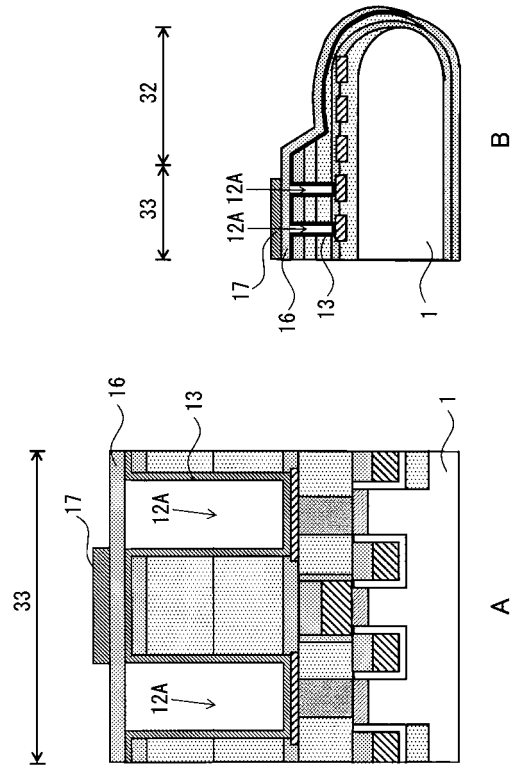
【 図 10 】



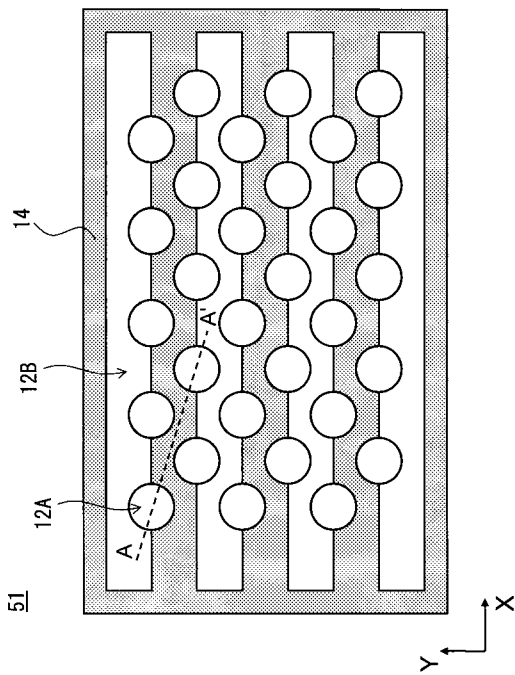
【 図 1 1 】



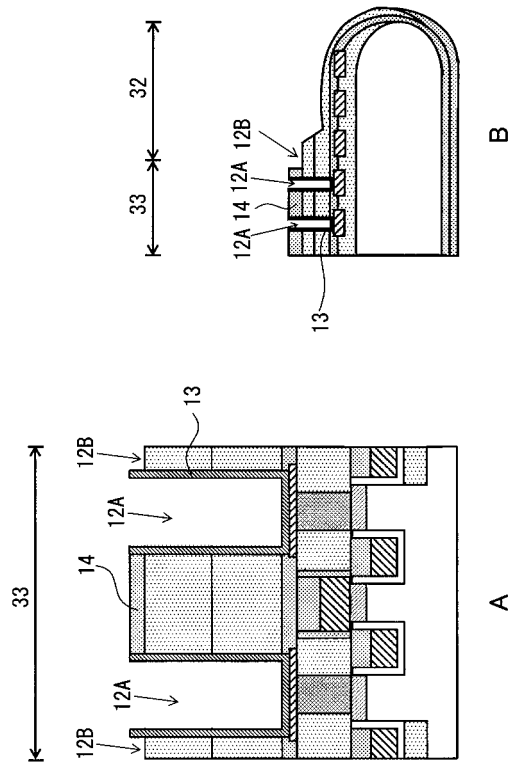
【 図 1 4 】



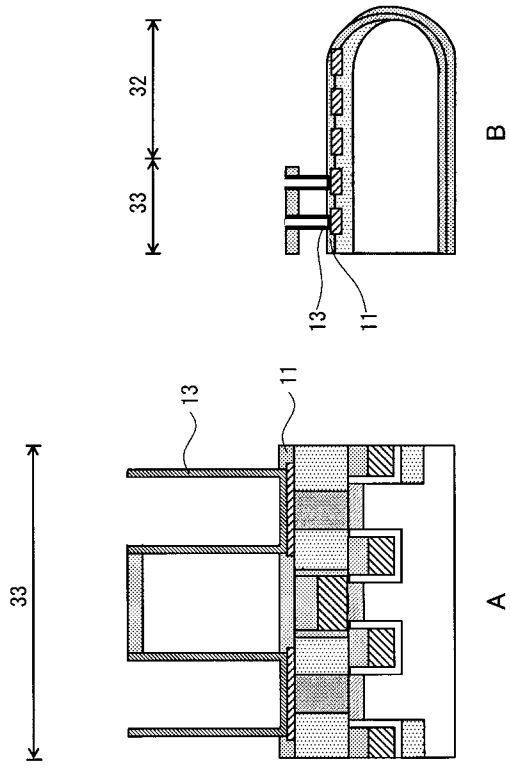
【 図 1 5 】



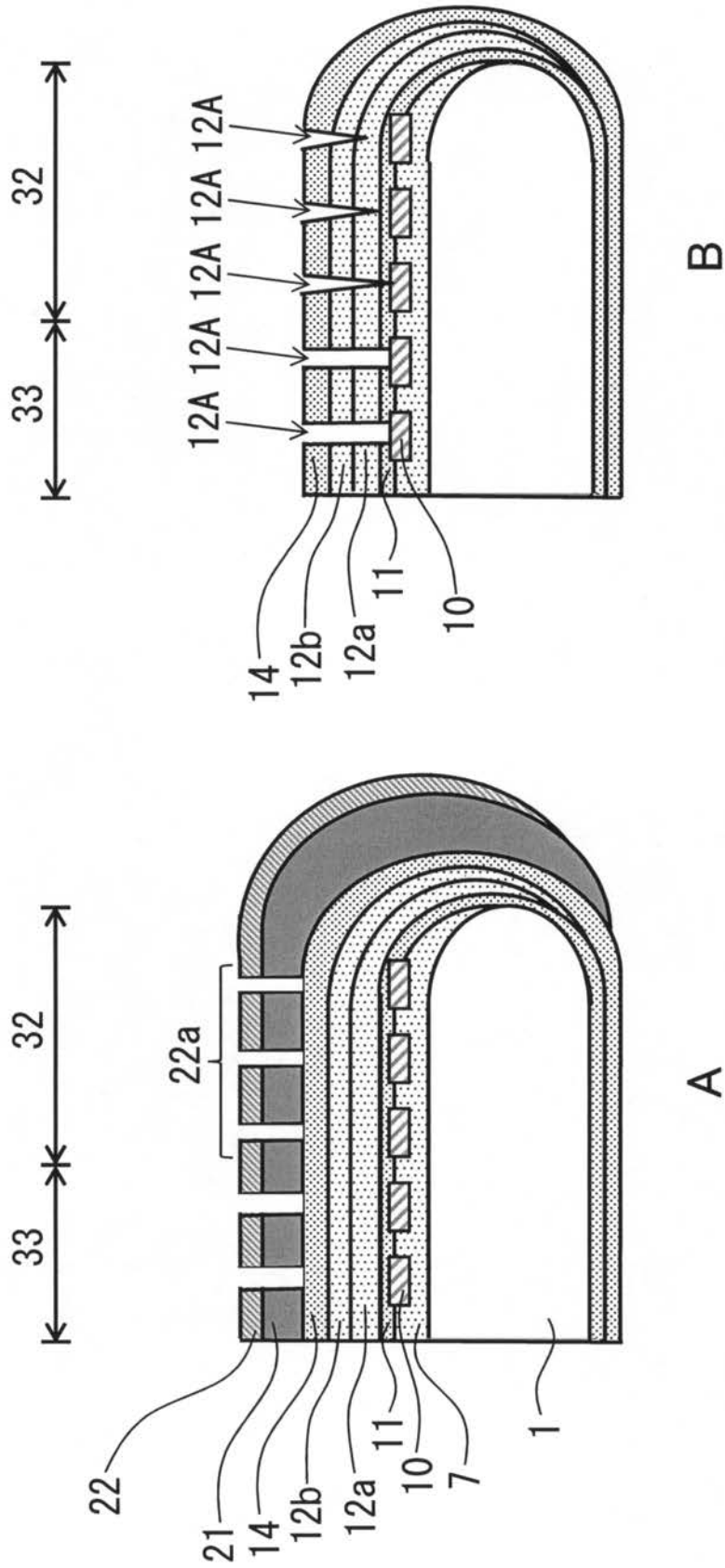
【 図 1 6 】



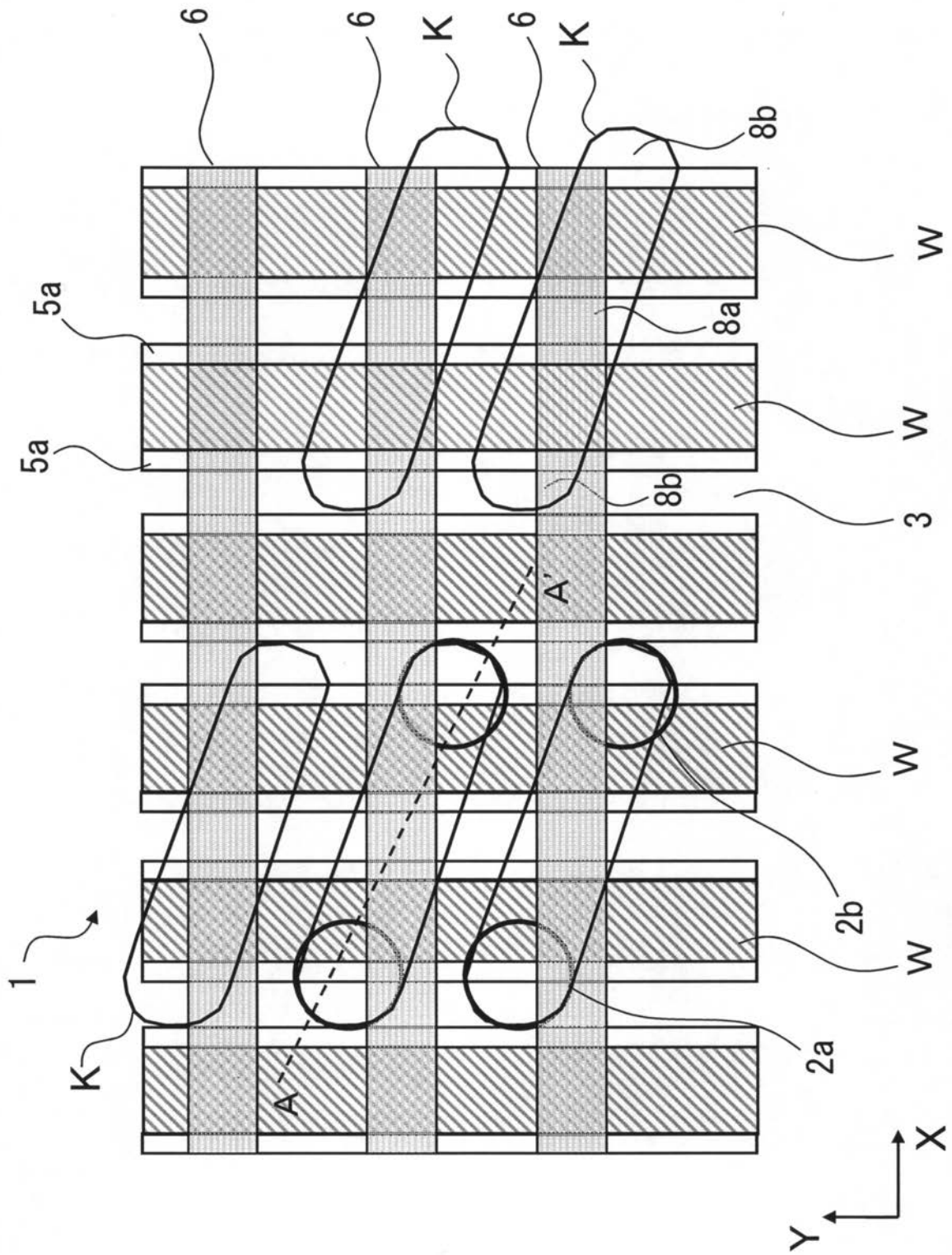
【 図 17 】



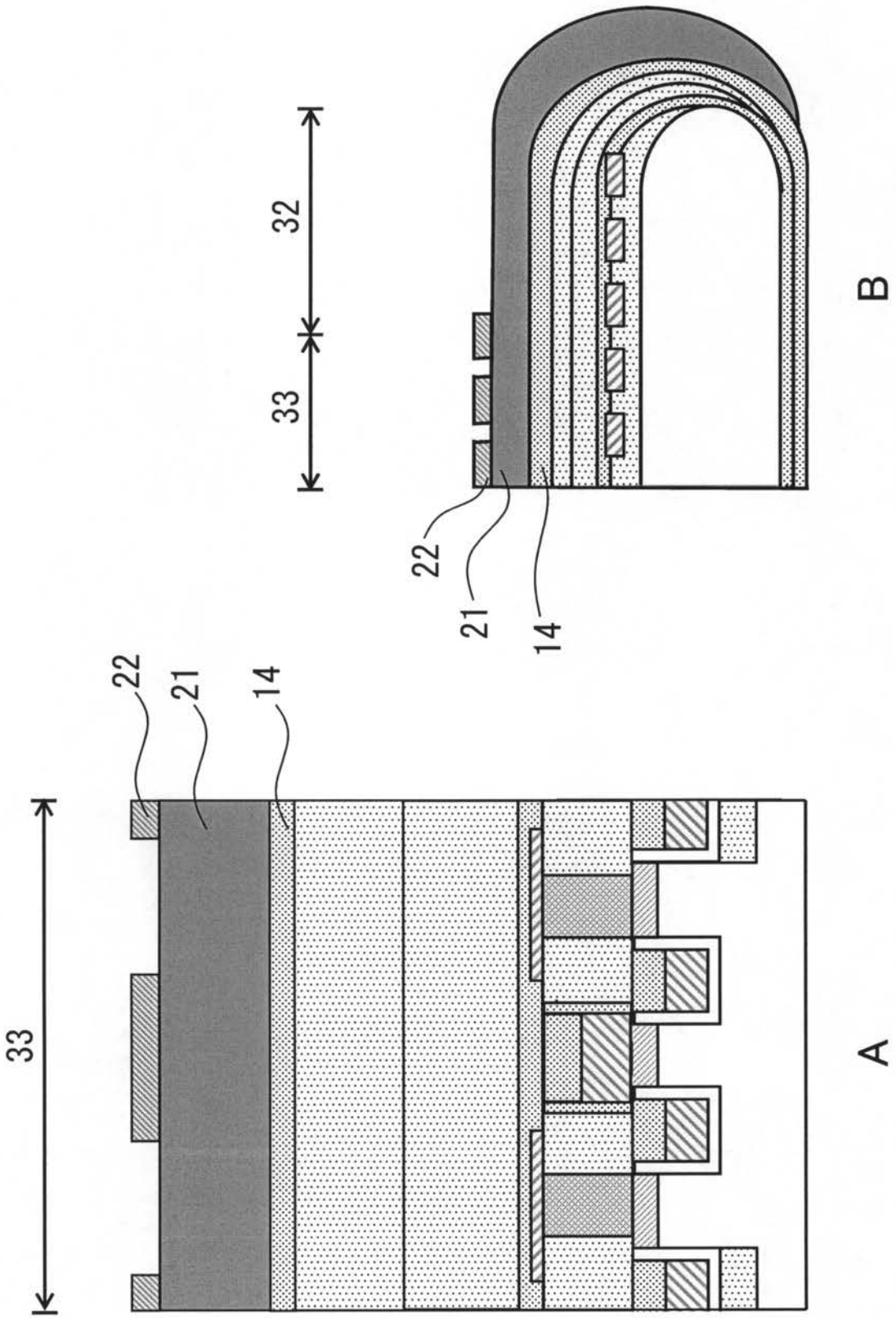
【 図 2 】



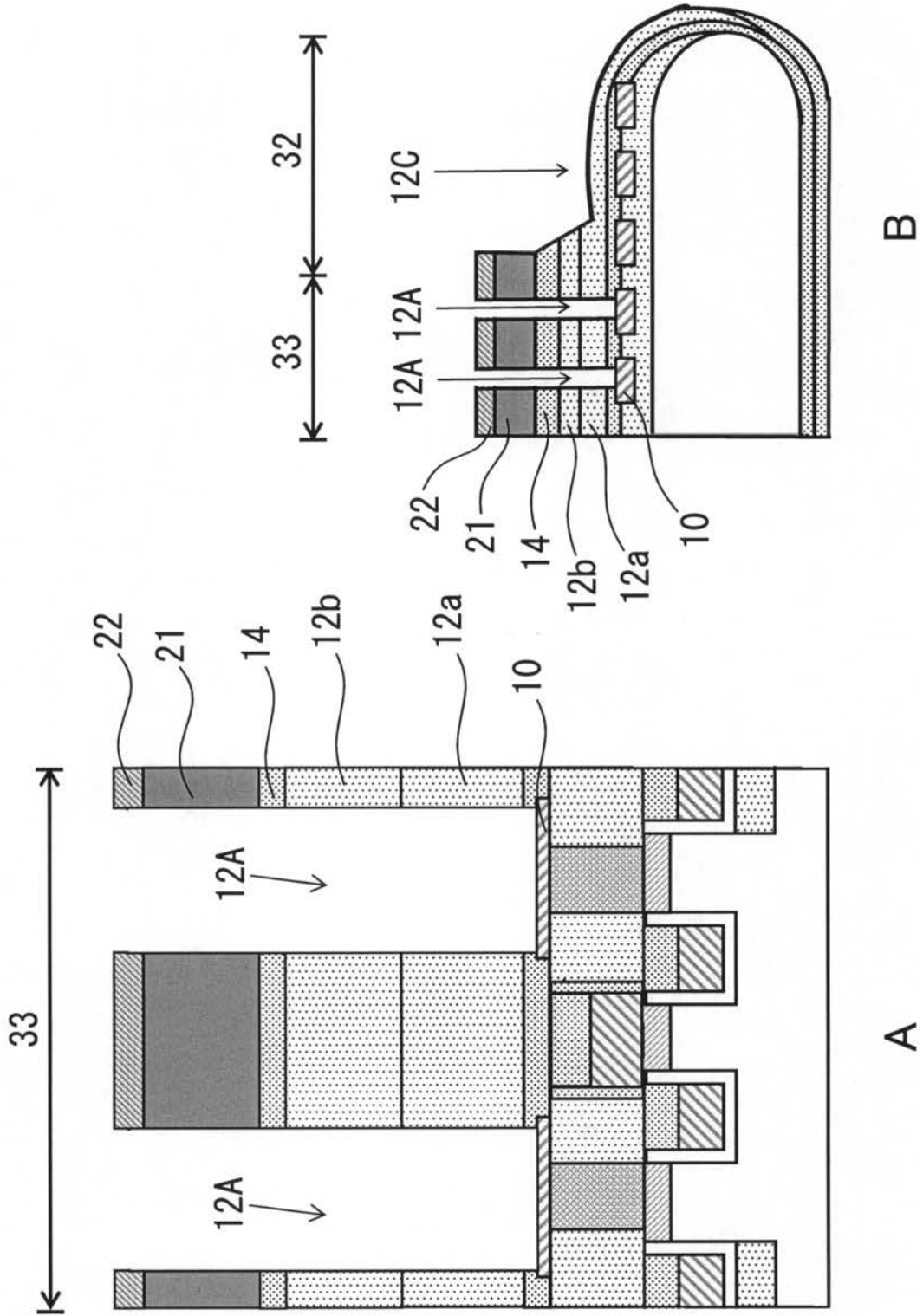
【図7】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(72)発明者 迫 信行

東京都中央区八重洲2 - 2 - 1 エルピーダメモリ株式会社内

Fターム(参考) 5F033 HH04 HH08 HH11 HH19 HH28 HH34 JJ04 JJ18 JJ19 JJ33
KK01 LL04 MM05 NN06 NN07 PP06 PP15 QQ08 QQ09 QQ11
QQ19 QQ28 QQ31 QQ35 QQ48 RR04 RR06 RR08 RR15 SS04
SS13 SS15 VV06 VV16 XX00
5F083 AD04 AD24 AD48 AD49 AD56 GA27 JA02 JA35 JA36 JA37
JA39 JA40 JA53 JA56 KA01 KA05 KA19 LA02 LA12 LA16
LA21 LA26 LA30 MA05 MA06 MA18 MA20 NA01 PR05 PR07
PR21 PR40 ZA01 ZA28