

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5538838号
(P5538838)

(45) 発行日 平成26年7月2日(2014.7.2)

(24) 登録日 平成26年5月9日(2014.5.9)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 27/115 (2006.01)	
HO 1 L 21/8247 (2006.01)	

請求項の数 18 (全 46 頁) 最終頁に続く

(21) 出願番号	特願2009-267029 (P2009-267029)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年11月25日(2009.11.25)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2011-114048 (P2011-114048A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成23年6月9日(2011.6.9)	(72) 発明者	茶木原 啓 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成24年8月22日(2012.8.22)	(72) 発明者	石井 泰之 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
		審査官	小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板の上部に形成され、第1ゲート電極と前記第1ゲート電極上の第1絶縁膜と前記第1絶縁膜上の第2絶縁膜とを有する積層パターンと、
前記半導体基板の上部に形成され、前記積層パターンと隣り合う第2ゲート電極と、
前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、
前記第2ゲート電極と前記半導体基板との間および前記積層パターンと前記第2ゲート電極との間に形成された第3絶縁膜であって、その内部に電荷蓄積部を有する前記第3絶縁膜と、
を有し、
前記積層パターンの前記第2ゲート電極に隣接する側の側壁では、前記第1絶縁膜が前記第1ゲート電極および前記第2絶縁膜よりも後退しており、前記第1ゲート電極の上端角部が丸みを帯びており、
前記積層パターンの前記第2ゲート電極に隣接する側の側壁における前記第1絶縁膜が後退している領域に、前記第3絶縁膜の一部が入り込んでおり、
前記第1絶縁膜の厚みは、前記第1ゲート絶縁膜の厚みよりも厚いことを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記第 1 ゲート電極は、第 1 シリコン膜からなることを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、

前記第 1 絶縁膜は酸化シリコン膜からなり、

前記第 2 絶縁膜は窒化シリコン膜からなることを特徴とする半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、

前記積層パターンの前記第 2 ゲート電極に隣接する側の側壁において、前記第 1 ゲート電極の上端角部の丸み度合いは、前記第 1 ゲート電極の下端角部の丸み度合いよりも大きいことを特徴とする半導体装置。

10

【請求項 5】

請求項 4 記載の半導体装置において、

前記積層パターンの前記第 2 ゲート電極に隣接する側の側壁において、前記第 1 ゲート電極の下端角部は丸まっていないことを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、

前記第 1 ゲート絶縁膜は、酸窒化シリコン膜からなることを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

前記第 3 絶縁膜は、第 1 酸化シリコン膜と前記第 1 酸化シリコン膜上の第 1 窒化シリコン膜と前記第 1 窒化シリコン膜上の第 2 酸化シリコン膜とを有する積層膜からなり、前記第 1 窒化シリコン膜が前記電荷蓄積部として機能することを特徴とする半導体装置。

20

【請求項 8】

請求項 7 記載の半導体装置において、

前記積層パターンの前記第 2 ゲート電極に隣接する側の側壁における前記第 1 絶縁膜が後退している領域に、前記第 1 窒化シリコン膜の一部が入り込んでいることを特徴とする半導体装置。

【請求項 9】

請求項 7 記載の半導体装置において、

前記積層パターンの前記第 2 ゲート電極に隣接する側の側壁で、前記第 1 絶縁膜が前記第 1 ゲート電極および前記第 2 絶縁膜よりも後退している距離は、前記第 1 酸化シリコン膜の厚み以上であることを特徴とする半導体装置。

30

【請求項 10】

請求項 1 記載の半導体装置において、

前記第 2 ゲート電極は、第 2 シリコン膜と、前記第 2 シリコン膜の上部に形成された金属シリサイド層とを有していることを特徴とする半導体装置。

【請求項 11】

請求項 1 記載の半導体装置において、

前記第 1 ゲート電極の上部には金属シリサイド層が形成されていないことを特徴とする半導体装置。

40

【請求項 12】

請求項 1 記載の半導体装置において、

前記半導体装置は、不揮発性メモリを有し、

前記第 1 および第 2 ゲート電極は、前記不揮発性メモリを構成するゲート電極であることを特徴とする半導体装置。

【請求項 13】

半導体基板と、

前記半導体基板の上部に形成され、互いに隣り合う第 1 ゲート電極および第 2 ゲート電極と、

50

前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、
前記第2ゲート電極と前記半導体基板との間に形成され、内部に電荷蓄積部を有する第2ゲート絶縁膜と、

を有する半導体装置の製造方法であって、

- (a) 前記半導体基板を用意する工程、
- (b) 前記半導体基板の主面に前記第1ゲート絶縁膜用の絶縁膜を形成する工程、
- (c) 前記絶縁膜上に前記第1ゲート電極用の第1導体膜を形成する工程、
- (d) 前記第1導体膜上に第1絶縁膜を形成する工程、
- (e) 前記第1絶縁膜上に第2絶縁膜を形成する工程、
- (f) 前記第2絶縁膜、前記第1絶縁膜および前記第1導体膜をパターンニングして、前記第1ゲート電極を形成する前記第1導体膜と前記第1導体膜上の前記第1絶縁膜と前記第1絶縁膜上の前記第2絶縁膜とを有する積層パターンを形成する工程、
- (g) 前記積層パターンの側壁において、前記第1絶縁膜をサイドエッチングして前記第1導体膜および前記第2絶縁膜よりも後退させる工程、
- (h) 前記(g)工程後、前記半導体基板の主面と前記積層パターンの側壁上に、前記第2ゲート絶縁膜用でかつ内部に電荷蓄積部を有する第3絶縁膜を形成する工程、
- (i) 前記第3絶縁膜上に、前記積層パターンと前記第3絶縁膜を介して隣り合う前記第2ゲート電極を形成する工程、

を有し、

前記(d)工程で形成された前記第1絶縁膜の厚みは、前記(b)工程で形成された前記絶縁膜の厚みよりも厚く、

前記(h)工程では、第1酸化シリコン膜と前記第1酸化シリコン膜上の第1窒化シリコン膜と前記第1窒化シリコン膜上の第2酸化シリコン膜とを有する積層膜からなる前記第3絶縁膜が形成され、

前記(h)工程で前記第1酸化シリコン膜を形成する際に、前記積層パターンの側壁において、前記第1ゲート電極を形成する前記第1導体膜の表面が酸化されて、前記第1導体膜の上端角部が丸みを帯びることを特徴とする半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法において、
前記(c)工程で形成された前記第1導体膜はシリコン膜からなり、
前記(d)工程で形成された前記第1絶縁膜は酸化シリコン膜からなり、
前記(e)工程で形成された前記第2絶縁膜は窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項15】

請求項13記載の半導体装置の製造方法において、
前記(g)工程では、フッ酸を用いたウェット処理により、前記第1絶縁膜をサイドエッチングすることを特徴とする半導体装置の製造方法。

【請求項16】

請求項13記載の半導体装置の製造方法において、
前記(f)工程後で、前記(g)工程前に、
(f1)前記半導体基板を酸化処理して犠牲酸化膜を形成する工程、
を更に有し、
前記(g)工程では、前記(f1)工程で形成された前記犠牲酸化膜を除去するとともに、前記第1絶縁膜をサイドエッチングすることを特徴とする半導体装置の製造方法。

【請求項17】

請求項13記載の半導体装置の製造方法において、
前記(b)工程で形成された前記絶縁膜は、酸窒化シリコン膜からなることを特徴とする半導体装置の製造方法。

【請求項18】

半導体基板と、

前記半導体基板の上部に形成され、互いに隣り合う第1ゲート電極および第2ゲート電極と、

前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、
前記第2ゲート電極と前記半導体基板との間に形成され、内部に電荷蓄積部を有する第2ゲート絶縁膜と、

を有する半導体装置の製造方法であって、

(a) 前記半導体基板を用意する工程、

(b) 前記半導体基板の主面に前記第1ゲート絶縁膜用の絶縁膜を形成する工程、

(c) 前記絶縁膜上に前記第1ゲート電極用の第1導体膜を形成する工程、

(d) 前記第1導体膜上に第1絶縁膜を形成する工程、

(e) 前記第1絶縁膜上に第2絶縁膜を形成する工程、

(f) 前記第2絶縁膜、前記第1絶縁膜および前記第1導体膜をパターンングして、前記第1ゲート電極を形成する前記第1導体膜と前記第1導体膜上の前記第1絶縁膜と前記第1絶縁膜上の前記第2絶縁膜とを有する積層パターンを形成する工程、

(g) 前記積層パターンの側壁において、前記第1絶縁膜をサイドエッチングして前記第1導体膜および前記第2絶縁膜よりも後退させる工程、

(h) 前記(g)工程後、前記半導体基板の主面と前記積層パターンの側壁上に、前記第2ゲート絶縁膜用でかつ内部に電荷蓄積部を有する第3絶縁膜を形成する工程、

(i) 前記第3絶縁膜上に、前記積層パターンと前記第3絶縁膜を介して隣り合う前記第2ゲート電極を形成する工程、

を有し、

前記(d)工程で形成された前記第1絶縁膜の厚みは、前記(b)工程で形成された前記絶縁膜の厚みよりも厚く、

前記(g)工程後で、(h)工程前に、

(g1) 前記半導体基板を酸化処理して犠牲酸化膜を形成する工程、

(g2) 前記(g1)工程後に、前記(g1)工程で形成された前記犠牲酸化膜を除去する工程、

を更に有し、

前記(g1)工程で前記犠牲酸化膜を形成する際に、前記積層パターンの側壁において、前記第1ゲート電極を形成する前記第1導体膜の表面が酸化されて、前記第1導体膜の上端角部が丸みを帯びることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、特に、不揮発性メモリを有する半導体装置およびその製造方法に適用して有効な技術に関する。

【背景技術】

【0002】

電氣的に書込・消去が可能な不揮発性半導体記憶装置として、EEPROM (Electrically Erasable and Programmable Read Only Memory) が広く使用されている。現在広く用いられているフラッシュメモリに代表されるこれらの記憶装置(メモリ)は、MISFETのゲート電極下に、酸化膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜を有しており、浮遊ゲートやトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタの閾値として読み出すものである。このトラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などがあげられる。このような電荷蓄積領域への電荷の注入・放出によってMISFETのしきい値をシフトさせ記憶素子として動作させる。このフラッシュメモリとしては、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜を用いたスプリットゲート型セルがある。かかるメモリにおいては、電荷蓄積領域として窒化シリコン膜を用いることで、導電性の浮遊ゲート膜と比べ、離散的に電荷を蓄積するためにデータ保持の信頼性に優れ、また、データ保持の信頼性に優れ

10

20

30

40

50

ているために窒化シリコン膜上下の酸化膜を薄膜化でき、書込み・消去動作の低電圧化が可能である、等の利点を有する。

【 0 0 0 3 】

特開 2 0 0 5 - 3 4 7 6 7 9 号公報（特許文献 1）や特開 2 0 0 3 - 3 0 9 1 9 3 号公報（特許文献 2）には、MONOS 型不揮発性メモリにおいて、選択ゲート電極（コントロールゲート電極）上に絶縁膜を形成し、選択ゲート電極（コントロールゲート）及びその上に形成された絶縁膜からなる積層膜の側壁に、メモリゲート電極（メモリゲート）を形成する技術が記載されている。

【 0 0 0 4 】

特開 2 0 0 7 - 2 5 1 0 7 9 号公報（特許文献 3）には、MONOS 型不揮発性メモリのコントロールゲート電極とメモリゲート電極との間のショートを防止するという課題が開示されている。その解決手段として、MONOS 型不揮発性メモリのコントロールゲート電極およびメモリゲート電極上にシリサイドを形成し、さらにそのシリサイドの表面を酸化することにより、半導体装置の信頼性および製造歩留まりを向上させる技術が記載されている。

【先行技術文献】

【特許文献】

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 5 - 3 4 7 6 7 9 号公報

【特許文献 2】特開 2 0 0 3 - 3 0 9 1 9 3 号公報

【特許文献 3】特開 2 0 0 7 - 2 5 1 0 7 9 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

本発明者の検討によれば、次のことが分かった。

【 0 0 0 7 】

MONOS 膜を用いたスプリットゲート型の不揮発性メモリは、制御ゲート電極とメモリゲート電極とが隣接し、制御ゲート電極の下にゲート絶縁膜としての酸化シリコン膜が存在し、メモリゲート電極の下に電荷蓄積部を有する積層ゲート絶縁膜が存在し、この積層ゲート絶縁膜がメモリゲート電極とそれに隣接する制御ゲート電極との間にも延在した構造を有している。従って、制御ゲート電極とメモリゲート電極とは、積層ゲート絶縁膜で絶縁分離されている。この積層ゲート絶縁膜としては、例えば、酸化シリコン膜と窒化シリコン膜との積層構造として、ONO（Oxide-Nitride-Oxide）膜が形成される。以下、積層ゲート絶縁膜をONO膜と記載する。

【 0 0 0 8 】

しかしながら、制御ゲート電極とメモリゲート電極とが薄いONO膜を介して隣接している構造であるため、制御ゲート電極とメモリゲート電極との間のショート不良やリーク電流が懸念される。制御ゲート電極とメモリゲート電極との間のショート不良は、不揮発性メモリを有する半導体装置の製造歩留まりを低下させ、また、制御ゲート電極とメモリゲート電極との間のリーク電流は、不揮発性メモリを有する半導体装置の性能を低下させてしまう。

【 0 0 0 9 】

本発明の目的は、半導体装置の性能を向上できる技術を提供することにある。

【 0 0 1 0 】

また、本発明の他の目的は、半導体装置の製造歩留まりを向上できる技術を提供することにある。

【 0 0 1 1 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 1 2 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 3 】

代表的な実施の形態による半導体装置は、半導体基板と、前記半導体基板の上部に形成された積層パターンと、前記半導体基板の上部に形成されかつ前記積層パターンと隣り合う第2ゲート電極と、前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、前記第2ゲート電極と前記半導体基板との間および前記積層パターンと前記第2ゲート電極との間に形成された第3絶縁膜とを有している。前記積層パターンは、前記第1ゲート電極と前記第1ゲート電極上の第1絶縁膜と前記第1絶縁膜上の第2絶縁膜とを有しており、また、前記第3絶縁膜は、その内部に電荷蓄積部を有している。そして、前記積層パターンの前記第2ゲート電極に隣接する側の側壁では、前記第1絶縁膜が前記第1ゲート電極および前記第2絶縁膜よりも後退しており、前記第1ゲート電極の上端角部が丸みを帯びている。

10

【 0 0 1 4 】

また、代表的な実施の形態による半導体装置の製造方法は、半導体基板と、前記半導体基板の上部に形成されかつ互いに隣り合う第1ゲート電極および第2ゲート電極と、前記第1ゲート電極と前記半導体基板との間に形成された第1ゲート絶縁膜と、前記第2ゲート電極と前記半導体基板との間に形成されかつ内部に電荷蓄積部を有する第2ゲート絶縁膜とを有する半導体装置の製造方法である。そして、(a)前記半導体基板を用意する工程、(b)前記半導体基板の主面に前記第1ゲート絶縁膜用の絶縁膜を形成する工程、(c)前記絶縁膜上に前記第1ゲート電極用の第1導体膜を形成する工程、(d)前記第1導体膜上に第1絶縁膜を形成する工程、(e)前記第1絶縁膜上に第2絶縁膜を形成する工程を有している。更に、(f)前記第2絶縁膜、前記第1絶縁膜および前記第1導体膜をパターンニングして、前記第1ゲート電極を形成する前記第1導体膜と前記第1導体膜上の前記第1絶縁膜と前記第1絶縁膜上の前記第2絶縁膜とを有する積層パターンを形成する工程、(g)前記積層パターンの側壁において、前記第1絶縁膜をサイドエッチングして前記第1導体膜および前記第2絶縁膜よりも後退させる工程を有している。そして、更に、(h)前記(g)工程後、前記半導体基板の主面と前記積層パターンの側壁上に、前記第2ゲート絶縁膜用でかつ内部に電荷蓄積部を有する第3絶縁膜を形成する工程、(i)前記第3絶縁膜上に、前記積層パターンと前記第3絶縁膜を介して隣り合う前記第2ゲート電極を形成する工程を有している。

20

30

【発明の効果】

【 0 0 1 5 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 6 】

代表的な実施の形態によれば、半導体装置の性能を向上させることができる。

【 0 0 1 7 】

また、半導体装置の製造歩留まりを向上させることができる。

40

【図面の簡単な説明】

【 0 0 1 8 】

【図1】本発明の一実施の形態である半導体装置の要部断面図である。

【図2】図1の一部を拡大した部分拡大断面図である。

【図3】メモリセルの等価回路図である。

【図4】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。

【図5】本発明の一実施の形態である半導体装置の製造工程の一部を示すプロセスフロー図である。

【図6】本発明の一実施の形態の半導体装置の製造工程中の要部断面図である。

50

- 【図 7】図 6 に続く半導体装置の製造工程中の要部断面図である。
- 【図 8】図 7 に続く半導体装置の製造工程中の要部断面図である。
- 【図 9】図 8 に続く半導体装置の製造工程中の要部断面図である。
- 【図 10】図 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 11】図 10 に続く半導体装置の製造工程中の要部断面図である。
- 【図 12】図 9 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 13】図 11 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 14】図 11 に続く半導体装置の製造工程中の要部断面図である。
- 【図 15】図 13 に続く半導体装置の製造工程中の要部断面図である。
- 【図 16】図 15 に続く半導体装置の製造工程中の要部断面図である。
- 【図 17】図 14 に続く半導体装置の製造工程中の要部断面図である。
- 【図 18】図 17 に続く半導体装置の製造工程中の要部断面図である。
- 【図 19】図 18 に続く半導体装置の製造工程中の要部断面図である。
- 【図 20】図 19 に続く半導体装置の製造工程中の要部断面図である。
- 【図 21】図 20 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 22】図 20 に続く半導体装置の製造工程中の要部断面図である。
- 【図 23】図 22 に続く半導体装置の製造工程中の要部断面図である。
- 【図 24】図 23 に続く半導体装置の製造工程中の要部断面図である。
- 【図 25】図 24 に続く半導体装置の製造工程中の要部断面図である。
- 【図 26】図 25 に続く半導体装置の製造工程中の要部断面図である。
- 【図 27】図 26 に続く半導体装置の製造工程中の要部断面図である。
- 【図 28】図 27 に続く半導体装置の製造工程中の要部断面図である。
- 【図 29】第 1 の比較例の半導体装置の要部断面図である。
- 【図 30】第 2 の比較例の半導体装置の要部断面図である。
- 【図 31】不揮発性メモリのメモリゲート電極および制御ゲート電極間のリーク電流を示すグラフである。
- 【図 32】本発明の一実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図 33】ステップ S 10 の洗浄処理を行う直前の半導体装置の製造工程中の要部断面図である。
- 【図 34】図 32 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 35】図 32 に続く半導体装置の製造工程中の要部断面図である。
- 【図 36】図 35 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 37】図 35 に続く半導体装置の製造工程中の要部断面図である。
- 【図 38】図 37 と同じ半導体装置の製造工程中の要部断面図である。
- 【図 39】図 37 に続く半導体装置の製造工程中の要部断面図である。
- 【図 40】図 39 と同じ半導体装置の製造工程中の要部断面図である。
- 【発明を実施するための形態】
- 【0019】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

20

30

40

50

【 0 0 2 0 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【 0 0 2 1 】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【 0 0 2 2 】

(実施の形態 1)

本発明は、不揮発性メモリ(不揮発性記憶素子、フラッシュメモリ、不揮発性半導体記憶装置)を備えた半導体装置であり、不揮発性メモリは、主として電荷蓄積部にトラップ性絶縁膜(電荷を蓄積可能な絶縁膜)を用いたものである。以下の実施の形態では、不揮発性メモリは、nチャネル型MISFET(MISFET: Metal Insulator Semiconductor Field Effect Transistor)を基本としてトラップ性絶縁膜を用いたメモリセルをもとに説明を行う。また、以下の実施の形態での極性(書込・消去・読出時の印加電圧の極性やキャリアの極性)は、nチャネル型MISFETを基本としたメモリセルの場合の動作を説明するためのものであり、pチャネル型MISFETを基本とする場合は、印加電位やキャリアの導電型等の全ての極性を反転させることで、原理的には同じ動作を得ることができる。

【 0 0 2 3 】

本実施の形態の半導体装置およびその製造方法を図面を参照して説明する。

【 0 0 2 4 】

図1は、本実施の形態の半導体装置の要部断面図である。本実施の形態の半導体装置は、不揮発性メモリを備えた半導体装置であり、図1には、不揮発性メモリのメモリセル領域の要部断面図が示されている。図2は、本実施の形態の半導体装置におけるメモリセルMCの部分拡大断面図(要部断面図)であり、図1の一部が拡大して示してある。図3は、メモリセルMCの等価回路図である。なお、図2は、理解を簡単にするために、図1の構造のうち、積層パターン7、メモリゲート電極MGおよび絶縁膜3, 9と、それらの直下の基板領域(p型ウエルPW1を構成する半導体基板1の一部)のみが図示されている。

【 0 0 2 5 】

図1~図3に示される不揮発性メモリは、MONOS膜を用いたスプリットゲート型のメモリセルである。

【 0 0 2 6 】

図1および図2に示されるように、例えば1~10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)1には、素子を分離するための素子分離領域(後述の素子分離領域2に対応するが、ここでは図示されていない)が形成されており、この素子分離領域で分離(規定)された活性領域に、p型ウエルPW1が形成されている。メモリセル領域のp型ウエルPW1には、図1および図2に示されるようなメモリトランジスタおよび制御トランジスタ(選択トランジスタ)からなる不揮発性メモリのメモリセルMCが形成されている。各メモリセル領域には複数のメモリセルMCがアレイ状に形成されており、各メモリセル領域は、素子分離領域によって他の領域から電気的に分離されている。

【 0 0 2 7 】

図1~図3に示されるように、本実施の形態の半導体装置における不揮発性メモリのメモリセルMCは、MONOS膜を用いたスプリットゲート型のメモリセルであり、制御ゲート電極(選択ゲート電極)CGを有する制御トランジスタ(選択トランジスタ)とメモリゲート電極(メモリ用ゲート電極)MGを有するメモリトランジスタとの2つのMIS

10

20

30

40

50

F E Tを接続したものである。

【 0 0 2 8 】

ここで、電荷蓄積部を含むゲート絶縁膜およびメモリゲート電極 M G を備える M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) をメモリトランジスタ (記憶用トランジスタ) といい、また、ゲート絶縁膜および制御ゲート電極 C G を備える M I S F E T を制御トランジスタ (選択トランジスタ、メモリセル選択用トランジスタ) という。従って、メモリゲート電極 M G は、メモリトランジスタのゲート電極であり、制御ゲート電極 C G は、制御トランジスタのゲート電極であり、制御ゲート電極 C G およびメモリゲート電極 M G は、不揮発性メモリ (のメモリセル) を構成するゲート電極である。

10

【 0 0 2 9 】

以下に、メモリセル M C の構成を具体的に説明する。

【 0 0 3 0 】

図 1 および図 2 に示されるように、不揮発性メモリのメモリセル M C は、半導体基板 1 の p 型ウエル P W 1 中に形成されたソースおよびドレイン用の n 型の半導体領域 M S , M D と、半導体基板 1 (p 型ウエル P W 1) の上部に形成された積層パターン 7 と、半導体基板 1 (p 型ウエル P W 1) の上部に形成されて積層パターン 7 と隣り合うメモリゲート電極 M G とを有している。積層パターン 7 は、制御ゲート電極 C G と、制御ゲート電極 C G 上の絶縁膜 5 と、絶縁膜 5 上の絶縁膜 6 とを有している。そして、不揮発性メモリのメモリセル M C は、更に、制御ゲート電極 C G および半導体基板 1 (p 型ウエル P W 1) 間に形成された絶縁膜 (ゲート絶縁膜) 3 と、メモリゲート電極 M G および半導体基板 1 (p 型ウエル P W 1) 間とメモリゲート電極 M G および積層パターン 7 (制御ゲート電極 C G) 間とに形成された絶縁膜 9 とを有している。

20

【 0 0 3 1 】

積層パターン 7 およびメモリゲート電極 M G は、それらの対向側面 (側壁) の間に絶縁膜 9 を介した状態で、半導体基板 1 の主面に沿って延在し、並んで配置されている。制御ゲート電極 C G およびメモリゲート電極 M G は、半導体領域 M D および半導体領域 M S 間の半導体基板 1 (p 型ウエル P W 1) の上部に絶縁膜 3 , 9 を介して (但し、制御ゲート電極 C G は絶縁膜 3 を介し、メモリゲート電極 M G は絶縁膜 9 を介して) 形成されており、半導体領域 M S 側にメモリゲート電極 M G が位置し、半導体領域 M D 側に制御ゲート電極 C G が位置している。

30

【 0 0 3 2 】

制御ゲート電極 C G を含む積層パターン 7 とメモリゲート電極 M G とは、間に絶縁膜 9 を介在して互いに隣り合っており、メモリゲート電極 M G は、積層パターン 7 の側壁 (側面) 7 a 上に絶縁膜 9 を介してサイドウォールスペース状に形成されている。このため、制御ゲート電極 C G とメモリゲート電極 M G は、間に絶縁膜 9 を介在して互いに隣り合った状態となっている。また、絶縁膜 9 は、メモリゲート電極 M G と半導体基板 1 (p 型ウエル P W 1) の間の領域と、メモリゲート電極 M G と積層パターン 7 (制御ゲート電極 C G) の間の領域の、両領域に渡って延在している。

40

【 0 0 3 3 】

制御ゲート電極 C G と半導体基板 1 (p 型ウエル P W 1) の間に形成された絶縁膜 3 (すなわち制御ゲート電極 C G の下の絶縁膜 3) が、制御トランジスタのゲート絶縁膜として機能する。また、メモリゲート電極 M G と半導体基板 1 (p 型ウエル P W 1) の間の絶縁膜 9 (すなわちメモリゲート電極 M G の下の絶縁膜 9) が、メモリトランジスタのゲート絶縁膜 (内部に電荷蓄積部を有するゲート絶縁膜) として機能する。

【 0 0 3 4 】

絶縁膜 9 は、電荷を蓄積するための絶縁膜 (すなわち電荷蓄積部) として、例えば窒化シリコン膜 9 b と、その上下に位置する絶縁膜として、例えば酸化シリコン膜 9 c および酸化シリコン膜 9 a とが積層された積層構造のゲート絶縁膜 (ONO 膜) である。すなわち、絶縁膜 9 は、酸化シリコン膜 (酸化膜) 9 a と、酸化シリコン膜 9 a 上の窒化シリコ

50

ン膜（窒化膜）9 bと、窒化シリコン膜9 b上の酸化シリコン膜（酸化膜）9 cとを有する積層膜からなる。換言すれば、メモリゲート電極MGから遠い側から順に、酸化シリコン膜9 a、窒化シリコン膜9 bおよび酸化シリコン膜9 cが積層されたONO（oxide-nitride-oxide）膜により、絶縁膜9が構成されている。窒化シリコン膜9 bは、絶縁膜9中に形成されたトラップ性絶縁膜であり、電荷を蓄積するための電荷蓄積膜（電荷蓄積部）として機能するので、絶縁膜9は、その内部に電荷蓄積部（ここでは窒化シリコン膜9 b）を有する絶縁膜とみなすことができる。

【0035】

半導体領域MSは、ソース領域またはドレイン領域の一方として機能する半導体領域であり、半導体領域MDは、ソース領域またはドレイン領域の他方として機能する半導体領域である。ここでは、半導体領域MSはソース領域として機能する半導体領域、半導体領域MDはドレイン領域として機能する半導体領域である。半導体領域MS、MDは、n型の不純物が導入された半導体領域（n型不純物拡散層）よりなり、それぞれLDD（lightly doped drain）構造を備えている。すなわち、ソース用の半導体領域MSは、n⁻型半導体領域11 aと、n⁻型半導体領域11 aよりも高い不純物濃度を有するn⁺型半導体領域12 aとを有し、ドレイン用の半導体領域MDは、n⁻型半導体領域11 bと、n⁻型半導体領域11 bよりも高い不純物濃度を有するn⁺型半導体領域12 bとを有している。n⁺型半導体領域12 aは、n⁻型半導体領域11 aよりも接合深さが深くかつ不純物濃度が高く、また、n⁺型半導体領域12 bは、n⁻型半導体領域11 bよりも接合深さが深くかつ不純物濃度が高い。

【0036】

メモリゲート電極MGおよび制御ゲート電極CGの側壁（互いに隣接していない側の側壁）上には、酸化シリコンなどの絶縁体（酸化シリコン膜、絶縁膜）からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）SWが形成されている。すなわち、絶縁膜9を介して制御ゲート電極CGに隣接する側とは逆側のメモリゲート電極MGの側壁（側面）上と、絶縁膜9を介してメモリゲート電極MGに隣接する側とは逆側の制御ゲート電極CGの側壁（側面）上とに、側壁絶縁膜SWが形成されている。

【0037】

ソース部のn⁻型半導体領域11 aはメモリゲート電極MGの側壁に対して自己整合的に形成され、n⁺型半導体領域12 aはメモリゲート電極MGの側壁上の側壁絶縁膜SWの側面（メモリゲート電極MGに接する側とは逆側の側面）に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域11 aはメモリゲート電極MGの側壁上の側壁絶縁膜SWの下に形成され、高濃度のn⁺型半導体領域12 aは低濃度のn⁻型半導体領域11 aの外側に形成されている。従って、低濃度のn⁻型半導体領域11 aはメモリトランジスタのチャンネル領域に隣接するように形成され、高濃度のn⁺型半導体領域12 aは低濃度のn⁻型半導体領域11 aに接し、メモリトランジスタのチャンネル領域からn⁻型半導体領域11 aの分だけ離間するように形成されている。

【0038】

ドレイン部のn⁻型半導体領域11 bは制御ゲート電極CGの側壁に対して自己整合的に形成され、n⁺型半導体領域12 bは制御ゲート電極CGの側壁上の側壁絶縁膜SWの側面（制御ゲート電極CGと接する側とは逆側の側面）に対して自己整合的に形成されている。このため、低濃度のn⁻型半導体領域11 bは制御ゲート電極CGの側壁上の側壁絶縁膜SWの下に形成され、高濃度のn⁺型半導体領域12 bは低濃度のn⁻型半導体領域11 bの外側に形成されている。従って、低濃度のn⁻型半導体領域11 bは制御トランジスタのチャンネル領域に隣接するように形成され、高濃度のn⁺型半導体領域12 bは低濃度のn⁻型半導体領域11 bに接し、制御トランジスタのチャンネル領域からn⁻型半導体領域11 bの分だけ離間するように形成されている。

【0039】

メモリゲート電極MG下の絶縁膜9の下にメモリトランジスタのチャンネル領域が形成され、制御ゲート電極CG下の絶縁膜3の下に制御トランジスタのチャンネル領域が形成され

る。制御ゲート電極CG下の絶縁膜3の下の制御トランジスタのチャンネル形成領域には、制御トランジスタのしきい値調整用の半導体領域（p型半導体領域またはn型半導体領域）が必要に応じて形成され、メモリゲート電極MG下の絶縁膜9の下のメモリトランジスタのチャンネル形成領域には、メモリトランジスタのしきい値調整用の半導体領域（p型半導体領域またはn型半導体領域）が必要に応じて形成されている。

【0040】

制御ゲート電極CGは導電体（導電体膜）からなるが、好ましくはn型ポリシリコン（不純物を導入した多結晶シリコン、ドーパドポリシリコン）のようなn型のシリコン膜4nからなる。具体的には、制御ゲート電極CGは、パターニングされたn型のシリコン膜4nからなる。

10

【0041】

制御ゲート電極CGは、その上に絶縁膜5および絶縁膜6が積層されて、積層パターン7を構成していることを、特徴の一つとしている。積層パターン7は、後述するように、半導体基板1の主面上に下から順に形成したn型のシリコン膜4n、絶縁膜5および絶縁膜6の積層膜をパターニングすることにより形成されている。従って、積層パターン7は、パターニングされたn型のシリコン膜4n、絶縁膜5および絶縁膜6からなる。そして、積層パターン7のメモリゲート電極MGに隣接する側の側壁（側面）7aで、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退している（引っ込んでいる）ことを、他の特徴の一つとしている。

【0042】

20

また、本実施の形態では、製造工程に由来して、積層パターン7のメモリゲート電極MGに隣接する側とは反対側の側壁（側面）7bでも、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退しているが、重要なのは、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退していることである。

【0043】

積層パターン7の側壁7a、7bにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退しているのは、後述するように、半導体基板1の主面上に形成したn型のシリコン膜4n、絶縁膜5および絶縁膜6の積層膜をパターニングして積層パターン7を形成した後、積層パターン7の側壁7a、7bにおいて、絶縁膜5をサイドエッチングして制御ゲート電極CG（n型のシリコン膜4n）および絶縁膜6よりも後退させたためである。このため、絶縁膜5の材料には、n型のシリコン膜4nおよび絶縁膜6に対して絶縁膜5のエッチング選択比を高くできる（すなわちn型のシリコン膜4nおよび絶縁膜6のエッチング速度に対して絶縁膜5のエッチング速度を高くできる）ような材料を選ぶ必要がある。この観点から、絶縁膜5と絶縁膜6とは互いに異なる材料（絶縁材料）で構成することが必要であり、本実施の形態1の場合には、絶縁膜5を酸化シリコン膜とし、絶縁膜6を窒化シリコン膜とすれば、好ましい。なぜならば、酸化シリコン膜とシリコン膜とのエッチングおよび酸化シリコン膜と窒化シリコン膜とのエッチングでは、酸化シリコン膜の選択比を高くすることが可能だが、シリコン膜と窒化シリコン膜とのエッチングでは、高い選択比を確保するのが困難だからである。そのため、本実施の形態においては、シリコン膜および窒化シリコン膜それぞれに対して選択比を高くすることができる酸化シリコン膜を、絶縁膜5としてn型のシリコン膜4nと絶縁膜6との間に形成している。これにより、n型のシリコン膜4nと絶縁膜6に対して、絶縁膜5を後退させ、本実施の形態のような構造を形成することを可能としているのである。

30

40

【0044】

積層パターン7の側壁7a、7bにおいて絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退していることから、積層パターン7において、絶縁膜5の平面寸法（平面積）は、絶縁膜6の平面寸法（平面積）より小さく、かつ制御ゲート電極CGの平面寸法（平面積）より小さくなっており、絶縁膜5は、絶縁膜6に平面的に内包され、かつ制御ゲート電極CGにも平面的に内包される平面形状を有している。一方、積層パターン7にお

50

いて、絶縁膜 6 は制御ゲート電極 C G の平面形状（平面寸法）とほぼ同様の平面形状（平面寸法）を有している。ここで、制御ゲート電極 C G、絶縁膜 5 および絶縁膜 6 において、平面寸法および面形状は、半導体基板 1 の主面に平行な平面でみたときの平面寸法および平面形状に対応している。

【 0 0 4 5 】

換言すると、絶縁膜 5 の両側が制御ゲート電極 C G および絶縁膜 6 よりも後退しているため、図 2 に示されるメモリセルの断面横方向の絶縁膜 5 の幅は制御ゲート電極 C G および絶縁膜 6 よりも短く、制御ゲート C G の上端部の上、および絶縁膜 6 の下端部の下には、絶縁膜 5 が形成されていない領域がある。

【 0 0 4 6 】

また、本実施の形態では、積層パターン 7 のメモリゲート電極 M G に隣接する側の側壁 7 a において、制御ゲート電極 C G の上端角部（角部）C 1 が丸みを帯びている（丸まっている、ラウンド形状を有している）ことを、更に他の特徴の一つとしている。本実施の形態では、製造工程に由来して、積層パターン 7 のメモリゲート電極 M G に隣接する側と反対側の側壁 7 b でも、制御ゲート電極 C G の上端角部（角部）C 2 が丸みを帯びている（丸まっている、ラウンド形状を有している）が、重要なのは、積層パターン 7 のメモリゲート電極 M G に隣接する側の側壁 7 a において、制御ゲート電極 C G の上端角部 C 1 が丸みを帯びていることである。

【 0 0 4 7 】

ここで、制御ゲート電極 C G の上端角部 C 1 は、制御ゲート電極 C G の上面と、制御ゲート電極 C G のメモリゲート電極 M G に隣接する側の側面（側壁 7 a に対応する側面）との間の角部に対応する。また、制御ゲート電極 C G の上端角部 C 2 は、制御ゲート電極 C G の上面と、制御ゲート電極 C G のメモリゲート電極 M G に隣接する側とは反対側の側面（側壁 7 b に対応する側面）との間の角部に対応する。

【 0 0 4 8 】

また、制御ゲート電極 C G の下に位置する絶縁膜 3 の厚み T 1 よりも、積層パターン 7 を構成する絶縁膜 5 の厚み T 2 が厚いことが好ましい（すなわち $T 2 > T 1$ ）。また、絶縁膜 3 は、例えば酸化シリコン膜または窒化シリコン膜などにより形成することができるが、絶縁膜 3 として窒化シリコン膜を用いれば、より好ましい。このようにするのは、積層パターン 7 の側壁 7 a、7 b において、絶縁膜 5 をサイドエッチングして制御ゲート電極 C G（を構成する n 型のシリコン膜 4 n）および絶縁膜 6 よりも絶縁膜 5 が後退した構造を形成する際に、制御ゲート電極 C G の下に位置する絶縁膜 3 ができるだけエッチング（サイドエッチング）されないようにするためである。これにより、絶縁膜 3 のゲート絶縁膜としての信頼性を、より向上させることができる。

【 0 0 4 9 】

また、絶縁膜 3 は、上述の酸化シリコン膜または窒化シリコン膜など以外にも、酸化ハフニウム膜、酸化アルミニウム膜（アルミナ）または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する金属酸化膜を使用してもよい。

【 0 0 5 0 】

また、後述するように、積層パターン 7 の側壁において、絶縁膜 5 をサイドエッチングして制御ゲート電極 C G および絶縁膜 6 よりも後退させた後で、絶縁膜 9 を形成している。このため、積層パターン 7 の側壁 7 a（メモリゲート電極 M G に隣接する側の側壁 7 a）において絶縁膜 5 が後退している領域（後述の図 1 3 に示される後述の領域 3 0 a に対応する領域）に、絶縁膜 9 の一部が入り込んだ状態となっている。具体的には、絶縁膜 9 は酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜からなるため、積層パターン 7 の側壁 7 a（メモリゲート電極 M G に隣接する側の側壁 7 a）における絶縁膜 5 が後退している領域（後述の図 1 3 に示される後述の領域 3 0 a に対応する領域）に、窒化シリコン膜 9 b の一部も入り込んだ状態になっている。

【 0 0 5 1 】

メモリゲート電極 M G は導電体（導電体膜）からなるが、好ましくは n 型ポリシリコン

10

20

30

40

50

(不純物を導入した多結晶シリコン、ドーパトポリシリコン)のようなn型のシリコン膜10nmからなる。メモリゲート電極MGは、後述するように、半導体基板1上に積層パターン7を覆うように形成したn型のシリコン膜10nmを異方性エッチングし、積層パターン7の側壁上に絶縁膜9を介してこのn型のシリコン膜10nmを残存させることにより形成されている。このため、メモリゲート電極MGは、積層パターン7の側壁上に絶縁膜9を介してサイドウォールスペーサ状に形成されている。

【0052】

メモリゲート電極MG(を構成するn型のシリコン膜10nm)の上部(上面)とn⁺型半導体領域12a, 12bの上面(表面)には、サリサイドプロセスなどにより、金属シリサイド層(金属シリサイド膜)21が形成されている。金属シリサイド層21は、例えばコバルトシリサイド層またはニッケルシリサイド層などからなる。金属シリサイド層21により、拡散抵抗やコンタクト抵抗を低抵抗化することができる。メモリゲート電極MGを構成するn型のシリコン膜10nmと、その上部の金属シリサイド層21とを合わせたものを、メモリゲート電極MGとみなすこともできる。

10

【0053】

一方、制御ゲート電極CG上には絶縁膜5, 6が積層されているため、制御ゲート電極CGの上部には、金属シリサイド層21のような金属シリサイド層は形成されていない。すなわち、制御ゲート電極CG上に制御ゲート電極CGに接して絶縁膜5が形成され、絶縁膜5上に絶縁膜6に接して絶縁膜6が形成されている。

【0054】

半導体基板1上には、積層パターン7、メモリゲート電極MGおよび側壁絶縁膜SWを覆うように、絶縁膜22と絶縁膜22上の絶縁膜23とが形成されている。絶縁膜22は、絶縁膜23よりも薄く、好ましくは窒化シリコン膜からなる。絶縁膜23は、絶縁膜22よりも厚く、好ましくは酸化シリコン膜からなる。制御ゲートCG上に形成されている絶縁膜5, 6は、制御ゲート電極CGの上面と絶縁膜22との間に介在している。後述するように、絶縁膜22, 23にコンタクトホールCNTが形成され、コンタクトホールCNTにプラグPGが埋め込まれ、プラグPGが埋め込まれた絶縁膜23上に配線M1などが形成されているが、図1および図2では図示を省略している。なお、絶縁膜23は、層間絶縁膜として機能し、絶縁膜22は、絶縁膜23に後述のコンタクトホールCNTを形成する際のエッチングストップ膜として機能することができる。

20

【0055】

図4は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図4の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、図2および図3に示されるようなメモリセル(選択メモリセル)のドレイン領域(半導体領域MD)に印加する電圧V_d、制御ゲート電極CGに印加する電圧V_{cg}、メモリゲート電極MGに印加する電圧V_{mg}、ソース領域(半導体領域MS)に印加する電圧V_s、およびp型ウエルPW1に印加されるベース電圧V_bが記載されている。なお、図4の表に示したものは電圧の印加条件の一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタの絶縁膜9中の電荷蓄積部である窒化シリコン膜9bへの電子の注入を「書込」、ホール(hole:正孔)の注入を「消去」と定義する。

30

40

【0056】

書込み方式は、いわゆるSSI(Source Side Injection:ソースサイド注入)方式と呼ばれるホットエレクトロン書込みを用いることができる。例えば図4の「書込」の欄に示されるような電圧を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルの絶縁膜9中の窒化シリコン膜9b中に電子(エレクトロン)を注入する。ホットエレクトロンは、2つのゲート電極(メモリゲート電極MGおよび制御ゲート電極CG)間の下のチャンネル領域(ソース、ドレイン間)で発生し、メモリゲート電極MGの下の絶縁膜9中の電荷蓄積部である窒化シリコン膜9bにホットエレクトロンが注入される。注入されたホットエレクトロン(電子)は、絶縁膜9中の窒化シリコン膜9b中のトラップ準位に

50

捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。

【 0 0 5 7 】

消去方法は、B T B T (Band-To-Band Tunneling : バンド間トンネル現象) ホットホール注入消去方式を用いることができる。すなわち、B T B T (バンド間トンネル現象) により発生したホール(正孔)を電荷蓄積部(絶縁膜9中の窒化シリコン膜9b)に注入することにより消去を行う。例えば図4の「消去」の欄に示されるような電圧を、消去を行う選択メモリセルの各部位に印加し、B T B T (Band-To-Band Tunneling) 現象によりホール(正孔)を発生させ電界加速することで選択メモリセルの絶縁膜9中の窒化シリコン膜9b中にホールを注入し、それによってメモリトランジスタのしきい値電圧を低下させる。

10

【 0 0 5 8 】

読出し時には、例えば図4の「読出」の欄に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極MGに印加する電圧Vmgを、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。

【 0 0 5 9 】

次に、本実施の形態の半導体装置の製造方法について説明する。

【 0 0 6 0 】

図5は、本実施の形態の半導体装置の製造工程の一部を示すプロセスフロー図である。図6～図28は、本実施の形態の半導体装置の製造工程中の要部断面図である。図6～図11、図14、図17～図20および図22～図28の各図には、メモリセル領域(不揮発性メモリのメモリセルMCが形成される領域)1Aおよび周辺回路領域(不揮発性メモリ以外の回路が形成される領域)1Bの要部断面図が示されており、メモリセル領域1AにメモリセルMCが、周辺回路領域1BにMISFETが、それぞれ形成される様子が示されている。メモリセル領域1Aと周辺回路領域1Bは隣り合っていないともよいが、理解を簡単にするために、図6～図11、図14、図17～図20および図22～図28においてはメモリセル領域1Aの隣に周辺回路領域1Bを図示している。また、図6～図11、図14、図17～図20および図22～図28では、メモリセル領域1Aと周辺回路領域1Bを分離して示しているが、これらは同じ半導体基板1に形成されている。また、図12、図13、図15、図16および図21には、メモリセル領域1Aに形成された積層パターン7およびその近傍領域が示されている。ここで、周辺回路とは、例えばCPUなどのプロセッサ、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、入出力回路などである。

20

30

【 0 0 6 1 】

また、本実施の形態においては、メモリセル領域1Aにnチャネル型のMISFET(制御トランジスタおよびメモリトランジスタ)を形成する場合について説明するが、導電型を逆にしてpチャネル型のMISFET(制御トランジスタおよびメモリトランジスタ)をメモリセル領域1Aに形成することもできる。同様に、本実施の形態においては、周辺回路領域1Bにnチャネル型のMISFETを形成する場合について説明するが、導電型を逆にしてpチャネル型のMISFETを周辺回路領域1Bに形成することもでき、また、周辺回路領域1BにCMISFET(Complementary MISFET)などを形成することもできる。

40

【 0 0 6 2 】

図6に示されるように、まず、例えば1～10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)1を用意(準備)する(図5のステップS1)。それから、半導体基板1の主面に、活性領域を規定(画定)する素子分離領域(素子間分離絶縁領域)2を形成する(図5のステップS2)。素子分離領域2は、酸化シリコンなどの絶縁体からなり、例えばSTI(Shallow Trench Isolation)法またはLOCOS(Local Oxidization of Silicon)法などにより形成することができる。例えば、半導体基板1の主面に素子分離用の溝を形成した後、この素子分離用の溝内に、例

50

えば酸化シリコンからなる絶縁膜を埋め込むことで、素子分離領域2を形成することができる。

【0063】

次に、半導体基板1のメモリセル領域1Aにp型ウエルPW1を、周辺回路領域1Bにp型ウエルPW2を形成する(図5のステップS3)。p型ウエルPW1, PW2は、例えばホウ素(B)などのp型の不純物を半導体基板1にイオン注入することなどによって形成することができる。p型ウエルPW1, PW2は、半導体基板1の主面から所定の深さに渡って形成される。

【0064】

次に、メモリセル領域1Aに後で形成される制御トランジスタのしきい電圧を調整するために、必要に応じて、メモリセル領域1Aのp型ウエルPW1の表面部(表層部)に対してチャネルドーピングイオン注入を行う。また、周辺回路領域1Bに後で形成されるMISFETのしきい電圧を調整するために、必要に応じて、周辺回路領域1Bのp型ウエルPW2の表面部(表層部)に対してチャネルドーピングイオン注入を行う。

【0065】

次に、希釈フッ酸洗浄などによって半導体基板1(p型ウエルPW1, PW2)の表面を清浄化した後、半導体基板1の主面(p型ウエルPW1, PW2の表面)に、ゲート絶縁膜用の絶縁膜3を形成する(図5のステップS4)。絶縁膜3は、例えば薄い酸化シリコン膜または酸化窒化シリコン膜などにより形成することができるが、絶縁膜3として酸化窒化シリコン膜を用いれば、より好ましい。絶縁膜3として酸化窒化シリコン膜を用いることで、後述の絶縁膜5をサイドエッチングする際に(本実施の形態の場合は後述のステップS12の洗浄工程に対応し、後述の実施の形態2の場合は後述のステップS10aの洗浄工程に対応する)、絶縁膜3がエッチング(サイドエッチング)されるのを、よりの確に防止することができる。絶縁膜3として酸化窒化シリコン膜を用いる場合には、熱酸化法などにより形成した酸化シリコン膜を窒化处理することなどにより、酸化窒化シリコン膜を形成することができる。絶縁膜3の膜厚(形成膜厚)T1は、例えば2~3nm程度とすることができる。

【0066】

次に、半導体基板1の主面全面上に、すなわち絶縁膜3上に、ゲート電極用の導体膜としてシリコン膜(第1導体膜)4を形成(堆積)する(図5のステップS5)。シリコン膜4は、多結晶シリコン膜からなり、CVD(Chemical Vapor Deposition: 化学的気相成長)法などを用いて形成することができる。シリコン膜4の膜厚(堆積膜厚)は、例えば100~200nm程度とすることができる。

【0067】

シリコン膜4を形成した後、シリコン膜4上にフォトリソグラフィ法を用いてフォトレジストパターン(ここでは図示しないけれども、周辺回路領域1B全体にこのフォトレジストパターンが形成される)を形成し、このフォトレジストパターンをマスクとして用いて、メモリセル領域1A(のシリコン膜4)にn型不純物をイオン注入法などによって導入することにより、メモリセル領域1Aにn型のシリコン膜4nを形成する。すなわち、メモリセル領域1Aのシリコン膜4にn型不純物が導入されて、メモリセル領域1Aのシリコン膜4が、n型不純物が導入されたn型のシリコン膜4nとなる。

【0068】

次に、図7に示されるように、メモリセル領域1Aのn型のシリコン膜4n上と周辺回路領域1Bのシリコン膜4上とに、絶縁膜(第1絶縁膜)5を形成する(図5のステップS6)。絶縁膜5は、好ましくは酸化シリコン膜からなり、n型のシリコン膜4nおよびシリコン膜4の上層部を酸化することで形成することができる。絶縁膜5は、熱酸化により形成することができるが、ISSG(In Situ Steam Generation)酸化により絶縁膜5を形成すれば、更に好ましい。絶縁膜5の膜厚(形成膜厚)T2は、例えば5~10nm程度とすることができる。

【0069】

10

20

30

40

50

また、ステップS6で形成する絶縁膜5の厚み(形成膜厚)T2は、上記ステップS4で形成する絶縁膜3の厚み(形成膜厚)T1よりも厚いことが好ましい(すなわち $T2 > T1$)。これにより、後で絶縁膜5をサイドエッチングする際に(本実施の形態の場合は後述のステップS12の洗浄工程に対応し、後述の実施の形態2の場合は後述のステップS10aの洗浄工程に対応する)、絶縁膜3がエッチング(サイドエッチング)されるのを抑制または防止することができる。

【0070】

次に、絶縁膜5上に絶縁膜(第2絶縁膜)6を形成する(図5のステップS7)。これにより、メモリセル領域1Aにおいては、半導体基板1の主面上に、すなわち絶縁膜3上に、n型のシリコン膜4nと絶縁膜5と絶縁膜6との積層膜が形成された状態となる。絶縁膜6は、絶縁膜5とは異なる絶縁材料からなる絶縁膜であり、好ましくは窒化シリコン膜からなり、CVD法などで形成することができる。絶縁膜6の膜厚(形成膜厚)T3は、例えば50~100nm程度とすることができる。また、周辺回路領域1Bにおいては、半導体基板1の主面上に、すなわち絶縁膜3上に、シリコン膜4と絶縁膜5と絶縁膜6との積層膜が形成された状態となる。

10

【0071】

絶縁膜6は、後で形成する制御ゲート電極CG上にサリサイドプロセスで金属シリサイド層が形成されないように設けるものであり、絶縁膜5は、後で形成する制御ゲート電極CGの上端角部C1に丸みをもたせるために設けるものである。絶縁膜5は、上部に絶縁膜6があるため、ステップS6で絶縁膜5を形成した際の厚み(形成膜厚)T2を、製造後の半導体装置においても維持している。一方、絶縁膜6は、成膜後の種々の工程で厚み方向にエッチングされ得るため、製造後の半導体装置における絶縁膜6の厚みは、ステップS7で絶縁膜6を形成した際の厚み(形成膜厚)T3から減少し、厚みT3よりも薄い値となる。

20

【0072】

ステップS7で形成する絶縁膜6の厚み(形成膜厚)T3は、ステップS6で形成する絶縁膜5の厚み(形成膜厚)T2よりも厚いことが好ましい(すなわち $T3 > T2$)。これにより、後述の金属シリサイド層21形成工程(サリサイドプロセス)まで、絶縁膜6の厚みを確保しやすくなり、後述の金属膜20が制御ゲート電極CGと接触するのを防止して、制御ゲート電極CG上に金属シリサイド層21が形成されるのを防止しやすくなる。また、製造後の半導体装置において、絶縁膜6の厚みが絶縁膜5の厚みよりも厚ければ、更に好ましい。これにより、たとえ絶縁膜6の成膜後に種々の工程で絶縁膜6の膜厚が減少する際の減少量が変動したとしても、制御ゲート電極CG上への金属シリサイド層21の形成を確実に防止できるようになる。

30

【0073】

次に、メモリセル領域1Aのn型のシリコン膜4nと絶縁膜5と絶縁膜6との積層膜をエッチングによりパターニングする(図5のステップS8)。ステップS8のパターニング工程は、例えば次のようにして行うことができる。

【0074】

すなわち、絶縁膜6上にフォトリソグラフィ法を用いてフォトレジストパターン(ここでは図示しないけれども、制御ゲート電極CG形成予定領域と周辺回路領域1B全体にこのフォトレジストパターンが形成される)を形成し、このフォトレジストパターンをエッチングマスクとして用いて、絶縁膜6、絶縁膜5およびn型のシリコン膜4nをエッチング(ドライエッチング)してパターニングする。その後、このフォトレジストパターンを除去する。

40

【0075】

他の形態として、絶縁膜6上にフォトリソグラフィ法を用いてフォトレジストパターン(ここでは図示しないけれども、制御ゲート電極CG形成予定領域と周辺回路領域1B全体にこのフォトレジストパターンが形成される)を形成し、このフォトレジストパターンをエッチングマスクとして用いて、絶縁膜6をエッチングしてパターニングする。その後

50

、このフォトリソパターンを除去してから、パターニングされている絶縁膜 6 をエッチングマスクとして用いて、そこから露出する下層の絶縁膜 5 と n 型のシリコン膜 4 n とをエッチングすることにより、絶縁膜 5 および n 型のシリコン膜 4 n をパターニングする。

【 0 0 7 6 】

このようにして、ステップ S 8 で n 型のシリコン膜 4 n と絶縁膜 5 と絶縁膜 6 との積層膜がパターニングされ、図 8 に示されるように、メモリセル領域 1 A に、積層パターン（パターニングされた積層膜）7 が形成される。積層パターン 7 は、下から順に形成された n 型のシリコン膜 4 n と絶縁膜 5 と絶縁膜 6 との積層膜で構成されている。このとき、周辺回路領域 1 B では、上述したようにフォトリソパターンを形成していたため、パターニングは行われていない。

10

【 0 0 7 7 】

メモリセル領域 1 A に形成された積層パターン 7 を構成する n 型のシリコン膜 4 n（すなわちパターニングされた n 型のシリコン膜 4 n）が制御トランジスタの制御ゲート電極 C G となり、制御ゲート電極 C G の下に残存する絶縁膜 3 が、制御トランジスタのゲート絶縁膜となる。従って、積層パターン 7 は、制御ゲート電極 C G を形成する n 型のシリコン膜 4 n と、n 型のシリコン膜 4 n 上の絶縁膜 5 と絶縁膜 5 上の絶縁膜 6 とを有しており、半導体基板 1（p 型ウエル P W 1）上にゲート絶縁膜としての絶縁膜 3 を介して形成された状態となっている。

【 0 0 7 8 】

20

メモリセル領域 1 A において、制御ゲート電極 C G（積層パターン 7）で覆われた部分以外の絶縁膜 3（すなわちゲート絶縁膜となる部分以外の絶縁膜 3）は、ステップ S 8 のパターニング工程で行うドライエッチングや、あるいはそのドライエッチング後にウェットエッチングを行うことによって除去され得る。メモリセル領域 1 A において、制御ゲート電極 C G で覆われた部分以外の絶縁膜 3（すなわちゲート絶縁膜となる部分以外の絶縁膜 3）は、この段階で除去されることが好ましいが、たとえこの段階で残存したとしても、後述のステップ S 1 2 の洗浄処理で除去される。

【 0 0 7 9 】

この段階での積層パターン 7 の側壁（側面）は、ほぼ平坦であり、好ましくは半導体基板 1 の主面に対してほぼ垂直である。このため、メモリセル領域 1 A において、積層パターン 7 を構成する n 型のシリコン膜 4 n と絶縁膜 5 と絶縁膜 6 との平面形状（平面寸法）は、互いにほぼ同じである。従って、積層パターン 7 では、制御ゲート電極 C G 上には、その制御ゲート電極 C G とほぼ同じ平面形状（平面寸法）の絶縁膜 5 および絶縁膜 6 が積層された状態となっている。

30

【 0 0 8 0 】

次に、フォトリソグラフィ法を用いて、メモリセル領域 1 A の積層パターン 7 を覆いかつ周辺回路領域 1 B 全体を露出するようなフォトリソパターン（図示せず）を形成してから、このフォトリソパターンをエッチングマスクとして用いて、図 9 に示されるように、周辺回路領域 1 B に形成された絶縁膜 6 をエッチングして除去する（図 5 のステップ S 9）。この際、周辺回路領域 1 B において、絶縁膜 5 はエッチングストップ膜として機能する。また、ステップ S 9 では、メモリセル領域 1 A の積層パターン 7 はフォトリソパターンで覆われているため、メモリセル領域 1 A の積層パターン 7 の絶縁膜 6 はエッチングされずに残存する。その後、このフォトリソパターンを除去する。

40

【 0 0 8 1 】

これにより、図 9 に示されるように、メモリセル領域 1 A の積層パターン 7 は、制御ゲート電極 C G（n 型のシリコン膜 4 n）と絶縁膜 5 と絶縁膜 6 との積層構造のままであるが、周辺回路領域 1 B では、絶縁膜 6 は残存しなくなる。

【 0 0 8 2 】

次に、洗浄処理を行って、半導体基板 1 の主面を清浄化する（図 5 のステップ S 1 0）。

50

【 0 0 8 3 】

本実施の形態においては、ステップ S 1 0 の洗浄処理は、フッ酸 (H F) を使用せずに行う。ステップ S 1 0 の洗浄処理としては、 A P M (Ammonia- Hydrogen Peroxide Mixture) 液 (すなわちアンモニアと過酸化水素と水の混合液) による洗浄と、 H P M (Hydrochloric acid- Hydrogen Peroxide Mixture) 液 (すなわち塩酸と過酸化水素と水の混合液) による洗浄との一方または両方を行うことが好ましい。ステップ S 1 0 の洗浄処理では、フッ酸を含まない洗浄液を用いるため、酸化シリコン膜のエッチングが抑制または防止される。絶縁膜 5 は、好ましくは酸化シリコンからなるので、ステップ S 1 0 の洗浄処理を行っても、メモリセル領域 1 A の積層パターン 7 においては、絶縁膜 5 のサイドエッチングは生じず、また、周辺回路領域 1 B においては、絶縁膜 5 は残存する。

10

【 0 0 8 4 】

次に、犠牲酸化を行う (図 5 のステップ S 1 1) 。このステップ S 1 1 の犠牲酸化は、半導体基板 1 を酸化処理することにより行うことができ、好ましくは熱酸化により行うことができるが、 I S S G 酸化により行えば、更に好ましい。

【 0 0 8 5 】

このステップ S 1 1 の犠牲酸化を行う目的は、メモリセル領域 1 A の n 型のシリコン膜 4 n と絶縁膜 5 と絶縁膜 6 との積層膜をエッチングによりパターンニングする工程 (上記ステップ S 8 に対応) において、半導体基板 1 にエッチングによるダメージが入ってしまうため、この部分を酸化することで、このダメージを除去することである。また、エッチングにより露出した制御ゲート電極 C G の側面のダメージを除去することも併せて行うことができる。また、図示は省略しているが、後述の洗浄処理 (後述のステップ S 1 2 に対応) の工程の前に、メモリトランジスタのしきい値調整用の半導体領域が形成されるイオン注入工程があり、犠牲酸化により形成される犠牲酸化膜 (酸化シリコン膜) 8 は、このイオン注入工程におけるダメージ防止の役割も果たしている。

20

【 0 0 8 6 】

ステップ S 1 1 の犠牲酸化により、図 1 0 に示されるように、メモリセル領域 1 A においては、積層パターン 7 (制御ゲート電極 C G) で覆われていない部分の半導体基板 1 (p 型ウエル P W 1) の主面 (表面) と、積層パターン 7 の n 型のシリコン膜 4 n (制御ゲート電極 C G) の側面 (側壁) とが酸化されて、犠牲酸化膜 (酸化シリコン膜) 8 が形成される。また、周辺回路領域 1 B においては、絶縁膜 5 の表面が酸化されて、犠牲酸化膜 (酸化シリコン膜) 8 が形成される。犠牲酸化膜 8 の膜厚は、例えば 3 ~ 6 n m 程度とすることができる。ステップ S 1 1 の犠牲酸化を I S S G 酸化によって行なった場合には、 S i 領域 (ここでは半導体基板 1 とメモリセル領域 1 A の n 型のシリコン膜 4 n) だけでなく S i N 領域 (ここでは絶縁膜 6) も酸化できるため、メモリセル領域 1 A の積層パターン 7 の絶縁膜 6 (窒化シリコン膜) の上面および側面 (側壁) も酸化されて、犠牲酸化膜 8 が形成される。

30

【 0 0 8 7 】

ステップ S 1 1 の犠牲酸化を行うことで、メモリセル領域 1 A において、ゲート加工 (上記ステップ S 8 のパターンニング工程に対応) 後のゲート絶縁膜 (制御ゲート電極 C G の下に残存する絶縁膜 3 に対応) を修復でき、ゲート絶縁膜の信頼性を向上させることができる。

40

【 0 0 8 8 】

次に、洗浄処理を行って、半導体基板 1 の主面を清浄化する (図 5 のステップ S 1 2) 。このステップ S 1 2 の洗浄処理は、フッ酸 (H F) を使用して行う。すなわち、希フッ酸 (フッ酸の水溶液) を用いて、ステップ S 1 2 の洗浄処理を行う。

【 0 0 8 9 】

図 1 1 は、ステップ S 1 2 の洗浄処理を行った段階の要部断面図であり、上記図 6 ~ 図 1 0 と同じ領域 (断面領域) が示されている。また、図 1 2 は、ステップ S 1 0 の洗浄処理を行った後かつステップ S 1 1 の犠牲酸化工程を行う前の段階の要部断面図であり、図 1 3 は、ステップ S 1 2 の洗浄処理を行った段階 (後述のステップ S 1 3 の絶縁膜 9 の

50

形成工程を行う前の段階)の要部断面図であり、図12および図13には、積層パターン7およびその近傍領域の拡大図が示されている。

【0090】

ステップS12の洗浄処理では、フッ酸を含む洗浄液(好ましくは希フッ酸)を用いることが好ましい。フッ酸を使用することで酸化シリコン膜(酸化膜)が選択的にエッチングされ得る。このため、ステップS12の洗浄処理により、図11に示されるように、メモリセル領域1Aおよび周辺回路領域1Bにおいては、犠牲酸化膜8がエッチングされて除去される。一方、周辺回路領域1Bにおいては、さらに絶縁膜5(酸化シリコン膜)がエッチングされて除去される。また、図11および図13に示されるように、メモリセル領域1Aにおいては、絶縁膜5(酸化シリコン膜)がサイドエッチングされる。従って、

10

【0091】

ステップS12の洗浄処理によって犠牲酸化膜8が除去されたことで、図11および図13に示されるように、メモリセル領域1Aにおいては、制御ゲート電極CGで覆われていない部分の半導体基板1(p型ウエルPW1)の主面(シリコン面)と、制御ゲート電極CGの側面(シリコン面)とが露出され、周辺回路領域1Bにおいては、シリコン膜4の上面(シリコン面)が露出される。

【0092】

一方、ステップS12の洗浄処理では、フッ酸を含む洗浄液(好ましくは希フッ酸)を用いるため、シリコン膜や窒化シリコン膜は、酸化シリコン膜に比べてエッチングされにくい。このため、ステップS12の洗浄処理では、半導体基板1とシリコン膜4とn型のシリコン膜4nと絶縁膜6(窒化シリコン膜)とは、ほとんどエッチングされない。すなわち、ステップS12の洗浄処理では、半導体基板1とシリコン膜4とn型のシリコン膜4nと絶縁膜6とに比べて、犠牲酸化膜8と絶縁膜5とがエッチングされやすい洗浄液を使用し、この観点から、フッ酸を含む洗浄液を用いることが好ましいのである。

20

【0093】

メモリセル領域1Aの積層パターン7において、絶縁膜5(酸化シリコン膜)は絶縁膜6(窒化シリコン膜)と制御ゲート電極CG(n型のシリコン膜4n)との間に上下に挟まれている。このため、ステップS12の洗浄工程において、積層パターン7の絶縁膜5は、絶縁膜6で覆われた上面側からはエッチングが進行せず、制御ゲート電極CGに接する下面側からもエッチングが進行しない。しかしながら、ステップS12の洗浄処理において、積層パターン7の側壁(側面)7a,7bがフッ酸を含む洗浄液にさらされるため、図12と図13を比べると分かるように、絶縁膜5(酸化シリコン膜)は、積層パターン7の側壁(側面)7a,7b側から、すなわち絶縁膜5の平面形状の外周側から、内側(絶縁膜5の平面形状の中央側)に向かってエッチングが進行する。換言すれば、積層パターン7において、積層パターン7の側壁7a,7bで露出する絶縁膜5が、横方向に、すなわち絶縁膜5の平面方向に平行な方向(半導体基板1の主面に略平行な方向に対応)に、エッチング(サイドエッチング)されるのである。なお、ステップS12の洗浄処理で絶縁膜5のエッチングが進行する方向を、図13において矢印(エッチング方向)29で模式的に示してある。なお、積層パターン7の側壁7aと側壁7bとは、互いに反対側に位置する側壁であり、側壁7a側に後でメモリゲート電極MGが形成される。

30

40

【0094】

但し、積層パターン7の絶縁膜5の全部がエッチングされる前にステップS12の洗浄処理を終了(停止)する。すなわち、メモリセル領域1Aの積層パターン7において、絶縁膜5の一部(平面形状の外周領域)がエッチングされて除去されるが、それ以外の部分の絶縁膜5はエッチングされずに残存するようにする。これは、ステップS12の洗浄処理の洗浄液のフッ酸濃度や洗浄処理時間を制御することで、実現できる。また、本実施の形態では、ステップS12の洗浄処理の際に、犠牲酸化膜8を除去するだけでなく、絶縁膜5をサイドエッチングする必要があるため、犠牲酸化膜8のみを除去する場合(絶縁膜5のサイドエッチングが行なわれない場合)に比べて、洗浄処理時間(ウェット処理時間

50

)を長くする。

【0095】

このように、ステップS12の洗浄処理を行うと、メモリセル領域1Aの積層パターン7は、制御ゲート電極CG(n型のシリコン膜4n)と絶縁膜5と絶縁膜6との積層構造であるが、絶縁膜5が選択的にサイドエッチングされた状態となる。一方、周辺回路領域1Bにおいては、シリコン膜4のみとなり、絶縁膜5および絶縁膜6は有さないものとなる。ステップS12の洗浄処理を行うことで、メモリセル領域1Aの積層パターン7は、その側壁(側面)において、絶縁膜5(の側面)が、制御ゲート電極CG(の側面)および絶縁膜6(の側面)よりも後退した(すなわち内側に引っ込んだ)構造となる。従って、ステップS12の洗浄工程は、積層パターン7の側壁において、絶縁膜5をサイドエッチングして制御ゲート電極CG(を構成するn型のシリコン膜4n)および絶縁膜6よりも後退させる工程とみなすこともできる。

10

【0096】

次に、図14に示されるように、半導体基板1(p型ウエルPW1, PW2)の主面(表面)と積層パターン7の側壁上に、メモリトランジスタのゲート絶縁膜用の絶縁膜9を形成する(図5のステップS13)。

【0097】

図14は、ステップS13の絶縁膜9の形成工程を行った段階の要部断面図であり、上記図6~図11と同じ領域(断面領域)が示されている。また、図15は、ステップS13の絶縁膜9の形成工程のうち、酸化シリコン膜9a形成工程までを行った段階(窒化シリコン膜9bを形成する前の段階)の要部断面図であり、図16は、ステップS13の絶縁膜9の形成工程を完了した段階(酸化シリコン膜9c形成工程まで行った段階)の要部断面図であり、図15および図16には、上記図13と同じ領域(すなわち積層パターン7およびその近傍領域の拡大図)が示されている。なお、図14では、図面を見易くするために、酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜を、単に絶縁膜9として図示しているのに対して、図16では、絶縁膜9を、酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜として図示している。実際には、絶縁膜9は、酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜である。

20

【0098】

絶縁膜9は、上記のように、内部に電荷蓄積部を有する絶縁膜であり、図16に示されるように、絶縁膜として、下から順に形成された酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜(ONO膜)からなる。すなわち、絶縁膜9は、酸化シリコン膜(酸化膜)9aと、酸化シリコン膜9a上の窒化シリコン膜(窒化膜)9bと、窒化シリコン膜9b上の酸化シリコン膜(酸化膜)9cとを有する積層膜からなる。ステップS13において、図14および図16に示されるように、絶縁膜9は、p型ウエルPW1の表面(但し制御ゲート電極CGで覆われていない部分)上と、積層パターン7の側壁(側面)および上面上と、周辺回路領域1Bのシリコン膜4の上面上とに形成される。

30

【0099】

本実施の形態においては、トラップ準位を有する絶縁膜として、窒化シリコン膜9bを形成しているが、窒化シリコン膜に限定されものではなく、例えば酸化アルミニウム膜(アルミナ)、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を使用してもよい。また、シリコンナノドットで形成してもよい。

40

【0100】

絶縁膜9のうち、酸化シリコン膜は、例えば酸化処理(熱酸化処理)またはCVD(Chemical Vapor Deposition: 化学的気相成長)あるいはその組み合わせにより形成することができる。窒化シリコン膜は、例えばCVD法により形成することができる。

【0101】

50

但し、本実施の形態では、酸化シリコン膜 9 a 形成工程は、半導体基板 1 を酸化処理することにより行い、好ましくは熱酸化により行うことができるが、I S S G 酸化により行えば、更に好ましい。

【 0 1 0 2 】

例えば、まず、半導体基板 1 (p 型ウエル P W 1) の表面上と積層パターン 7 の表面 (側面および上面) 上とシリコン膜 4 の表面 (側面および上面) 上とに酸化シリコン膜 9 a を熱酸化法 (より好ましくは I S S G 酸化) により形成する (図 1 5 はこの段階に対応) 。それから、酸化シリコン膜 9 a 上に窒化シリコン膜 9 b を C V D 法で堆積し、更に窒化シリコン膜 9 b 上に酸化シリコン膜 9 c を C V D 法または熱酸化あるいはその両方で形成することで、絶縁膜 9 を形成することができる。

10

【 0 1 0 3 】

酸化シリコン膜 9 a の厚みは、例えば 3 ~ 6 n m 程度とすることができ、窒化シリコン膜 9 b の厚みは、例えば 5 ~ 1 0 n m 程度とすることができ、酸化シリコン膜 9 c の厚みは、例えば 4 ~ 7 n m 程度とすることができる。最後の酸化膜 (絶縁膜 9 のうちの最上層の酸化シリコン膜 9 c) は、例えば窒化膜 (絶縁膜 9 のうちの中間層の窒化シリコン膜 9 b) の上層部分を酸化して形成することで、高耐圧膜を形成することもできる。

【 0 1 0 4 】

絶縁膜 9 は、後で形成されるメモリゲート電極 M G のゲート絶縁膜として機能し、電荷保持機能を有する。従って、絶縁膜 9 は少なくとも 3 層の積層構造を有し、外側の層 (酸化シリコン膜 9 a , 9 c) のポテンシャル障壁高さに比べ、内側の層 (窒化シリコン膜 9 b) のポテンシャル障壁高さが低くなる。これは、本実施の形態のように、絶縁膜 9 を、酸化シリコン膜 9 a と、酸化シリコン膜 9 a 上の窒化シリコン膜 9 b と、窒化シリコン膜 9 b 上の酸化シリコン膜 9 c とを有する積層膜とすることで達成できる。

20

【 0 1 0 5 】

また、本実施の形態では、ステップ S 1 3 で酸化シリコン膜 9 a を形成する際に、積層パターン 7 の側壁 7 a , 7 b において、ゲート電極 C G を形成する n 型のシリコン膜 4 n の表面 (露出面) が酸化されて、制御ゲート電極 C G (を構成する n 型のシリコン膜 4 n) の上端角部 C 1 , C 2 が丸みを帯びる。その理由は、次のようなものである。

【 0 1 0 6 】

積層パターン 7 は、上記ステップ S 8 で n 型のシリコン膜 4 n 、絶縁膜 5 および絶縁膜 6 の積層膜をパターニングすることで形成しているため、上記ステップ S 8 を行った段階では、上記図 1 2 から分かるように、制御ゲート電極 C G の上端角部 C 1 , C 2 は、丸みを帯びず、ほぼ直角の尖った角部となっている。

30

【 0 1 0 7 】

このため、本実施の形態とは異なり、積層パターン 7 の側壁において、絶縁膜 5 がサイドエッチングされずに絶縁膜 5 が制御ゲート電極 C G および絶縁膜 6 よりも後退していない状態 (すなわち、制御ゲート電極 C G 、絶縁膜 5 および絶縁膜 6 の各側面が同一平面上にある状態) で、酸化シリコン膜 9 a の形成工程 (半導体基板 1 の酸化処理) を行った場合には、制御ゲート電極 C G は、側面の表層部分のみが酸化する。この場合、制御ゲート電極 C G の上端角部 C 1 , C 2 は、ほぼ直角の尖った角部のままとなり、丸みを帯びないものとなる。

40

【 0 1 0 8 】

しかしながら、本実施の形態では、上記ステップ S 1 2 の洗浄工程で、メモリセル領域 1 A の積層パターン 7 の側壁 7 a , 7 b において、絶縁膜 5 をサイドエッチングすることで絶縁膜 5 (の側面) が制御ゲート電極 C G (の側面) および絶縁膜 6 (の側面) よりも後退した構造を形成し、この状態で、絶縁膜 9 を構成する酸化シリコン膜 9 a の形成工程 (半導体基板 1 の酸化処理) を行っている。すなわち、絶縁膜 5 をサイドエッチングして絶縁膜 5 を制御ゲート電極 C G および絶縁膜 6 よりも後退させたことで、制御ゲート電極 C G は側面が露出するだけでなく、制御ゲート電極 C G の上面のうちの上端角部 C 1 , C 2 近傍の領域も露出させ、この状態で、酸化シリコン膜 9 a の形成工程 (半導体基板 1 の

50

酸化処理)を行っている。このため、制御ゲート電極CGは、側面の表層部分だけでなく、制御ゲート電極CGの上面のうちの上端角部C1, C2近傍の領域も酸化することになる。この場合、制御ゲート電極CGの上端角部C1, C2は、側面側と上面側とから酸化が進行したことにより、ほぼ直角の尖った角部ではなく、丸みを帯びたものになる。

【0109】

このように、本実施の形態では、上記ステップ8のパターニング工程で積層パターン7を形成した後、積層パターン7の側壁において、絶縁膜5をサイドエッチングして絶縁膜5を制御ゲート電極CGおよび絶縁膜6よりも後退させたことで、その後に制御ゲート電極CGの露出面を酸化させる際に(ここでは酸化シリコン膜9a形成工程)、制御ゲート電極CGの上端角部C1, C2に丸みを帯びさせることができるのである。

10

【0110】

また、積層パターン7の側壁において、絶縁膜5をサイドエッチングして制御ゲート電極CGおよび絶縁膜6よりも後退させた後で、ステップS13で絶縁膜9を形成するので、積層パターン7の側壁7a, 7bにおける絶縁膜5が後退している領域(図13に示される領域30a, 30bに対応する領域)に、絶縁膜9の一部が入り込んだ状態になる。具体的には、絶縁膜9は、酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜からなるため、積層パターン7の側壁7a, 7bにおける絶縁膜5が後退している領域(図13に示される領域30a, 30bに対応する領域)に、窒化シリコン膜9bの一部も入り込んだ状態になる。

【0111】

20

また、上記ステップS12の洗浄工程で絶縁膜5をサイドエッチングさせることで、積層パターン7の側壁7a, 7bにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1(距離L1は上記図13に示している)は、ステップS13で形成した絶縁膜9を構成する酸化シリコン膜9aの厚みT4(厚みT4は上記図15に示している)以上であることが好ましい(すなわちL1 > T4)。その理由は、次のようなものである。

【0112】

本実施の形態では、積層パターン7の側壁7a, 7bにおいて、絶縁膜5をサイドエッチングして制御ゲート電極CGおよび絶縁膜6よりも後退させる。その後、酸化シリコン膜9aを形成する際に、制御ゲート電極CGの露出面(表面)を酸化することで、制御ゲート電極CGの上端角部C1, C2が丸みを帯びたものになる。しかしながら、積層パターン7の側壁7a, 7bにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1が小さすぎると、制御ゲート電極CGの上端角部C1, C2が十分に丸みを帯びない可能性がある。それに対して、積層パターン7の側壁7a, 7bにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1を、酸化シリコン膜9aの厚み(形成厚み)T4以上(すなわちL1 > T4)とすれば、制御ゲート電極CGの露出面が酸化した際に(ここでは酸化シリコン膜9a形成工程)、制御ゲート電極CGに対して、十分に丸みを帯びた上端角部C1, C2を形成することができる。一方、製造された半導体装置においては、制御ゲート電極CGの露出面が酸化されたT4の膜厚の1/2分後退するため、L1とT4の関係は、 $L1 > T4 / 2$ となることが想定される。

30

40

【0113】

また、積層パターン7の側壁7a, 7bにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1は、4nm以上である(すなわちL1 > 4nm)ことが、更に好ましい。これにより、制御ゲート電極CGに対して、十分に丸みを帯びた上端角部C1, C2を更に的確に形成することができる。

【0114】

また、本実施の形態では、酸化シリコン膜9a形成工程で制御ゲート電極CGの露出面を酸化させることで、制御ゲート電極CGの上端角部C1, C2に丸みをもたせている。このため、制御ゲート電極CGの露出面で酸化が進行するように、酸化シリコン膜9a形

50

成工程は、CVD法ではなく半導体基板1の酸化処理により行うことが好ましく、より好ましくは熱酸化により行うことができるが、ISSG酸化により行えば、更に好ましい。また、この酸化シリコン膜9aを形成する工程により、絶縁膜6の下边角部も丸みを帯びた形状となる。

【0115】

次に、図17に示されるように、半導体基板1の主面全面上に、すなわち絶縁膜9上に、メモリセル領域1Aにおいては積層パターン7を覆うように、メモリゲート電極MG形成用の導電体膜としてn型のシリコン膜10nを形成(堆積)する(図5のステップS14)。なお、図17および以降の図18~図20、図22~図28でも、上記図14と同様に、図面を見易くするために、酸化シリコン膜9a、窒化シリコン膜9bおよび酸化シリコン膜9cの積層膜を、単に絶縁膜9として図示している。

10

【0116】

n型のシリコン膜10nは、n型の多結晶シリコン膜(n型不純物を導入した多結晶シリコン膜、ドーフトポリシリコン膜)からなり、CVD法などを用いて形成することができる。n型のシリコン膜10nの膜厚(堆積膜厚)は、例えば50~100nm程度とすることができる。

【0117】

次に、図18に示されるように、異方性エッチング技術により、シリコン膜の堆積膜厚の分だけn型のシリコン膜10nをエッチバック(エッチング、ドライエッチング、異方性エッチング)する(図5のステップS15)。このステップS15のエッチバック工程により、積層パターン7の両方の側壁7a, 7b上に(絶縁膜9を介して)n型のシリコン膜10nをサイドウォール(サイドウォールスペーサ)状に残し、他の領域のn型のシリコン膜10nを除去する。これにより、残存したn型のシリコン膜10nからなるメモリゲート電極MGおよび多結晶シリコンスペーサPS1が形成される。

20

【0118】

この際、積層パターン7の両側壁7a, 7bのうち、一方の側壁7a上に絶縁膜9を介して残存するn型のシリコン膜10nがメモリゲート電極MGとなり、他方の側壁7b上に絶縁膜9を介して残存するn型のシリコン膜10nは多結晶シリコンスペーサPS1となる。メモリゲート電極MGと多結晶シリコンスペーサPS1とは、積層パターン7の互いに反対側となる側壁上に形成されており、積層パターン7を挟んでほぼ対称な構造を有している。また、図示していないが、後でメモリゲート電極MGに接続するコンタクトホール形成予定領域は、この領域を予めフォトレジストパターンで覆った状態でステップS15のエッチバック工程を行うことで、n型のシリコン膜10nをエッチングせずに残存させておく。

30

【0119】

なお、メモリゲート電極MGの下の絶縁膜9がメモリトランジスタのゲート絶縁膜となる。このようにして、絶縁膜9上に、制御ゲート電極CGと絶縁膜9を介して隣り合うメモリゲート電極MGが形成される。n型のシリコン膜10nの堆積膜厚によってメモリゲート長(メモリゲート電極MGのゲート長)が決まるので、上記ステップS14で堆積するn型のシリコン膜10nの堆積膜厚を調整することで、メモリゲート長を調整することができる。

40

【0120】

メモリゲート電極MGはステップS14, S15により形成されるため、ステップS14のn型のシリコン膜10nの形成工程およびステップS15のn型のシリコン膜10nのエッチバック工程は、絶縁膜9上に、積層パターン7と絶縁膜9を介して隣り合うメモリゲート電極MGを形成する工程とみなすこともできる。

【0121】

次に、フォトリソグラフィ技術を用いて、メモリゲート電極MGが覆われかつ多結晶シリコンスペーサPS1が露出されるようなフォトレジストパターン(図示せず)を半導体基板1上に形成する。このフォトレジストパターンをエッチングマスクとしたドライエッ

50

チングにより、多結晶シリコンスペーサ P S 1 を除去する（図 5 のステップ S 1 6）。その後、このフォトレジストパターンを除去する。ステップ S 1 6 のエッチング工程により、図 1 9 に示されるように、多結晶シリコンスペーサ P S 1 が除去されるが、メモリゲート電極 M G は、フォトレジストパターンで覆われていたので、エッチングされずに残存する。

【 0 1 2 2 】

次に、図 2 0 および図 2 1 に示されるように、絶縁膜 9 のうち、メモリゲート電極 M G で覆われずに露出する部分をエッチング（例えばウェットエッチング）によって除去する。この際、メモリゲート電極 M G の下に位置する絶縁膜 9 と、メモリゲート電極 M G および積層パターン 7 間に位置する絶縁膜 9 とは、除去されずに残存する。なお、図 2 0 および図 2 1 は、メモリゲート電極 M G で覆われずに露出する部分の絶縁膜 9 を除去した段階の要部断面図であり、図 2 0 は、上記図 6 ~ 図 1 1、図 1 4 および図 1 7 ~ 図 1 9 と同じ領域（断面領域）が示され、図 2 1 は、上記図 1 2、図 1 3、図 1 5 および図 1 6 と同じ領域（すなわち積層パターン 7 およびその近傍領域の拡大図）が示されている。

【 0 1 2 3 】

次に、周辺回路領域 1 B に形成されているシリコン膜 4 上にフォトリソグラフィ法を用いてフォトレジストパターン（ここでは図示しないけれども、メモリセル領域 1 A 全体と周辺回路領域 1 B の p チャンネル型 M I S F E T 形成予定領域にこのフォトレジストパターンが形成される）を形成し、このフォトレジストパターンをマスクとして用いて、周辺回路領域 1 B のシリコン膜 4 に n 型不純物をイオン注入法などによって導入する。これにより、周辺回路領域 1 B に n 型のシリコン膜（周辺回路領域 1 B において n 型不純物が導入されたシリコン膜 4 に対応）が形成される。その後、この n 型のシリコン膜上にフォトリソグラフィ法を用いてフォトレジストパターン（ここでは図示しないけれども、メモリセル領域 1 A 全体と周辺回路領域 1 B のゲート電極 G E 形成予定領域とにこのフォトレジストパターンが形成される）を形成し、このフォトレジストパターンをエッチングマスクとして用いて、前記 n 型のシリコン膜をエッチング（ドライエッチング）してパターンニングする。このとき、メモリセル領域 1 A は、フォトレジストパターンで覆われており、エッチングされない。その後、このフォトレジストパターンを除去する。これにより、図 2 2 に示されるように、パターンニングされた n 型のシリコン膜（すなわち周辺回路領域 1 B において n 型不純物が導入されたシリコン膜 4 をパターンニングしたもの）からなるゲート電極 G E が形成される。

【 0 1 2 4 】

次に、イオン注入法などを用いて例えばヒ素（A s）またはリン（P）などの n 型の不純物を、積層パターン 7、メモリゲート電極 M G およびゲート電極 G E をイオン注入阻止マスクとして用いて半導体基板 1（p 型ウエル P W 1、P W 2）に導入（ドーピング）することで、図 2 2 に示されるように、n⁻型半導体領域（不純物拡散層）1 1 a、1 1 b、1 1 c を形成する。

【 0 1 2 5 】

この際、n⁻型半導体領域 1 1 a は、メモリセル領域 1 A において、メモリゲート電極 M G の側壁（絶縁膜 9 を介して制御ゲート電極 C G と隣り合う側とは反対側の側壁）に自己整合して形成され、n⁻型半導体領域 1 1 b は、メモリセル領域 1 A において、制御ゲート電極 C G の側壁（絶縁膜 9 を介してメモリゲート電極 M G と隣り合う側とは反対側の側壁）に自己整合して形成される。また、n⁻型半導体領域 1 1 c は、周辺回路領域 1 B において、ゲート電極 G E の両側壁に自己整合して形成される。n⁻型半導体領域 1 1 a および n⁻型半導体領域 1 1 b は、メモリセル領域 1 A に形成されるメモリセルのソース・ドレイン領域の一部として機能し、n⁻型半導体領域 1 1 c は周辺回路領域 1 B に形成される M I S F E T のソース・ドレイン領域の一部として機能することができる。

【 0 1 2 6 】

次に、図 2 3 に示されるように、制御ゲート電極 C G の側壁 7 b（絶縁膜 9 を介してメモリゲート電極 M G と隣り合う側とは反対側の側壁 7 b）上、メモリゲート電極 M G の側

10

20

30

40

50

壁（絶縁膜 9 を介して制御ゲート電極 CG と隣り合う側とは反対側の側壁）上およびゲート電極 GE の側壁（両方の側壁）上に、例えば酸化シリコンなどの絶縁体からなる側壁絶縁膜（サイドウォール、サイドウォールスペーサ）SW を形成する。例えば、半導体基板 1 の主面全面上に酸化シリコン膜などの絶縁膜を堆積し、この絶縁膜を異方性エッチング（エッチバック）することによって制御ゲート電極 CG、メモリゲート電極 MG およびゲート電極 GE の側壁上にのみ選択的に残して側壁絶縁膜 SW を形成することができる。

【0127】

次に、イオン注入法などを用いて例えばヒ素（As）またはリン（P）などの n 型の不純物を、積層パターン 7、メモリゲート電極 MG およびゲート電極 GE とそれらの側壁上の側壁絶縁膜 SW とをイオン注入阻止マスクとして用いて半導体基板 1（p 型ウエル PW 1, PW 2）に導入（ドーピング）することで、高不純物濃度の n⁺ 型半導体領域（不純物拡散層）12a, 12b, 12c を形成する。この際、n⁺ 型半導体領域 12a は、メモリセル領域 1A において、メモリゲート電極 MG の側壁上の側壁絶縁膜 SW に自己整合して形成され、n⁺ 型半導体領域 12b は、メモリセル領域 1A において、制御ゲート電極 CG の側壁上の側壁絶縁膜 SW に自己整合して形成され、n⁺ 型半導体領域 12c は、周辺回路領域 1B において、ゲート電極 GE の両側壁上の側壁絶縁膜 SW に自己整合して形成される。これにより、LDD（lightly doped drain）構造が形成される。

【0128】

このようにして、n⁻ 型半導体領域 11a とそれよりも高不純物濃度の n⁺ 型半導体領域 12a とにより、メモリトランジスタのソース領域として機能する n 型の半導体領域 MS が形成され、n⁻ 型半導体領域 11b とそれよりも高不純物濃度の n⁺ 型半導体領域 12b とにより、制御トランジスタのドレイン領域として機能する n 型の半導体領域 MD が形成される。また、n⁻ 型半導体領域 11c とそれよりも高不純物濃度の n⁺ 型半導体領域 12c とにより、周辺回路領域 1B の MISFETQn のソース・ドレイン領域として機能する n 型の半導体領域が形成される。

【0129】

次に、必要に応じてエッチング（例えば希フッ酸などを用いたウェットエッチング）を行って、n⁺ 型半導体領域 12a, 12b, 12c の上面（表面）とメモリゲート電極 MG の上面（側壁絶縁膜 SW で覆われていない部分）とゲート電極 GE の上面とを清浄化（露出）させる。このときのエッチングは、自然酸化膜を除去する程度の軽いエッチングとすることができる。それから、図 24 に示されるように、n⁺ 型半導体領域 12a, 12b, 12c の上面（表面）上とメモリゲート電極 MG の上面（側壁絶縁膜 SW で覆われていない部分）上とゲート電極 GE の上面上とを含む半導体基板 1 の主面全面上に、積層パターン 7（制御ゲート電極 CG）、メモリゲート電極 MG、ゲート電極 GE および側壁絶縁膜 SW を覆うように、金属膜 20 を形成（堆積）する。金属膜 20 は、例えばコバルト（Co）膜またはニッケル（Ni）膜などからなり、スパッタリング法などを用いて形成することができる。

【0130】

次に、半導体基板 1 に対して熱処理を施すことによって、n⁺ 型半導体領域 12a, 12b, 12c、メモリゲート電極 MG およびゲート電極 GE の上層部分（表層部分）を金属膜 20 と反応させ、それによって、図 25 に示されるように、n⁺ 型半導体領域 12a, 12b, 12c、メモリゲート電極 MG およびゲート電極 GE の上部（上面、表面、上層部）に、それぞれ金属シリサイド層（金属シリサイド膜）21 を形成する。金属シリサイド層 21 は、例えばコバルトシリサイド層（金属膜 20 がコバルト膜の場合）またはニッケルシリサイド層（金属膜 20 がニッケル膜の場合）とすることができる。その後、未反応の金属膜 20 を除去する。図 25 にはこの段階の断面図が示されている。このように、いわゆるシリサイドプロセスを行うことによって、n⁺ 型半導体領域 12a, 12b, 12c、メモリゲート電極 MG およびゲート電極 GE の上部に金属シリサイド層 21 を形成し、それによって、ソース、ドレインやメモリゲート電極 MG の抵抗を低抵抗化することができる。

【 0 1 3 1 】

サリサイドプロセスにおいて、メモリゲート電極 M G (を構成する n 型のシリコン膜 1 0 n) の上面が金属膜 2 0 と接触していた状態で熱処理を行うので、メモリゲート電極 M G (を構成する n 型のシリコン膜 1 0 n) の上層部分が金属膜 2 0 と反応して、メモリゲート電極 M G (を構成する n 型のシリコン膜 1 0 n) の上部 (上面) に金属シリサイド層 2 1 が形成される。しかしながら、制御ゲート電極 C G 上には絶縁膜 5 , 6 が形成されており、制御ゲート電極 C G (を構成する n 型のシリコン膜 4 n) の上面は、金属膜 2 0 とは接触せずに、間に絶縁膜 5 , 6 が介在していたので、制御ゲート電極 C G (を構成する n 型のシリコン膜 4 n) と金属膜 2 0 とは反応しない。このため、制御ゲート電極 C G 上には、金属シリサイド層 2 1 が形成されない。

10

【 0 1 3 2 】

次に、図 2 6 に示されるように、半導体基板 1 の主面全面上に、積層パターン 7、メモリゲート電極 M G、ゲート電極 G E および側壁絶縁膜 S W を覆うように、絶縁膜 2 2 を形成 (堆積) し、絶縁膜 2 2 上に絶縁膜 2 3 を形成 (堆積) する。それから、必要に応じて C M P (Chemical Mechanical Polishing) 法などを用いて絶縁膜 2 3 の上面を平坦化する。

【 0 1 3 3 】

絶縁膜 2 2 は好ましくは窒化シリコン膜からなり、絶縁膜 2 2 上の絶縁膜 2 3 は好ましくは酸化シリコン膜などからなり、それぞれ C V D 法などを用いて形成することができる。絶縁膜 2 2 の膜厚は、絶縁膜 2 3 の膜厚よりも薄い。厚い絶縁膜 2 3 は、層間絶縁膜として機能し、薄い絶縁膜 (窒化シリコン膜) 2 2 は、絶縁膜 2 3 にコンタクトホールを形成する際のエッチングストッパ膜としてとして機能する。

20

【 0 1 3 4 】

次に、図 2 7 に示されるように、フォトリソグラフィ法を用いて絶縁膜 2 3 上に形成したフォトレジストパターン (図示せず) をエッチングマスクとして、絶縁膜 2 3 および絶縁膜 2 2 をドライエッチングすることにより、絶縁膜 2 2 , 2 3 にコンタクトホール (開口部、貫通孔) C N T を形成する。コンタクトホール C N T を形成するには、まず絶縁膜 2 3 をドライエッチングして絶縁膜 2 2 をエッチングストッパ膜として機能させ、その後、コンタクトホール C N T の底部の絶縁膜 2 2 をドライエッチングで除去して、絶縁膜 2 2 , 2 3 を貫通するコンタクトホール C N T を形成する。このように、絶縁膜 2 2 を、絶縁膜 (層間絶縁膜) 2 3 をエッチングする際のエッチングストッパとして機能させることで、コンタクトホール C N T をエッチングにより形成する際に、その掘り過ぎにより下層に損傷を与えたり、加工寸法精度が劣化したりすることを回避することができる。

30

【 0 1 3 5 】

コンタクトホール C N T は、 n^+ 型半導体領域 1 2 a , 1 2 b , 1 2 c、制御ゲート電極 C G、メモリゲート電極 M G、ゲート電極 G E の上部などに形成される。コンタクトホール C N T の底部では、半導体基板 1 の主面の一部、例えば n^+ 型半導体領域 1 2 a , 1 2 b , 1 2 c (の表面上の金属シリサイド層 2 1) の一部、制御ゲート電極 C G の一部、メモリゲート電極 M G (の表面上の金属シリサイド層 2 1)、あるいはゲート電極 G E (の表面上の金属シリサイド層 2 1) の一部などが露出される。なお、図 2 7 の断面図においては、 n^+ 型半導体領域 1 2 b , 1 2 c (の表面上の金属シリサイド層 2 1) の一部がコンタクトホール C N T の底部で露出した断面が示されている。

40

【 0 1 3 6 】

次に、コンタクトホール C N T 内に、タングステン (W) などからなる導電性のプラグ (接続用導体部) P G を形成する。プラグ P G を形成するには、例えば、コンタクトホール C N T の内部 (底部および側壁上) を含む絶縁膜 2 3 上に、バリア導体膜 (例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜) を形成する。それから、このバリア導体膜上にタングステン膜などからなる主導体膜をコンタクトホール C N T を埋めるように形成し、絶縁膜 2 3 上の不要な主導体膜およびバリア導体膜を C M P 法またはエッチバック法などによって除去することにより、プラグ P G を形成することができる。なお、図面の

50

簡略化のために、図 27 では、プラグ P G を構成するバリア導体膜および主導体膜（タングステン膜）を一体化して示してある。

【 0 1 3 7 】

次に、図 28 に示されるように、プラグ P G が埋め込まれた絶縁膜 23 上に、ストップ絶縁膜（エッチングストップ用の絶縁膜）24 および配線形成用の絶縁膜（層間絶縁膜）25 を順次形成する。ストップ絶縁膜 24 は、絶縁膜 25 への溝加工の際にエッチングストップとなる膜であり、絶縁膜 25 に対してエッチング選択性を有する材料を用い、例えば、ストップ絶縁膜 24 を窒化シリコン膜とし、絶縁膜 25 を酸化シリコン膜とすることができる。

【 0 1 3 8 】

次に、シングルダマシン法により第 1 層目の配線 M 1 を形成する。まず、フォトレジストパターン（図示せず）をマスクとしたドライエッチングによって絶縁膜 25 およびストップ絶縁膜 24 の所定の領域に配線溝 26 を形成した後、半導体基板 1 の主面上（すなわち配線溝 26 の底部および側壁上を含む絶縁膜 25 上）にバリア導体膜（例えば窒化チタン膜、タンタル膜または窒化タンタル膜など）を形成する。続いて、CVD 法またはスパッタリング法などによりバリア導体膜上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜を形成し、銅めっき膜により配線溝 26 の内部を埋め込む。それから、配線溝 26 内以外の領域の銅めっき膜、シード層およびバリアメタル膜を CMP 法により除去して、銅を主導電材料とする第 1 層目の配線 M 1 を形成する。なお、図面の簡略化のために、図 28 では、配線 M 1 を構成する銅めっき膜、シード層およびバリア導体膜を一体化して示してある。

【 0 1 3 9 】

配線 M 1 はプラグ P G を介して、メモリトランジスタのソース領域（半導体領域 M S）、制御トランジスタのドレイン領域（半導体領域 M D）、周辺回路領域 1 B の M I S F E T Q n のソース・ドレイン領域（ n^+ 型半導体領域 1 2 c）、制御ゲート電極 C G、メモリゲート電極 M G あるいはゲート電極 G E などと電氣的に接続される。その後、デュアルダマシン法などにより 2 層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線 M 1 およびそれよりも上層の配線は、ダマシン配線に限定されず、配線用の導電体膜をパターンニングして形成することもでき、例えばタングステン配線またはアルミニウム配線などとすることもできる。

【 0 1 4 0 】

次に、本実施の形態の効果について、より詳細に説明する。

【 0 1 4 1 】

図 29 は、第 1 の比較例の半導体装置の要部断面図であり、図 30 は、第 2 の比較例の半導体装置の要部断面図であり、それぞれ本実施の形態の図 2 に対応するものである。

【 0 1 4 2 】

図 29 に示される第 1 の比較例の半導体装置は不揮発性メモリのメモリセルを有する半導体装置であり、半導体基板の p 型ウエル 101 の上部に、不揮発性メモリセルを構成する制御ゲート電極 C G 101 とメモリゲート電極 M G 101 とが互いに隣り合うように形成されている。そして、制御ゲート電極 C G 101 と p 型ウエル P W 101 との間には、ゲート絶縁膜としての絶縁膜 103 が形成されている。また、メモリゲート電極 M G 101 と p 型ウエル P W 101 との間および制御ゲート電極 C G 101 とメモリゲート電極 M G 101 との間には、酸化シリコン膜 109 a、窒化シリコン膜 109 b および酸化シリコン膜 109 c の積層膜からなる絶縁膜 109 が形成されている。制御ゲート電極 C G 101 とメモリゲート電極 M G 101 とはそれぞれシリコン膜からなるが、制御ゲート電極 C G 101 の上部とメモリゲート電極 M G 101 の上部とには、サリサイドプロセスにより金属シリサイド層 121 が形成されている。

【 0 1 4 3 】

このような構造の第 1 の比較例の半導体装置は、次のような課題を有している。

【 0 1 4 4 】

10

20

30

40

50

すなわち、図29に示される第1の比較例の半導体装置では、制御ゲート電極CG101上の金属シリサイド層121とメモリゲート電極MG101上の金属シリサイド層121とは、ONO膜である絶縁膜109により絶縁分離されているが、絶縁膜109の膜厚が薄いことから、制御ゲート電極CG101上の金属シリサイド層121の端部とメモリゲート電極MG101上の金属シリサイド層121の端部とが近接してしまう。このため、制御ゲート電極CG101とメモリゲート電極MG101間のショート不良を発生する可能性がある。この制御ゲート電極CG101およびメモリゲート電極MG101間のショートは、制御ゲート電極CG101およびメモリゲート電極MG101上の金属シリサイド層121の形成状態に依存し、制御ゲート電極CG101上の金属シリサイド層121とメモリゲート電極MG101上の金属シリサイド層121とが薄い絶縁膜109を挟んで近接することにより発生する。このようなショート不良を生じた半導体装置は、半導体装置の製造の検査で選別して除外する必要があるため、半導体装置の製造歩留まりを低下させ、半導体装置のコスト(単価)を増大させてしまう。

10

【0145】

図30に示される第2の比較例の半導体装置は不揮発性メモリのメモリセルを有する半導体装置であり、半導体基板のp型ウエルPW201の上部に、制御ゲート電極CG201とその上の絶縁膜206からなる積層パターン207と、メモリゲート電極MG201とが互いに隣り合うように形成されている。そして、制御ゲート電極CG201とp型ウエルPW201との間には、ゲート絶縁膜としての絶縁膜203が形成されている。また、メモリゲート電極MG201とp型ウエルPW201の間および積層パターン207とメモリゲート電極MG201の間には、酸化シリコン膜209a、窒化シリコン膜209bおよび酸化シリコン膜209cの積層膜からなる絶縁膜209が形成されている。制御ゲート電極CG201とメモリゲート電極MG201とはそれぞれシリコン膜からなるが、メモリゲート電極MG201の上部にはシリサイドプロセスにより金属シリサイド層221が形成されており、一方、制御ゲート電極CG201上には絶縁膜206があるため、金属シリサイド層221は形成されていない。

20

【0146】

絶縁膜206は例えば窒化シリコン膜から形成される。これは、積層パターン207を形成した後の工程で、フッ酸を用いる工程を含むので、絶縁膜206を酸化シリコン膜で形成すると、絶縁膜206が小さくなり過ぎる虞があるためである。図30に示される第2の比較例では、上記図1および図2の構造と異なり、制御ゲート電極CG201と絶縁膜206との間に、薄いフッ酸処理により後退するような絶縁膜(例えば酸化シリコン膜)を挟んだ構造をしていないので、積層パターン207の側面の形状は、窪みがなく、ほぼ一直線状である。即ち、制御ゲート電極CG201の上端角部は図1および図2の構造(制御ゲート電極CG)と比較して、角ばったものとなる。

30

【0147】

また、図30に示される第2の比較例の半導体装置では、制御ゲート電極CG201上には絶縁膜206があるため、金属シリサイド層221は、メモリゲート電極MG201の上部には形成されるが、制御ゲート電極CG201の上部には形成されない。このため、メモリゲート電極MG201上の金属シリサイド層221が制御ゲート電極CG201に薄い絶縁膜209を挟んで近接することがないため、制御ゲート電極CG201とメモリゲート電極MG201間のショート不良の発生を防止することができる。

40

【0148】

しかしながら、第2の比較例の半導体装置は、次のような課題を有している。

【0149】

すなわち、制御ゲート電極CG201とメモリゲート電極MG201とが薄い絶縁膜209を介して隣接している構造であるため、制御ゲート電極CG201とメモリゲート電極MG201との間のリーク電流が懸念される。特に、積層パターン207のメモリゲート電極MG201に隣接する側の側壁において、制御ゲート電極CG201の上端角部CG201がほぼ直角となり尖っていることで、この上端角部CG201に電界が集中し、制御

50

ゲート電極CG201の上端角部C201とメモリゲート電極MG201（またはメモリゲート電極MG201上の金属シリサイド層221）との間で、リーク電流を生じやすくなる。

【0150】

また、ソース・ドレイン領域を形成するためのイオン注入工程において、積層パターン207とメモリゲート電極MG201との間にある絶縁膜209の上部（例えば図30の点線で囲んだ領域231内の絶縁膜209）にもイオン注入する不純物が導入されてしまう。不純物が導入された部分の絶縁膜209（領域231内の絶縁膜209）は、絶縁膜209の他の部分に比べてリーク電流を生じやすい領域となっており、この領域（領域231内の絶縁膜209）を介して、制御ゲート電極CG201の上端角部C201とメモリゲート電極MG201（またはメモリゲート電極MG201上の金属シリサイド層221）との間で、リーク電流を生じやすくなる。

10

【0151】

制御ゲート電極CG201とメモリゲート電極MG201との間のリーク電流は、不揮発性メモリを有する半導体装置の性能を低下させてしまうため、上述のようなリーク電流は、できるだけ抑制することが望まれる。

【0152】

それに対して、本実施の形態では、上記図1および図2にも示されるように、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、制御ゲート電極CGの上端角部C1が尖っておらず、丸みを帯びている（丸まっている、ラウンド形状を有している）。

20

【0153】

制御ゲート電極CGはメモリゲート電極MGと薄い絶縁膜9を介して隣接しており、制御ゲート電極CGとメモリゲート電極MGとの間に電位差があると、制御ゲート電極CGの上端角部C1に電界が集中する虞があるが、本実施の形態では、制御ゲート電極CGの上端角部C1が丸みを帯びていることで、制御ゲート電極CGの上端角部C1での電界集中を緩和（抑制、低減）することができる。このため、制御ゲート電極CGの上端角部C1とメモリゲート電極MG（またはメモリゲート電極MGの上部の金属シリサイド層21）との間でリーク電流が発生するのを抑制または防止することができる。

【0154】

30

また、 n^- 型半導体領域11a, 11bを形成するためのイオン注入工程や、 n^+ 型半導体領域12a, 12bを形成するためのイオ注入工程において、積層パターン7とメモリゲート電極MGとの間にある絶縁膜9の上部（例えば上記図2の点線で囲んだ領域31内の絶縁膜9）にもイオン注入する不純物が導入されてしまう。不純物が導入された部分の絶縁膜9（領域31内の絶縁膜9）は、絶縁膜9の他の部分に比べてリーク電流を生じやすい領域となっている。しかしながら、本実施の形態では、制御ゲート電極CGの上端角部C1が丸みを帯びている分、この上端角部C1が丸みを帯びずに直角となっている場合に比べて、制御ゲート電極CGの上端角部C1を、不純物が導入された部分の絶縁膜9（領域31内の絶縁膜9）から離れさせる（遠ざける）ことができる。すなわち、制御ゲート電極CGの上端角部C1から、不純物が導入された部分の絶縁膜9（領域31内の絶縁膜9）までの距離を大きくすることができる。このため、不純物が導入された部分の絶縁膜9（領域31内の絶縁膜9）を介して、制御ゲート電極CGの上端角部C1とメモリゲート電極MG（またはメモリゲート電極MG上の金属シリサイド層21）との間で、リーク電流を生じるのを抑制または防止することができる。

40

【0155】

このように、本実施の形態では、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、制御ゲート電極CGの上端角部C1が尖っておらず、丸みを帯びていることで、制御ゲート電極CGとメモリゲート電極MGとの間のリーク電流を抑制または防止することができ、不揮発性メモリを有する半導体装置の性能を向上させることができる。

50

【 0 1 5 6 】

また、本実施の形態では、制御ゲート電極CG上に絶縁膜5および絶縁膜6を積層して積層パターン7を形成したことで、金属シリサイド層21は、メモリゲート電極MGの上部には形成されるが、制御ゲート電極CGの上部には形成されない。このため、メモリゲート電極MG上の金属シリサイド層21が制御ゲート電極CGに薄い絶縁膜9を挟んで近接することがないため、制御ゲート電極CGとメモリゲート電極MG間のショート不良の発生を防止することができる。従って、半導体装置の製造歩留まりを向上させることができる。また、半導体装置のコスト(単価)を低下させることができる。また、半導体装置の信頼性を向上させることができる。

【 0 1 5 7 】

図31は、不揮発性メモリのメモリゲート電極および制御ゲート電極間のリーク電流を示すグラフである。図31のグラフの横軸は、メモリゲート電極および制御ゲート電極間に所定の電圧を印加したときのリーク電流値に対応し、図31のグラフの縦軸は、累積度数(標準偏差で示した累積度数)に対応する。また、図31において、「第1の比較例」として示されているのは、上記図29に示される第1の比較例の構造の場合であり、図31において、「本実施の形態」として示されているのは、上記図1および図2に示される本実施の形態の構造の場合である。

【 0 1 5 8 】

図31のグラフに示されるように、上記図29に示される第1の比較例の構造に比べて、上記図1および図2に示される本実施の形態の構造では、制御ゲート電極CGとメモリゲート電極MGとの間のリーク電流を大幅に低減することができる。また、図31のグラフには図示しないけれども、上記図30に示される第2の比較例の構造の場合には、リーク電流の値は、図31において、「第1の比較例」と「本実施の形態」との間の値となることが確認されている。

【 0 1 5 9 】

また、本実施の形態では、制御ゲート電極CG上には絶縁膜5,6が積層されて積層パターン7が構成されており、この積層パターン7のメモリゲート電極MGに隣接する側の側壁7aでは、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退している。これにより、制御ゲート電極CGの上端角部C1に丸みを帯びさせることができる。

【 0 1 6 0 】

すなわち、本実施の形態とは異なり、積層パターン7の側壁において、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退していなければ、制御ゲート電極CG(を構成するn型のシリコン膜4n)の露出面を酸化させても、制御ゲート電極CGの上端角部C1に丸みを帯びさせることは困難である。それに対して、本実施の形態のように、積層パターン7の側壁において、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した状態(図13の構造)を形成すれば、その後に、制御ゲート電極CG(を構成するn型のシリコン膜4n)の露出面を酸化させる(本実施の形態の場合は酸化シリコン膜9a形成工程で酸化させる)ことで、上記図15のように、制御ゲート電極CGの上端角部C1に丸みを帯びさせることができるのである。

【 0 1 6 1 】

従って、製造後の半導体装置におけるメモリセルMCでは、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退し、かつ、制御ゲート電極CGの上端角部C1が丸みを帯びた状態となる。

【 0 1 6 2 】

また、上記ステップS8のパターニング工程で積層パターン7を形成した後、積層パターン7の側壁において、絶縁膜5をサイドエッチングしてn型のシリコン膜4n(制御ゲート電極CG)および絶縁膜6よりも後退させることで、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した状態(図13の構造)を容易かつ的確に形成することができる。

10

20

30

40

50

【0163】

そして、絶縁膜5を酸化シリコン膜とし、絶縁膜6を窒化シリコン膜とすることが好ましく、これにより、絶縁膜5の選択的なサイドエッチングが的確に行えるようになる。また、上記ステップS8のパターニング工程で積層パターン7を形成した後、積層パターン7の側壁において、絶縁膜5をサイドエッチングして制御ゲート電極CG（を構成するn型のシリコン膜4n）および絶縁膜6よりも後退させるのは、フッ酸を用いたウェット処理（本実施の形態の場合は上記ステップS12の洗浄処理に対応）により行うことが、より好ましい。これにより、絶縁膜6および制御ゲート電極CGのエッチングを防止しながら、酸化シリコンからなる絶縁膜5を、よりの確にサイドエッチングすることができる。

【0164】

また、本実施の形態では、制御ゲート電極CGとメモリゲート電極MGとの間のリーク電流を低減するために、制御ゲート電極CGの上端角部C1を丸めているが、制御ゲート電極CGの下端角部C3が丸まりすぎていると、制御ゲート電極CGの機能に悪影響を与える可能性がある。ここで、制御ゲート電極CGの下端角部C3は、制御ゲート電極CGの下面（絶縁膜3に接する面）と、制御ゲート電極CGのメモリゲート電極MGに隣接する側の側面（側壁7aに対応する側面）との間の角部に対応する。このため、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、制御ゲート電極CGの上端角部C1の丸み度合いは、制御ゲート電極CGの下端角部C3の丸み度合いよりも大きくなっていることが好ましい。そして、積層パターン7のメモリゲート電極MGに隣接する側の側壁7aにおいて、制御ゲート電極CGの下端角部C3は丸まっていなければ、すなわち略直角であれば、更に好ましい。このようにすることで、制御ゲート電極CGの上端角部C1の丸み度合いを高めて制御ゲート電極CGとメモリゲート電極MGとの間のリーク電流を低減できるとともに、制御ゲート電極CGの下端角部C3の丸み度合いを低くして、制御ゲート電極CGの機能を、よりの確に得ることができる。ここで、制御ゲート電極CGの上端角部C1および下端角部C3のそれぞれの丸み度合いとは、制御ゲート電極CGの上端角部C1および下端角部C3のそれぞれの角R（角アール：丸み部分の半径）に対応する。

【0165】

また、積層パターン7の側壁において、絶縁膜5をサイドエッチングして制御ゲート電極CG（を構成するn型のシリコン膜4n）および絶縁膜6よりも後退させる際には、制御ゲート電極CGの下に位置する絶縁膜3は、後でゲート絶縁膜として使用するため、できるだけエッチング（サイドエッチング）されないようにすることが好ましい。この観点から、上記ステップS4で形成された絶縁膜3の厚み（形成膜厚）T1よりも、上記ステップS6で形成された絶縁膜5の厚み（形成膜厚）T2が厚いことが好ましい（すなわち $T2 > T1$ ）。このようにすることで、絶縁膜5をサイドエッチングして制御ゲート電極CG（を構成するn型のシリコン膜4n）および絶縁膜6よりも後退させる際に、制御ゲート電極CGの下に位置する絶縁膜3がエッチング（サイドエッチング）されるのを抑制または防止することができる。これにより、ゲート絶縁膜として機能する絶縁膜3の信頼性を、より向上させることができる。

【0166】

また、上記ステップS4で形成する絶縁膜3としては、酸化シリコン膜と酸窒化シリコン膜のいずれも用いることができるが、酸窒化シリコン膜を絶縁膜3として用いれば、より好ましい。絶縁膜5と絶縁膜3とがいずれも酸化シリコン膜であると、絶縁膜5をサイドエッチングして制御ゲート電極CGおよび絶縁膜6よりも後退させる際に、制御ゲート電極CGの下の絶縁膜3がエッチング（サイドエッチング）されやすいが、絶縁膜3を酸窒化シリコン膜とすることで、絶縁膜5をサイドエッチングする際に、制御ゲート電極CGの下の絶縁膜3がエッチング（サイドエッチング）されるのを、よりの確に防止できるようになる。また、絶縁膜5として、CVD法により形成された酸化シリコン膜を用いれば、制御ゲート電極CGの下の絶縁膜3がエッチング（サイドエッチング）されるのを防止しつつ、絶縁膜5をよりの確にエッチングできるようになる。

10

20

30

40

50

【0167】

また、本実施の形態では、ステップS12の洗浄工程で犠牲酸化膜8を除去する際に、積層パターン7の側壁7a, 7bにおいて絶縁膜5をサイドエッチングしている。このため、絶縁膜5のサイドエッチング工程を別途追加する必要がなく、半導体装置の製造工程数の増加を抑制することができる。

【0168】

また、以下の実施の形態2では、ステップS10aの洗浄工程で自然酸化膜などを除去する際に、積層パターン7の側壁7a, 7bにおいて絶縁膜5をサイドエッチングしている。このため、絶縁膜5のサイドエッチング工程を別途追加する必要がなく、半導体装置の製造工程数の増加を抑制することができる。

10

【0169】

(実施の形態2)

本実施の形態2では、上記実施の形態1で説明した半導体装置を製造するための他の製造工程について説明する。

【0170】

図32～図40は、本実施の形態の半導体装置の製造工程中の要部断面図である。このうち、図32、図35、図37および図39は、上記実施の形態1の上記図6～図11、図14、図17～図20および図22～図28と同じ領域(断面領域)が示され、図33、図34、図36、図38および図40は、上記実施の形態1の上記図12、図13、図15、図16および図21と同じ領域(断面領域)が示されている。

20

【0171】

上記実施の形態1および本実施の形態2では、上記ステップS8で積層パターン7を形成した後に、積層パターン7の側壁において、絶縁膜5をサイドエッチングして絶縁膜5を制御ゲート電極CG(を構成するn型のシリコン膜4n)および絶縁膜6よりも後退させる工程を行うが、この工程は、上記実施の形態1では、ステップS12の洗浄工程に対応し、本実施の形態では、ステップS10の洗浄工程に対応する。以下、本実施の形態の半導体装置の製造工程を図面を参照して説明する。

【0172】

本実施の形態の製造工程は、上記ステップS10の洗浄工程を行う直前までは、上記実施の形態1の製造工程と同様であるので、ここではその説明を省略し、ステップS10の洗浄工程から説明する。

30

【0173】

上記実施の形態1のステップS1～S9と同様の工程を行って上記図9の構造を得た後、本実施の形態でもステップS10の洗浄処理(洗浄工程)を行う。図32は、本実施の形態において、ステップS10の洗浄処理を行った段階の要部断面図が示されている。また、図33および図34には、積層パターン7およびその近傍領域の拡大図が示されているが、図33は、ステップS10の洗浄処理を行う直前の段階が示され、図34は、ステップS10の洗浄処理を行った段階(ステップS11の犠牲酸化を行う前の段階)が示されている。

【0174】

上記実施の形態1と本実施の形態では、ステップS10の洗浄処理に使用する洗浄液が異なっている。すなわち、上記実施の形態1では、ステップS10の洗浄処理にフッ酸を含まない洗浄液を用いたのに対して、本実施の形態では、ステップS10の洗浄処理にフッ酸(HF)を使用し、フッ酸(HF)を含む洗浄液を用いてステップS10の洗浄処理を行う。具体的には、本実施の形態では、希フッ酸(フッ酸の水溶液)を用いて、ステップS10の洗浄処理を行う。以下では、本実施の形態で行うステップS10の洗浄処理(洗浄工程)を、ステップS10aの洗浄処理(洗浄工程)と称するものとする。

40

【0175】

本実施の形態では、ステップS10aの洗浄処理において、フッ酸を含む洗浄液(好ましくは希フッ酸)を用いることにより酸化シリコン膜が選択的にエッチングされ得る。こ

50

のため、ステップS 1 0 aの洗浄処理により、図3 2および図3 4に示されるように、メモリセル領域1 Aの積層パターン7において、絶縁膜5（酸化シリコン膜）がサイドエッチングされる。また、p型ウエルPW 1の表面などに自然酸化膜が形成されていれば、この自然酸化膜もステップS 1 0 aの洗浄処理で除去され得る。従って、本実施の形態のステップS 1 0 aの洗浄工程は、エッチング工程とみなすこともできる。

【0 1 7 6】

ステップS 1 0 aの洗浄処理によって、図3 2および図3 4に示されるように、メモリセル領域1 Aにおいては、制御ゲート電極CGで覆われていない部分の半導体基板1（p型ウエルPW 1）の主面（シリコン面）と、制御ゲート電極CGの側面（シリコン面）とが露出され、周辺回路領域1 Bにおいては、シリコン膜4の上面（シリコン面）が露出される。

10

【0 1 7 7】

一方、ステップS 1 0 aの洗浄処理では、フッ酸を含む洗浄液（好ましくは希フッ酸）を用いるため、シリコン膜や窒化シリコン膜は、酸化シリコン膜に比べてエッチングされにくい。このため、ステップS 1 0 aの洗浄処理では、半導体基板1とシリコン膜4とn型のシリコン膜4 nと絶縁膜6（窒化シリコン膜）とは、ほとんどエッチングされない。すなわち、ステップS 1 0 aの洗浄処理では、半導体基板1とシリコン膜4とn型のシリコン膜4 nと絶縁膜6とに比べて、絶縁膜5がエッチングされやすい洗浄液を使用し、この観点から、フッ酸を含む洗浄液を用いることが好ましいのである。

【0 1 7 8】

メモリセル領域1 Aの積層パターン7において、絶縁膜5（酸化シリコン膜）は絶縁膜6（窒化シリコン膜）と制御ゲート電極CG（n型のシリコン膜4 n）との間に上下に挟まれているため、ステップS 1 0 aの洗浄処理において、積層パターン7の絶縁膜5は、絶縁膜6で覆われた上面側からはエッチングが進行せず、制御ゲート電極CGに接する下面側からもエッチングが進行しない。しかしながら、ステップS 1 0 aの洗浄処理において、積層パターン7の側壁（側面）がフッ酸を含む洗浄液にさらされるため、図3 3と図3 4を比べると分かるように、積層パターン7において、積層パターン7の側壁（側面）で露出する絶縁膜5が、横方向に、すなわち絶縁膜5の平面方向に平行な方向（半導体基板1の主面に略平行な方向に対応）に、エッチング（サイドエッチング）される。

20

【0 1 7 9】

但し、積層パターン7の絶縁膜5の全部がエッチングされる前にステップS 1 0 aの洗浄処理を終了（停止）する。すなわち、メモリセル領域1 Aの積層パターン7において、絶縁膜5の一部（平面形状の外周領域）がエッチングされて除去されるが、それ以外の部分の絶縁膜5はエッチングされずに残存するようにする。これは、ステップS 1 0 aの洗浄処理の洗浄液のフッ酸濃度や洗浄処理時間を制御することで、実現できる。また、本実施の形態では、ステップS 1 0 aの洗浄処理の際に、自然酸化膜を除去するだけでなく、絶縁膜5をサイドエッチングする必要があるため、自然酸化膜のみを除去する場合（絶縁膜5のサイドエッチングが行なわれない場合）に比べて、洗浄処理時間（ウェット処理時間）を長くする。

30

【0 1 8 0】

このように、ステップS 1 0 aの洗浄処理を行うと、メモリセル領域1 Aの積層パターン7は、制御ゲート電極CG（n型のシリコン膜4 n）と絶縁膜5と絶縁膜6との積層構造であるが、絶縁膜5が選択的にサイドエッチングされた状態となり、一方、周辺回路領域1 Bにおいては、絶縁膜5がエッチングされ、シリコン膜4のみとなる。ステップS 1 0 aの洗浄処理を行うことで、メモリセル領域1 Aの積層パターン7は、その側壁（側面）において、絶縁膜5（の側面）が、制御ゲート電極CG（の側面）および絶縁膜6（の側面）よりも後退した（すなわち内側に引っ込んだ）構造となる。従って、ステップS 1 0 aの洗浄工程は、積層パターン7の側壁において、絶縁膜5をサイドエッチングして制御ゲート電極CG（を構成するn型のシリコン膜4 n）および絶縁膜6よりも後退させる工程とみなすこともできる。

40

50

【0181】

次に、本実施の形態でも、上記実施の形態1と同様のステップS11の犠牲酸化を行って犠牲酸化膜8を形成する。図35は、本実施の形態において、ステップS11の犠牲酸化を行った段階の要部断面図が示されている。また、図36には、図35と同じ段階（ステップS11の犠牲酸化を行った段階）における積層パターン7およびその近傍領域の拡大図が示されている。

【0182】

本実施の形態で行うステップS11の犠牲酸化は、上記実施の形態1で行うステップS11の犠牲酸化と基本的には同じである。しかしながら、本実施の形態では、周辺回路領域1Bにおいて、後にゲート電極GEを形成（パターニング）するのに用いるシリコン膜4の上面が露出された状態でステップS11の犠牲酸化を行うため、図35に示されるように、周辺回路領域1Bのシリコン膜4の上面にも犠牲酸化膜8が形成される点が、上記実施の形態1と相違している。また、本実施の形態では、メモリセル領域1Aの積層パターン7において、絶縁膜5がサイドエッチングされた状態でステップS11の犠牲酸化が行われる点も、上記実施の形態1と相違している。以下では、本実施の形態で行うステップS11の犠牲酸化（犠牲酸化工程）を、ステップS11aの犠牲酸化（犠牲酸化工程）と称するものとする。

【0183】

ステップS11aの犠牲酸化により、図35および図36に示されるように、メモリセル領域1Aにおいては、積層パターン7（制御ゲート電極CG）で覆われていない部分の半導体基板1（p型ウエルPW1）の主面（表面）と、積層パターン7の制御ゲート電極CG（を構成するn型のシリコン膜4n）の側面（側壁）とが酸化されて、犠牲酸化膜（酸化シリコン膜）8が形成される。また、周辺回路領域1Bにおいては、シリコン膜4の上面が酸化されて、犠牲酸化膜（酸化シリコン膜）8が形成される。犠牲酸化膜8の膜厚は、例えば3～6nm程度とすることができる。ステップS11aの犠牲酸化をISSG酸化によって行なった場合には、Si領域（ここでは半導体基板1とn型のシリコン膜4nとシリコン膜4）だけでなくSiN領域（ここでは絶縁膜6）も酸化できるため、積層パターン7の絶縁膜6（窒化シリコン膜）の上面および側面（側壁）も酸化されて、犠牲酸化膜8が形成される。

【0184】

本実施の形態では、ステップS11aの犠牲酸化工程で犠牲酸化膜8を形成する際に、積層パターン7の側壁において、ゲート電極CGを形成するn型のシリコン膜4nの表面（露出面）が酸化されて、制御ゲート電極CG（を構成するn型のシリコン膜4n）の上端角部C1，C2が丸みを帯びる。その理由は、上記実施の形態1で酸化シリコン膜9aを形成する際に、制御ゲート電極CG（を構成するn型のシリコン膜4n）の上端角部C1，C2が丸みを帯びるのと同様である。

【0185】

すなわち、上記実施の形態1では、上記ステップS12の洗浄工程で、積層パターン7の側壁において、絶縁膜5をサイドエッチングすることで絶縁膜5（の側面）が制御ゲート電極CG（の側面）および絶縁膜6（の側面）よりも後退した構造を形成し、この状態で、酸化シリコン膜9aの形成工程（半導体基板1の酸化処理）を行うことで、制御ゲート電極CGの上端角部C1，C2を丸くしている。それに対して、本実施の形態では、ステップS10aの洗浄工程で、積層パターン7の側壁において、絶縁膜5をサイドエッチングすることで絶縁膜5（の側面）が制御ゲート電極CG（の側面）および絶縁膜6（の側面）よりも後退した構造を形成し、この状態で、ステップS11aの犠牲酸化（半導体基板1の酸化処理）を行うことで、制御ゲート電極CGの上端角部C1，C2を丸くしている。

【0186】

つまり、絶縁膜5をサイドエッチングして絶縁膜5を制御ゲート電極CGおよび絶縁膜6よりも後退させたことで、制御ゲート電極CGは側面が露出するだけでなく、制御ゲ-

10

20

30

40

50

ト電極CGの上面のうちの上端角部C1, C2近傍の領域も露出させ、この状態で、半導体基板1の酸化処理(上記実施の形態1では酸化シリコン膜9aの形成工程、本実施の形態ではステップS11aの犠牲酸化工程)を行っているのである。このため、上記実施の形態1では、酸化シリコン膜9aを形成した段階で、本実施の形態では、ステップS11aで犠牲酸化膜8を形成した段階で、制御ゲート電極CGの上端角部C1, C2が、ほぼ直角の尖った角部から、丸みを帯びたものに変化する。

【0187】

また、上記実施の形態1のステップS12の洗浄工程と同様に、本実施の形態のステップS10aの洗浄工程においても、絶縁膜5をサイドエッチングさせることで、積層パターン7の側壁において、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1は、ステップS13で形成した絶縁膜9を構成する酸化シリコン膜9aの厚みT4以上であることが好ましい(すなわち $L1 \geq T4$)。ここで、距離L1は上記図34に示し、厚みT4は上記図15に示してある。また、積層パターン7の側壁において、絶縁膜5が制御ゲート電極CGおよび絶縁膜6よりも後退した距離L1は、4nm以上である(すなわち $L1 \geq 4\text{nm}$)ことが、更に好ましい。これにより、制御ゲート電極CGに対して、十分に丸みを帯びた上端角部C1, C2を更に的確に形成することができる。

10

【0188】

また、本実施の形態では、ステップS11aの犠牲酸化工程で制御ゲート電極CGの露出面を酸化させることで、制御ゲート電極CGの上端角部C1, C2に丸みをもたせている。このため、制御ゲート電極CGの露出面で酸化が進行するように、ステップS11aの犠牲酸化は、半導体基板1の酸化処理により行い、好ましくは熱酸化により行うことができるが、ISSG酸化により行えば、更に好ましい。また、この酸化シリコン膜9aを形成する工程により、絶縁膜6の下端角部も丸みを帯びた形状となる。

20

【0189】

次に、本実施の形態でも、上記実施の形態1と同様のステップS12の洗浄処理(洗浄工程)を行う。図37は、本実施の形態において、ステップS12の洗浄処理を行った段階の要部断面図が示されている。また、図38には、図37と同じ段階(ステップS12の洗浄処理を行った段階)における積層パターン7およびその近傍領域の拡大図が示されている。

【0190】

本実施の形態で行うステップS12の洗浄処理は、上記実施の形態1で行うステップS12の洗浄処理と基本的には同じである。このため、本実施の形態でも、上記実施の形態1と同様に、フッ酸を含有する洗浄液、具体的には希フッ酸(フッ酸の水溶液)を用いて、ステップS12の洗浄処理を行う。以下では、本実施の形態で行うステップS12の洗浄処理(洗浄工程)を、ステップS12aの洗浄処理(洗浄工程)と称するものとする。

30

【0191】

ステップS12aの洗浄処理により、図37および図38に示されるように、犠牲酸化膜8がエッチングされて除去される。また、ステップS12aの洗浄処理により、犠牲酸化膜8を除去するだけでなく、メモリセル領域1Aの積層パターン7において、絶縁膜5を更にサイドエッチングすることもできる。従って、ステップS12aの洗浄工程は、エッチング工程とみなすこともできる。

40

【0192】

ステップS12aの洗浄処理によって犠牲酸化膜8が除去されたことで、メモリセル領域1Aにおいては、積層パターン7(制御ゲート電極CG)で覆われていない部分の半導体基板1(p型ウエルPW1)の主面(シリコン面)と、制御ゲート電極CGの側面(シリコン面)が露出される。一方、周辺回路領域1Bにおいては、シリコン膜4の上面(シリコン面)が露出される。

【0193】

ステップS12aの洗浄処理では、フッ酸を含む洗浄液(好ましくは希フッ酸)を用いるため、シリコン膜や窒化シリコン膜は、酸化シリコン膜に比べてエッチングされにくく

50

、半導体基板 1 と n 型のシリコン膜 4 n とシリコン膜 4 と絶縁膜 6 とは、ほとんどエッチングされない点は、上記実施の形態 1 のステップ S 1 2 の洗浄処理と同様である。

【 0 1 9 4 】

次に、本実施の形態でも、上記実施の形態 1 と同様のステップ S 1 3 の絶縁膜 9 の形成工程を行う。

【 0 1 9 5 】

図 3 9 は、本実施の形態において、ステップ S 1 3 の絶縁膜 9 の形成工程を行った段階の要部断面図が示されている。また、図 4 0 には、図 3 9 と同じ段階（ステップ S 1 3 の絶縁膜 9 の形成工程を行った段階）における積層パターン 7 およびその近傍領域の拡大図が示されている。なお、図 3 9 では、図面を見易くするために、酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜を、単に絶縁膜 9 として図示しているのに対して、図 4 0 では、絶縁膜 9 を、酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜として図示している。実際には、絶縁膜 9 は、酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜である。

10

【 0 1 9 6 】

本実施の形態においても、絶縁膜 9 の構成や形成法などは、上記実施の形態 1 と基本的には同じである。すなわち、本実施の形態においても、上記実施の形態 1 と同様に、絶縁膜 9 は、下から順に形成された酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜（ONO 膜）からなる。上記実施の形態 1 と同様に、絶縁膜 9 は、図 3 9 および図 4 0 に示されるように、p 型ウエル PW 1 の表面（但し制御ゲート電極 CG で覆われていない部分）上と、積層パターン 7 の側壁（側面）および上面上と、周辺回路領域 1 B のシリコン膜 4 の上面上とに形成される。

20

【 0 1 9 7 】

上記実施の形態 1 では、酸化シリコン膜 9 a 形成工程で、制御ゲート電極 CG の露出面（表面）を酸化させて制御ゲート電極 CG の上端角部 C 1 , C 2 を丸くしてしたが、本実施の形態では、ステップ S 1 1 a の犠牲酸化工程で、制御ゲート電極 CG の露出面（表面）を酸化させて制御ゲート電極 CG の上端角部 C 1 , C 2 を丸くしている。このため、上記実施の形態 1 では、酸化シリコン膜 9 a 形成工程は、半導体基板 1 を酸化処理することにより行い、好ましくは熱酸化（更に好ましくは I S S G 酸化）により行うが、本実施の形態では、これらの手法だけでなく、例えば C V D 法などで酸化シリコン膜 9 a を形成することもできる。但し、本実施の形態において、酸化シリコン膜 9 a 形成工程を、半導体基板 1 を酸化処理（好ましくは熱酸化、更に好ましくは I S S G 酸化）により行えば、酸化シリコン膜 9 a 形成工程でも制御ゲート電極 CG の露出面（表面）を酸化させることができるため、酸化シリコン膜 9 a 形成前に比べて、酸化シリコン膜 9 a 形成後の制御ゲート電極 CG の上端角部 C 1 , C 2 の丸み度合いを、更に高めることができる。

30

【 0 1 9 8 】

また、積層パターン 7 の側壁において、絶縁膜 5 をサイドエッチングして制御ゲート電極 CG および絶縁膜 6 よりも後退させた後で、ステップ S 1 3 で絶縁膜 9 を形成するので、積層パターン 7 の側壁における絶縁膜 5 が後退している領域（上記図 3 8 に示される領域 3 0 c , 3 0 d に対応する領域）に、絶縁膜 9 の一部が入り込んだ状態になる。絶縁膜 9 は、具体的には、絶縁膜 9 は酸化シリコン膜 9 a、窒化シリコン膜 9 b および酸化シリコン膜 9 c の積層膜からなるため、積層パターン 7 の側壁における絶縁膜 5 が後退している領域（上記図 3 8 に示される領域 3 0 c , 3 0 d に対応する領域）に、窒化シリコン膜 9 b の一部も入り込んだ状態になる。

40

【 0 1 9 9 】

以降の工程は、上記実施の形態 1 と同様である。すなわち、本実施の形態においても、上記実施の形態 1 と同様に、ステップ S 1 4 でメモリゲート電極 MG 形成用の n 型のシリコン膜 1 0 n を形成し、更にステップ S 1 4 以降の工程を行うが、ここではその図示および繰り返しの説明は省略する。また、製造された半導体装置の構造については、上記実施の形態 1 で説明したので、ここではその説明は省略する。

50

【 0 2 0 0 】

本実施の形態においては、上記実施の形態 1 とほぼ同様の効果を得ることができるのに加えて、次のような効果も得ることができる。

【 0 2 0 1 】

上記実施の形態 1 では、酸化シリコン膜 9 a 形成工程で制御ゲート電極 C G の露出面（表面）を酸化させて制御ゲート電極 C G の上端角部 C 1 , C 2 を丸くしていたが、酸化シリコン膜 9 a の膜厚は、メモリトランジスタのゲート絶縁膜としての機能を考慮して決める必要がある。それに対して、本実施の形態では、ステップ S 1 1 a の犠牲酸化工程で、制御ゲート電極 C G の露出面（表面）を酸化させて制御ゲート電極 C G の上端角部 C 1 , C 2 を丸くしているが、犠牲酸化膜 8 はその後のステップ S 1 2 a の洗浄工程で除去されるため、犠牲酸化膜 8 の膜厚を厚くすることも可能である。制御ゲート電極 C G の上端角部 C 1 , C 2 の丸み度合いは、制御ゲート電極 C G の露出面（表面）を酸化させる際（上記実施の形態 1 では酸化シリコン膜 9 a 形成工程、本実施の形態ではステップ S 1 1 a の犠牲酸化工程）の酸化量に影響され、酸化量が大きいくほど、制御ゲート電極 C G の上端角部 C 1 , C 2 の丸み度合いが大きくなりやすい。本実施の形態では、ステップ S 1 1 a の犠牲酸化工程での酸化量（犠牲酸化膜 8 の膜厚に対応）の自由度が高く、この酸化量を、制御ゲート電極 C G の上端角部 C 1 , C 2 を丸くするのに最適な値にすることができるため、制御ゲート電極 C G の上端角部 C 1 , C 2 の丸み度合いを制御しやすくなる。

10

【 0 2 0 2 】

一方、フッ酸を用いた洗浄処理（上記実施の形態ではステップ S 1 2 の洗浄処理、本実施の形態ではステップ S 1 0 a , S 1 2 a の洗浄処理）の後には、フッ酸を十分に除去するため、水洗処理が必要である。本実施の形態では、ステップ S 1 0 a の洗浄処理の後と、ステップ S 1 2 a の洗浄処理の後とに、それぞれ半導体基板 1 を水洗する（水ですすぐ）必要がある。それに対して、上記実施の形態 1 では、ステップ S 1 2 a の洗浄処理の後に半導体基板 1 を水洗する（水ですすぐ）処理を行うが、ステップ S 1 0 の洗浄処理にはフッ酸を用いないため、ステップ S 1 0 のフッ酸処理及び水洗工程を減らせる分、半導体装置の製造工程数を低減することができる。

20

【 0 2 0 3 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

30

【 産業上の利用可能性 】

【 0 2 0 4 】

本発明は、半導体装置およびその製造技術に適用して有効である。

【 符号の説明 】

【 0 2 0 5 】

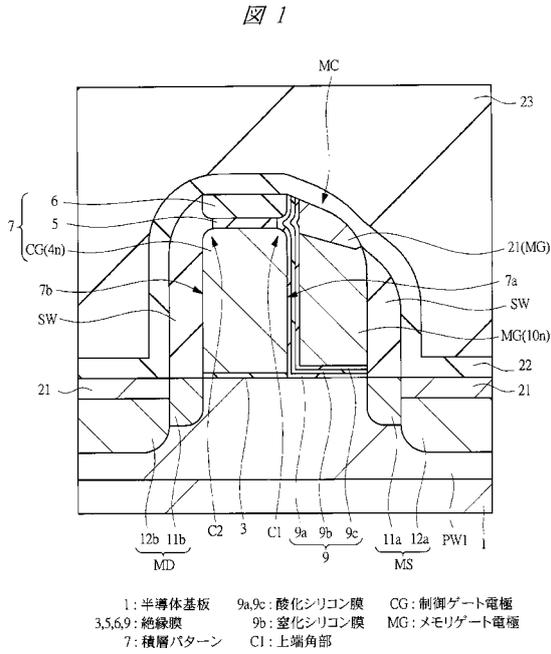
- 1 半導体基板
- 1 A メモリセル領域
- 1 B 周辺回路領域
- 2 素子分離領域
- 3 絶縁膜
- 4 シリコン膜
- 4 n n 型のシリコン膜
- 5 絶縁膜
- 6 絶縁膜
- 7 積層パターン
- 7 a , 7 b 側壁
- 8 犠牲酸化膜
- 9 絶縁膜
- 9 a 酸化シリコン膜

40

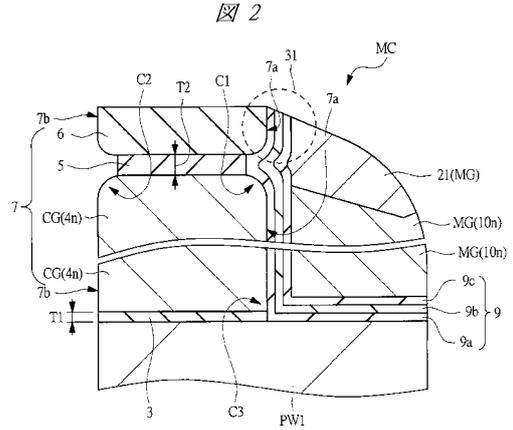
50

9 b	窒化シリコン膜	
9 c	酸化シリコン膜	
1 0 n	n 型のシリコン膜	
1 1 a , 1 1 b , 1 1 c	n ⁻ 型半導体領域	
1 2 a , 1 2 b , 1 2 c	n ⁺ 型半導体領域	
2 0	金属膜	
2 1	金属シリサイド層	
2 2 , 2 3	絶縁膜	
2 4	ストッパ絶縁膜	
2 5	絶縁膜	10
2 6	配線溝	
2 9	矢印 (エッチング方向)	
3 0 a , 3 0 b , 3 0 c , 3 0 d	領域	
3 1	領域	
1 0 3 , 2 0 3	絶縁膜	
1 0 9 , 2 0 9	絶縁膜	
1 0 9 a , 2 0 9 a	酸化シリコン膜	
1 0 9 b , 2 0 9 b	窒化シリコン膜	
1 0 9 c , 2 0 9 c	酸化シリコン膜	
1 2 1 , 2 2 1	金属シリサイド層	20
2 3 1	領域	
C 1 , C 2 , C 2 0 1	上端角部	
C G , C G 1 0 1 , C G 2 0 1	制御ゲート電極	
C N T	コンタクトホール	
L 1	距離	
M 1	配線	
M C	メモリセル	
M D , M S	半導体領域	
M G , M G 1 0 1 , M G 2 0 1	メモリゲート電極	
P G	プラグ	30
P S 1	多結晶シリコンスペーサ	
P W 1 , P W 2 , P W 1 0 1 , P W 2 0 1	p 型ウエル	
S W	側壁絶縁膜	
T 1 , T 2 , T 3 , T 4	厚み	

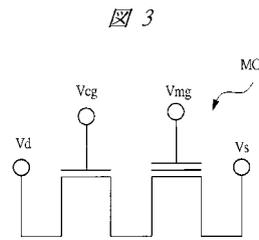
【図1】



【図2】



【図3】



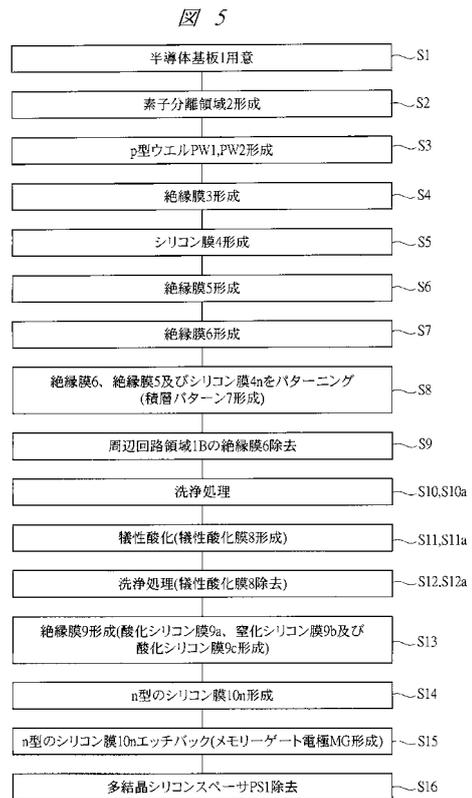
【図4】

図 4

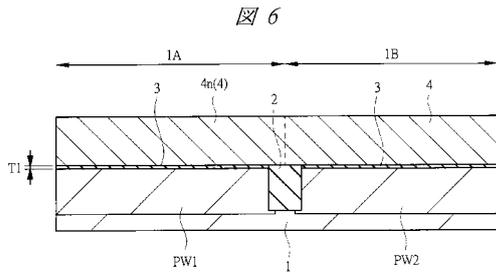
印加電圧 動作	Vd	Vcg	Vmg	Vs	Vb
書込	1V	Vdd	12V	6V	0
消去	0	0	-6V	6V	0
読出	Vdd	Vdd	Vdd	0	0

Vdd = 1.5V

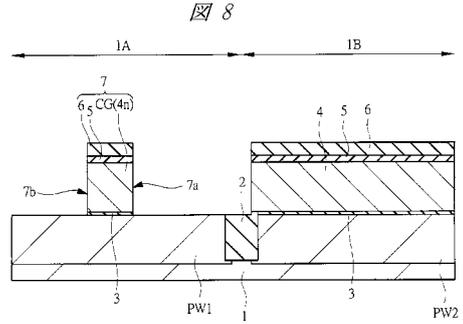
【図5】



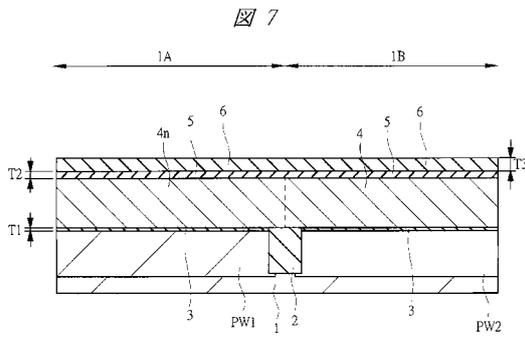
【 図 6 】



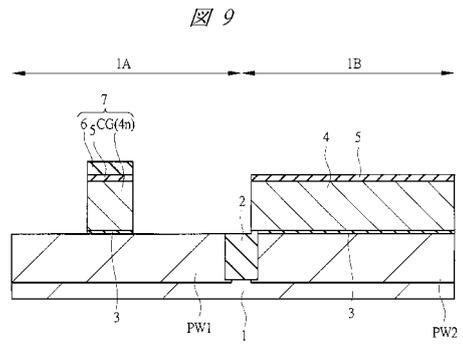
【 図 8 】



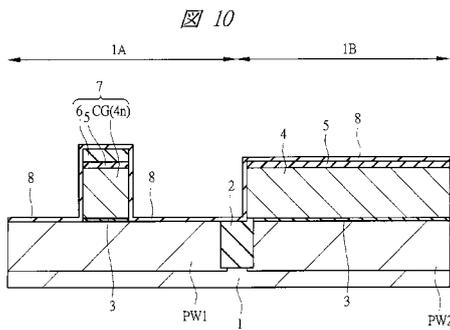
【 図 7 】



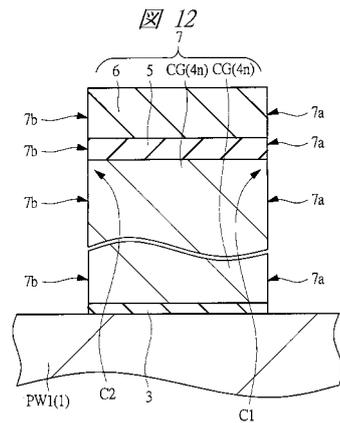
【 図 9 】



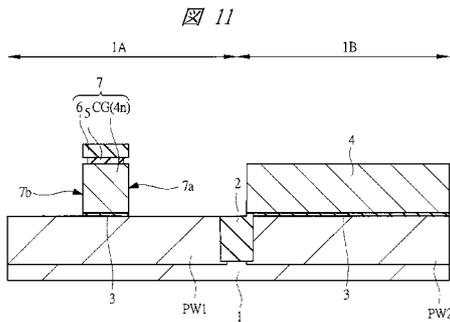
【 図 10 】



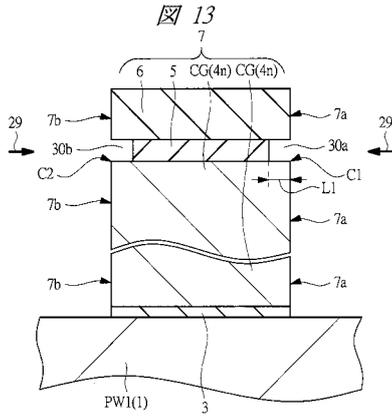
【 図 12 】



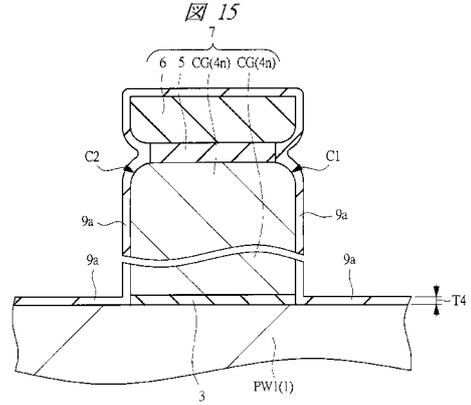
【 図 11 】



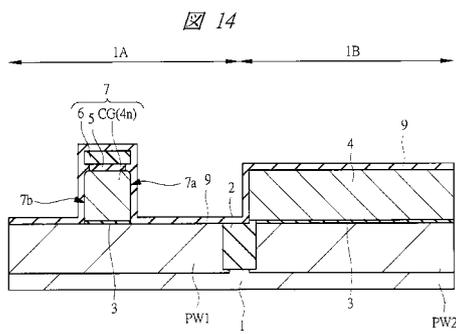
【 図 13 】



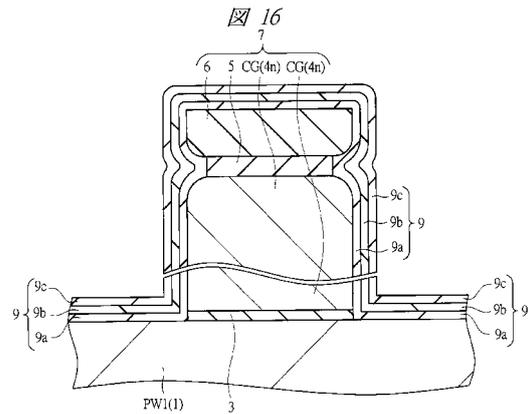
【 図 15 】



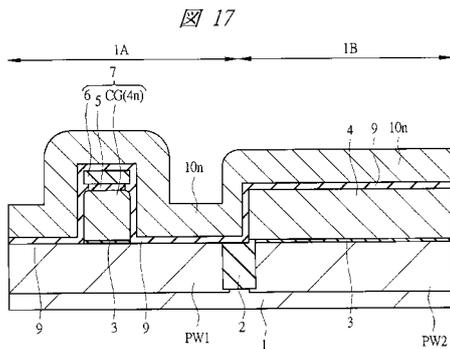
【 図 14 】



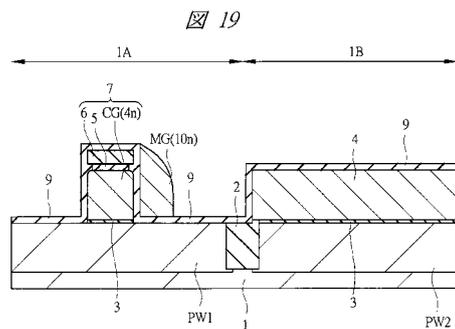
【 図 16 】



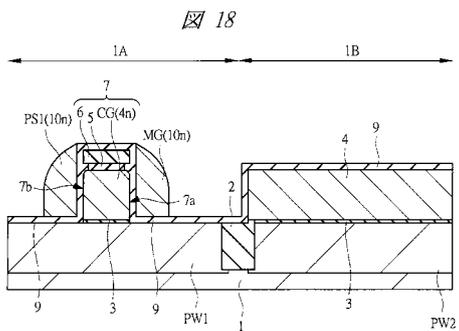
【 図 17 】



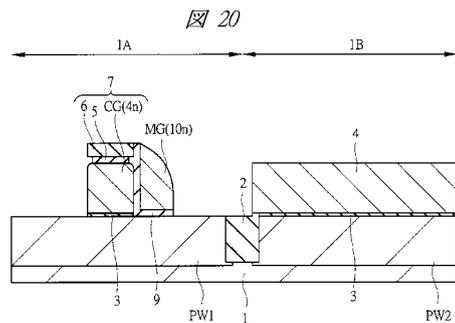
【 図 19 】



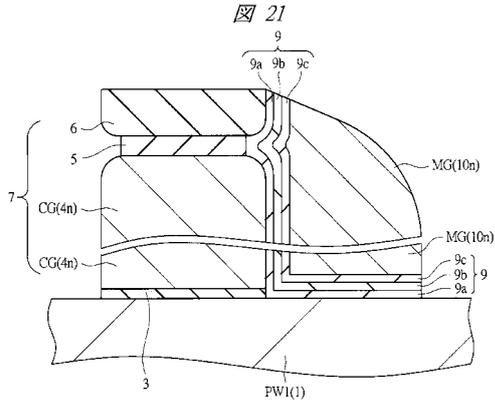
【 図 18 】



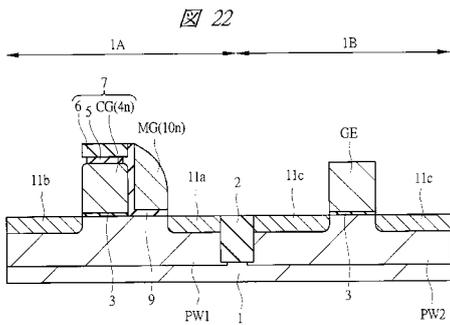
【 図 20 】



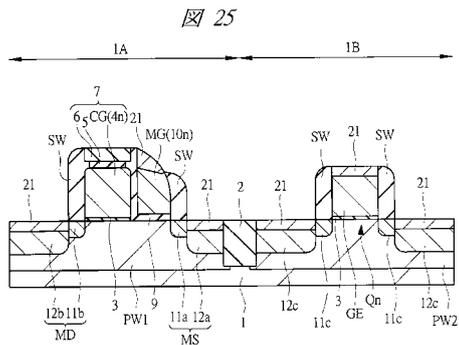
【図 2 1】



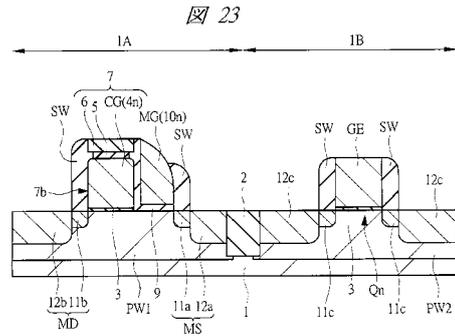
【図 2 2】



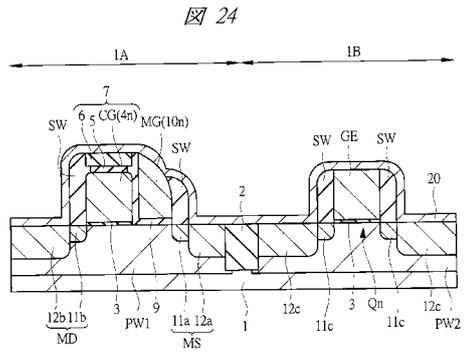
【図 2 5】



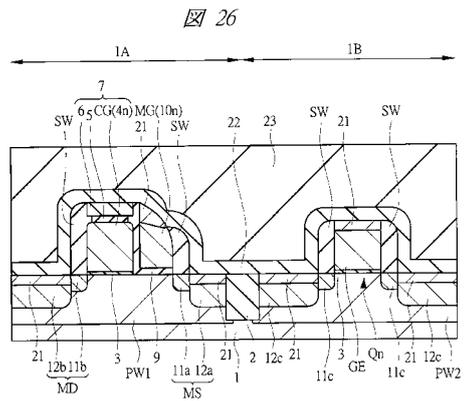
【図 2 3】



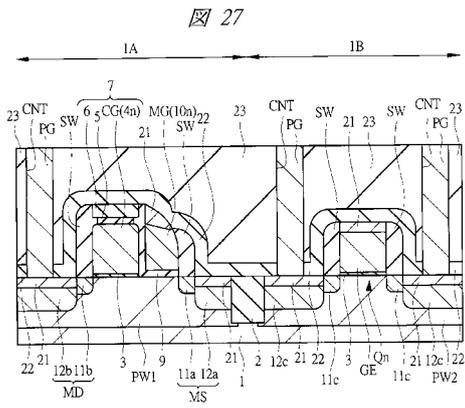
【図 2 4】



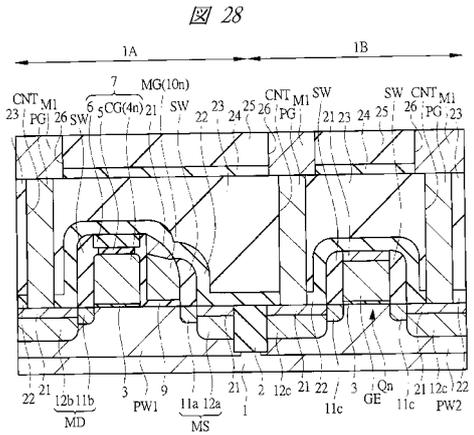
【図 2 6】



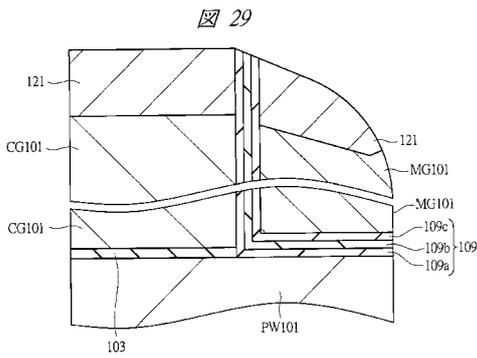
【図27】



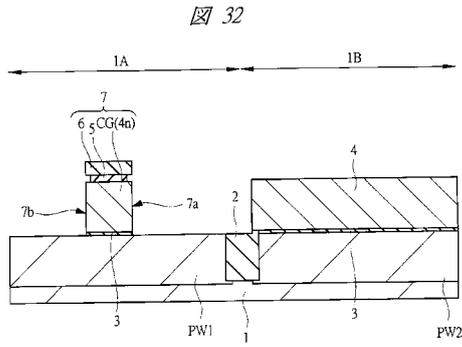
【図28】



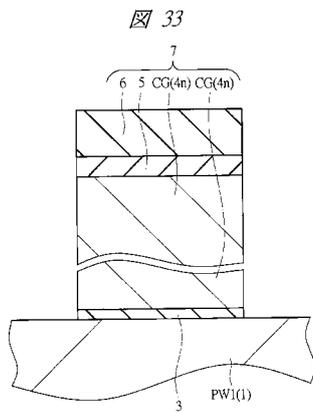
【図29】



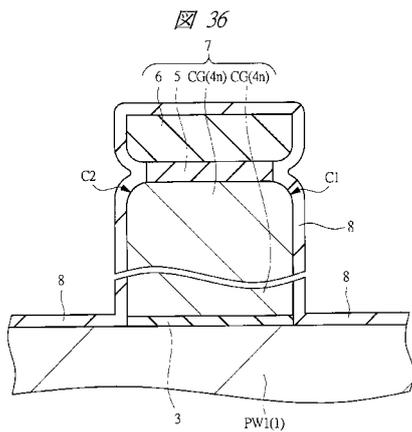
【図 32】



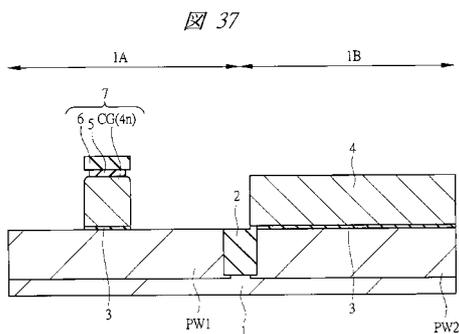
【図 33】



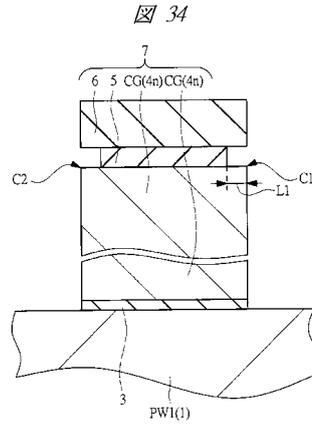
【図 36】



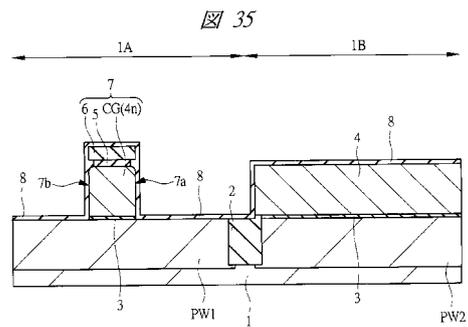
【図 37】



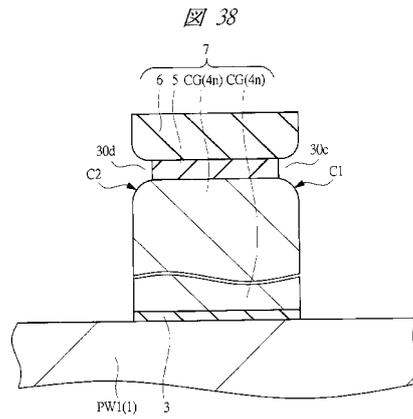
【図 34】



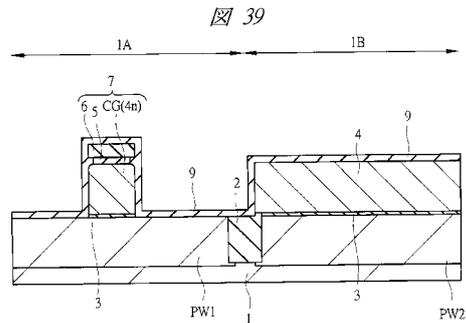
【図 35】



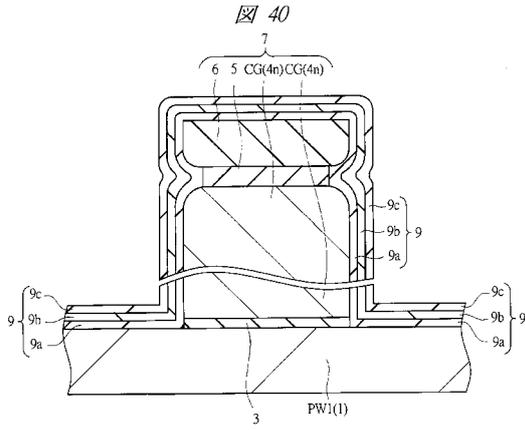
【図 38】



【図 39】



【図40】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/10 (2006.01)

(56)参考文献 特開2002-289715(JP,A)
特開2007-258497(JP,A)
特開2007-251079(JP,A)
特開2009-059927(JP,A)
特開2005-347679(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 0
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2