

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-212386

(P2009-212386A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.
H01S 5/22 (2006.01)

F I
H01S 5/22

テーマコード (参考)
5F173

審査請求 未請求 請求項の数 2 O L (全 10 頁)

(21) 出願番号 特願2008-55388 (P2008-55388)
(22) 出願日 平成20年3月5日 (2008.3.5)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100082175
弁理士 高田 守
(74) 代理人 100106150
弁理士 高橋 英樹
(72) 発明者 楠 政諭
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
(72) 発明者 岡 貴郁
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム(参考) 5F173 AA08 AA16 AH22 AK21 AP33
AP35 AP47 AP76 AR64 AR92

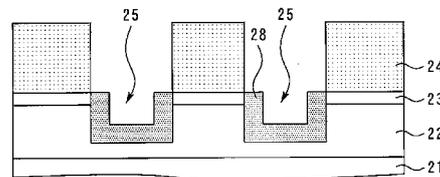
(54) 【発明の名称】 半導体光素子の製造方法

(57) 【要約】

【課題】簡単な工程により導波路リッジ頂部の半導体層と電極の接触面積の減少を防ぎ、導波路リッジ頂部の半導体層がエッチングによって損傷を受けるのを防ぐことができる半導体光素子の製造方法を得る。

【解決手段】レジストをマスクとして第2の半導体層を途中までドライエッチングして、底部に第2の半導体層を残した凹部およびこの凹部に隣接した導波路リッジを形成する。レジストを残したまま導波路リッジおよび凹部上に絶縁膜を形成する。レジスト上に形成された絶縁膜と凹部上に形成された絶縁膜のエッチングレートの違いを利用して、凹部上に形成された絶縁膜を残しつつ、レジスト上に形成された絶縁膜を除去してレジストを露出させる。露出させたレジストを除去する。レジストを除去した後に、導波路リッジ頂部に電極を形成する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

基板上に第 1 導電型の第 1 の半導体層、活性層および第 2 導電型の第 2 の半導体層を順次積層する工程と、

前記第 2 の半導体層上にレジストを塗布し、フォトリソグラフィにより前記レジストをストライプ状にパターンニングする工程と、

前記レジストをマスクとして前記第 2 の半導体層を途中までドライエッチングして、底部に前記第 2 の半導体層を残した凹部およびこの凹部に隣接した導波路リッジを形成する工程と、

前記レジストを残したまま前記導波路リッジおよび前記凹部上に絶縁膜を形成する工程と、

前記レジスト上に形成された前記絶縁膜と前記凹部上に形成された前記絶縁膜のエッチングレートの違いを利用して、前記凹部上に形成された前記絶縁膜を残しつつ、前記レジスト上に形成された前記絶縁膜を除去して前記レジストを露出させる工程と、

露出させた前記レジストを除去する工程と、

前記レジストを除去した後に、前記導波路リッジ頂部に電極を形成する工程とを備えることを特徴とする半導体光素子の製造方法。

【請求項 2】

前記絶縁膜を形成する工程は、スパッタリング法で SiO_2 膜を形成する工程であることを特徴とする請求項 1 に記載の半導体光素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、導波路リッジ頂部に電極を形成する半導体光素子の製造方法に関し、特に簡単な工程により導波路リッジ頂部の半導体層と電極の接触面積の減少を防ぎ、導波路リッジ頂部の半導体層がエッチングによって損傷を受けるのを防ぐことができる半導体光素子の製造方法に関するものである。

【背景技術】

【0002】

近年、光ディスクの高密度化に必要である青色領域から紫外線領域の発光が可能な半導体レーザとして、 AlGaInN などの窒化物系 III-V 族化合物半導体を用いた窒化物系半導体レーザの研究開発が盛んに行われ、既に実用化されている。

【0003】

このような青紫色 LD (以下レーザダイオードを LD と記載する) は GaN 基板上に化合物半導体を結晶成長させて形成される。代表的な化合物半導体として、III 族元素と V 族元素とが結合した III-V 族化合物半導体がある。複数の III 族原子や V 族原子が様々な組成比で結合することにより、混晶化合物半導体が得られる。青紫色 LD に使用される化合物半導体として、例えば GaN 、 GaPN 、 GaNAs 、 InGaN 、 AlGaN などがある。

【0004】

導波路リッジ型の LD において、導波路リッジは絶縁膜で覆われている。この絶縁膜には導波路リッジ頂部に開口が設けられ、この開口を介して導波路リッジの最上層であるコンタクト層に電極が接続されている。

【0005】

絶縁膜の開口は、導波路リッジを形成するときに使用したレジストマスクを用いたリフトオフ法により形成される。このレジストマスクはコンタクト層の表面に沿って窪んでいるため、リフトオフ後も絶縁膜の一部がこの窪みの部分に残留する。この残留した絶縁膜により、電極がコンタクト層と接触する接触面積は、導波路リッジ頂部のコンタクト層の全表面積よりも小さくなるという問題があった。

【0006】

10

20

30

40

50

赤色LDでは、コンタクト層の材料としてコンタクト抵抗が比較的低いGaAs等が使用されるため、接触面積が減少しても電極とのコンタクト抵抗はあまり増加しない。しかし、青紫色LDでは、コンタクト層の材料としてコンタクト抵抗が比較的高いGaN等が使用されるため、接触面積の減少により電極とのコンタクト抵抗が大きく増加し、動作電圧が上昇してしまう。

【0007】

この問題を解消するため、以下の方法が提案されている。まず、半導体積層構造上に電極を形成する。次に、電極上にレジストを形成し、電極をエッチングし、さらに半導体積層構造を途中までエッチングして導波路リッジを形成する。次に、レジストを残したままウェハ上面に絶縁膜を形成する。次に、レジストを除去して導波路リッジの上面を露出させる。次に、電極を覆うようにp型パッド電極を形成する（例えば、特許文献1の9頁42～50行および図1参照）。

10

【0008】

また、以下の方法も提案されている。まず、半導体積層構造の一部をエッチングして導波路リッジを形成する。次に、導波路リッジの表面に絶縁膜を形成する。次に、絶縁膜の上に下層レジストと上層レジストを順番に形成する。ただし、下層レジストとして波長300nm未満の光だけに反応するものを用い、上層レジストとして波長300nm以上の光だけに反応するものを用いる。次に、導波路リッジ近傍の下層レジストを露出するように上層レジストをパターニングする。次に、導波路リッジ上の絶縁膜を露出させるように下層レジストをパターニングする。次に、導波路リッジ外側の絶縁膜を除去するためにエッチングを行う。次に、残存している下層レジストおよび上層レジストを除去し、金属層を電極として蒸着する（例えば、特許文献2の段落0024～0034および図7乃至図18参照）。

20

【0009】

また、以下の方法も提案されている。まず、メタルマスクを用いてコンタクト層をエッチングする。次に、メタルマスクを残したままコンタクト層をマスクとして半導体積層構造をエッチングして導波路リッジを形成する。次に、絶縁膜を全面に形成し、メタルマスクとその上に形成した絶縁膜をリフトオフで除去する。次に、リソグラフィによりp側電極を露出させたレジストを形成する。このレジストをマスクとして電極材料を真空蒸着する。次に、レジストとその上の電極材料をリフトオフで除去して、導波路リッジのコンタクト層に接触する電極を形成する（例えば、特許文献3の段落0025～0034および図1参照）。

30

【0010】

また、以下の方法も提案されている。まず、コンタクト層上に第1の保護膜を形成し、この第1の保護膜上にストライプ状の第2の保護膜を形成する。次に、第2の保護膜をつけたまま第1の保護膜をエッチングした後、第2の保護膜を除去して、第1の保護膜をストライプ状に成形する。次に、第1の保護膜をマスクとして半導体積層構造を途中までエッチングすることにより導波路リッジを形成する。次に、第1の保護膜とは異なる絶縁材料である第3の保護膜を導波路リッジの側面とエッチングで露出した半導体層の平面に形成する。次に、第1の保護膜のみをリフトオフで除去し第3の保護膜とコンタクト層の上に、コンタクト層と電氣的に接続する電極を形成する（例えば、特許文献4の段落0020～0027および図1参照）。

40

【0011】

これらの方法により導波路リッジのコンタクト層と電極との接触面積の減少を防ぐことができる。しかし、金属の電極と半導体層とを同時にエッチングする工程や、2層のレジストを使用する場合に下層レジストを残して上層レジストのエッチングを停止する工程や、メタルマスクを用いる工程や、複数の保護膜を使用した場合にリフトオフを行う工程等の複雑な工程を含むため、特性の揃ったデバイスを安定に製造することができず、工程の自由度が低かった。

【0012】

50

そこで、簡単な工程により、導波路リッジのコンタクト層と電極の接触面積の減少を防ぐため、以下の方法が提案されている。まず、半導体層を積層したウェハに溝部を形成することにより導波路リッジを形成する。次に、ウェハ全面に SiO_2 膜を形成する。次に、導波路リッジ頂部よりも溝部において膜厚が厚くなるようにレジストを形成する。次に、ドライエッチングにより、溝部のレジストを残しながら導波路リッジ頂部におけるレジストを除去する。次に、レジストをマスクとしてエッチングを行って、溝部の側面および底部に形成された SiO_2 膜を残しつつ、導波路リッジ頂部に形成された SiO_2 膜を確実に除去する。次に、レジストを除去した後、導波路リッジ頂部に電極を形成する。

【0013】

また、以下の方法も提案されている。まず、p型コンタクト層の上面にストライプ状の金属層を形成する。次に、熱処理（合金化）を行ってp側オーミック電極を形成する。次に、p側オーミック電極をマスクとし、エッチングガスとして Cl_2 を用いてp型ガイド層が露出するまでエッチングを行う（例えば、特許文献5の段落0035～0038および図2参照）。

10

【0014】

また、以下の方法も提案されている。まず、p側コンタクト層のほぼ全面に Si 酸化物からなる第1の保護膜を形成し、この第1の保護膜の上にストライプ状の第3の保護膜を形成する。第3の保護膜をつけたまま第1の保護膜をエッチングし、第3の保護膜を除去して、ストライプ状の第1の保護膜を形成する。次に、第1の保護膜が形成されていない部分からp側コンタクト層をエッチングして、第1の保護膜の直下部分に保護膜の形状に応じたストライプ状の導波路領域を形成する。次に、第1の保護膜と異なる絶縁材料である第2の保護膜を、ストライプ状の導波路の側面、エッチングされて露出した窒化物半導体層（p側クラッド層）の平面、および第1の保護膜の上に形成する。次に、例えばフッ酸を用いたドライエッチングにより第1の保護膜を除去する。これにより、第1の保護膜上に形成された第2の保護膜だけが除去され、ストライプの側面およびp側クラッド層の平面には第2の保護膜が連続して形成される（例えば、特許文献6の段落0018～0024および図6参照）。

20

【0015】

また、以下の方法も提案されている。まず、サファイア基板の上に GaN 系材料のエピタキシャル成長層を形成し、最上層のp- GaN コンタクト層の上にストライプ状の第1のマスク（ SiO_2 膜）を形成する。次に、第1のマスクをマスクとしてドライエッチングを行って、導波路リッジストライプを形成する。次に、導波路リッジストライプの両脇および第1のマスク上に無選択に AlGaN 埋め込み層を形成し、 AlGaN 埋め込み層の上に第2のマスク（ SiO_2 膜）を形成し、さらにレジストをスピンコートにより形成する。このレジストは、導波路リッジストライプの両脇よりも導波路リッジストライプの頂上の SiO_2 膜に対応する部分が薄い。次に、酸素ガスなどによるドライエッチングにより、導波路リッジストライプ部に対応する部分のレジストを除去し、第2のマスクを露出させる。この露出された第2のマスクを、 CF_4 を用いて選択的にエッチングし、 AlGaN 埋め込み層を露出させる。次に、残ったレジストをアッシングにより除去して第2のマスクを露出させる。この第2のマスクをマスクとしてウェットエッチングを行って AlGaN 埋め込み層を除去し、導波路リッジ頂部の第1のマスクを露出させる。次に、ウェットエッチングにより第1のマスクと第2のマスクを除去する（例えば、特許文献7の段落0030～0040および図2～図12参照）。

30

40

【0016】

また、以下の方法も提案されている。まず、サファイア基板の上に MOCVD 等により GaN 系積層構造を形成する。次に、この積層構造のコンタクト層上にストライプ状の電極を形成する。次に、この電極をマスクとして導波路リッジを形成する。次に、導波路リッジの両側および導波路リッジに含まれるクラッド層の両側面およびコンタクト層の両側面それぞれの下部を含むように絶縁層を形成する。次に、絶縁層の上にレジストを塗布する。このレジストは導波路リッジの上では薄く、導波路リッジの両脇では厚く形成され、レ

50

ジストの頂面の高さはほぼ同じ高さになっている。次に、エッチングにより電極の頂面および両側面、コンタクト層の両側面それぞれの上部を露出させ、メサ構造と同じ幅を持つストライプ状の金属膜を形成する（例えば、特許文献 8 の段落 0064～0073 および図 3～図 6 参照）。

【0017】

【特許文献 1】WO 2003 / 085790 号公報

【特許文献 2】特開 2000 - 22261 号公報

【特許文献 3】特開 2000 - 340880 号公報

【特許文献 4】特開 2003 - 142769 号公報

【特許文献 5】特開 2004 - 253545 号公報

【特許文献 6】特開 2000 - 114664 号公報

【特許文献 7】特開 2000 - 164987 号公報

【特許文献 8】特開 2002 - 335043 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

従来の方法では、まず、導波路リッジを形成し、 SiO_2 膜で覆う。次に、全面にレジストを塗布し、溝部のレジストを残しながら、導波路リッジ頂部のレジストを除去する。次に、このレジストをマスクとして、露出した SiO_2 膜を表面から一様にエッチングし、溝部の側面および底部の SiO_2 膜を残しつつ、導波路リッジ頂部の SiO_2 膜を除去し、導波路リッジ頂部に SiO_2 膜の開口部を形成する。

【0019】

しかし、 SiO_2 膜を除去する際にドライエッチングを用いると、 SiO_2 膜に覆われていた導波路リッジ頂部の半導体層がエッチングによって損傷を受ける。例えば導波路リッジ頂部の半導体層が p 型コンタクト層である場合は、コンタクト抵抗が増加してしまう。さらに、GaN 系材料はウェットエッチングされ難いため、p 型コンタクト層が GaN 系材料で構成されている場合は、この損傷部分をウェットエッチングで取り除くことが難しい。

【0020】

本発明は、上述のような課題を解決するためになされたもので、その目的は、簡単な工程により導波路リッジ頂部の半導体層と電極の接触面積の減少を防ぎ、導波路リッジ頂部の半導体層がエッチングによって損傷を受けるのを防ぐことができる半導体光素子の製造方法を得るものである。

【課題を解決するための手段】

【0021】

本発明に係る半導体光素子の製造方法は、基板上に第 1 導電型の第 1 の半導体層、活性層および第 2 導電型の第 2 の半導体層を順次積層する工程と、第 2 の半導体層上にレジストを塗布し、フォトリソグラフィによりレジストをストライプ状にパターニングする工程と、レジストをマスクとして第 2 の半導体層を途中までドライエッチングして、底部に第 2 の半導体層を残した凹部およびこの凹部に隣接した導波路リッジを形成する工程と、レジストを残したまま導波路リッジおよび凹部に形成された絶縁膜のエッチングレートの違いを利用して、凹部に形成された絶縁膜を残しつつ、レジスト上に形成された絶縁膜を除去してレジストを露出させる工程と、露出させたレジストを除去する工程と、レジストを除去した後に、導波路リッジ頂部に電極を形成する工程とを備える。本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【0022】

本発明により、簡単な工程により導波路リッジ頂部の半導体層と電極の接触面積の減少を防ぎ、導波路リッジ頂部の半導体層がエッチングによって損傷を受けるのを防ぐことが

10

20

30

40

50

できる。

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態に係る半導体光素子の製造方法について図面を参照しながら説明する。

【0024】

まず、図1に示すように、予めサーマルクリーニングなどにより表面を洗浄したn型Ga_{0.99}N基板11(基板)の一方の主面であるGa面上に、有機金属化学気相成長法(以下、MOCVD法という)により、例えば1000の成長温度でn型Ga_{0.99}Nからなるバッファ層12を形成する。n型Ga_{0.99}N基板11の層厚は100μm程度であり、バッファ層12の層厚は1μm程度である。

10

【0025】

この上に、n型クラッド層13、n型クラッド層14、n型クラッド層15、n側光ガイド層16、n側SCH(Separate Confinement Heterostructure)層17、活性層18、p側SCH層19、電子障壁層20、p側光ガイド層21、p型クラッド層22、およびコンタクト層23を順次積層する。

【0026】

ここで、n型クラッド層13は層厚400nmのn型Al_{0.07}Ga_{0.93}Nからなり、n型クラッド層14は層厚1000nmのn型Al_{0.045}Ga_{0.955}Nからなり、n型クラッド層15は層厚300nmのn型Al_{0.015}Ga_{0.985}Nからなり、n側光ガイド層16は層厚80nmのアンドープIn_{0.02}Ga_{0.98}Nからなり、n側SCH層17は膜厚30nmのアンドープIn_{0.02}Ga_{0.98}Nからなる。

20

【0027】

活性層18は、n側SCH層17上に、層厚5nmのアンドープIn_{0.12}Ga_{0.88}Nのウエル層、層厚8nmのアンドープIn_{0.02}Ga_{0.98}Nのバリア層、および層厚5nmのアンドープIn_{0.12}Ga_{0.88}Nのウエル層を順次積層した2重量子井戸構造である。

【0028】

p側SCH層19は膜厚30nmのアンドープIn_{0.02}Ga_{0.98}Nからなり、電子障壁層20は層厚20nmのp型Al_{0.2}Ga_{0.8}Nからなり、p側光ガイド層21は層厚100nmのp型Al_{0.2}Ga_{0.8}Nからなり、p型クラッド層22は層厚500nmのp型Al_{0.07}Ga_{0.93}Nからなり、コンタクト層23の層厚20nmのp型Ga_{0.99}Nからなる。

30

【0029】

n型クラッド層13~15はn型(第1導電型)の第1の半導体層であり、p型クラッド層22とコンタクト層23はp型(第2導電型)の第2の半導体層である。ただし、第2の半導体層は1層でも3層以上でもよい。なお、n型不純物としてSiを用い、p型不純物としてMgを用いる。

【0030】

次に、図2に示すように、コンタクト層23上にレジスト24を塗布し、フォトリソグラフィによりレジスト24をストライプ状にパターンニングする。ストライプ状のレジスト24の幅を1.5μm、ストライプ状のレジスト24同士の間隔を10μmとする。なお、p側光ガイド層21より下側の層については変化が無い場合、図示を省略する。

40

【0031】

次に、図3に示すように、レジスト24をマスクとして、例えばRIE(Reactive Ion Etching)により、コンタクト層23とp型クラッド層22をp型クラッド層22の途中までドライエッチングする。これにより、底部にp型クラッド層22を残したチャンネル25(凹部)、およびチャンネル25に隣接した導波路リッジ26と電極パッド基台27を形成する。

50

【0032】

ここで、導波路リッジ26はレーザダイオードの共振器端面となる劈開端面の幅方向の中央部分に配設され、共振器端面となる両劈開端面の間に延在している。この導波路リッジ26はその長手方向の寸法、即ち共振器長は1000 μm で、その長手方向に直交する方向の導波路リッジ幅が1 μm ~数十 μm 、例えば1.5 μm である。電極パッド基台27は、チャンネル25を介して導波路リッジ26の両外側に形成された台状部である。導波路リッジ26のチャンネル25の底面からの高さaは500nm(0.5 μm)程度である。チャンネル25の幅は10 μm である。

【0033】

次に、図4に示すように、レジスト24を残したまま、CVD法またはスパッタリング法又は蒸着法等により、チャンネル25、導波路リッジ26および電極パッド基台27上にSiO₂膜28(絶縁膜)を形成する。SiO₂膜28の膜厚は0.2 μm である。SiO₂膜28は、導波路リッジ26および電極パッド基台27上に残されたレジスト24の上面および側面、チャンネル25の底面および側面を覆う。

10

【0034】

ここで、レジスト24上に形成されたSiO₂膜28の膜質は、チャンネル25上、即ちp型クラッド層22およびコンタクト層23上に形成されたSiO₂膜28の膜質と比べて緻密ではない。このため、レジスト24上のSiO₂膜28の方がチャンネル25上のSiO₂膜28よりもエッチングレートが速い。特に、SiO₂膜28がスパッタリング法を用いて形成された場合には、このエッチングレートの差が大きい。

20

【0035】

このエッチングレートの違いを利用して、図5に示すように、バッファードフッ酸等を用いたウェットエッチングにより、チャンネル25上に形成されたSiO₂膜28を残しつつ、レジスト24上に形成されたSiO₂膜28を除去してレジスト24を露出させる。なお、ウェットエッチングの代わりに、CF₄ガス等を使用するドライエッチングを行ってもよい。

【0036】

次に、図6に示すように、露出させたレジスト24を有機溶剤により除去する。なお、硫酸と過酸化水素水との混合液やO₂アッシャを用いてレジスト24を除去してもよい。また、アセトン超音波処理によりレジスト24とレジスト24上に形成されたSiO₂膜28を同時に除去するリフトオフ法の適用が考えられるが、超音波処理ではSiO₂膜28の残渣が発生することがあり好ましくない。

30

【0037】

次に、図7に示すように、導波路リッジ26頂部のコンタクト層23上に、真空蒸着法によりAuGa、Au、PtおよびAuを順次積層してp側電極29(電極)を形成する。具体的には、全面にレジスト(図示せず)を塗布し、フォトリソグラフィにより導波路リッジ26の最上層であるコンタクト層23の上表面、導波路リッジ26の側壁およびチャンネル25底部の一部に開口を形成する。そして、全面にp側電極29を形成し、レジストとレジスト上に形成されたSiO₂膜28をリフトオフ法により除去する。この結果、p側電極29は、コンタクト層23と電氣的に接続され、SiO₂膜28の上端、導波路リッジ26の側壁のSiO₂膜28、およびチャンネル25底部のSiO₂膜28の一部を覆う。

40

【0038】

次に、図8に示すように、SiO₂膜30を形成する。具体的には、全面にレジスト(図示せず)を塗布し、フォトリソグラフィによりp側電極29上を除く部分に開口を形成する。そして、全面に膜厚100nmのSiO₂膜30を蒸着により形成し、リフトオフ法によりp側電極29上に形成されたレジストとレジスト上に形成されたSiO₂膜30をリフトオフ法により除去する。この結果、SiO₂膜30は、電極パッド基台27上、チャンネル25側壁のSiO₂膜28、およびチャンネル25底部のSiO₂膜28の一部を覆う。

50

【0039】

次に、図9に示すように、p側電極29、チャンネル25およびSiO₂膜30上に真空蒸着法によりTi、PtおよびAuを積層してパッド電極31を形成する。パッド電極31は、p側電極29と電氣的に接続され、チャンネル25内のp側電極29、SiO₂膜28およびSiO₂膜30を覆い、さらに電極パッド基台27のSiO₂膜30上にまで延在している。

【0040】

最後に、図10に示すように、n型GaN基板11の裏面に真空蒸着法によりTi、PtおよびAuを順次積層してn側電極32を形成する。以上の工程により、本実施の形態に係る導波路リッジ型の青紫色レーザダイオードが形成される。

10

【0041】

以上説明したように、本実施の形態では、導波路リッジ26頂部をレジスト24で覆った状態でSiO₂膜28を形成するため、コンタクト層23上にSiO₂膜28が残留することはない。従って、導波路リッジ26頂部のコンタクト層23とp側電極29の接触面積の減少を防ぐことができる。また、エッチングレートの違いを利用してレジスト24上に形成されたSiO₂膜28を除去するため、工程が簡単である。また、SiO₂膜28にドライエッチングで開口部を形成する際に、コンタクト層23上にレジスト24が残されている。このレジスト24が保護膜として機能し、レジスト24は有機溶剤により除去するため、導波路リッジ26頂部のコンタクト層23がドライエッチングによって損傷を受けるのを防ぐことができる。よって、接触面積の減少や損傷によるコンタクト抵抗の増大を防いで、動作電圧の増加を防ぐことができる。

20

【0042】

なお、SiO₂膜28、30の代わりに、SiO_x (0 < x < 2)、SiN、SiON、TiO₂、Ta₂O₅、Al₂O₃、AlN、ZrO₂、Nb₂O₅、MgO、SiCなどの絶縁膜を用いてもよい。また、本実施の形態では、半導体光素子として青紫色LDを例にして説明したが、これに限らず、本発明は赤色LDなど半導体光素子全般に適用することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

30

【図2】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図3】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図4】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図5】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図6】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

40

【図7】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図8】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図9】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

【図10】本発明の実施の形態に係る半導体光素子の製造方法を説明するための断面図である。

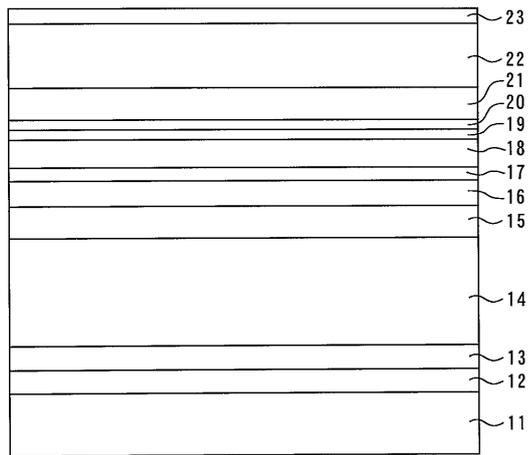
【符号の説明】

50

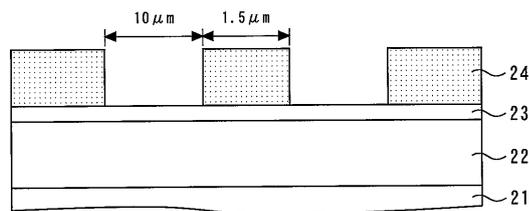
【 0 0 4 4 】

- 1 1 n型Ga_N基板(基板)
- 1 3 n型クラッド層(第1の半導体層)
- 1 4 n型クラッド層(第1の半導体層)
- 1 5 n型クラッド層(第1の半導体層)
- 1 6 n側光ガイド層(第1の半導体層)
- 1 7 n側SCH層(第1の半導体層)
- 1 8 活性層
- 1 9 p側SCH層(第2の半導体層)
- 2 0 電子障壁層(第2の半導体層)
- 2 1 p側光ガイド層(第2の半導体層)
- 2 2 p型クラッド層(第2の半導体層)
- 2 3 コンタクト層(第2の半導体層)
- 2 4 レジスト
- 2 5 チャンネル(凹部)
- 2 6 導波路リッジ
- 2 8 SiO₂膜(絶縁膜)
- 2 9 p側電極(電極)

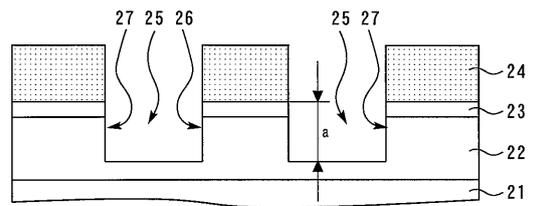
【 図 1 】



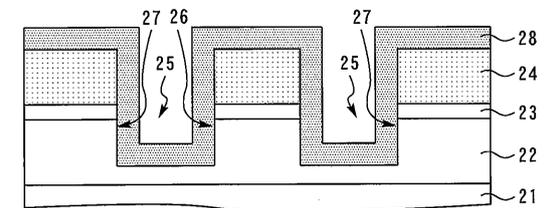
【 図 2 】



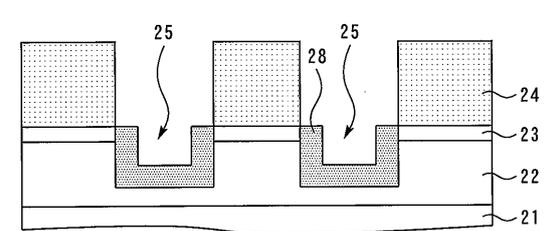
【 図 3 】



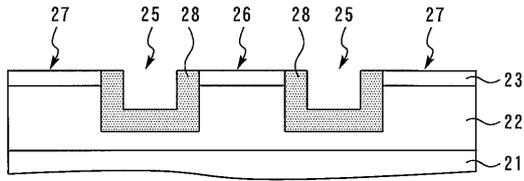
【 図 4 】



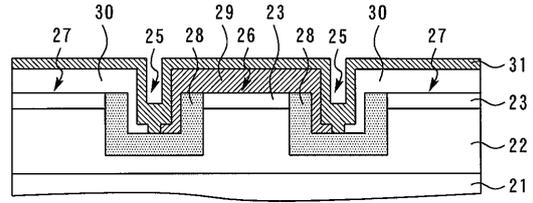
【 図 5 】



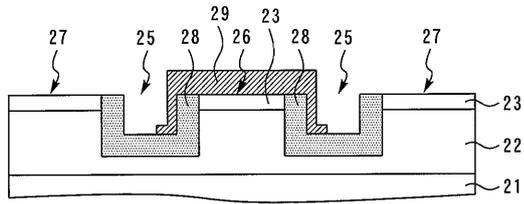
【図 6】



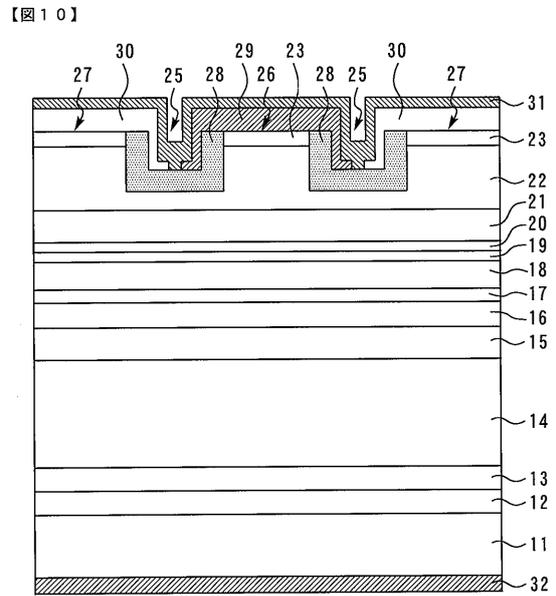
【図 9】



【図 7】



【図 10】



【図 8】

