



(12)发明专利

(10)授权公告号 CN 105990331 B

(45)授权公告日 2019.04.09

(21)申请号 201510053595.1

(22)申请日 2015.02.02

(65)同一申请的已公布的文献号  
申请公布号 CN 105990331 A

(43)申请公布日 2016.10.05

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 甘正浩

(74)专利代理机构 北京市磐华律师事务所  
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 27/02(2006.01)

(56)对比文件

US 2014/0054696 A1,2014.02.27,

CN 103872039 A,2014.06.18,

US 2014/0252470 A1,2014.09.11,

US 6072677 A,2000.06.06,

审查员 马晓敏

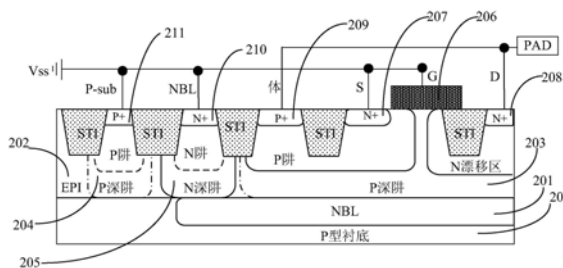
权利要求书1页 说明书4页 附图2页

(54)发明名称

一种静电放电保护结构和电子装置

(57)摘要

本发明提供一种静电放电保护结构和电子装置,所述静电放电保护结构包括:一LDMOS器件,所述LDMOS器件包括一嵌入式双极型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。本发明的静电放电保护结构在NLD MOS中形成嵌入式PNP型三极管用于传输反向ESD电流,而同时漏极、栅极、源极和p+衬底引出区又会构成GGNMOS用于传输正向ESD电流,实现对正反两方向静电电流的泄放,因此本发明的静电放电结构具有更好的ESD防护性能。



1. 一种静电放电保护结构,包括:一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。

2. 根据权利要求1所述的结构,其特征在于,所述双极结型晶体管为PNP型三极管,所述LDMOS器件为NLDMOS器件。

3. 根据权利要求2所述的结构,其特征在于,所述NLDMOS器件包括:

P型衬底,位于所述P型衬底上的N型埋层,和位于所述N型埋层上的外延层;

形成于所述外延层内的N深阱、第一P深阱和第二P深阱,间隔位于所述第一P深阱内的第一P阱和N型漂移区;

间隔位于所述第一P阱内的P+体引出区和N+源极;

位于所述N型漂移区内的N+漏极;

位于所述N深阱内的N阱,位于所述N阱内的N+埋层引出区;

位于所述第二P深阱内的第二P阱,位于第二P阱内的P+衬底引出区;

位于所述第一P阱和所述N型漂移区之间的外延层表面上的栅极。

4. 根据权利要求3所述的结构,其特征在于,所述P+体引出区作为PNP型三极管的集电极,所述N+埋层引出区作为PNP型三极管的基极,所述P+衬底引出区作为PNP型三极管的发射极。

5. 根据权利要求4所述的结构,其特征在于,所述PNP型三极管用于传输反向ESD电流。

6. 根据权利要求3所述的结构,其特征在于,所述N+漏极、栅极、N+源极和P+衬底引出区构成GGNMOS。

7. 根据权利要求6所述的结构,其特征在于,所述GGNMOS用于传输正向ESD电流。

8. 一种电子装置,其特征在于,包括静电放电保护结构以及与所述静电放电保护结构相连接的电子组件,其中所述静电放电保护结构包括一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。

## 一种静电放电保护结构和电子装置

### 技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种静电放电保护结构和电子装置。

### 背景技术

[0002] 在集成电路芯片制造和最终应用系统中,随着超大规模集成电路工艺技术的不断提高,目前互补金属氧化物半导体管(CMOS)集成电路已经进入了超深亚微米阶段,MOS器件的尺寸不断缩小,静电放电(electro-static Discharge,ESD)对集成电路的危害变的越来越显著。据统计,集成电路失效的产品中35%是由于ESD问题所引起的。因此,对集成电路进行ESD保护设计也变得尤为重要。

[0003] 目前,对于高压电路的静电保护解决方案,一般是采取自保护的方案,即被保护电路本身即具有一定的静电泄放能力,不需要额外的静电保护措施。图1A为现有的一种栅接地N型横向双扩散绝缘栅场效应管(GGNLDMOS)的示意图,NLDMOS器件的栅极103、源极102和体引出区101均接地,漏极104连接输入/输出焊垫,从而减小静电对集成电路带来的损伤。图1B示出了GGNLDMOS的等效电路图。然而随着半导体工艺的不断发 展,晶体管的尺寸显著减小导致LDMOS器件自身静电放电保护能力显著降低。

[0004] 为了使器件具有更好的稳健性,通常会在集成电路中增加额外的ESD保护器件来传递反向电流。鉴于此一种既能传递正向电流又能传递反向电流的GGMOS器件应运而生,图1C为现有的一种用于静电放电保护结构的GGMOS器件,其利用GGNMOS传输正向电流,而利用GDP MOS传输反向电流。然而ESD保护器件的增加又会增大半导体芯片的尺寸。

[0005] 因此,如何在不增加芯片尺寸的前提下又能提高高压LDMOS器件的静电保护能力,一直是高压静电设计的难题。

### 发明内容

[0006] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0007] 为了克服目前存在的问题,本发明实施例一提供一种静电放电保护结构,包括:一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。

[0008] 进一步,所述双极结型晶体管为PNP型三极管,所述LDMOS器件为NLDMOS器件。

[0009] 进一步,所述NLDMOS器件包括:

[0010] P型衬底,位于所述P型衬底上的N型埋层,和位于所述N型埋层上的外延层;

[0011] 形成于所述外延层内的N深阱、第一P深阱和第二P深阱,间隔位于所述第一P深阱内的第一P阱和N型漂移区;

[0012] 间隔位于所述第一P阱内的P+体引出区和N+源极;

- [0013] 位于所述N型漂移区内的N+漏极；
- [0014] 位于所述N深阱内的N阱,位于所述N阱内的N+埋层引出区；
- [0015] 位于所述第二P深阱内的第二P阱,位于第二P阱内的P+衬底引出区；
- [0016] 位于所述第一P阱和所述N型漂移区之间的外延层表面上的栅极。
- [0017] 进一步,所述P+体引出区作为PNP型三极管的集电极,所述N+埋层引出区作为PNP型三极管的基极,所述P+衬底引出区作为PNP型三极管的发射极。
- [0018] 进一步,所述PNP型三极管用于传输反向ESD电流。
- [0019] 进一步,所述N+漏极、栅极、N+源极和P+衬底引出区构成GGNMOS。
- [0020] 进一步,所述GGNMOS用于传输正向ESD电流。
- [0021] 本发明实施例二提供一种电子装置,该电子装置包括静电放电保护结构以及与所述静电放电保护结构相连接电子组件,其中所述静电放电保护结构包括一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。
- [0022] 综上所述,本发明的静电放电保护结构在NLDMOS中形成嵌入式PNP型三极管用于传输反向ESD电流,而同时漏极、栅极、源极和p+衬底引出区又会构成GGNMOS用于传输正向ESD电流,实现对正反两方向静电电流的泄放,因此本发明的静电放电结构具有更好的ESD防护性能。

#### 附图说明

- [0023] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。
- [0024] 附图中:
- [0025] 图1A示出了现有的一种GGNLDMOS静电放电保护结构的局部剖面示意图；
- [0026] 图1B示出了图1A中GGNLDMOS静电放电保护结构的等效电路图；
- [0027] 图1C示出了现有的一种GGMOS静电放电保护结构的等效电路图；
- [0028] 图2A示出了本发明的静电放电保护结构的局部剖面示意图；
- [0029] 图2B示出了图2A中静电放电保护结构的等效电路图。

#### 具体实施方式

[0030] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0031] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0032] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者

可以存在居间的元件或层。相反,当元件被称为“直接在…上”、“与…直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0033] 空间关系术语例如“在…下”、“在…下面”、“下面的”、“在…之下”、“在…之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在…下面”和“在…下”可包括上和下两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0034] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0035] 为了彻底理解本发明,将在下列的描述中提出详细的结构,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0036] 实施例一

[0037] 下面,参考图2A和图2B对本发明的静电放电保护结构进行详细说明。

[0038] 本发明的静电放电保护结构包括一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。示例性地,所述双极结型晶体管为PNP型三极管。

[0039] 在一个示例中,参考图2A,所述LDMOS器件为NLDMOS器件,所述NLDMOS器件包括:

[0040] P型衬底200,位于所述P型衬底200上的N型埋层201,和位于所述N型埋层201上的外延层202;形成于所述外延层202内的N深阱205、第一P深阱203和第二P深阱204,间隔位于所述第一P深阱203内的第一P阱和N型漂移区,所述第一P阱作为P型体区;间隔位于所述第一P阱内的P+体引出区209和N+源极207;其中P+体引出区209为P型体区提供欧姆接触。位于所述N型漂移区内的N+漏极208;位于所述N深阱205内的N阱,位于所述N阱内的N+埋层引出区210,N+埋层引出区210为N型埋层201提供欧姆接触;位于所述第二P深阱204内的第二P阱,位于第二P阱内的P+衬底引出区211,P+衬底引出区211为P型衬底200提供欧姆接触;位于所述第一P阱和所述N型漂移区之间的外延层202表面上的栅极206。栅极206、N+源极207、N+埋层引出区210和P+衬底引出区211均接地,N+漏极208和P+体区引出区209均与焊垫输入/输出端电连接。图2A中仅示出了上述NLDMOS器件结构的一部分,其还可以包括与图2A中

结构成镜像对称的部分结构。

[0041] 图2B为静电放电保护结构的等效电路,上述静电放电保护结构可以等效为两个晶体管,即一嵌入式PNP型三极管和一GGNMOS晶体管。

[0042] 其中,P+体引出区作为PNP型三极管的集电极,所述N+埋层引出区作为PNP型三极管的基极,所述P+衬底引出区作为PNP型三极管的发射极。所述PNP型三极管用于传输反向ESD电流。嵌入式PNP型三极管可显著的提高反向ESD电流的传输能力。

[0043] 所述N+漏极、栅极、N+源极和P+衬底引出区构成GGNMOS。GGNMOS用于传输正向ESD电流。

[0044] 本发明的静电放电保护结构的制作时无需增加额外的光罩,在现有NLDMOS结构的基础上即可实现,且不会增加芯片的尺寸。

[0045] 本发明的静电放电保护结构在NLDMOS中形成嵌入式PNP型三极管用于传输反向ESD电流,而同时漏极、栅极、源极和p+衬底引出区又会构成GGNMOS用于传输正向ESD电流,实现对正反两方向静电电流的泄放,因此本发明的静电放电结构具有更好的ESD防护性能。

[0046] 实施例二

[0047] 本发明另外还提供一种电子装置,其包括前述的静电放电保护结构以及与所述静电放电保护结构相连接的电子组件。

[0048] 其中所述静电放电保护结构包括一LDMOS器件,所述LDMOS器件包括一嵌入式双极结型晶体管,其中所述LDMOS器件的栅极、源极、埋层引出区和衬底引出区均接地,所述LDMOS器件的漏极和体区引出区均与焊垫输入/输出端电连接。在一个示例中,所述双极结型晶体管为PNP型三极管,所述LDMOS器件为NLDMOS器件。

[0049] 由于包括的静电放电保护结构具有更好的ESD防护性能,该电子装置同样具有上述优点。

[0050] 该电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可以是具有上述半导体器件的中间产品,例如:具有该集成电路的手机主板等。

[0051] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

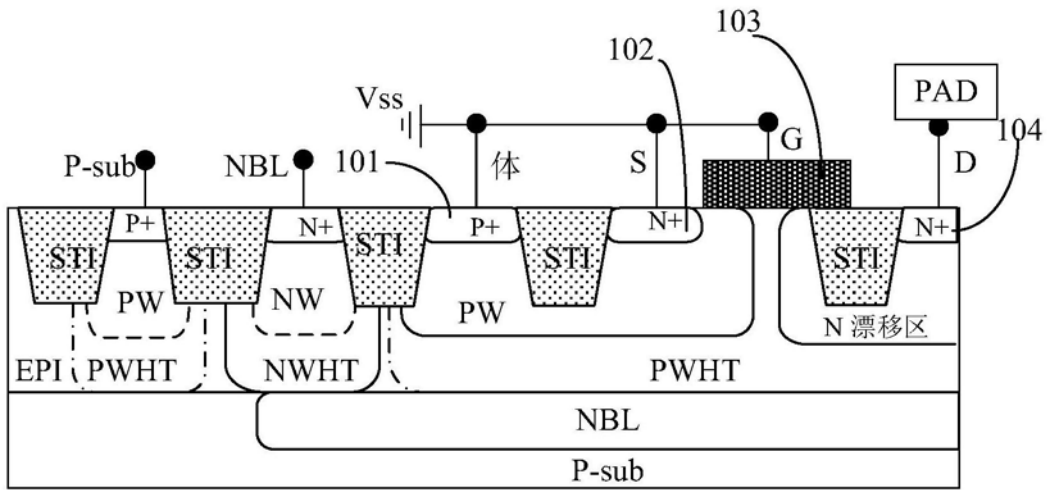


图1A

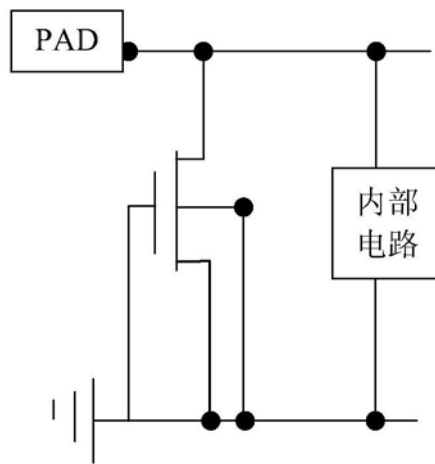


图1B

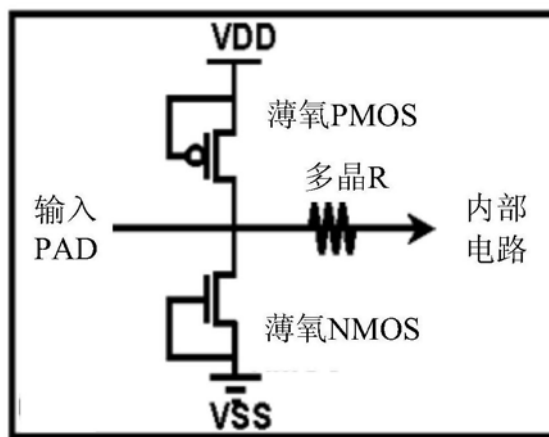


图1C

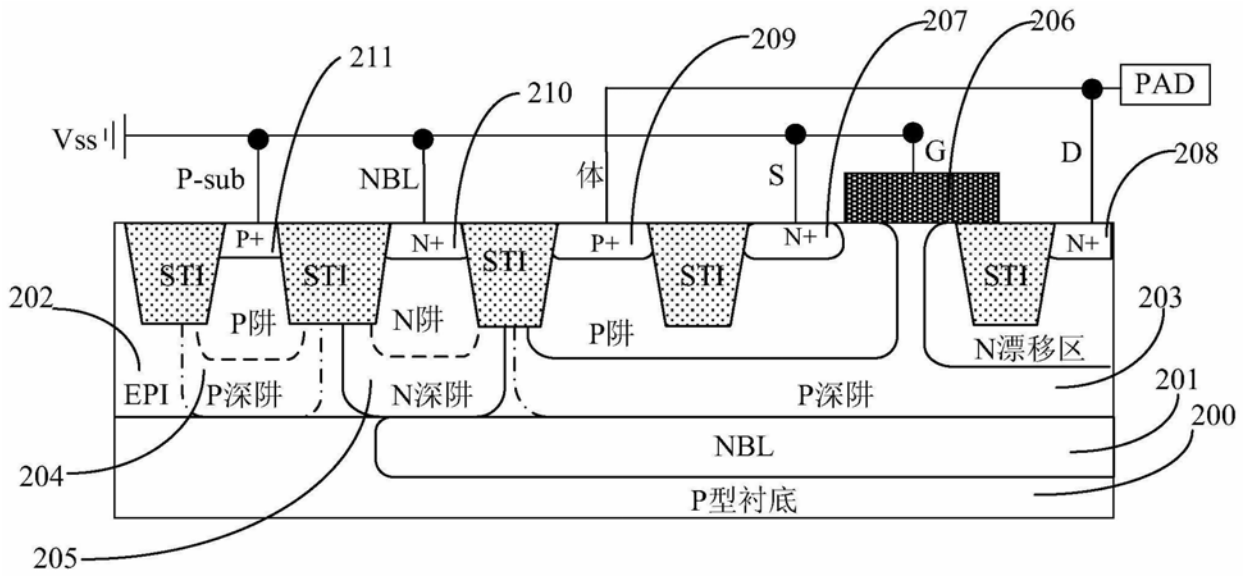


图2A

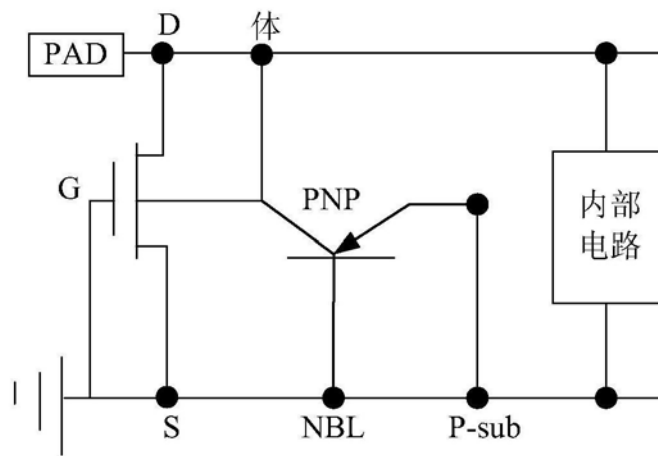


图2B