



(12)发明专利

(10)授权公告号 CN 107221299 B

(45)授权公告日 2019.06.07

(21)申请号 201710566107.6

审查员 张利

(22)申请日 2017.07.12

(65)同一申请的已公布的文献号

申请公布号 CN 107221299 A

(43)申请公布日 2017.09.29

(73)专利权人 深圳市华星光电半导体显示技术有限公司

地址 518000 广东省深圳市光明新区公明街道塘明大道9-2号

(72)发明人 曾丽媚

(74)专利代理机构 深圳市威世博知识产权代理事务所(普通合伙) 44280

代理人 钟子敏

(51)Int.Cl.

G09G 3/36(2006.01)

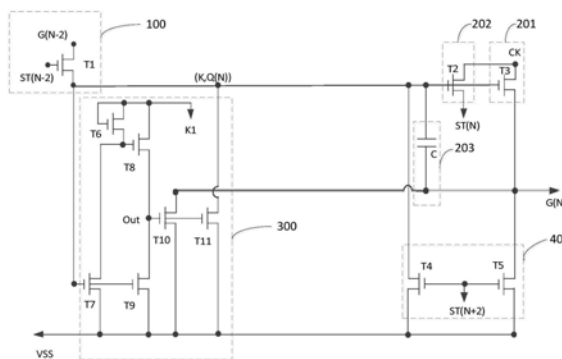
权利要求书2页 说明书5页 附图5页

(54)发明名称

一种GOA电路及液晶显示器

(57)摘要

本发明公开了一种GOA电路及液晶显示器。该GOA电路包括级联的多个GOA单元,第N级GOA单元包括:上拉控制模块、以及与上拉控制模块相连的上拉模块、下传模块、自举电容模块、下拉维持模块和下拉模块,其中,上拉控制模块与第N-2级级传信号和第N-2级扫描信号相连,上拉模块和下传模块与时钟信号相连,下拉维持模块与第一控制信号相连,下拉模块与第N+2级级传信号相连。通过上述方式,本发明采用一组下拉维持模块即可实现GOA电路,从而可以减少薄膜晶体管的使用量,进而降低液晶显示器的窄边框或者无边框设计的难度。



1. 一种GOA电路,用于液晶显示器,其特征在于,所述GOA电路包括级联的多个GOA单元,其中,第N级GOA单元包括:上拉控制模块、上拉模块、下传模块、自举电容模块、下拉维持模块和下拉模块;

所述上拉控制模块用于接收第N-2级级传信号和第N-2级扫描信号,并根据所述第N-2级级传信号和所述第N-2级扫描信号在第N级栅极信号点输出内部控制信号;

所述上拉模块用于接收所述内部控制信号和时钟信号,并根据所述内部控制信号和所述时钟信号拉升第N级扫描信号;

所述下传模块用于接收所述内部控制信号和时钟信号,并根据所述内部控制信号和所述时钟信号输出第N级级传信号;

所述自举电容模块用于抬升所述内部控制信号的高电平;

所述下拉维持模块用于接收所述内部控制信号、第一控制信号,并根据所述内部控制信号和所述第一控制信号维持第N级扫描信号的低电平;

所述下拉模块用于接收所述内部控制信号、第N+2级级传信号,并根据所述内部控制信号和所述第N+2级级传信号拉低第N级扫描信号;

其中,所述下拉维持模块包括第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管和第十一晶体管;

所述第六晶体管的第一端、第二端和第八晶体管的第二端电连接后接收所述第一控制信号,所述第六晶体管的第三端分别与所述第七晶体管的第二端、所述第八晶体管的第一端电连接,所述第七晶体管的第一端与所述第九晶体管的第一端电连接后接收所述内部控制信号,所述第八晶体管的第三端分别与所述第九晶体管的第二端、所述第十晶体管的第一端、所述第十一晶体管的第一端电连接,所述第十晶体管的第二端与第N级扫描信号连接,所述第十一晶体管的第二端与所述第N级栅极信号点电连接,所述第七晶体管、所述第九晶体管、所述第十晶体管、所述第十一晶体管的第三端与低电平信号电连接;

其中,所述第一控制信号为低频信号时,所述下拉维持电路还包括第十二晶体管和第十三晶体管;

所述第十二晶体管和所述第十三晶体管的第一端电连接后接收第二控制信号,所述第十二晶体管的第二端与所述第N级栅极信号点电连接,所述第十三晶体管的第二端与所述第十晶体管的第二端电连接,所述第十二晶体管和所述第十三晶体管的第三端与所述低电平信号电连接。

2. 根据权利要求1所述的GOA电路,其特征在于,所述第二控制信号与第N级GOA单元的所述时钟信号互为反相信号。

3. 根据权利要求1所述的GOA电路,其特征在于,所述上拉控制模块包括第一晶体管,所述第一晶体管的第一端接收所述第N-2级级传信号,所述第一晶体管的第二端接收所述第N-2级扫描信号,所述第一晶体管的第三端与所述第N级栅极信号点电连接,用于输出所述内部控制信号至所述第N级栅极信号点。

4. 根据权利要求3所述的GOA电路,其特征在于,所述上拉模块包括第三晶体管,所述下传模块包括第二晶体管,所述自举电容模块包括电容;

所述第二晶体管和所述第三晶体管的第一端电连接后接收所述内部控制信号,所述第二晶体管和所述第三晶体管的第二端电连接后接收所述时钟信号,所述第二晶体管的第三

端输出所述第N级级传信号,所述第三晶体管的第三端与第N级扫描信号连接;

所述电容的两端分别与所述第二晶体管的第一端和所述第三晶体管的第三端电连接。

5. 根据权利要求4所述的GOA电路,其特征在于,所述下拉模块包括第四晶体管和第五晶体管;

其中,所述第四晶体管和第五晶体管的第一端电连接后接收所述第N+2级级传信号,所述第四晶体管的第二端接收所述内部控制信号,所述第五晶体管的第二端与第N级扫描信号连接,所述第四晶体管和所述第五晶体管的第三端与所述低电平信号电连接。

6. 根据权利要求5所述的GOA电路,其特征在于,所述第一晶体管至所述第十一晶体管为N型MOS管,所述第一晶体管至所述第十一晶体管的所述第一端为所述N型MOS管的栅极,所述第二端为N型MOS管的漏极,所述第三端为N型MOS管的源极。

7. 一种液晶显示器,其特征在于,包括权利要求1-6任一项所述的GOA电路。

一种GOA电路及液晶显示器

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种GOA电路及液晶显示器。

背景技术

[0002] 目前主动式液晶显示面板水平扫描线的驱动(即栅极驱动)主要由外接的集成电路(Integrated Circuit, IC)来完成,外接的IC用于给相应的栅极线提供电压,使对应的薄膜晶体管(TFT)产生开/关的动作以实现对各级水平扫描线的驱动。而GOA技术(Gate Driver on Array)即阵列基板行驱动技术,可以运用液晶显示面板的原有制程将水平扫描线的驱动电路制作在基板的非显示区,使之能替代外接IC来完成水平扫描线的驱动。GOA技术能减少外接IC的焊接(bonding)工序,有机会提升产能并降低产品成本。

[0003] 但现有的GOA电路一般采用两组相同的下拉维持模块,需要的薄膜晶体管较多,导致非显示区占用较多,不利于窄边框或者无边框设计。

发明内容

[0004] 本发明主要提供一种GOA电路及液晶显示器,采用一组下拉维持模块以减少薄膜晶体管的使用量,从而降低液晶显示器的窄边框或者无边框设计的难度。

[0005] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种GOA电路,用于液晶显示器,该GOA电路包括级联的多个GOA单元其中,第N级GOA单元包括:上拉控制模块、上拉模块、下传模块、自举电容模块、下拉维持模块和下拉模块;上拉控制模块用于接收第N-2级级传信号和第N-2级扫描信号,并根据第N-2级级传信号和第N-2扫描信号在第N级栅极信号点输出内部控制信号;上拉模块用于接收内部控制信号和时钟信号,并根据内部控制信号和时钟信号拉升第N级扫描信号;下传模块用于接收内部控制信号和时钟信号,并根据内部控制信号和时钟信号输出第N级级传信号;自举电容模块用于抬升内部控制信号的高电平;下拉维持模块用于接收内部控制信号、第一控制信号,并根据内部控制信号、第一控制信号维持第N级扫描信号的低电平;下拉模块用于接收内部控制信号、第N+2级级传信号,并根据内部控制信号和第N+2级级传信号拉低第N级扫描信号。

[0006] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种液晶显示器,包括了上述GOA电路。

[0007] 本发明的有益效果是:本发明的GOA电路及液晶显示器包括级联的多个GOA单元,第N级GOA单元包括:上拉控制模块,用于接收第N-2级级传信号和第N-2级扫描信号以在第N级栅极信号点输出内部控制信号;上拉模块,用于接收内部控制信号和时钟信号以拉升第N级扫描信号;下传模块,用于接收内部控制信号和时钟信号以输出第N级级传信号;自举电容模块用于抬升内部控制信号的高电平;下拉维持模块,用于接收内部控制信号、第一控制信号以维持第N级扫描信号的低电平;下拉模块,用于接收内部控制信号、第N+2级级传信号以拉低第N级扫描信号。通过上述方式,本发明采用一组下拉维持模块即可实现GOA电路,从而可以减少薄膜晶体管的使用量,进而降低液晶显示器的窄边框或者无边框设计的难度。

附图说明

- [0008] 图1是本发明实施例的GOA电路的结构示意图；
- [0009] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图；
- [0010] 图3是图2所示GOA单元的工作时序图；
- [0011] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图；
- [0012] 图5是图4所示GOA单元的工作时序图；
- [0013] 图6是本发明实施例的液晶显示器的结构示意图。

具体实施方式

[0014] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应可理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[0015] 图1是本发明实施例的GOA电路的结构示意图。如图1所示，GOA电路10包括级联的多个GOA单元11。

[0016] 其中第N级GOA单元11用于在时钟信号CK、第N-2级级传信号ST(N-2)、第N+2级级传信号ST(N+2)，第N-2级扫描信号G(N-2)、第一控制信号K1的控制下，输出第N级扫描信号G(N)以对对应的第N条水平扫描线进行充电。其中，GOA电路中的晶体管为IGZO TFT。

[0017] 图2是图1所示GOA电路中GOA单元的第一实施例的电路原理图。如图2所示，第N级GOA单元包括上拉控制模块100、上拉模块201、下传模块202、自举电容模块203、下拉维持模块300和下拉模块400。

[0018] 上拉控制模块100用于接收第N-2级级传信号ST(N-2)和第N-2级扫描信号G(N-2)，并根据第N-2级级传信号ST(N-2)和第N-2级扫描信号G(N-2)在第N级栅极信号点Q(N)输出内部控制信号K。

[0019] 上拉模块201用于接收内部控制信号K和时钟信号CK，并根据内部控制信号K和时钟信号CK拉升第N级扫描信号G(N)。

[0020] 下传模块202用于接收内部控制信号K和时钟信号CK，并根据内部控制信号K和时钟信号CK输出第N级级传信号ST(N)。

[0021] 自举电容模块203用于抬升内部控制信号K的高电平。

[0022] 下拉维持模块300用于接收内部控制信号K、第一控制信号K1，并根据内部控制信号K和第一控制信号K1维持第N级扫描信号G(N)的低电平。

[0023] 下拉模块400用于接收内部控制信号K、第N+2级级传信号ST(N+2)，并根据内部控制信号K和第N+2级级传信号ST(N+2)拉低第N级扫描信号G(N)。

[0024] 具体来说，上拉控制模块100包括第一晶体管T1，第一晶体管T1的第一端接收第N-2级级传信号ST(N-2)，第一晶体管T1的第二端接收第N-2级扫描信号G(N-2)，第一晶体管T1的第三端与第N级栅极信号点Q(N)电连接，用于输出内部控制信号K至第N级栅极信号点Q(N)。

[0025] 上拉模块201包括第三晶体管T3，下传模块包括202第二晶体管T2，自举电容模块203包括电容C。

[0026] 其中,第二晶体管T2和第三晶体管T3的第一端电连接后接收内部控制信号K,第二晶体管T2和第三晶体管T3的第二端电连接后接收时钟信号CK,第二晶体管T2的第三端输出第N级级传信号ST(N),第三晶体管T3的第三端与第N级扫描信号G(N)连接;电容C的两端分别与第二晶体管T2的第一端和第三晶体管T3的第三端电连接。

[0027] 下拉维持模块300包括第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、第十晶体管T10和第十一晶体管T11。第六晶体管T6的第一端、第二端和第八晶体管T8的第二端电连接后接收第一控制信号K1,第六晶体管T6的第三端分别与第七晶体管T7的第二端、第八晶体管T8的第一端电连接,第七晶体管T7的第一端与第九晶体管T9的第一端电连接后接收内部控制信号K,第八晶体管T8的第三端分别与第九晶体管T9的第二端、第十晶体管T10的第一端、第十一晶体管T11的第一端电连接,第十晶体管T10的第二端与第N级扫描信号G(N)连接,第十一晶体管T11的第二端与第N级栅极信号点Q(N)电连接,第七晶体管T7、第九晶体管T9、第十晶体管T10、第十一晶体管T11的第三端与低电平信号VSS电连接。

[0028] 本领域的技术人员可以理解,下拉维持模块300包括一反相器,反相器的输入端为第N级栅极信号点Q(N),反相器的输出端为第十晶体管T10、第八晶体管T8和第九晶体管T9的公共连接端,记为节点Out。

[0029] 下拉模块400包括第四晶体管T4和第五晶体管T5。第四晶体管T4和第五晶体管T5的第一端电连接后接收第N+2级级传信号ST(N+2),第四晶体管T4的第二端接收内部控制信号K,第五晶体管T5的第二端与第N级扫描信号G(N)连接,第四晶体管T4和第五晶体管T5的第三端与低电平信号VSS电连接。

[0030] 在本实施例中,第一控制信号K1为高电平信号,其为直流信号。

[0031] 在本实施例中,第一晶体管T1至第十一晶体管T11为N型MOS管,第一晶体管T1至第十一晶体管T11的第一端为N型MOS管的栅极,第二端为N型MOS管的漏极,第三端为N型MOS管的源极。

[0032] 请一并参考图3,图3是图2所示GOA单元的工作时序图。如图3所示,H表示高电位,L表示低电位,时钟信号CK包括四个时钟信号,四个时钟信号依次循环作用于相邻的四个GOA单元,四个时钟信号分别为第一时钟信号CLK1、第二时钟信号CLK2、第三时钟信号CLK3、第四时钟信号CLK4,其中,当时钟信号CK为第一时钟信号CLK1、第三时钟信号CLK3时,时钟信号CK作用于奇数级的GOA单元,当时钟信号CK为第二时钟信号CLK2、第四时钟信号CLK4时,时钟信号CK作用于偶数级的GOA单元,本工作时序图以时钟信号CK为第三时钟信号CLK3的GOA单元为例进行说明。

[0033] 在T1时刻内,第三时钟信号CLK3为高电平,第N-2级级传信号ST(N-2)和第N-2级扫描信号G(N-2)为低电平,第一薄膜晶体管T1关闭,第N级栅极信号点Q(N)处于低电平,上拉模块201断开,第N级扫描信号G(N)输出低电平信号。

[0034] 在T2时刻内,第三时钟信号CLK3为低电平,第N-2级级传信号ST(N-2)和第N-2级扫描信号G(N-2)为高电平,第一薄膜晶体管T1导通,第N级栅极信号点Q(N)的电压为高电平,对电容C进行充电,同时第二薄膜晶体管T2和第三薄膜晶体管T3导通,由于第三时钟信号CLK3为低电平,第N级扫描信号G(N)输出低电平信号,下拉维持模块300中的节点OUT输出低电平信号。

[0035] 在T3时刻内,第三时钟信号CLK3为高电平,由于电容C(充电后)的存在使第二薄膜

晶体管T2、第三薄膜晶体管T3的栅极处的第N级栅极信号点Q(N)的电压被提升到更高的电平,由于第三时钟信号CLK3为高电平,第N级扫描信号G(N)输出高电平信号,下拉维持模块300中的节点OUT继续输出低电平信号。

[0036] 在T4时刻内,第三时钟信号CLK3为低电平,第N+2级级传信号ST(N+2)为高电平信号,下拉模块400将第N级栅极信号点Q(N)的电压下拉,使得第N级扫描信号G(N)输出低电平信号。

[0037] 图4是图1所示GOA电路中GOA单元的第二实施例的电路原理图。如图4所示,图4所示的第二实施例与图2所示的第一实施例的区别在于:图4所示的下拉维持电路300'进一步包括第十二晶体管和第十三晶体管。第十二晶体管T12和第十三晶体管T13的第一端电连接后接收第二控制信号K2,第十二晶体管T12的第二端与第N级栅极信号点Q(N)电连接,第十三晶体管T13的第二端与第十晶体管T10的第二端电连接,第十二晶体管T12和第十三晶体管T13的第三端与低电平信号VSS电连接。

[0038] 在本实施例中,第一控制信号K1为低频信号,第二控制信号K2为高频信号。优选地,第二控制信号K2与第N级GOA单元的时钟信号CK互为反相信号。

[0039] 本领域的技术人员可以理解,图2所示的GOA单元中第一控制信号K1为高电平信号,使得第十晶体管T10和第十一晶体管T11处于单极性(电压为正)的偏置下,会受到较长时间正极性的直流电压应力,在长时间工作之后第十晶体管T10和第十一晶体管T11的阈值电压漂移较大,且会发生导电能力的退化,从而严重影响下拉晶体管的使用寿命。也就是说,第一控制信号K1为高电平信号会对第十晶体管T10和第十一晶体管T11产生应力(Stress)效应,从而影响第十晶体管T10和第十一晶体管T11的使用寿命。因此,在图4所示的GOA单元中,第一控制信号K1更换为低频信号以降低应力效应,同时增加一组用高频信号也即第二控制信号K2下拉的第十二晶体管T12和第十三晶体管T13,以保证当第一控制信号K1处于低电位的时候下拉维持电路300'的下拉功能仍然有作用。

[0040] 请一并参考图5,图5是图4所示GOA单元的工作时序图。图5所示的工作时序图与图3所示的工作时序图的差别在于:

[0041] 图5中第一控制信号K1为低频信号,图3中的第一控制信号K1为高电平信号。另外,图5中新增了第二控制信号K2,其中,第二控制信号K2与第三时钟信号CLK3互为反相信号。

[0042] 其中,通过对第一控制信号K1的电压大小和频率的设定,可以获得一组对第十晶体管T10和第十一晶体管T11产生应力效应最低的组合。

[0043] 其中,电压大小是指第一控制信号K1的高电平电压HA和低电平电压LA的大小。举例来说,高电平电压HA为28V、低电平电压为-8V或者高电平电压HA为22V、低电平电压为-6V。

[0044] 其中,频率为高电平电压HA和低电平电压LA转换的频率。举例来说,高电平电压HA保持16.667ms(100帧)后转成低电平电压LA并保持100帧并重复循环或者高电平电压HA保持50帧后转成低电平电压LA并保持100帧并重复循环。

[0045] 图6是本发明实施例的液晶显示器的结构示意图。如图6所示,液晶显示器1包括了上述GOA电路10。

[0046] 本发明的有益效果是:本发明的GOA电路及液晶显示器包括级联的多个GOA单元,第N级GOA单元包括:上拉控制模块,用于接收第N-2级级传信号和第N-2级扫描信号以在第N

级栅极信号点输出内部控制信号;上拉模块,用于接收内部控制信号和时钟信号以拉升第N级扫描信号;下传模块,用于接收内部控制信号和时钟信号以输出第N级级传信号;自举电容模块用于抬升内部控制信号的高电平;下拉维持模块,用于接收内部控制信号、第一控制信号以维持第N级扫描信号的低电平;下拉模块,用于接收内部控制信号、第N+2级级传信号以拉低第N级扫描信号。通过上述方式,本发明采用一组下拉维持模块即可实现GOA电路,从而可以减少薄膜晶体管的使用量,进而降低液晶显示器的窄边框或者无边框设计的难度。

[0047] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

10

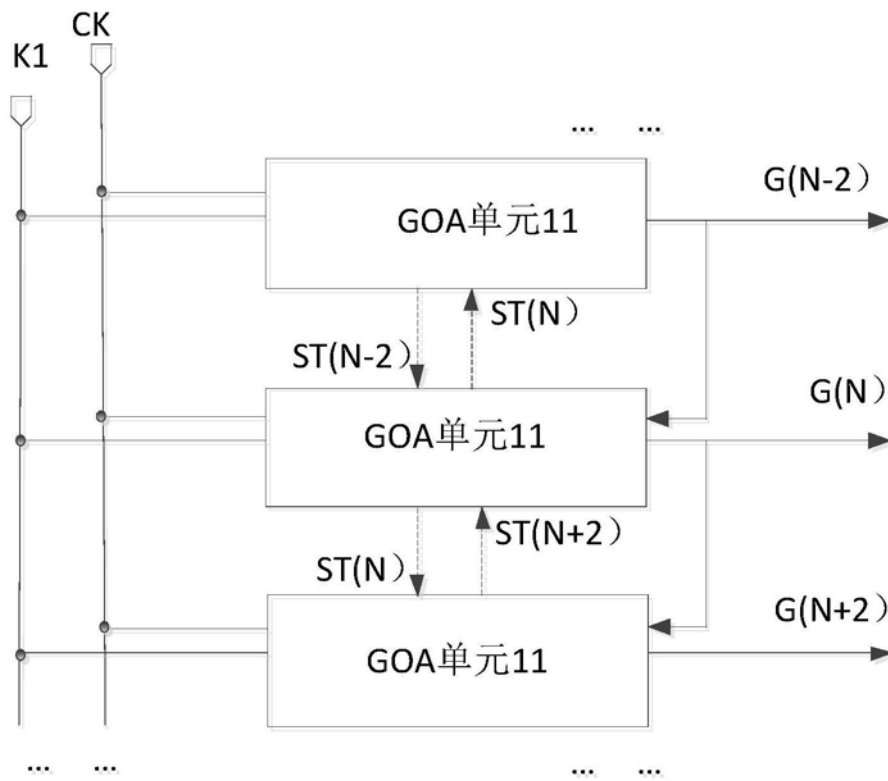


图1

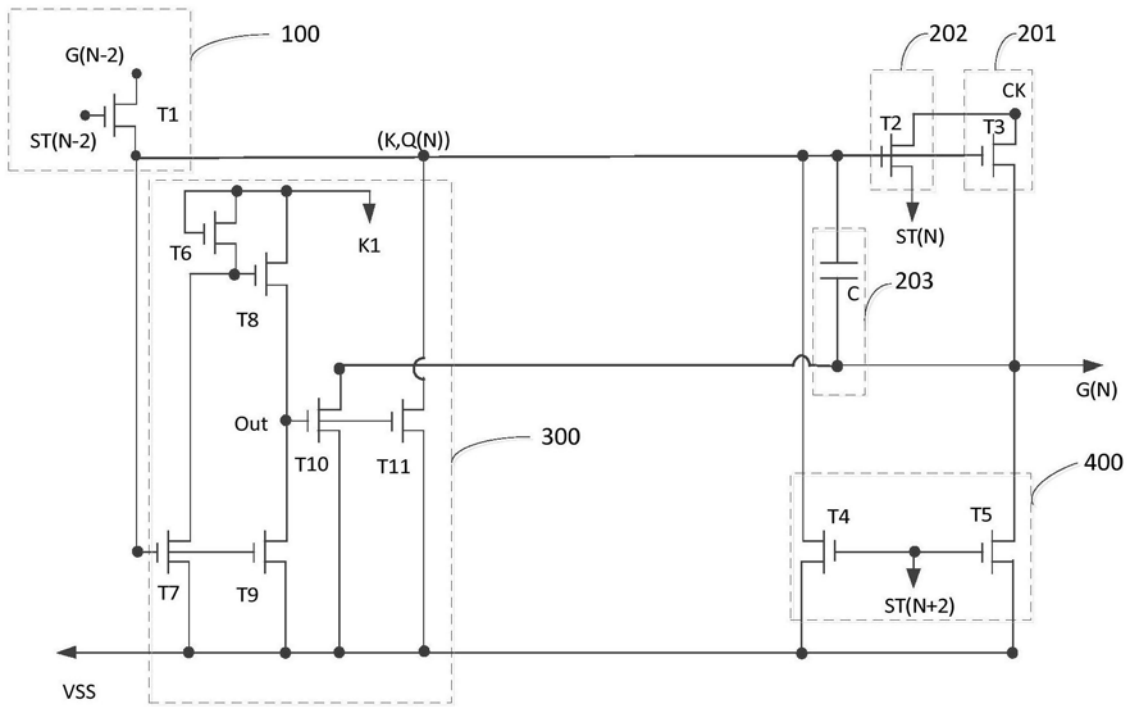


图2

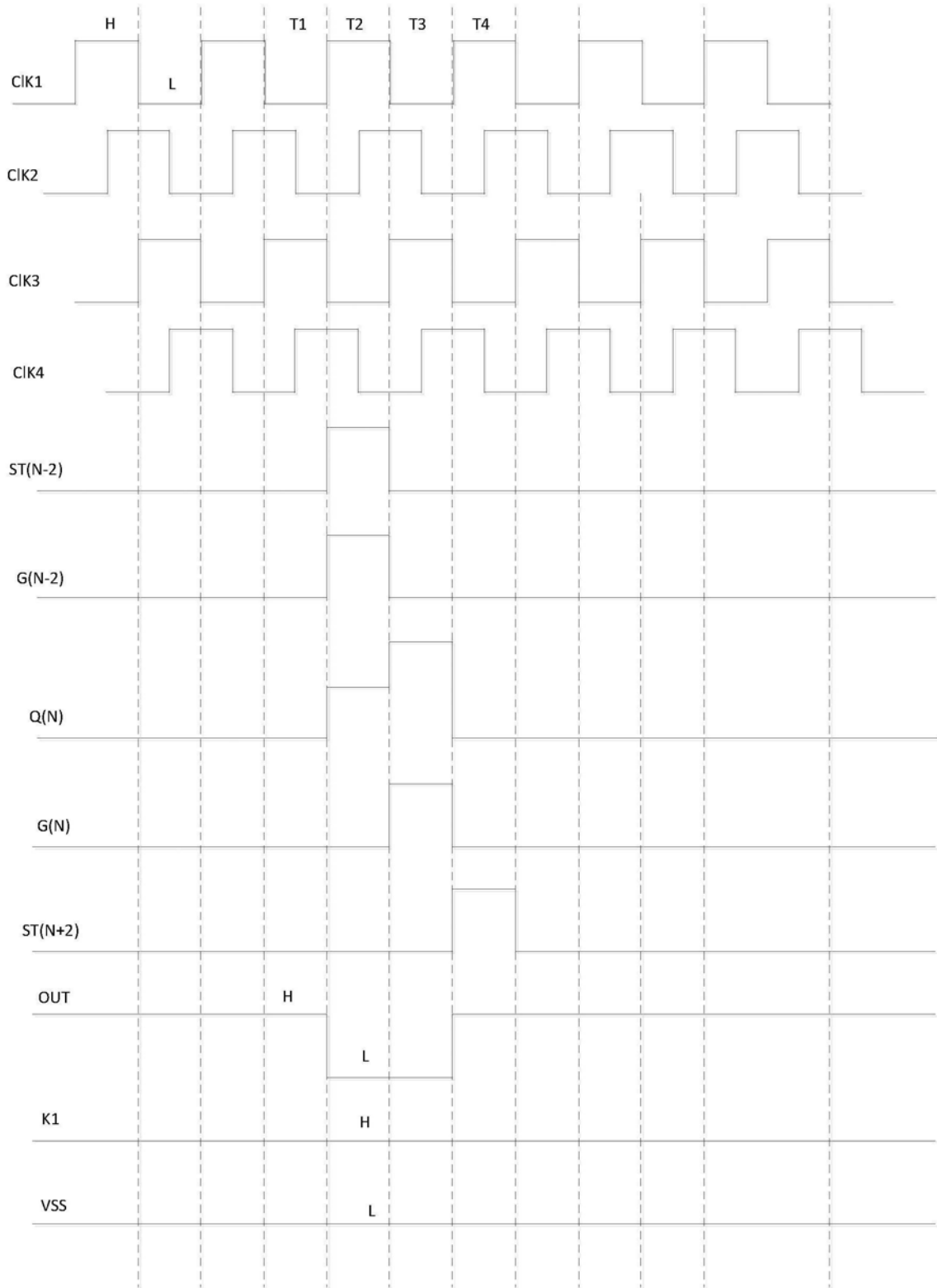


图3

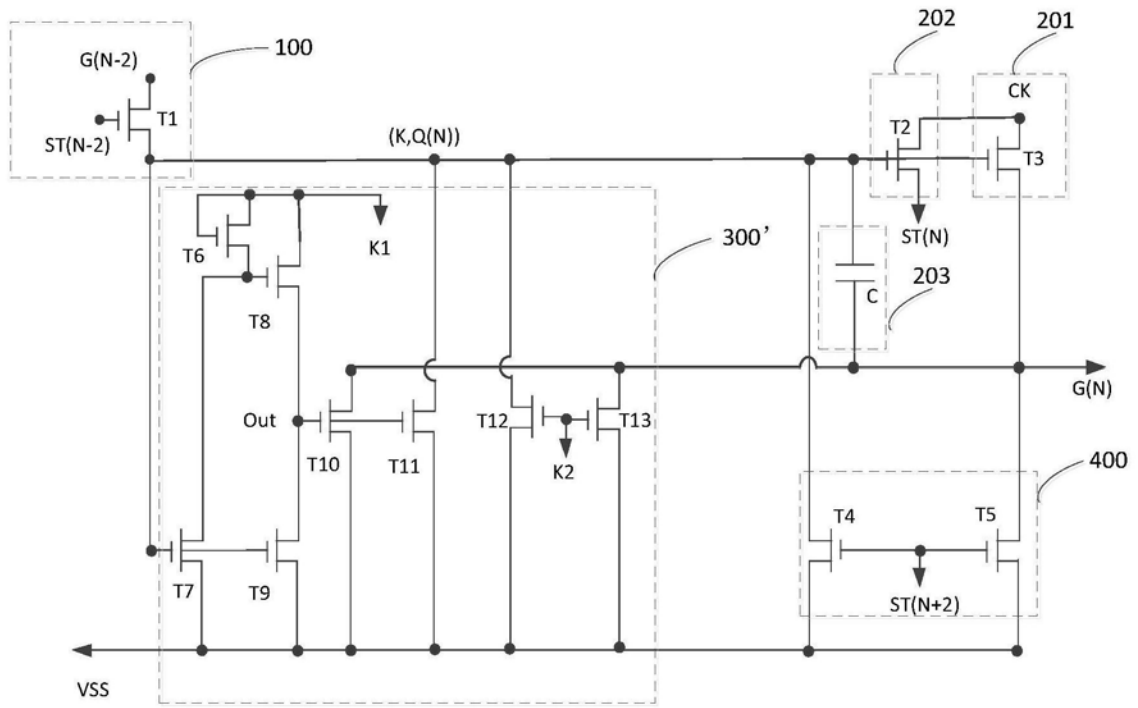


图4

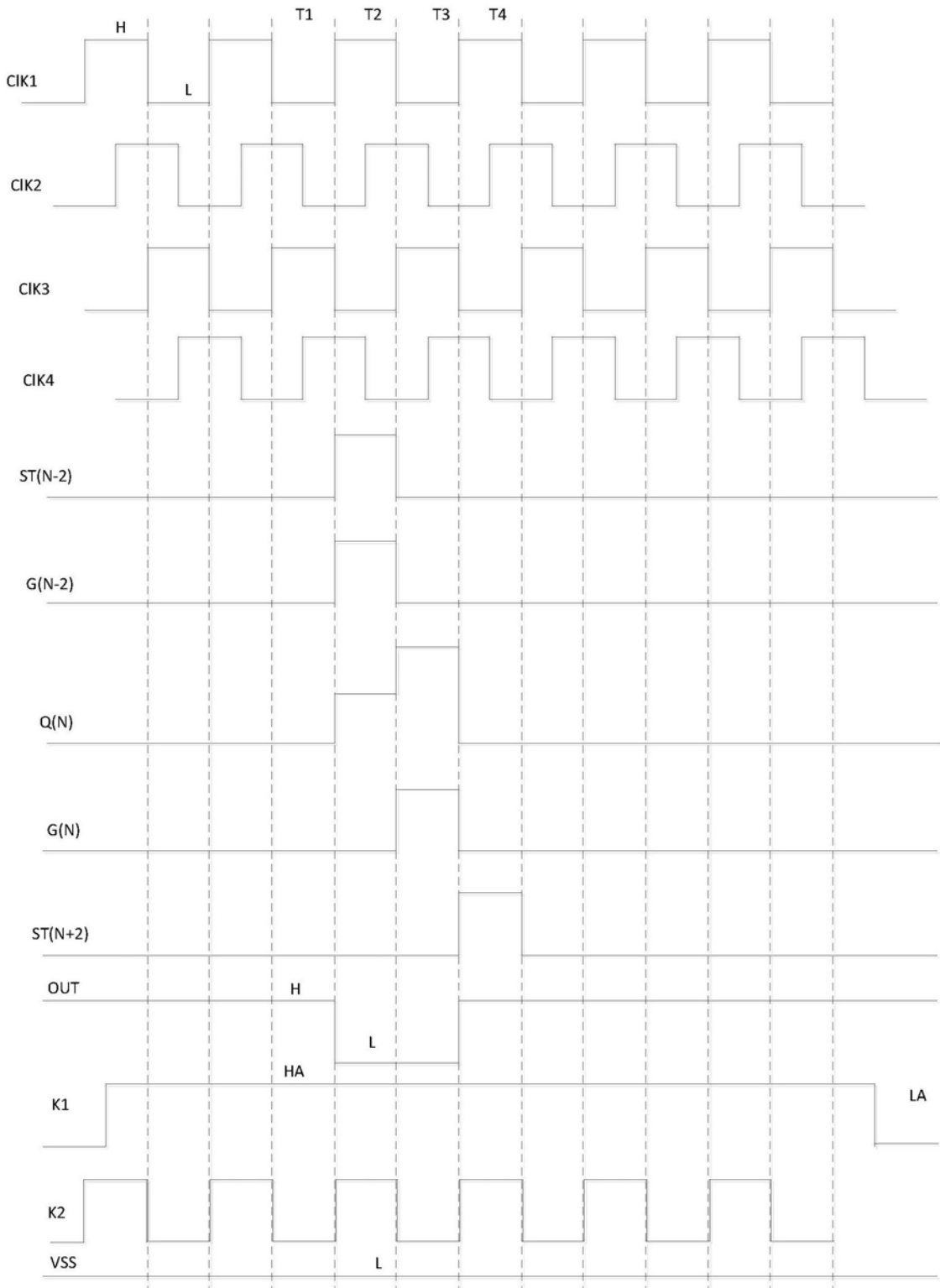


图5

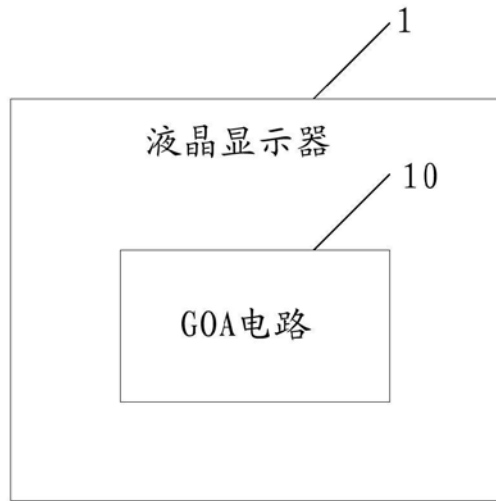


图6