

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-253784  
(P2004-253784A)

(43) 公開日 平成16年9月9日(2004.9.9)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/8242	HO 1 L 27/10 6 5 1	5 F O 3 8
HO 1 L 21/822	HO 1 L 27/04 C	5 F O 8 3
HO 1 L 27/04		
HO 1 L 27/108		

審査請求 未請求 請求項の数 10 O L (全 8 頁)

(21) 出願番号	特願2003-435043 (P2003-435043)	(71) 出願人	591024111 株式会社ハイニックスセミコンダクター 大韓民国京畿道利川市夫鉢邑牙美里山13 6-1
(22) 出願日	平成15年12月26日 (2003.12.26)	(74) 代理人	100093045 弁理士 荒船 良男
(31) 優先権主張番号	2003-9756	(74) 代理人	100090033 弁理士 荒船 博司
(32) 優先日	平成15年2月17日 (2003.2.17)	(72) 発明者	宋 昌録 大韓民国京畿道利川市夫鉢邑牙美里3里 148-1 現代社員賃貸アパート106 -409
(33) 優先権主張国	韓国 (KR)	(72) 発明者	禹 相浩 大韓民国京畿道利川市官庫洞 194-2 斗山アパート103-2102 最終頁に続く

(54) 【発明の名称】 半導体素子のキャパシタ製造方法

(57) 【要約】

【課題】 ドーピングされたシリコン層を電極物質とし、電荷格納電極の電荷空乏現象を防止し、破壊電圧を低下させることなく窒化膜の厚さを減少させることのできる半導体素子のキャパシタ製造方法を提供すること。

【解決手段】 酸化膜 窒化膜 酸化膜構造の誘電膜を用いる半導体素子のキャパシタ製造方法において、半導体基板上に層間絶縁膜を形成する段階と、前記層間絶縁膜上にドーピングされたシリコン層で電荷格納電極を形成する段階と、前記電荷格納電極上に第一酸化膜を形成する段階と、前記第一酸化膜を n 型不純物を含むガス気相中で熱処理工程を行って前記不純物を前記第一酸化膜に注入する段階と、前記第一酸化膜上に窒化膜を形成する段階と、前記窒化膜上に第二酸化膜を形成する段階とを含む。

【選択図】 図 2



## 【特許請求の範囲】

## 【請求項 1】

酸化膜 窒化膜 酸化膜構造の誘電膜を用いる半導体素子のキャパシタ製造方法において、

半導体基板上に層間絶縁膜を形成する段階と、

前記層間絶縁膜上にドーピングされたシリコン層で電荷格納電極を形成する段階と、

前記電荷格納電極上に第一酸化膜を形成する段階と、

前記第一酸化膜を n 型不純物を含む気体の気相中で熱処理工程を行って前記不純物を前記第一酸化膜に注入する段階と、

前記第一酸化膜上に窒化膜を形成する段階と、

前記窒化膜上に第二酸化膜を形成する段階と

を含むことを特徴とする半導体素子のキャパシタ製造方法。

10

## 【請求項 2】

前記ドーピングされたシリコン層は、n 型不純物が  $1 \text{ E } 20 \sim 5 \text{ E } 21 / \text{ cm }^3$  の濃度でドーピングされたシリコン層であることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

## 【請求項 3】

前記第一酸化膜を形成する前に、電荷格納電極表面の自然酸化膜を取り除く段階を含むことを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

## 【請求項 4】

前記第一酸化膜の厚さは、 $5 \sim 25$  であることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

20

## 【請求項 5】

前記第一酸化膜を形成する段階は、常温  $\sim 80$  の温度で  $\text{NH}_4\text{OH}$  と  $\text{H}_2\text{O}_2$  混合水溶液に  $1 \sim 10$  分間前記半導体基板を沈積して形成する湿式酸化工程、及び酸素を含む気体の気相中で  $500 \sim 800$  の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力下で  $3 \sim 120$  分間前記半導体基板を熱処理する工程の中から選択されたいずれか一つであることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

## 【請求項 6】

前記熱処理工程は、 $\text{PH}_3$  または  $\text{AsH}_3$ 、及びこれらの組合せの中から選択されたいずれか一つの気体の気相中、 $500 \sim 800$  の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で  $3 \sim 180$  分間行われることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

30

## 【請求項 7】

前記気体の気相中は、不活性ガスを含むことを特徴とする請求項 6 に記載の半導体素子のキャパシタ製造方法。

## 【請求項 8】

前記窒化膜の厚さは  $30 \sim 60$  であることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

## 【請求項 9】

前記窒化膜を形成する段階は、 $\text{SiH}_4 / \text{NH}_3$  または  $\text{SiH}_2\text{Cl}_2 / \text{NH}_3$  の混合気体の気相中、 $600 \sim 800$  の温度及び  $6.67 \sim 2.67 \times 10^2 \text{ Pa}$  の圧力で行われる化学気相蒸着工程、 $\text{NH}_3$  単独、または  $\text{NH}_3$  と  $\text{Ar}$  及び  $\text{N}_2$  の中から選択されたいずれか一つとの混合気体の気相中、 $600 \sim 800$  の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で行われる前記第一酸化膜の窒化工程及びこれらの組合せの中から選択されたいずれか一つの工程であることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

40

## 【請求項 10】

前記第二酸化膜を形成する段階は、酸素原子を含む気体の気相中、 $650 \sim 800$  の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で  $3 \sim 120$  分間行われる熱処理工程で

50

あることを特徴とする請求項 1 に記載の半導体素子のキャパシタ製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子のキャパシタ製造方法に関するもので、特にドーピングされたシリコン層を電極物質として用いて酸化膜 - 窒化膜 - 酸化膜構造の誘電膜を用い、窒化膜の厚さを減少させて、漏洩電流による破壊電圧を増加させる等の半導体素子の特性を向上させる半導体素子のキャパシタ製造方法に関する。

【背景技術】

【0002】

一般的に DRAM の記憶素子において、キャパシタは情報を記憶し判読するために一定量の電荷を格納する機能を行う。そのため、キャパシタは十分な静電容量を確保しなければならず、誘電体膜は漏洩電流の少ない絶縁特性を備えて、長期間繰り返して使用し続けることに対する信頼性をも共に有していなければならない。

【0003】

また一方で、年々、素子が高集積化することによって単位素子に割り当てられる面積が減少し、キャパシタの静電容量の確保が徐々に難しくなっている。このため、キャパシタの高さは増加し、隣接セルとの製造の歩留まりも減少している。

【0004】

しかしながら、DRAM の記憶素子におけるセル内のキャパシタは、25 fF 程度の静電容量を確保すべきであり、一般的にキャパシタの静電容量は表面積に比例し、誘電膜の厚さに反比例するので、静電容量を増加させるためにキャパシタの表面積を増加させたり、誘電物質を改良する方法が研究されている。

【0005】

そこで従来では、誘電物質に、初期では誘電率が 3.8 の酸化膜を用いられてきたが、その後、より誘電率の高い誘電膜である誘電率 7 の窒化膜を用いられるようになり、現在では 256 M 以上の素子においては  $Ta_2O_5$ 、 $Al_2O_3$  または  $HfO_2$  などの新しい誘電物質が用いられている。また、キャパシタの構造は初期には誘電性を高めるようなスタック構造が使用されてきたが、素子の高集積化によりスタック構造の使用が難しくなったので、かわりに電荷格納電極の面積を 1.7 ~ 2 倍程度増加させることができる MPS (メソポーラスシリカ、以下 MPS と省略する) を使用して、MPS をコンケイブ状にしたり、シリンダー型構造に適用する方法が利用されている。

【0006】

次に、従来技術による半導体素子のキャパシタ製造方法でドーピングされたシリコン層を電極として用いるキャパシタの場合について説明する。

まず、半導体基板上に電荷格納電極コンタクトプラグが備えられた層間絶縁膜を形成させる。層間絶縁膜上に電荷格納電極を形成した後、電荷格納電極が大気に触れることにより電荷格納電極の表面上に生じた自然酸化膜を HF 系列の洗浄溶液で取り除くとともに、その後、 $O_2$ 、 $H_2O$  または  $O_3$  を含む気相中で第一酸化膜の形成を行う。あるいは、 $NH_4OH$  と  $H_2O_2$  混合物系列の洗浄溶液を用いて自然酸化膜を取り除いた後、第一酸化膜を湿式酸化方法により形成する。

そして次に、第一酸化膜上に窒化膜を形成させ、再び  $H_2O$  を含む気相中で窒化膜を酸化させて第二酸化膜を形成した後に、プレート電極をドーピングされたシリコンで形成させる。

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述したような従来技術による半導体素子のキャパシタ製造方法では、自然酸化膜を取り除くために、HF 系列の洗浄溶液で電荷格納電極の自然酸化膜を取り除くと、自然酸化膜とともに、ドーピングされたシリコンの表面のドーパメントが除去されて下部電極にお

10

20

30

40

50

いて電荷空乏が発生する。一方、誘電率を高めるために、窒化膜の厚さを減少させれば破壊電圧が低くなるという問題点が生じる。

【0008】

特にこのような問題点は、鋳型酸化膜を取り除くためのエッチング工程時に、電荷格納電極の表面が長期間露出してドーパメントの損失が大きくなってしまおうようなシリンダー型構造のキャパシタにおいては更に顕著になってしまう。

【0009】

本発明は、前記のような問題点を解決するためのもので、電荷格納電極表面の自然酸化膜を取り除く工程で流失されるドーパメントを補う熱処理工程を追加して電荷格納電極の電荷空乏現象を防止し、破壊電圧を低下させることなく窒化膜の厚さを減少させることができる半導体素子のキャパシタ製造方法を提供することを目的とする。

10

【課題を解決するための手段】

【0010】

前記課題を解決するため、請求項1に記載の発明に係る半導体素子のキャパシタ製造方法は、酸化膜 窒化膜 酸化膜構造の誘電膜を用いる半導体素子のキャパシタ製造方法において、

半導体基板上に層間絶縁膜を形成する段階と、前記層間絶縁膜上にドーピングされたシリコン層で電荷格納電極を形成する段階と、前記電荷格納電極上に第一酸化膜を形成する段階と、前記第一酸化膜をn型不純物を含む気体の気相中で熱処理工程を行って前記不純物を前記第一酸化膜に注入する段階と、前記第一酸化膜上に窒化膜を形成する段階と、前記窒化膜上に第二酸化膜を形成する段階とを含むことを特徴とする。

20

【0011】

請求項2に記載の発明に係る半導体素子のキャパシタ製造方法は、請求項1において、

前記ドーピングされたシリコン層は、n型不純物が $1 \times 10^{20} \sim 5 \times 10^{21} / \text{cm}^3$ の濃度でドーピングされたシリコン層であることを特徴とする。

【0012】

請求項3に記載の発明に係る半導体素子のキャパシタ製造方法は、請求項1において、

前記第一酸化膜を形成する前に、電荷格納電極表面の自然酸化膜を取り除く段階を含むことを特徴とする。

30

【0013】

請求項4に記載の発明に係る半導体素子のキャパシタ製造方法は、請求項1において、

前記第一酸化膜の厚さは、5 ~ 25 であることを特徴とする。

【0014】

請求項5に記載の発明に係る半導体素子のキャパシタ製造方法は、請求項1において、

前記第一酸化膜を形成する段階は、常温 ~ 80 の温度で $\text{NH}_4\text{OH}$ と $\text{H}_2\text{O}_2$ 混合水溶液に1 ~ 10分間前記半導体基板を沈積して形成する湿式酸化工程、及び酸素を含む気体の気相中で500 ~ 800 の温度及び $6.67 \sim 1.01 \times 10^5 \text{ Pa}$ の圧力下で3 ~ 120分間前記半導体基板を熱処理する工程の中から選択されたいずれか一つであることを特徴とする。

40

【0015】

請求項6に記載の発明に係る半導体素子のキャパシタ製造方法は、請求項1において、

前記熱処理工程は、 $\text{PH}_3$ または $\text{AsH}_3$ 及びこれらの組合せの中から選択されたいずれか一つの気体の気相中、500 ~ 800 の温度及び $6.67 \sim 1.01 \times 10^5 \text{ Pa}$ の圧力で3 ~ 180分間行われることを特徴とする。

【0016】

50

請求項 7 に記載の発明に係る半導体素子のキャパシタ製造方法は、  
請求項 6 において、  
前記気体の気相中は、不活性ガスを含むことを特徴とする。

【0017】

請求項 8 に記載の発明に係る半導体素子のキャパシタ製造方法は、  
請求項 1 において、  
前記窒化膜の厚さは 30 ~ 60 であることを特徴とする。

【0018】

請求項 9 に記載の発明に係る半導体素子のキャパシタ製造方法は、  
請求項 1 において、  
前記窒化膜を形成する段階は、 $\text{SiH}_4 / \text{NH}_3$  または  $\text{SiH}_2\text{Cl}_2 / \text{NH}_3$  の混合気体の気相中、600 ~ 800 の温度及び  $6.67 \sim 2.67 \times 10^2 \text{ Pa}$  の圧力で行われる化学気相蒸着工程、 $\text{NH}_3$  単独、または  $\text{NH}_3$  と Ar 及び  $\text{N}_2$  の中から選択されたいずれか一つの混合ガス気相中、600 ~ 800 の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で行われる前記第一酸化膜の窒化工程及びこれらの組合せの中から選択されたいずれか一つの工程であることを特徴とする。

10

【0019】

請求項 10 に記載の発明に係る半導体素子のキャパシタ製造方法は、  
請求項 1 において、  
前記第二酸化膜を形成する段階は、酸素原子を含む気体の気相中、650 ~ 800 の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で 3 ~ 120 分間行われる熱処理工程であることを特徴とする。

20

【発明の効果】

【0020】

本発明による半導体素子のキャパシタ製造方法によれば、ドーピングされたシリコンを電極に用いて、酸化膜 - 窒化膜 - 酸化膜構造の誘電膜に用いるキャパシタで、厚さと品質が制御された酸化膜に熱処理で不純物をドーピングした後、後続工程の窒化膜形成工程で酸化膜に含まれた不純物を電荷格納電極との界面に拡散させて電荷空乏層を取り除き、破壊電圧を低下させることなく窒化膜の厚さを減少させることを可能にして、静電容量を増加させる等の半導体素子の特性を向上させて、製造の歩留まり及び半導体素子の動作の信頼性を向上させることができる。

30

【発明を実施するための最良の形態】

【0021】

以下、本発明による半導体素子のキャパシタ製造方法に関して 図 1 から図 4 の図面を参照して詳しく説明する。図 1 から図 4 は、本発明による半導体素子のキャパシタ製造工程を示す断面図である。

図 1 に示すように、シリコンウェーハ等の半導体基板上（図示省略）には、所定の下部構造物、例えば素子分離酸化膜（図示省略）と MOSFET（図示省略）などを形成した後、半導体基板の所定領域に電氣的に接続する電荷格納電極用コンタクトプラグ（図示省略）を備えて平坦化した層間絶縁膜 10 を形成する。次に、層間絶縁膜 10 上に、例えば n 型不純物である P または As などの不純物を、望ましくは  $1 \text{ E } 20 \sim 5 \text{ E } 21 / \text{ cm}^3$  濃度でドーピングされたシリコン層である電荷格納電極 12 を形成する。ここで、電荷格納電極が大気に触れることにより電荷格納電極の表面上に自然酸化膜 13 が存在する場合、自然酸化膜 13 を HF 系列の洗浄溶液で取り除く。

40

その後、図 2 に示すように、電荷格納電極 12 上に第一酸化膜 14 を 5 ~ 25 程度の厚さで形成する。第一酸化膜 14 を形成する際、湿式酸化方法を利用する場合には、常温 ~ 80 の温度で、 $\text{NH}_4\text{OH}$  と  $\text{H}_2\text{O}_2$  混合水溶液に 1 ~ 10 分間沈積するような化学的な方法で形成することが望ましい。また第一酸化膜 14 を形成する際、乾式酸化方法を利用する場合には 500 ~ 800 の温度及び  $6.67 \sim 1.01 \times 10^5 \text{ Pa}$  の圧力で酸素を含む気体、例えば  $\text{O}_2$ 、 $\text{H}_2\text{O}$ 、 $\text{N}_2\text{O}$ 、 $\text{NO}$  または  $\text{O}_3$  等を用い、これらの気体

50

を単独あるいは混合気体の気相中で、必要な場合にはArなどの不活性ガスも混合した気相中で、3～120分間熱処理して形成することが望ましい。なお、ここで、第一酸化膜14の厚さを適切に調節すれば自然酸化膜13を除去することなく第一酸化膜14を形成することも可能である。

#### 【0022】

次に、第一酸化膜14をシリコンより高い原子価を有するn型不純物を含む気体の気相中で熱処理を行う。熱処理工程は500～800の温度でかつ、 $6.67 \sim 1.01 \times 10^5$  Paの圧力下でシリコンより高い原子価を有するn型不純物、例えばPH<sub>3</sub>またはAsH<sub>3</sub>等の単独または混合気体の気相中で、3～180分間行うことが望ましい。このとき、必要に応じて、Ar等の不活性ガスを気相中に混合してもよい。前記熱処理工程によって第一酸化膜14が不純物を含有した酸化材質、例えばPH<sub>3</sub>を含む気相中ではPSGになり、Pが分子中に含まれたSiO<sub>2</sub>に変化する。

10

#### 【0023】

そして、次に、図3に示すように、第一酸化膜14上に窒化膜16を30～60程度の厚さで形成する。窒化膜16はSiH<sub>4</sub>/NH<sub>3</sub>またはSiH<sub>2</sub>Cl<sub>2</sub>/NH<sub>3</sub>の混合気体の気相中で、先の熱処理工程より高い温度、例えば600～800の温度で、かつ $6.67 \sim 2.67 \times 10^2$  Paの圧力下で化学気相蒸着方法により形成させる方法と、NH<sub>3</sub>を単独、あるいはArまたはN<sub>2</sub>ガスのうちいずれか一つと混合させた混合気体の気相中で先の熱処理工程より高い温度、例えば600～800の温度で、かつ $6.67 \sim 1.01 \times 10^5$  Paの圧力下において第一酸化膜14を窒化させて形成させる方法とがあり、いずれか一方の方法により窒化膜の形成を行ってもよいし、これら2つの方法を併用して二回行って形成することも可能である。ここで窒化膜16の形成工程は高い温度で行われるので、第一酸化膜14に含まれた不純物は電荷格納電極12との界面に拡散して電荷空乏層は取り除かれる。

20

#### 【0024】

次に、窒化膜16上に第二酸化膜18を形成する。第二酸化膜18は酸素原子を含む気体、例えばO<sub>2</sub>、H<sub>2</sub>O、N<sub>2</sub>O、NOまたはO<sub>3</sub>等の単独または混合気体の気相中で、必要に応じてAr等の不活性ガスを混合した気相中で、650～800、 $6.67 \sim 1.01 \times 10^5$  Paで3～120分間熱処理して形成する。この時、第二酸化膜18の厚さは、HFを含む水溶液を用いて洗浄された単結晶ウェーハ上に50～500程度の厚さとなるように形成させる。

30

そして、図4に示すように、第二酸化膜18上部にドーピングされたシリコンから成るプレート電極20を形成し、電荷格納電極の電荷空乏現象を防止し、破壊電圧を低下させることなく窒化膜の厚さを減少させることができる半導体素子を得る。

#### 【0025】

以上により、ドーピングされたシリコン層を電極物質として用いて酸化膜-窒化膜-酸化膜構造の誘電膜を用いるキャパシタ製造方法において、電荷格納電極表面の自然酸化膜を取り除く工程で流出されるドーパメントを補う熱処理工程を追加することで、後続過程で電荷格納電極の方へ不純物を拡散させてシリコン層と酸化膜との界面に不純物が位置するようにするので、酸化膜-窒化膜-酸化膜構造中、主なキャリアであるホールの空乏層によるホール電流を減少させて、電荷格納電極の電荷空乏現象を防止し、漏洩電流による破壊電圧を低下させることなく、窒化膜の厚さを減少させることができ、静電容量を増加させる等のような半導体素子の特性を向上させて、製造の歩留まり及び半導体素子の動作の信頼性を向上させることができる半導体素子のキャパシタ製造方法を提供することができる。

40

#### 【図面の簡単な説明】

#### 【0026】

【図1】本発明による半導体素子のキャパシタ製造工程で半導体基板上に電荷格納電極が形成されるまでを示す断面図である。

【図2】本発明による半導体素子のキャパシタ製造工程で電荷格納電極が形成されてから

50

第一酸化膜に不純物を含有させるまでを示す断面図である。

【図3】本発明による半導体素子のキャパシタ製造工程で第一酸化膜に不純物を含有させてから第二酸化膜が形成されるまでを示す断面図である。

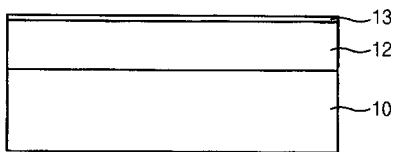
【図4】本発明による半導体素子のキャパシタ製造工程で第二酸化膜が形成されてからプレート電極が形成されるまでを示す断面図である。

【符号の説明】

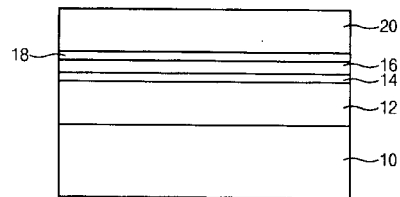
【0027】

- 10 層間絶縁膜
- 12 電荷格納電極
- 13 自然酸化膜
- 14 第一酸化膜
- 16 窒化膜
- 18 第二酸化膜
- 20 プレート電極

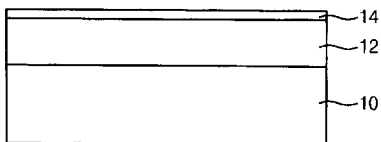
【図1】



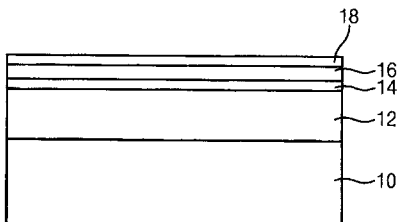
【図4】



【図2】



【図3】



---

フロントページの続き

(72)発明者 朴 東洙

大韓民国京畿道利川市官庫洞 502-2 ヨンウピラ 202号

(72)発明者 朴 哲煥

大韓民国ソウル特別市江北区彌阿3洞 218-7

(72)発明者 李 泰赫

大韓民国京畿道利川市大月面巳洞里 441-1 現代電子社員アパート101-404

Fターム(参考) 5F038 AC05 AC16 AC17 EZ14 EZ17 EZ20

5F083 AD11 AD60 GA27 JA04 MA06 MA17 PR12 PR15 PR21 PR33