



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I588986 B

(45) 公告日：中華民國 106 (2017) 年 06 月 21 日

(21) 申請案號：098120626

(22) 申請日：中華民國 98 (2009) 年 06 月 19 日

(51) Int. Cl. : H01L27/24 (2006.01)

H01L45/00 (2006.01)

H01L21/822 (2006.01)

(30) 優先權：2008/06/20 美國

61/074,241

(71) 申請人：奈特洛公司 (美國) NANTERO, INC. (US)

美國

(72) 發明人：曼寧 蒙哥馬利 MANNING, H. MONTGOMERY (US)；呂克斯 湯瑪斯 RUECKES, THOMAS (US)；伯汀 克勞德 BERTIN, CLAUDE L. (US)；瓦德 喬納唐 WARD, JONATHAN W. (US)；德戴利安 嘉羅 DERDERIAN, GARO (US)

(74) 代理人：黃慶源；林秋琴

(56) 參考文獻：

US 7365385B2

US 2008/0070162A1

審查人員：古朝璟

申請專利範圍項數：54 項 圖式數：24 共 150 頁

(54) 名稱

具奈米管區塊、奈米管軌跡和奈米管平面的 NRAM 陣列及其製法

NRAM ARRAYS WITH NANOTUBE BLOCKS, NANOTUBE TRACES, AND NANOTUBE PLANES AND METHODS OF MAKING SAME

(57) 摘要

本發明揭露具奈米管區塊、軌跡和平面的 NRAM 陣列及其製法。在某些具體實施例，一種奈米管記憶體陣列包括配置一纖維層與第一及第二導體層電性連通。提供一種記憶體電路包含一種用來產生及施加一選擇訊號在第一及第二導體層的線路以感應改變在第一與第二導體層間奈米管纖維層的電阻。至少兩個鄰近的記憶體晶元形成在奈米管纖維與導體層的至少兩個選擇的橫截面中以致每一記憶體晶元是唯一可定址的及可程式化。對每一晶元，一電阻的改變對應於該記憶體單元一資訊狀態的改變。某些具體實施例包括位元線、字元線與參考線。在某些具體實施例，達到 $6F^2$ 的記憶體晶元密度。

NRAM arrays with nanotube blocks, traces and planes, and methods of making the same are disclosed. In some embodiments, a nanotube memory array includes a nanotube fabric layer disposed in electrical communication with first and second conductor layers. A memory operation circuit including a circuit for generating and applying a select signal on first and second conductor layers to induce a change in the resistance of the nanotube fabric layer between the first and second conductor layers is provided. At least two adjacent memory cells are formed in at least two selected cross sections of the nanotube fabric and conductor layers such that each memory cell is uniquely addressable and programmable. For each cell, a change in resistance corresponds to a change in an informational state of the memory cell. Some embodiments include bit lines, word lines, and reference lines. In some embodiments, $6F^2$ memory cell density is achieved.

指定代表圖：

符號簡單說明：

- 100 . . . NRAM 陣列
- 110 . . . 基材結構或區塊
- 120 . . . 底端導電軌跡
- 130 . . . 上導電軌跡
- 140 . . . 奈米管區塊

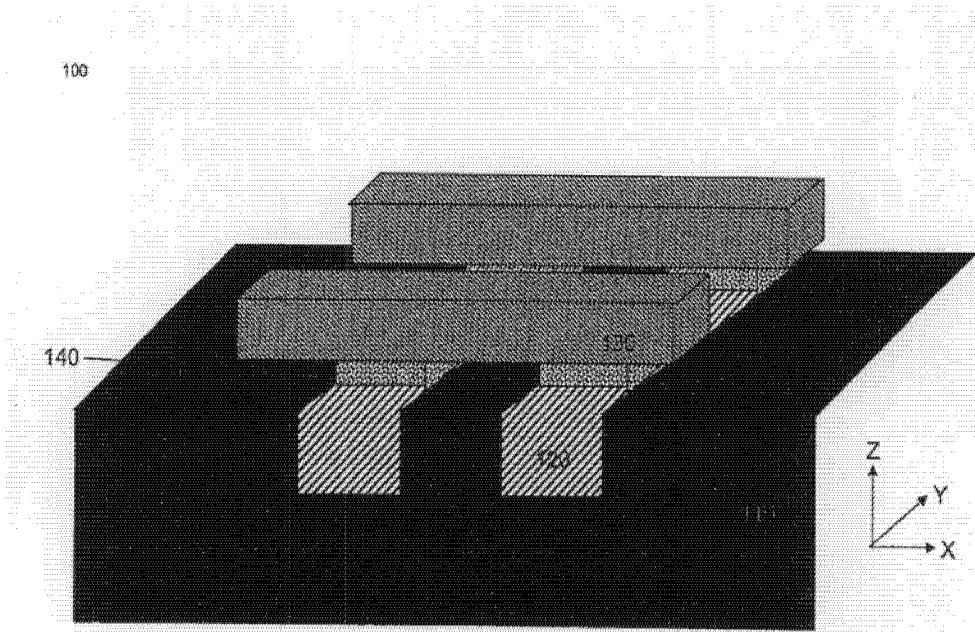


圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98 12 06 26

H01L 27/24 (2006.01)

※申請日：98. 6. 19

※IPC 分類：H01L 45/60 (2006.01)
H01L 21/822 (2006.01)

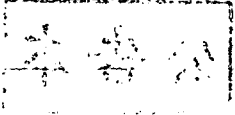
一、發明名稱：(中文/英文)

具奈米管區塊、奈米管軌跡和奈米管平面的 NRAM
陣列及其製法

NRAM ARRAYS WITH NANOTUBE BLOCKS,
NANOTUBE TRACES, AND NANOTUBE PLANES
AND METHODS OF MAKING SAME

二、中文發明摘要：

本發明揭露具奈米管區塊、軌跡和平面的 NRAM 陣列及其製法。在某些具體實施例，一種奈米管記憶體陣列包括配置一纖維層與第一及第二導體層電性連通。提供一種記憶體電路包含一種用來產生及施加一選擇訊號在第一及第二導體層的線路以感應改變在第一與第二導體層間奈米管纖維層的電阻。至少兩個鄰近的記憶體晶元形成在奈米管纖維與導體層的至少兩個選擇的橫截面中以致每一記憶體晶元是唯一可定址的及可程式化。對每一晶元，一電阻的改變對應於該記憶體單元一資訊狀態的改變。某些具體實施例包括位元線、字元線與參考線。在某些具體實施例，達到 $6F^2$ 的記憶體晶元密度。



三、英文發明摘要：

NRAM arrays with nanotube blocks, traces and planes, and methods of making the same are disclosed. In some embodiments, a nanotube memory array includes a nanotube fabric layer disposed in electrical communication with first and second conductor layers. A memory operation circuit including a circuit for generating and applying a select signal on first and second conductor layers to induce a change in the resistance of the nanotube fabric layer between the first and second conductor layers is provided. At least two adjacent memory cells are formed in at least two selected cross sections of the nanotube fabric and conductor layers such that each memory cell is uniquely addressable and programmable. For each cell, a change in resistance corresponds to a change in an informational state of the memory cell. Some embodiments include bit lines, word lines, and reference lines. In some embodiments, $6F^2$ memory cell density is achieved.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

100 NRAM 陣列

110 基材結構或區塊

120 底端導電軌跡

130 上導電軌跡

140 奈米管區塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

相關申請案的交互參考

本申請案申請專利範圍優先權在 35 U.S.C. §119(e) 之下對美國臨時專利申請號碼 61/074,241，2008 年 6 月 20 日申請，標題為具奈米管區塊、奈米管軌跡和奈米管平面的 NRAM 陣列及其製法，其全部內容合併在本文中做為參考。

與本申請案有關的下列申請案，它們的全部內容併入本文中做為參考。

美國專利號碼 6706402，2002 年 4 月 23 日申請，標題為奈米管膜與物件；

美國專利號碼 6835591，2002 年 4 月 23 日申請，標題為奈米管膜與物件的方法；

美國專利申請號碼 11/280786，2005 年 11 月 15 日申請，標題為兩端的奈米管裝置與系統及其製造方法；

美國專利申請號碼 11/274967，2005 年 11 月 15 日申請，標題為使用具有可逆奈米開關的奈米管物件之記憶體陣列；

美國專利申請號碼 11/835583，2007 年 8 月 8 日申請，標題為具有可擴充的非揮發性奈米管開關的栓鎖電路與操作電路做為電子保險絲取代元件；

美國專利申請號碼 11/835612，2007 年 8 月 8 日申請，標題為具有可擴充的兩端奈米管開關之非揮發性電

98120626

修正頁
年 月 日
99 2 11 補充附件
(二)

阻性記憶體；

美國專利申請號碼 11/835865，2007 年 8 月 8 日申請，標題為使用該非揮發性奈米管二極體及非揮發性奈米管區塊與系統以及其製造方法；

美國專利申請號碼 11/835613，2007 年 8 月 8 日申請，標題為記憶體元件與交叉點開關及其使用非揮發性奈米管區塊的陣列；以及

美國專利申請號碼 12/274033，2008 年 11 月 19 日申請，標題為包含混合的奈米級粒子與奈米碳管之改進的開關材料及其製造方法與其用法。

【發明所屬技術領域】

1. 技術領域

本發明是關於奈米碳管區塊、軌跡、層與物件，及特別地關於使用奈米碳管區塊、軌跡、層與物件之記憶體電路。

【先前技術】

2. 相關技術的討論

具有一直增加需求的更高密度的記憶體其能夠有更大的記憶功能，有獨立及內埋兩者，從幾百 kb 到超過 1Gb 的記憶容量。這些需求的更大記憶體需要增加更大密度，販賣增大的容量，及每位元更低的價格，在更高速操作及損失更少的電力。這些要求挑戰半導體工業使用改進的製程特性以快速地減少幾何

結構。增加記憶體密度需要較小的晶元其包括較小的選擇電晶體與較小的儲存節點。使用較小的晶元尺寸降低每位元的電力消耗。該等要求可以驅動光微影技術達到較小的線及間距尺度以對應的改進層間的對準，改進如較小電晶體與儲存元件之製程特徵/結構，而且包括增加需要調整較大記憶體功能或結合記憶與邏輯功能的晶片大小。由於較小的幾何結構增加對較小缺陷尺寸的敏感度，然而整體的缺陷密度必需被大大地降低。

當轉變到一新的較高密度的技術節點時，微影技術與對應的製程改變典型地導致絕緣體與導體尺寸在 X 與 Y 方向縮小 0.7 倍，或對邏輯線路與記憶體支撐線路縮小 2 倍的面積。典型地加入特定對記憶體晶元的製程特徵，導致更加典型的 0.7 倍的面積縮小，超過由於光微影技術改進的面積縮小，以致記憶體晶元達到一晶元面積縮小近似 2.8 倍。例如在一 DRAM 中，一製程特徵改變如引入一埋入的溝槽或堆疊的儲存電容是利用在一電容板與一晶元選擇場效電晶體 (FET) 源極之間對應的最佳化晶元接觸方法形成在半導體基材上。對於 DRAM 記憶體描述的平衡點相似於那些對其它的記憶體型態如 EPROM, EEPROM 及快閃記憶體。

記憶體的效率決定於位元儲存面積與對應其上的支撐線路面積之比較。相對於陣列儲存面積，支撐

線路面積被最小化。對一個 2D 記憶體，那是該等記憶體其中一種晶元選擇電晶體形成在一半導體基材中，對一種轉變到一較高密度新技術節點（技術世代），位元面積可以減少超過支撐線路面積如上進一步的說明關於一記憶體例子其中位元面積減少 2.8 倍而支撐線路面積減少 2 倍。為了保持記憶體效率，可以改變記憶體結構以致製造較大的次陣列，即是該等次陣列每字元線具有更多位元及每位元線具有更多位元。當包含功率消耗時，為了繼續增進記憶體功能，新記憶體結構使用全域及區域（局部）字元線及全域及區域（局部）位元線結構以調節每字元及每位元線具有更多位元之較大次陣列如說明在 USPN 5,546,349 之實施例，其全部的內容併入在本文中做參考。

除了記憶體次陣列尺寸的成長，晶元面積也可以成長。例如，假如記憶體功能在一新技術節點具有 4 倍以上的位元，那麼假如位元面積縮小 2.8 倍，晶片面積成長將至少 1.4-1.5 倍。

繼續如上說明的記憶體例子，假如一記憶體的晶片面積在目前的技術節點是 60%位元面積陣列及 40%支撐線路面積，假如晶片結構沒改變，及假如對一新技術節點位元面積效率改進 2.8 倍，而支撐線路佈局改進 2 倍，那麼位元面積與支撐線路面積兩者將近似 50%晶片面積。結構改變與線路設計及佈局改進

以增加每字元及位元線的位元數目，例如說明在 USP 5,546,349 的全域及區域局部字元與位元線，併入做參考，在一新技術節點對一新的 4 倍較大記憶體功能晶片設計，可以使用達到 60%位元面積及 40%支撐線路。然而，對 4 倍記憶體功能，晶片面積將更大 1.4 到 1.5 倍。所以例如，假如目前晶片面積是 100 mm^2 ，那麼對 4 倍較大的記憶體，新晶片面積將是 140 到 150 mm^2 ，假如目前晶片面積是 70 mm^2 ，那麼對 4 倍較大的記憶體功能，新晶片面積至少將是 100 mm^2 。

從製造（生產）的觀點，在一新的技術節點，轉變到一新 4 倍較大的記憶體功能的大量生產，需直到每位元的新記憶體功能成本與目前世代的成本相當才可能發生。典型地，設計至少兩個或有時三個新晶片具有光微影線性尺寸每個少量縮小（收縮）10 到 15%，縮小 4 倍記憶體功能的晶片尺寸到 100 mm^2 ，或較小以增加每晶圓的晶片數目及降低每位元記憶體的成本到與目前世代記憶體競爭的水準。

Roesner, USPN 4,442,507,揭露一種一次性可程式（OTP）現場-可程式記憶體，使用 3 維（3D）記憶體晶元及對應的製程、設計與結構以取代 2 維（2D）記憶體增加晶片面積的方式，而對每一新世代的記憶體縮小個別單元的大小（電晶體）及連接，其全部內容併入本文中做參考。USP 4,442,507 說明一種 EPROM（一次性可程式）記憶體具有一 3D EPROM

陣列其中晶元選擇裝置、儲存裝置及連接裝置沒製造在一半導體基材之中或之上，但取而代之是形成在位於支撐線路上的一絕緣層上，該支撐線路形成在一半導體基材之中及之上，該半導體基材具有在支撐線路與該 3D EPROM 記憶體陣列之間的連通。該 3D 記憶體方式大大減少伴隨較高密度較大記憶體功能的光微影與製程的要求。

雖然 USPN 4,442,507 引入 3D EPROM 記憶體陣列具有所有晶元元件及連接體與一半導體基材及上面支撐線路去耦合的觀念，該方式限制在 OTP 記憶體。

USPN 5,670,803，其全部的內容併入在本文中做參考，共同發明者 Bertin 揭露一 3D SRAM 陣列構造具有同時定義的側壁尺寸。該構造包括同時由溝槽定義的垂直側壁，溝槽切過多層摻雜的矽與絕緣區域為了避免（減至最少）多重對準步驟。這些溝槽切過多重半導體及氧化物層及終止在一支撐絕緣體（ SiO_2 ）層的上表面，該層位在 3D SRAM 陣列構造與一下面的半導體基材之間。USP 5,670,803 也教導溝槽內垂直區域晶元連接在一溝槽內以形成一垂直接線的 3D SRAM 晶元。USP 5,670,803 也教導貫通溝槽垂直連接通過一溝槽區域到一 3D SRAM 儲存晶元的頂端表面，其已區域性連線在一溝槽晶元之中。

數位邏輯線路被使用在各種應用。數位邏輯線路

包括邏輯與記憶功能其可以是獨立或可以是結合（積體化）在相同晶片上。一直增加的邏輯與記憶體數量是需要的。邏輯線路設計的重要特徵是上市時間短，簡單無誤差的設計循環，及在一現場環境修正邏輯功能至較佳匹配應用需求的能力。交叉點開關矩陣在符合該等這些要求已經是有用的。然而，交叉點開關矩陣密度要求較高及積體化的容易度需要改進。

由雙極或 FET 開關元件建構的積體線路典型地是揮發性的。當電力供應到裝置時它們僅維持它們內部的邏輯狀態。當移除電力時，內部狀態即遺失，除非某些形式的非揮發記憶體線路，如 EEPROM（電性可抹除的可程式唯讀記憶體），內部或外部被加入到裝置以維持該邏輯狀態。縱然非揮發性記憶體被用來維持邏輯狀態，增加線路是需要的，在電力損失之前以轉換數位邏輯狀態到記憶體，以及當電力恢復到裝置時，恢復個別邏輯線路的狀態。為了避免在揮發性數位線路遺失資訊的取代解決方案，如備用電池，也增加數位設計的成本與複雜性。

已經提出的裝置使用奈米線，如單壁奈米碳管，形成交叉條接點做為記憶體晶元。（見 WO 01/03208, Nanoscopic Wire-Based Devices, Arrays, and Methods of Their Manufacture; 及 Thomas Rueckes 等人，”Carbon Nanotube-Based Nonvolatile Random Access Memory for Molecular Computing”，Science, vol.289,

pp.94-97, 7 July, 2000)。此後這些裝置被稱為奈米管線交叉條記憶體 (NTWCMS)。在這些提案下，個別的單壁奈米管線懸掛過其它定義記憶體晶元的線上。電訊號被寫到一或兩條線以引起它們相互彼此物理上的吸引或排斥。每一物理狀態（即吸引或排斥的線）對應一電狀態。排斥的線是一開路接點。吸引的線是一閉合狀態形成一整流接點。當電力從接點移除，該等線恢復它們的物理（即是電性）狀態，因此形成一非揮發記憶體晶元。

美國專利號碼 6,919,592，標題為”使用奈米管薄帶的機電記憶陣列及其製造方法”揭露，在其它事情之中，機電線路如記憶體晶元，其中包括具有電性導電軌跡及支撐的一構造的線路從一基材的表面延伸。可以機電地變形或開關之奈米管薄帶，利用橫跨電性導電的軌跡之支撐懸掛著。該等薄帶典型地是從來自一層或鋪成墊子的奈米管纖維之選擇性移除的材料所形成。

例如，如美國專利號碼 6,919,592 所揭露，一奈米纖維可以形成圖紋進入薄帶，及該等薄帶可以用做一元件以創造非揮發機電記憶體晶元。回應控制軌跡及/或薄帶的電刺激，薄帶是機電可彎曲的。薄帶的彎曲、物理的狀態可以做成代表一對應的資訊狀態。該彎曲、物理的狀態具有非揮發性質，意指縱然移除供給到記憶體晶元的電力，薄帶仍保持它的物理（及

因此的資訊) 狀態。如揭露在美國專利號碼 6,911,682, 標題為”機電三軌跡接點裝置”, 三軌跡結構可以被用做機電記憶晶元, 其中兩個軌跡是電極以控制薄帶的彎曲。

使用一機電雙穩定裝置做為數位資訊儲存也已被建議(見美國專利號碼 4,979,149, 標題為”包括一微機械儲存元件之非揮發記憶體裝置”, 其全部內容併入本文做參考)。

基於奈米碳管(包括單層建構的)及金屬電極的雙穩定、奈米機電開關的產生與操作, 已詳細的在較早的專利申請其與現在申請具共同的代理人, 例如下面所列併入的專利參考文獻。

【發明內容】

本發明提供 NRAM 陣列具有奈米管區塊、奈米管軌跡與奈米管平面及其製造方法。

在一方面下, 一奈米管記憶體陣列包括一基材, 在基材上配置一第一導體層, 第一導體層具有一定義的圖紋, 及一奈米管纖維層配置在其上及與第一導體層電性連通。該陣列進一步包括第二導體層配置在其上, 及與奈米管纖維層電性連通及一記憶體操作線路包括一線路用來產生及施加一選擇訊號在第二及第一導體層以感應在第二與第一導體層間奈米纖維層的電阻變化。至少兩個鄰近的記憶體晶元形成在第一

導體、奈米管纖維及第二導體層的至少兩選擇的橫截面，以致利用該記憶體操作線路，每一記憶體晶元是唯一地可定址的及可程式化。對每一記憶體晶元，在第二與第一導體層間電阻的變化對應於記憶體晶元一資訊狀態的改變。

一個或更多個具體實施例包括一個或更多個下列的特徵。第一導體層包括複數個實質上平行的第一導電軌跡及第二導體層包括複數個實質上平行的第二導電軌跡。該等第一導電軌跡與第二導電軌跡是彼此正交配置。該等第一導電軌跡與第二導電軌跡對另外者是非正交配置。奈米管纖維層包括複數個形成圖紋的奈米管區塊，每一奈米管區塊插入在一第一導體軌跡與一第二導體軌跡之間及定位在一第一導體軌跡與一第二導體軌跡的一對應的交叉點。

一個或更多個具體實施例包括一個或更多個下列的特徵。奈米管纖維層與第二導體層是順形地配置及具有對應的圖紋。奈米管纖維層與第二導體層形成一導體在奈米管軌跡上。奈米管纖維層與第二導體層形成一導體在奈米管平面上。第一導體層定義的圖紋包括一陣列的個別第一電極。記憶體操作線路包括選擇二極體、每一分離的第一電極配置在其上及與一選擇二極體電性連通。第一導體層的定義圖紋包括複數個軌跡。

一個或更多個具體實施例包括一個或更多個下

列的特徵。奈米管纖維層電阻的變化包括在一第一電阻態與一第二電阻態之間的變化，第一電阻態的電阻實質上是比第二電阻態高。第一電阻態包括一第一資訊態及第二電阻態包括一第二資訊態。對該至少兩鄰近記憶體晶元，在一第一記憶體晶元的電阻變化實質上不受在一第二記憶體晶元電阻變化的影響。奈米管纖維層包括複數個未對準的奈米管提供複數個導電路徑通過奈米管纖維層。第一導體層部份內埋在基材中。

在另一方面，一記憶體陣列包括複數個記憶體晶元，每一記憶體晶元接收一位元線，一字元線及一參考線，每一記憶體晶元具有一個第一電極與該位元線電性連通。一奈米管物件電性插入在至少一第一電極與至少一參考線之間，對應於複數個記憶體晶元。一記憶體操作線路是與每個晶元的位元線、字元線、及參考線電性連通以激發一選擇晶元。操作線路包括在至少一部份奈米管物件可程式一資訊態的線路，該線路施加電刺激到至少位元線、字元線、及參考線之一，其中該電刺激改變在第一電極與參考電極之間的至少一部份奈米管物件的電阻變化。一相當高地奈米管物件之電阻對應一個記憶體晶元的第一資訊態及一相當低地奈米管物件之電阻對應一個記憶體晶元的第二資訊態。

一個或更多個具體實施例包括一個或更多個下

列的特徵。每一位元線、字元線及參考線包括軌跡具有一寬度定義為 F 及記憶體陣列具有一密度 $6F^2$ 。對應複數個記憶體晶元的每一參考線實質上平行對應複數個記憶體晶元的每一字元線。對應複數個記憶體晶元的每一參考線實質上平行對應複數個記憶體晶元的每一位元線。對應複數個記憶體陣列的每一位元線實質上正交對應複數個記憶體晶元的每一字元線。對應複數個記憶體陣列的每一位元線定位在一實質上與對應複數個記憶體晶元的每一字元線非正交的角度。該選擇角度近似 76 度。

一個或更多個具體實施例包括一個或更多個下列的特徵。奈米管物件包括複數個奈米管區塊，每一區塊對應一個記憶體晶元，每一區塊以一資訊態可程式化。奈米管物件包括複數個奈米管軌跡及每一參考線實質上是順形地配置在其上及與一對應的奈米管軌跡對準。每一奈米管軌跡的一區域對應一記憶體晶元，該區域以該資訊態可程式化。奈米管物件包括一奈米管平面配置在字元線及位元線上，對應複數個記憶體晶元。每一參考線包括一軌跡順形地配置在一部份奈米管平面之上以致奈對應複數個記憶體晶元之奈米管平面的複數個區域的每一是以一資訊態可程式化。參考線包括一導體平面配置在其上及順形地到奈米管平面及奈米管平面的複數個區域，對應複數個記憶體晶元，是每一以該資訊態可程式化。對每一記憶

體晶元，該區域是奈米管平面配置在對應的第一電極之上的部份。

一個或更多個具體實施例包括一個或更多個下列的特徵。第一及第二資訊態是非揮發性的。相當高電阻態的電阻是大於相當低電阻態的好幾倍。對每一記憶體晶元，該陣列進一步包括一晶元選擇線路，該晶元選擇線路電性上插入在第一電極與位元線之間。該晶元選擇線路包括具有一閘極、一源極及一汲極的一電晶體及其中該閘極與第一字元線電性接觸，該源極是與第一電極電性接觸，及該汲極是與位元線電性接觸。操作線路利用激發位元線與字元線之一及施加一讀取的刺激到位元線，讀取記憶體晶元的一資訊態。

一個或更多個具體實施例包括一個或更多個下列的特徵。第一電極包括至少一個金屬性奈米碳管、Ti、TiN、Al、Ta、TaN、Cu、Ru、RuO、Pd、Co、CoSi_x、Ni、NiSi_x、TiSi_x、Si、Pt、PtSi_x、Au、Ag及其組合之一。奈米管物件的一中間電阻對應記憶體晶元的一第三資訊態。奈米管物件配置在位元線上。該等位元線配置在奈米管物件上。

在另一方面，製造一記憶體陣列的一種方法包括提供複數個位元線及字元線及提供複數個第一電極，每一第一電極與一位元線連通及每一對應一記憶體晶元。該方法包括形成一奈米管纖維在其上及與第

一電極電性連通，奈米管纖維包括一網狀的未對準的奈米管，及提供一參考物件在其上及與奈米管纖維電性連通。該方法包括提供一記憶體操作電路與位元線、字元線、及參考物件電性連通以激發一個或更多個選擇的記憶體晶元。該操作線路包括編寫一資訊態程式的線路在至少一部份奈米管纖維藉由施加電刺激到至少位元線、字元線及參考物件之一，其中該電刺激改變在第一電極與參考物件之間的至少一部份奈米管纖維的電阻。在該部分的奈米管纖維一相當高電阻對應在陣列中記憶體晶元的一種第一資訊狀態。奈米管物件的一相當低電阻對應在陣列中記憶體晶元的一種第二資訊狀態。

一個或更多個具體實施例包括一個或更多個下列的特徵。每一位元線及每一字元線被形成圖紋以具有一寬度 F 及其中記憶體陣列具有 $6F^2$ 的密度。一選擇部份的記憶體陣列式主動的及一選擇部份的記憶體陣列是非主動的。非主動部份的記憶體陣列包括記憶體晶元其中一種資訊態不被編寫程式進入對應部份的奈米管纖維。形成圖紋的參考物件包括複數個參考線，該等參考線實質上平行位元線或字元線。形成圖紋的參考物件包括一參考電極平面承載一單獨的參考電壓。該方法進一步包括形成奈米管纖維及參考物件的圖紋以形成在奈米管軌跡上的導體。在奈米管軌跡上的導體實質上平行位元線或字元線。該方法進

一步包括形成奈米管纖維的圖紋進入複數個奈米管區塊，每一奈米管區塊對應一記憶體晶元。該方法進一步包括內埋該等第一電極與奈米管纖維在一絕緣基材中。提供複數個第一電極包括形成複數個半導體裝置，該等第一電極是半導體裝置的一節點。該等半導體裝置是 MOS 擷取裝置。該等半導體裝置是選擇二極體。

一個或更多個具體實施例包括一個或更多個下列的特徵。奈米管纖維配置在該等位元線上。該等位元線被配置在奈米管纖維上。一種保護材料施加在奈米管纖維的一外表面以保護在一或更多製造步驟期間的奈米管纖維，該保護材料包括至少二氧化矽、氮化矽、氧化鉛、氧化鋯、及氧化鋁、非晶矽、W、Al、Ti、TiN、Ta、旋鍍玻璃（SOGs）、熱分解高分子、及光阻等之一。形成的奈米管纖維進一步包括形成一奈米粒子層，該奈米粒子層被選擇來調整在第一電極與參考物件之間至少一部份的奈米管纖維之電阻。該奈米粒子層包括至少非晶質碳、氧化鋁、鈹、鎘、硒化物、氮化鎳、金、磷化鎳、鋳、矽、磷化銻、氧化鎂、氧化錳、鎳、鈮、碳化矽、鈦、氧化鋅、及矽鋳等之一。

【實施方式】

揭露在各種不同結構中具有金屬電極的雙穩

定、奈米管記憶晶元（包括單層及多層的奈米管纖維）的產生及操作。傳統上，在記憶體密度與製造製程複雜度之間在工業上有一平衡點。當記憶體晶元尺寸減小（及相對地，記憶體密度增加），隨著增加的及更長的製程步驟，用來達成這些記憶體晶元的製造程序是複雜的。該傳統的平衡點可以各種不同的新 NRAM 結構來克服，揭露如下。事實上，新的各種 NRAM 結構達到較小的、更緻密地堆積記憶體陣列，而保持一相當簡單的，典型地僅用來製造較大的記憶晶元的製造流程。保留一簡化的製造流程帶來複數個好處，例如，假如有少數易於錯誤的步驟，易於維持一高產率，及利用某些簡化製造流程可以是最大的節省能源。

新的各種 NRAM 結構揭露在下面，提供更高密度的記憶體使用具有高產率與相當簡單的製造流程的技術。這些 NRAM 結構建構在各種不同合併的參考文獻中揭露的觀念，特別地，美國專利申請號碼 11/835865，標題為非揮發奈米管二極體及非揮發奈米管區塊及使用其裝置的系統及其製造方法。揭露如下的各種 NRAM 結構的具體實施例經過使用複數個結構的特徵提供這些好處。

下面的揭露延伸奈米管區塊的觀念到包括奈米管軌跡及奈米管平面，說明在合併的參考文獻中。使用奈米管軌跡與奈米管平面的記憶體陣列說明在圖 2 與 3，說明在長度如下。以適當的選擇機制，鄰近的記

憶體晶元（位元）可以沿著由一奈米管纖維組成的一連續的軌跡形成。這些鄰近的記憶體位元可以獨立地切換而沒有一位元的狀態干擾在共用奈米管纖維軌跡上一鄰近的位元的狀態。相似地，一陣列的記憶體晶元可以在奈米管纖維的一連續的平面形成，例如一奈米管片，以致可以在平面上任何個別的點選擇個別的位元。鄰近的記憶體位元可以獨立地切換而沒有一位元的狀態干擾在共用奈米管纖維平面上鄰近位元（例如在每一 x 與 y 的方向）的狀態。各種不同的 NRAM 結構使用軌跡與平面以簡化記憶體陣列結構，而保留先前揭露伴隨 NRAM 區塊結構的許多好處。簡化奈米管軌跡與平面結構的一個好處是需要較少的對準及蝕刻步驟以提供一獨立可選擇的記憶體晶元的完成的、操作的陣列。進一步，奈米管軌跡與平面結構是高度地可放大的。特徵尺寸的連續減小，增加用來形成該等特徵的製造技術之需求。例如，通常使用的光微影技術，具有多重間距提供供給 $1F^2$ 的一方式及較小晶元的尺寸。例如，見 USPN 7,253,118 標題為“關於光微影特徵的間距縮小圖紋”，對於雙倍間距的徹底說明，其內容併入本文做參考。

進一步，下面揭露提供各種結構其中軌跡或平面配置覆蓋及與奈米管區塊、軌跡與平面順形。該等金屬軌跡或平面可以被用來形成位元線覆蓋奈米管纖維元件以提供位元線訊號給個別的記憶體晶元。然而之

前，晶元尺寸製造複雜度的平衡點限制記憶體晶元到那些其中奈米管部份被製造在位元線之上，本結構包括 NRAM 晶元具有在奈米管元件之上的一位元線。

如下詳細的說明，經由一種很快速的製造程序（例如短的排程時間），奈米管之上的位元線排列可以使用到很高密度的記憶體陣列。在某些變化，該位元線包含一金屬軌跡覆蓋一奈米管纖維平面；在其它，金屬位元線覆蓋一奈米管纖維軌跡及該等兩層對準以形成一單獨多層軌跡。而在另外的變化，位元線包括一金屬導體平面其順形地配置在一奈米管纖維平面上。這些結構提供某些好處，例如，降低包含在製造程序中對準的數目及蝕刻步驟。高密度記憶體可以利用完成具有非正交元件的記憶體佈局來達成。例如，位元線可以配置非垂直於字元線的角度以容許 $6F^2$ 尺寸高度堆積的晶元及較小的堆積。大量變化在這非正交性的觀念被揭露，每一變化提供某些佈局的好處。

而 NRAM 結構如下揭露的好處克服 NRAM 晶元密度與製造流程簡單化/方便化之間的傳統平衡點，對它們的用途有複數個其它的好處。例如，所揭露的 NRAM 結構可以與由廣泛選擇材料建構的各種選擇機制與裝置（例如二極體、FETs）結合使用。下面的討論詳細說明每一 NRAM 結構及其好處、關鍵特徵及用途。

圖 1 說明根據本發明的某些具體實施例，具有個

別奈米管區塊的一 NRAM 陣列區域的一剖面。NRAM 陣列 100 包括一基材結構或區塊 110 其中內埋底端導電軌跡 120。該等底端導電軌跡可以包括，例如，字元線 (WL) 或位元線 (BL)。配置在底端導電軌跡之上的是上導電軌跡 130 其可以包括，例如 WLS 或 BLs。在 NRAM 陣列 100，底端與上導電軌跡 120, 130 相對於 x-y 平面 (所示) 是垂直排列，但是任何數目的其它結構可以適合在其它的內容。在本實施例，每一底端與上導電軌跡 120, 130 交叉在一垂直區域 (沿 z 軸) 其中配置一個別的奈米管區塊 140。個別的奈米管區塊 140，在每一該交點，形成一主動區域在底端與上導電軌跡 120, 130 之間，提供一垂直的導電路徑在底端與上導電軌跡之間。該垂直導電路徑可以形成或不形成 (對應一低與高電阻路徑) 在導電軌跡之間。

垂直導電路徑的切換機制充份說明在美國專利應用號碼 11/835865 與 11/835613，其全部內容併入本文做參考。每一位元線-字元線組合 (例如底端與上導電軌跡) 選擇一個別的奈米管區塊 140，因此選擇一個別的奈米管記憶體晶元在 NRAM 陣列中。每一奈米管區塊 140 的電阻態因此可程式為代表每一 NRAM 記憶體晶元的一記憶體態。多電阻態 (值) 可以被用來代表多位元邏輯態可程式成相同非揮發奈米管區塊。做為一實施例，一低電阻態及一高電阻態可以用來代表一位元如一邏輯態 1 或一邏輯態 0。或者，三低電阻態

及一高電阻態可以被用來儲存兩位元表示為邏輯的 00，邏輯的 01，邏輯的 10，與邏輯的 11 狀態。而在另一實施例，七個低電阻態及一高電阻態可以被用來代表三個位元等等。美國專利申請號碼 11/835583 與 11/835612，全部內容併入本文做參考，說明每一非揮發奈米管儲存區域具有多電阻態的 NRAM 記憶體。利用對每一奈米管區塊改變電阻態，該等電訊號用來可程式（例如寫入、讀取、擦拭）每一記憶體晶元，充份說明在併入的參考文獻及根據特別應用的各種要求可以被選擇。

圖 2 說明根據本發明的某些具體實施例，具有在底端軌跡上之奈米管軌跡上之導體的一 NRAM 陣列區域的一剖面。該 NRAM 陣列 200 包括一基材結構或區塊 210 其中內埋底端導電軌跡 220。該等底端導電軌跡 220 可以包括，例如，字元線 (WL) 或位元線 (BL)。配置在底端導電軌跡之上的是上導電軌跡 230 配置在一奈米管軌跡層上面 240。該上導電軌跡與奈米管軌跡層，在 NRAM 陣列 200 中，實質上是對準的，得到在奈米管軌跡上的一導體。該等上導電軌跡可以包括，例如 WLS 或 BLs 及該奈米管軌跡層 240 可以包括一區域的奈米管纖維。奈米管纖維詳細說明在併入的參考文獻中。在 NRAM 陣列 200，底端與上導電軌跡 220, 230 相對於 x-y 平面（如所示）是互相垂直排列，但是任何數目的其它結構可以適合在其它的内容。在本實

施例，每一底端與上導電軌跡 220, 230 交叉在一垂直區域（沿 z 軸）形成一主動區域的奈米管軌跡 240 在底端與上導電軌跡 220, 230 之間。

該主動區域的奈米管軌跡 240 在底端與上導電軌跡之間提供一垂直的導電路徑。該垂直導電路徑可以形成或不形成（對應一低與高電阻路徑）在導電軌跡之間。垂直導電路徑的切換機制充份說明在美國專利應用號碼 11/835865 與 11/835613。每一位元線-字元線交點（例如底端與上導電軌跡）選擇一主動區域的奈米管軌跡層 240，因此形成及選擇一個別的奈米管記憶體晶元在 NRAM 陣列中。每一奈米管區塊 240 的電阻態因此可程式為代表每一 NRAM 記憶體晶元的一記憶體態。利用對每一奈米管區塊改變電阻態，該等電訊號用來可程式（例如寫入、讀取、擦拭）每一記憶體晶元，充份說明在併入的參考文獻及根據特別應用的各種要求可以被選擇。

NRAM 陣列 200 沿著每一奈米管軌跡層 240 具有複數個主動區域記憶體晶元，每一主動區域對應一選擇的底端導電軌跡 220。製造每一奈米管軌跡層以致一主動區域可以被控制地在電阻態（例如改變在 z 方向的頂端與底端導電軌跡間的電阻路徑）之間切換而不改變鄰近主動區域的電阻態。多電阻態（值）可以被用來代表多位元邏輯態可程式成相同非揮發奈米管區塊。做為一實施例，一低電阻態及一高電阻態可以

用來代表一位元如一邏輯態 1 或一邏輯態 0。或者，三低電阻態及一高電阻態可以被用來儲存兩位元表示為邏輯的 00，邏輯的 01，邏輯的 10，與邏輯的 11 狀態。或者，七個低電阻態及一高電阻態可以被用來代表三個位元。在此方式，每一位元的記憶體，對應一主動區域的奈米管軌跡層 240，可以被可程式及再被可程式而不干擾鄰近的位元。

在某些應用，NRAM 陣列 200 具有製造的好處。當記憶體陣列技術縮小到較小的尺寸，用來提供記憶體陣列的每一元件之該等蝕刻製程變得嚴格。在本實施例，上導電軌跡 230 實質上與對應的奈米管軌跡層 240 對準，得到在奈米管軌跡上的一導體。為了達到該排列，在一單獨的步驟，一單獨的頂端導體遮罩可以用來蝕刻一連續的導體條及連續的奈米管條。在某些具體實施例，該排列可以簡化用來提供 NRAM 記憶體晶元（例如，與用來製造個別奈米管區塊 140 的多步驟製造程序比較）的製造程序。假如每一蝕刻區域之間的邊界太接近，那些蝕刻邊界可能是較差地定義及每一元件的尺寸可能不被個別地控制。藉由提供需要較少蝕刻步驟的一結構簡化製造程序，可以減少在蝕刻邊界的累積誤差，導致較佳定義的元件。一單獨蝕刻步驟或多重蝕刻步驟可以用來提供在奈米管軌跡上的導體。

各種不同的製造程序可以用來提供如上說明的

NRAM 陣列。在本應用的時刻，發明者利用下列的製程。首先一種硬式遮罩如氮化矽提供在一導體頂端。雖然其它適當的材料也可以使用，一種可能的導電材料是 TiN。接著，使用傳統方法，在本技藝廣泛地已知，可以施加光阻圖紋。接著，使用一 CF_4/Ar 製程可以蝕刻 SiN 層。該蝕刻選擇地移除 SiN 而不明顯地接觸到其下面的 TiN。在蝕刻暴露的 SiN 後，可以使用 O_2 灰化及溶劑剝離法移除光阻。接著，可以使用一種 BCl_3/Cl_2 化學藥劑蝕刻 TiN。先前蝕刻的 SiN 可以用做 TiN 蝕刻（及稍後的奈米碳管蝕刻）的一種遮罩。該奈米碳管（CNT）層接著可以利用一種 O_2/Ar RIE（反應性離子蝕刻）蝕刻製程，如詳細的說明在合併的參考文獻中。在鈍化之前，該製造程序中止在一溶劑剝離法，以清潔該等晶圓。在此應用時刻，本發明者當開發本製造程序，也評估其他製造步驟。上面說明的製程應該被解釋為非限定的及一具體實施例的說明。其他方法及材料可被思考及可以被熟悉本技藝的人士使用。

圖 3 說明根據本發明的某些具體實施例，在底端軌跡上之一奈米管平面上具有一導體軌跡的一 NRAM 陣列區域的一剖面。NRAM 陣列 300 相似於描述在圖 1 與圖 2 的陣列，除了包括一連續片的奈米管層沒有被分割成個別的軌跡或區塊。該 NRAM 陣列 300 包括一基材結構或區塊 310 其中內埋底端導電軌跡 320。該等

底端導電軌跡 320 可以包括，例如，字元線 (WL) 或位元線 (BL)。配置在底端導電軌跡之上的是一連續片奈米管 340。該片形成一平面近似順形到該基材結構或區塊 310 的上表面及底端導電軌跡 320 的上表面。在某些具體實施例，奈米管片 340 可以包括具有一網狀的未對準奈米碳管的一奈米管纖維。配置在一奈米管片 340 上的是上導電軌跡 330 其可以包括，例如 WLS 或 BLs。在 NRAM 陣列 300 中，底端與上導電軌跡 320, 330 相對於 x-y 平面 (如所示) 是互相垂直排列，但是任何數目的其它結構可以適合的在其它的情況。在本實施例，每一底端與上導電軌跡 320, 330 交叉在一垂直區域 (沿 z 軸) 形成一種物理的 NVNT 區塊位元區域及被插入在該垂直區域的軌跡 320 與 330 之間之一主動區域的奈米管片 340 分隔。

每一主動區域的奈米管片 340，在底端與上導電軌跡 320 與 330 之間，提供一垂直的導電路徑在導電軌跡間。其它的用在主動區域及導電路徑的方位被看到及與本文說明的觀念一致。該垂直的導電路徑可以形成及不形成 (對應一低與高電阻路徑) 在導電軌跡之間。多重低電阻態與一高電阻態可以儲存在每一物理位元區域，如關於圖 1 及 2 的如上面進一步的說明。

對於垂直導電路徑的切換機制充份說明在專利申請號碼 11/835865 與 11/835613。每一位元線-字元線交點或組合 (例如底端與上導電軌跡) 選擇一個別的

主動區域之奈米管片 340，因此在 NRAM 陣列中選擇一個別的奈米管記憶體晶元。每一主動區域之奈米管片 340 的電阻態因此可程式為代表每一 NRAM 記憶體晶元的一記憶體態。利用對每一主動區域之奈米管片改變電阻態，該等電訊號用來可程式（例如寫入、讀取、擦拭）每一記憶體晶元，充份說明在併入的參考文獻及根據特別應用的各種要求可以被選擇。該 NRAM 陣列 300 被建構及排列以增進在垂直導電路徑的電流而使沿著奈米管片 340（x-y 平面，在本例中）的平面為最小的水平導電性。

目前說明在圖 3 的 NRAM 陣列能夠得到高密度記憶體其中晶元間間距受到上方及下方導電軌跡 320 與 330 的尺寸以及那些軌跡間間距之限制。製造限制（例如蝕刻區域、遮罩尺寸之間的邊界）幫助決定晶元間間距及記憶體晶元它們的大小。因為一單獨的遮罩可以被用來蝕刻上導電軌跡及沒有需要蝕刻步驟以定義奈米管片 340，製造程序經關於圖 1 與 2 說明的那些製程而被簡化。該簡化的製造程序在某些應用可以是有好處的。如那些熟悉本技藝人士所知，一較淺蝕刻及減少製程步驟將導致較小的外貌、較低的應力、減少成本（由於較少蝕刻步驟）、及較低的微粒子，最終地提供一較低成本及較高的產率製程。

圖 4A-C 說明根據本發明的某些具體實施例，在奈米管軌跡上導體之橫截面。圖 4A 描述一部份 NRAM

記憶體陣列 400-1 的 x-z 平面之橫截面，如參考圖 2 的說明。兩個底端導電軌跡 420 內埋在基材 410 中。奈米管軌跡 440 覆蓋底端導電軌跡 420 及基材 410。上導電軌跡 430 覆蓋及實質上與奈米管軌跡 440 對準，成為一在奈米管軌跡上的導體。圖 4B 描述一部份 NRAM 記憶體陣列 400-1 的 y-z 平面之橫截面。奈米管軌跡 430 及 440 上的導體覆蓋底端導電軌跡 420。圖 4C 描述一部份 NRAM 記憶體陣列 400-2 的 y-z 平面之橫截面，其中一絕緣體如四乙基正矽酸鹽 (TEOS)，例如，已被沉積及被平坦化。奈米管軌跡 430 及 440 上的導體覆蓋底端導電軌跡 420 及被沉積鄰近於奈米管軌跡上的導體之絕緣體 410。除了 TEOS，可以使用其它的絕緣體如：氮化矽、碳氮化矽、氧氮化矽、氧化鋁、低 k 介電體如氟化 SiO_2 ，旋鍍在低 k，空氣隙，或前面提到材料的任何層的組合或混合物上。各種其它的材料是可能的，對它們用途的主要判斷是所得區域提供 CNT 區塊與金屬軌跡相鄰間的絕緣。

圖 5A-C 說明根據本發明的某些具體實施例，在奈米管平面上導體之橫截面。圖 5A 描述一部份 NRAM 記憶體陣列 500-1 的 x-z 平面之橫截面，如參考圖 3 的說明。兩個底端導電軌跡 520 內埋在基材 510 中。奈米管片層 540 覆蓋底端導電軌跡 520 及基材 510。上導電軌跡 530 覆蓋及實質上順形在奈米管片層 510，成為一在奈米管平面上導體的安排。圖 5B 描述一部份

NRAM 記憶體陣列 500-1 的 y-z 平面之橫截面。奈米管平面安排的 530 及 540 上的導體覆蓋底端導電軌跡 520。圖 5C 描述一部份 NRAM 記憶體陣列 500-2 的 y-z 平面之橫截面，其中一絕緣體如 TEOS，例如，已被沉積及被平坦化形成絕緣體區域 510。奈米管平面上的導體安排的 530 及 540 覆蓋底端導電軌跡 520 及絕緣體 510 被沉積鄰近於上導電軌跡 530。除了 TEOS，可以使用其它的絕緣體如：氮化矽、碳氮化矽、氧氮化矽、氧化鋁、低 k 介電體如氟化 SiO_2 ，旋鍍在低 k，空氣隙，或前面提到材料的任何層的組合或混合物上。如上面提及，各種其它的材料是可能的，對它們用途的主要判斷是所得區域提供 CNT 區塊與金屬軌跡相鄰間的絕緣。

用來形成在圖 5B 描述的結構之各種方法是經熟慮的。在一實施例，可以形成導體 530 而不蝕刻（移除）到其下的奈米管平面 540 之區域。而且，因為奈米管平面 540 是平面的，可以形成導體 530 而不蝕刻到其下不想要的導體 520 之區域。在本應用的同時，本發明者已發現當使用上面說明的蝕刻步驟時，該 TiN 蝕刻部份不攻擊到奈米碳管（例如奈米管平面 540）。事實上，蝕刻部份的出現改變該等奈米碳管在該方式以致其變成使用 O_2 電漿移除該等奈米管更加困難。在本特別的方法，例如，以 BCl_3/Cl_2 化學藥劑蝕刻 TiN 提供對其下的奈米碳管纖維蝕刻的選擇。因為導體層

520 配置在奈米碳管纖維（例如 540）下面，期望導體層 520 將不被蝕刻攻擊。換句話說，奈米碳管纖維（例如 540）將保護其下的導體 520。在前面的具體實施例，使用來蝕刻奈米碳管纖維的化學藥劑是 O_2/Ar ，其不攻擊導體或介電體，以致在那些具體實施例的下面導體也將不受影響。本發明者想像製造本結構的各種其他方法，用來形成該 NRAM 結構的上面說明的實施例可以如說明的被建構及非限制的。

圖 6A-D 說明根據本發明的某些具體實施例，在導體結構上奈米管軌跡之橫截面。圖 6A 描述一部份 NRAM 記憶體陣列的 x-z 平面之橫截面。該奈米管軌跡是在相對的導體之上。兩個底端導電軌跡 620 內埋在基材 610 中。奈米管軌跡 640 覆蓋及實質上與底端導電軌跡 620 對準形成在導體軌跡上的奈米管。圖 6B 描述參考圖 6A 說明的一部份 NRAM 記憶體陣列的 y-z 平面之橫截面。圖 6C 描述一部份 NRAM 記憶體陣列 600-1 的 x-z 平面之橫截面，其中參考圖 6A 與 6B 說明一上導電軌跡 630 配置在導體軌跡上的奈米管之上。圖 6D 描述一部份 NRAM 記憶體陣列 600-2 的 y-z 平面之橫截面。圖 6D 表示，除了描述在圖 6C 的元件之外，一絕緣體如四乙基正矽酸鹽（TEOS），例如，被沉積及被平坦化形成絕緣體區域 610 在上導電軌跡 630 兩側。除了 TEOS，可以使用其它如那些參考圖 4A-C 及圖 5A-C 在上面說明的絕緣體。

描述在圖 6A-B 的結構可以根據各種方法製造。在一導體下面形成一奈米管軌跡可以利用複數個方法達成，一個實施例的變化說明在下列步驟中。首先，可以沉積一導體，接著沉積一奈米碳管纖維區域（可以從其形成奈米管軌跡 640）。接著可以沉積一最後的犧牲材料以致該犧牲材料填滿該等在奈米管纖維內的小空間及/或孔隙。這得到一奈米碳管犧牲材料填充層。犧牲材料的例子包括 ALD 的 Al_2O_3 或 CVD 的 Ti，或某些其它適當的材料其可以被選擇性移除而不傷害該等奈米碳管，其下面的導體或配置在導體之下的介電層。接著該奈米碳管犧牲材料填充（CNT/填充）可以被選擇性地蝕刻到下面的導體。該下面的導體層可以使用該 CNT/填充層做一硬式遮罩接著被蝕刻。接著移除光阻。下一步，奈米碳管層與導體之間的間隙以一如上面說明的那些介電材料填充，及化學機械研磨製程（CMP），典型地使用在半導體製造，可以用來暴露出奈米碳管纖維。可以沉積及形成頂端導體的圖紋，同時可以使用已知技藝的一濕式化學技術移除該犧牲材料。本發明者想見取代的製造方法及上面的實施例可以如說明的被建構及非限制的。

圖 7A-E 說明根據本發明的某些具體實施例，具有頂端金屬接觸在導體軌跡上奈米管之橫截面。圖 7A 描述一部份 NRAM 記憶體陣列的 x-z 平面之橫截面。該奈米管軌跡 740 覆蓋及實質上與兩個底端軌跡 720

對準。頂端金屬接觸 750 覆蓋及實質上與奈米管軌跡及兩個底端軌跡對準，成為在導體軌跡上的奈米管具有頂端金屬接觸。而在本特別實施例說明的頂端接觸 750 為金屬，該頂端接觸 750 可以包括任何其它適當的材料（例如金屬性奈米管纖維等）。可以使用各種不同的導體，合金，及半導體，包括但不限定：金屬性 CNT's、Ti、TiN、Al、Ta、TaN、Cu、Ru、RuO、Pd、Co、CoSi_x、Ni、NiSi_x、TiSi_x、Si（摻雜的）、Pt、PtSi_x、Au、Ag 或上面任何層狀的組合或合金。前面提到的軌跡內埋在基材 710 中。圖 7B 描述參考圖 7A 說明的結構之 y-z 平面之橫截面。

圖 7C 描述參考圖 7A 說明的結構之 x-z 平面之橫截面但表示一上導體軌跡 730 配置在頂端金屬接觸 750 上，利用頂端金屬接觸 750 與周圍基材材料 710 順形形成到結構的一上表面。在圖 7C 中，其中垂直導電可以被可變的控制的主動區域，包括前面提到的軌跡（720, 740, 750）相交上導電軌跡（730）的該區域。圖 7D 描述具有兩相交軌跡元件的一 y-z 平面之橫截面。第一相交軌跡元件包括奈米管軌跡 740 覆蓋及實質上與底端導電軌跡 720 對準。第二相交軌跡元件包括上導電軌跡 730 覆蓋及實質上與頂端金屬接觸 750 對準。在圖 7D 中，其中垂直導電可以被可變控制的該主動區域包括前面提到的軌跡相交的該區域。圖 7E 描述一 NRAM 陣列 700-2 的 y-z 平面之橫截面。該結構

相似於參考圖 7D 的說明但更加地包括絕緣體區域 710 配置在第二相交軌跡元件的兩側。絕緣體 710 相似於絕緣體區域 510 與 610，個別參考圖 5 與 6 進一步的說明如上。

描述在圖 7A-D 的結構可以根據如上說明的各種不同方法製造。在本應用的同時，本發明者已發現在上面揭露的製造方法在下面的變化是有用的。結構的頂端導體可以沉積為一雙層堆疊。該堆疊接著可以使用典型地伴隨著蝕刻那些材料（適合一選擇的材料對應的蝕刻可以選擇利用熟悉技藝之一）的化學藥劑蝕刻。具有填充犧牲材料（CNT/填充，說明如上）孔隙的奈米碳管纖維於是可以提供一適當的蝕刻終止。接著可以移除該犧牲材料及頂端雙層導體間的間隙可以如那些說明在上面其它具體實施例的一介電體填充。

圖 8 說明根據本發明的某些具體實施例，在奈米管軌跡或平面上導體之橫截面，表示兩鄰近位元的電性狀態之圖示。圖 8 之圖示表示第一物理位元區域（左邊）在一或更多低電阻態（低 R 態）及第二位元（右邊）在一高電阻態（高 R 態）。多重低電阻態及一高電阻態可以儲存在每一物理位元區域如進一步說明在上面參考的圖 1 及 2。

NRAM 陣列 800 的區段包括配置在基材 810 中左邊及右邊的底端導電軌跡或接觸 820。奈米管層 840（其包括一奈米管軌跡或奈米管平面）配置在基材及

底端導電軌跡 820 上。上導電軌跡 830 配置在奈米管層 840 上獲得在奈米管軌跡平面上一導體的排列。可以控制沿 x-y 平面的導電以致沿 z 方向可以具有一顯著的電流路徑。第一與第二位元可以是實質上無關地切換而沒有一位元的電阻態影響其它位元的電阻態。這是因為在一選擇部份的奈米管層 840 中一電阻態的邊緣效應可以實質上最小化。圖 19，說明在下面，說明使用詳細在圖 8 中本 NRAM 位元陣列排列及切換機制的測試結構。對該測試結構所得的數據，表示在圖 20 中，對應於儲存在圖 8 所示結構的位元。

在一低電阻態的位元提供一主要地垂直的導電路徑沿著該電刺激經由奈米管層 840 流動在底端與上端導電軌跡 820, 830 之間，如圖 8 中垂直方向的箭頭所示。電流沿著最小電阻的路徑將流動在奈米管層 840 之內—在本具體實施例，該陣列被建構及排列以致最小電阻的該路徑是沿著 z 方向。如詳細說明在美國專利號碼 6706402，美國專利申請號碼 11/835583，11/835612，11/835865，11/835613，及美國專利申請號碼 11/546103，其全部併入本文做參考，該奈米管層可以包括一未編織的多層纖維由相交及交叉奈米管形成的具有複數個可控制地導電路徑。在低電阻態，該未編織的多層纖維主要是沿著複數個奈米管路徑導電的。

在一高電阻態中第二位元提供一主要電阻的電

通路在底端與上端導電軌跡 820, 830 之間通過奈米管層 840, 由通道或通孔 842 所示。通道或通孔形成一高度電阻的區域在底端接觸 820 周圍的奈米管層 840, 因此電性上隔離底端導電軌跡與上導電軌跡。在其它的具體實施例, 通道或通孔 842 可以形成在上端導電軌跡 830 周圍的奈米管層 840 中。為了形成高電阻態及通道或通孔 842, 選擇施加到底端及頂端導電軌跡的電刺激以致在選擇的位元中的奈米管層 840 被擦拭 (在一高電阻態) 及該等奈米管網路成為實質上非導電的。奈米管切換行為, 通道形成/均勻化, 及熔絲/反熔絲開關詳細說明在併入的參考文獻中, 特別地, 美國專利申請號碼 11/280786, 11/835583, 11/835612 及 11/835613。各種不同切換機制被思考及說明在併入的參考文獻中。

圖 9 說明使用相交的正交陣列線形成交點非線性電阻器陣列 900 的圖示。正交陣列線的相交在相對應的交點形成 NVNT 區塊。該交點陣列可以達到一位元物理區域密度 $4F^2$ 。如果使用如參考上面圖 1 及 2 那些討論的多重電阻值, 那麼縱然更大的位元密度是可能的。例如, 假如使用四個電阻態, 兩個位元被儲存在每一物理的位元區域, 實現一有效的位元密度 $2F^2$; 每一區域四位元導致一有效位元密度 $1F^2$; 等等。

根據本發明某些具體實施例, 非線性交點電阻器陣列 900 表示一選擇性的位元具有非線性電阻器 R1

及”寄生”通路通過經非線性電阻器 R2 之未選擇的位元區域。在本實施例，一 N 乘 N 陣列的位元包括一 6x6 的陣列 900 之奈米管非線性電阻器開關。每一奈米管非線性電阻器開關可以個別地在第一與第二電阻態間切換。例如，第一電阻態可以是一低電阻態及第二電阻態可以是高電阻態。在陣列 900 中，非線性電阻器 R1 代表一選擇性位元區域在行陣列線 1 與列陣列線 F 之相交處。當電壓 V 施加到行陣列線 1 及列陣列線 F 接地時，電流可以在行陣列線 1 及列陣列線 F 之間經非線性電阻器 R1 以直流路徑流過。然而，非直流電流也可以在行陣列線 1 及列陣列線 F 之間經電阻器 R2 以多重路徑流過，如在陣列 900 之說明。因為在行陣列線 1 及列陣列線 F 之間非直流路徑流過，除非是小陣列尺寸，其可能困難決定是否具有非線性電阻的一選擇位元區域是在低電阻態或一高電阻態。

在陣列 900 中，有複數個可能的非線性電阻的組合。在本實施例，假設第一電阻器 R1 是在一低電阻態。在各種陣列區域的非線性電阻器 R2 可以在低或高電阻值及任何組合的直流及非直流路徑流動導致在行陣列線 1 及列陣列線 F 之間的一低電阻態讀取。然而，假如電阻器 R1 是在一高電阻態，及某些或縱然所有在各種陣列區域的非線性電阻器 R2 是在一低電阻態，那麼非直流路徑的組合流動也導致在行陣列線 1 及列陣列線 F 之間的低電阻態讀取。如此施加除非該陣列是

小尺寸，例如小於 10×10 位元。對大的陣列，可以包括一 FET 晶元選擇裝置以形成 NRAM 陣列晶元如併入的參考文獻，美國專利申請號碼 11/835613，所說明。或者可以包括一二極體調節裝置以形成 NT 二極體記憶體陣列如併入的參考文獻，美國專利申請號碼 11/835865，所說明。

圖 10 說明根據本發明的某些具體實施例，用做邏輯路由開關的交點非線性電阻器陣列的圖示。在本實施例，一 N 乘 N 陣列的位元包括一 6×6 陣列的奈米管電阻器開關。串聯及陣列形成的電阻可以在高及低電阻態間選擇性切換。對應一電阻器開關的每一 NV NT 區塊可以個別地切換或調變。一種選擇機制區分在一低電阻態具有一個別電阻器元件之間的字元或位元線。如上所提示，在陣列中每一電阻器元件可以包括一奈米管切換元件如那些參考圖 9 與先前各圖的說明。該等非線性電阻器陣列可以被建構包括使用在邏輯路由開關應用的緻密奈米管切換網路。一種運算可以被用來減少或消除非直流路徑的效應及使用在邏輯切換應用的大交點非線性電阻器陣列 1000 而不需要加入選擇裝置或二極體調節裝置在每一交點晶元區域。

如從圖 9 與 10 的說明驗證，一 NRAM 陣列可以與一擷取裝置成對，特別地瞄準在陣列中個別的晶元為目標。典型地，該非直流的”寄生”路徑流過實際限

制在一陣列尺寸上的地方。由於陣列中的串-並聯電阻發生電流洩漏-沿著該寄生路徑-產生需要一選擇的擷取裝置。圖 9 特別地說明在一高陣列密度，交點開關形成非揮發奈米管非線性開關（電阻）。如利用物理密度 $4F^2$ 與多位元儲存密度兩者的判斷準則所量測，該高陣列密度是實質上可實現的最大陣列密度。圖 10 說明一交點邏輯矩陣開關沒有任何邏輯矩陣尺寸的限制。圖 10 說明實質上最緻密的可實現交點邏輯矩陣。在某些具體實施例，可以控制該高密度陣列具有一主動區域及一非主動區域。在該等例子，主動區域可以具有個別的記憶體晶元其如上所討論每一是可程式化，而非主動區域不是保持一不變的高電阻態就是不變的低電阻態。在該具體實施例，當僅一部份記憶體陣列是在使用下，可以操作一記憶體陣列以減少功率消耗。

圖 11A 說明根據本發明的某些具體實施例，在底端接觸上之奈米管軌跡上的導體之橫截面。一陣列的個別底端接觸 1120 可以取代參考上面圖 2 等說明的底端軌跡。一上導電軌跡層 1130 配置在上方及實質上與一奈米管軌跡層 1140 對準以形成在奈米管軌跡上的一導體。該在奈米管軌跡上的一導體配置在上方、對準、及與個別底端接觸 1120 的陣列接觸以形成一陣列的奈米管記憶體晶元。每一奈米管記憶體晶元包括一切換機制因而在底端接觸 1120 與上導電軌跡層 1130 間的奈米管層 1140 的電阻態是可控制地改變。每一底

端接觸 1120 可以與一選擇擷取裝置（未表示出）如一 CMOS 型式擷取裝置，一 PN 或 NP 二極體，一雙極裝置，或任一適當的普通選擇擷取裝置連接。

圖 11B 說明根據本發明的某些具體實施例，在底端接觸上之奈米管平面上的導體之橫截面。一陣列的個別底端接觸 1120 可以取代參考上面圖 3 等說明的底端軌跡。一上導電軌跡層 1130' 配置在上方及實質上與一奈米管軌跡層 1140' 對準以形成在奈米管平面上的一導體。該在奈米管平面上的一導體配置在上方及與一陣列的個別底端接觸 1120 的陣列接觸以形成一陣列的奈米管記憶體晶元。每一奈米管記憶體晶元包括一切換機制因而在底端接觸 1120' 與上導電層 1130' 間的奈米管層 1140' 的電阻態是可控制地改變。而圖 11B 定出具有個別底端接處一連續奈米管片的特徵，對每一晶元的切換機制相似於併入參考的 NAN-116 之說明，其中具有個別地蝕刻二極體與開關區塊。

在某些應用，產生個別的底端接觸而不是底端導電軌跡，可以有製造的好處，如圖 11A 與 11B 所示。在該等應用也可以是功能性的好處，因此鄰近的晶元可以緊密對準而沒有一晶元干擾下一晶元的切換狀態（例如可以減少訊號的擴散）。電阻態間的切換機制已是參考前面各圖的說明。

圖 12 說明根據本發明的某些具體實施例，在底端接觸、調節二極體、及底端軌跡上之奈米管軌跡上

的導體之橫截面。一陣列的個別底端接觸 1220 可以取代參考上面圖 2 等說明的底端軌跡。一上導電軌跡層 1230 配置在上方及實質上與一奈米管軌跡層 1240 對準以形成在奈米管軌跡上的一導體。該在奈米管軌跡上的導體配置在上方、對準、及與個別底端接觸 1220 的陣列接觸以形成一陣列的奈米管記憶體晶元。每一奈米管記憶體晶元包括一切換機制因而在底端接觸 1220 與上導電軌跡層 1230 間的奈米管層 1240 的電阻態是可控制地改變。

每一底端接觸 1220 與一選擇擷取裝置連接-在本例中，是一二極體 1222。各種其他的選擇裝置，例如可以取代地使用 FET 裝置。該選擇二極體 1222 插入在一基材 1210 與對應的個別底端接觸 1220 之間。該等選擇二極體 1222 配置在一陣列中與配置在基材 1210 中的選擇軌跡 1221 接觸。每一二極體包括一陽極及陰極區域-根據特定製造限制及特定應用的操作要求可以選擇形成這些區域的該等材料，如在美國專利申請號碼 11/835865 的說明。圖 12 所示是具有一陽極的選擇二極體與選擇軌跡 1221 接觸及在一陽極 (ANODE) 與一 N 摻雜的多晶矽區域 (N POL) 間形成一蕭特基能障二極體。一 N+ 摻雜的多晶矽區域被用來形成到 N POL 陰極及接觸底端接觸 (B-CONT) 的一歐姆接觸。可以選擇一 N+ 區域以確保與 B-CONT 導體及也與 N POL 區域的一良好歐姆接觸。在某些具體實施例，與

B-CONT 導體與 N POL 間的一直接接觸因為其可能形成一蕭特基二極體（如在 N POL 與 ANODE 導體間的例子）可能會有問題及所需的二極體調節行為將被限制。該效應是工業已知的及詳細說明在併入的參考文獻中。形成陰極（N POL）以致使在 N POL 與陽極（ANODE）區域的蕭特基二極體特性最佳化。選擇接觸（B-CONT）以與奈米管纖維區域（通孔底端接觸 1220）形成一近歐姆的低電阻區域，而也形成與陰極（N POL）的一低電阻接觸。在某些具體實施例，該選擇二極體 1222 可以是一金屬的接面蕭特基二極體。注意該選擇二極體 1222 是形成在 ANODE 與 N POL 間的表面。或者，選擇二極體 1222 可以包括 ANODE, N POL 與 N+ POL。

由本發明者想像的各種建構的選擇二極體 1222 及詳細揭露在併入的參考文獻，美國專利申請號碼 11/835865。該等選擇二極體可以包括半導體材料、金屬材料及，在某些具體實施例，奈米管材料。各種不同的實施例材料及建構說明在下面的各段中。

具 N+多晶矽圖紋層的半導體可以用做一蕭特基二極體 1222 接觸及做為一陣列的連接線。例如，N+多晶矽半導體可以是矽或鍺及典型地摻雜到 10^{20} 個摻雜物原子/cm³ 具有一電阻 0.04Ω/平方。而該半導體可以被用做一陣列線，在 N+多晶矽半導體層與一絕緣體層的表面之間可以利用沉積 N+多晶矽半導體在一矽化

鉬導體上形成一較低的電阻陣列線。形成一種第二 N-多晶矽或鍺半導體圖紋的層（半導體），與第一半導體層接觸，典型地摻雜在 10^{14} 到 10^{17} 個摻雜物原子/cm³ 的範圍，具有一電阻 15Ω/平方及形成蕭特基二極體 1222 的陰極終端，其被用做一晶元的選擇裝置。例如摻雜物可以是砷、磷及銻。該等多晶矽導體及典型地 400nm 厚及 2μm 寬。

一個或更多個選擇二極體 1222 包括一或更多個下面的特徵。該陽極包括一導體材料及陰極包括一半導體材料。該陽極材料包括至少 Al, Ag, Au, Ca, Co, Cr, Cu, Fe, Ir, Mg, Mo, Na, Ni, Os, Pb, Pd, Pt, Rb, Ru, Ti, W, Zn, CoSi₂, MoSi₂, Pd₂Si, PrSi, RbSi₂, TiSi₂, WSi₂ 及 ZrSi₂ 之一。該陽極可以包括一種第一型式的一半導體材料及該陰極包括一種第二型式的一半導體材料。第一型式的半導體材料可以是正摻雜的，第二型式的半導體材料可以是負摻雜的，及該半導體元件形成一 PN 界面。而在其它具體實施例，一種奈米管纖維層可以被用來形成選擇二極體 1222 的陰極終端。該奈米管纖維元件形成的陰極可以實質上是垂直地或水平地配置及可以包括一非編織多層的纖維具有一厚度在近似 20nm 與近似 200nm 之間。而在其它具體實施例，該選擇元件 1222 不是一個二極體而是一種場效電晶體。

在每一種該具體實施例，該選擇裝置被建構成適合與底端導電接觸 1220 接觸，其結果被建構成適合與

奈米管層 1240 接觸。在某些具體實施例，底端導電接觸 1220 包括具有一底端部份的一雙層材料選擇用來與選擇裝置 1222 接觸及一上端部份選擇用來與奈米管層 1240 接觸。在本例中可選定該等材料選擇使選擇裝置 1222 與奈米管層 1240 間的電阻最小。

圖 13A-D 說明根據本發明的某些具體實施例，具有奈米管區塊、頂端及底端接觸與位元線上奈米管結構之 NRAM 晶元的平面圖示與橫截面圖示。

圖 13A 說明 NRAM 記憶體陣列的一平面圖表示使用 NVNT 區塊開關做為非揮發儲存裝置在或接近記憶體陣列結構頂端的四個記憶體晶元。圖 13A 特別地表示在一陣列中一 NRAM 晶元，其中該等參考線 (RL) 及字元線 (WL) 實質上是平行的。該等位元線 (BL) 實質上是垂直於 RL 及 WL，該接合相交處定義在陣列中一單獨的 NRAM 晶元，如描繪左邊及右邊底端晶元粗體虛線的標註。個別奈米碳管區塊或支柱 (CNT BLOCK) 定義主動開區域 (SW) 及在圖中利用粗體虛線的輪廓描繪左邊及右邊的底端晶元。

圖 13B 表示圖 13A 的 NRAM 晶元陣列結構的一橫截面。圖 13B 說明沿區段 A1-A1' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用絕緣的 NVNT 區塊開關進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有參考線 (RL) 及字元線 (WL) 實質上是平行的。

該等位元線 (BL) 實質上是垂直於 RL 及 WL。該等奈米管層 (例如 CNT 區塊) 配置在該等位元線之上。個別奈米碳管區塊或支柱 (CNT BLOCK) 定義非揮發奈米管開關 (NV NT SWITCH) 的主動開關區域 (SW) 由細點線輪廓所描繪。在陣列中每一 NRAM 晶元, 包含該 NV NT SWITCH, 利用粗體虛線的輪廓描繪左邊及右邊的晶元。

如圖 13A 與 B 所示結構的某些具體實施例, 可以使用一晶元選擇電晶體。一晶元選擇電晶體包括形成在矽基材 (個別地 N+ 與 PSUB 區域) 中的源極與汲極。以側壁間隙物製造的一閘極, 是陣列位元線的部份, 其形成閘極區域及陣列交連線, 及使用已知的 FET 裝置操作方法控制通道區域 ON 與 OFF 的狀態。或者, 一分離的字元線導體 (未表示出) 可以用來交連選擇裝置, 如說明在圖 13A 與 13B 的晶元選擇電晶體, 的閘極區域。內埋在一介電基材中導電的行提供一導電的路徑其形成一種第一底端接觸終端到 NV NT 區塊開關的 NV NT 區塊。一種第二頂端接觸終端 RL 到 NV NT 區塊被用做一頂端接觸終端及當定義自我對準的 NV NT 區塊側表面時, 可以被用做一遮罩, 如進一步說明在併入的專利參考文獻中。在某些具體實施例, 頂端接觸終端 RL 接觸第二字元線。左邊的 NV NT 區塊開關是右邊 NV NT 區塊開關的一鏡面映象。

每一晶元選擇電晶體的汲極接觸導電的行, 其接

著接觸 NV NT 開關。一導電的區段也接觸記憶體陣列位元線連接具有位元線擴散的汲極。該汲極與一鄰近的晶元共用（在圖 13A 或 13B 中沒看見）。因為緊密的 3 維頂端及底端接觸區塊開關幾何（結構），該等記憶體晶元如那些形成具有如 NV NT 儲存節點的 NV NT 區塊開關之 NRAM 記憶體陣列，形成緻密的晶元。在某些具體實施例，記憶體晶元區域（台面面積）估計近似 $12-15F^2$ 面積，其中 F 是一最小的技術節點尺寸。當形成該晶元結構時，被用進一步假設自我對準的垂直導電的行。該堆疊的接觸與填充的通孔（垂直的導體）詳細說明在合併的參考文獻。假如垂直的導體不是自我對準，在某些具體實例中的該晶元面積估計成長超過 2 倍的尺寸（台面面積），到大於 $30F^2$ 。

圖 13C 說明 NRAM 記憶體陣列的一平面圖，表示四個記憶體晶元其使用 NV NT 區塊開關做為在或接近記憶體陣列結構頂端的非揮發儲存裝置。圖 13C 特別地表示在一陣列中一 NRAM 晶元，其中該等參考線（RL）及位元線（BL）實質上是平行的。該等字元線（WL）實質上是垂直於 RL 及 WL，該相交處定義在陣列中的一單獨的 NRAM 晶元，如粗體虛線標註的左邊及右邊底端晶元描繪的輪廓。個別奈米碳管區塊或支柱（CNT BLOCK）定義主動開關區域（SW）及在圖中利用左邊及右邊底端晶元的粗體點線描繪的輪廓。

圖 13D 表示圖 13C 的 NRAM 晶元陣列結構的一橫截面。圖 13D 說明沿區段 A2-A2' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用絕緣的 NV NT 區塊開關進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有參考線 (RL) 及位元線 (BL) 實質上是平行的。該等字元線 (WL) 實質上是垂直於 RL 及 BL。該等奈米管層 (例如 CNT 區塊) 配置在該等位元線之上。個別奈米碳管區塊或支柱 (CNT BLOCK) 定義非揮發奈米管開關 (NV NT SWITCH) 的主動開關區域 (SW) 是由細點線所描繪的輪廓。在陣列中每一 NRAM 晶元, 包含該 NV NT SWITCH, 是利用粗體虛線描繪左邊及右邊晶元的輪廓。

在那些具體實施例, 其中 RL 與 BL 實質上是平行的, 如圖 13C-D 所示, 使用選擇線路如晶元選擇電晶體。本具體實施例所示的晶元選擇電晶體實質上是與那些說明在上面的圖 13A-B 相同。

圖 14A-D 說明根據本發明的某些具體實施例, 具有奈米管軌跡、頂端及底端接觸與位元線上奈米管結構之 NRAM 的平面圖示與橫截面圖示。描述在圖 14A-D 的該等結構提供 NRAM 陣列具有一奈米管軌跡之具有切換結構的詳細圖示, 參考圖 2 的說明。

圖 14A 說明 NRAM 記憶體陣列的一平面圖, 表示四個記憶體晶元其使用 NV NT 區塊開關做為在或接

近記憶體陣列結構頂端的非揮發儲存裝置。圖 14A 特別地表示在一陣列中一 NRAM 晶元，其中該等參考線 (RL) 及字元線 (WL) 實質上是平行的。該等位元線 (BL) 實質上是垂直於 RL 及 WL，該相交處定義為在陣列中的一單獨的 NRAM 晶元，如粗體虛線描繪左邊及右邊底端晶元輪廓的標註。該等奈米碳管軌跡 (CNT TRACE) 配置對準於與實質上順形於 RL。該等在奈米管軌跡上結合的 RL 導體配置在 BL 之上。在每一晶元，CNT TRACE 具有一主動開關區域 (SW)，如參考圖 2 與 8 的說明。

圖 14B 表示圖 14A 的 NRAM 晶元陣列結構的一橫截面。圖 14B 說明沿區段 A3-A3' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用的絕緣的 NV NT 軌跡開關進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有參考線 (RL) 及字元線 (WL) 實質上是平行的。該等位元線 (BL) 實質上是垂直於 RL 及 WL。該等奈米管軌跡 (CNT TRACE) 配置對準於與實質上順形於 RL。該等在奈米管軌跡上結合的 RL 導體配置在 BL 之上。該等奈米管軌跡 (CNT TRACE) 包括由細點線所描繪一非揮發奈米管開關 (NV NT SWITCH) 的主動開關區域 (SW) 的輪廓。在陣列中每一 NRAM 晶元，包含該 NV NT SWITCH，是利用粗體虛線描繪左邊及右邊晶元的輪廓。

圖 14C 說明 NRAM 記憶體陣列的一平面圖，表示四個記憶體晶元，其使用 NV NT 軌跡開關做為在或接近記憶體陣列結構頂端的非揮發儲存裝置。圖 14C 特別地表示在一陣列中一 NRAM 晶元其中該等參考線 (RL) 及位元線 (BL) 實質上是平行的。該等字元線 (WL) 實質上是垂直於 RL 及 BL，該相交處定義為在陣列中一單獨的 NRAM 晶元，如粗體虛線描繪左邊及右邊底端晶元輪廓的標註。該等奈米管軌跡 (CNT TRACE) 配置對準於與實質上順形於 RL，具有 RL 配置在 CNT TRACE 之上。在每一晶元，CNT TRACE 具有一主動開關區域 (SW)，如參考圖 2 與 8 的說明。

圖 14D 表示圖 14C 的 NRAM 晶元陣列結構的一橫截面。圖 14D 說明沿區段 A4-A4' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用的絕緣的 NV NT 軌跡開關進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有參考線 (RL) 及位元線 (BL) 實質上是平行的。該等字元線 (WL) 實質上是垂直於 RL 及 BL。該等奈米管軌跡 (CNT TRACE) 配置對準於與實質上順形於 RL，具有 RL 層在 CNT TRACE 之上。該等在奈米管軌跡上結合的 RL 導體配置在 BL 之上。該等奈米管軌跡 (CNT TRACE) 包括由細點線所描繪非揮發奈米管開關 (NV NT SWITCH) 的主動開關區域 (SW) 的輪廓。在陣列中每一 NRAM 晶元，包含該 NV NT

SWITCH，是利用粗體虛線描繪左邊及右邊晶元的輪廓。

圖 15A-D 說明根據本發明的某些具體實施例，具有奈米管平面、頂端及底端接觸與位元線上奈米管結構之 NRAM 的平面圖示與橫截面圖示。描述在圖 15A-D 的該等結構提供 NRAM 陣列具有一奈米管軌跡之具有奈米管開關結構的詳細圖示，參考圖 3 的說明。

圖 15A 說明 NRAM 記憶體陣列的一平面圖，表示四個記憶體晶元，其使用 NV NT 軌跡開關做為在或接近記憶體陣列結構頂端的非揮發儲存裝置。圖 15A 特別地表示在一陣列中一 NRAM 晶元，其中該等參考線 (RL) 及字元線 (WL) 實質上是平行的。該等位元線 (BL) 實質上是垂直於 RL 及 WL，該相交處定義為在陣列中一單獨的 NRAM 晶元，如粗體虛線描繪左邊及右邊底端晶元輪廓的標註。一連續的奈米管層形成一奈米管平面被配置在 WL 與 BL 之上。該 RL 配置在 CNT PLANE 之上。在每一晶元，CNT PLANE 具有一主動開關區域 (SW)，如參考圖 3 與 8 的說明。

圖 15B 表示圖 15A 的 NRAM 晶元陣列結構的一橫截面。圖 15B 說明沿區段 A5-A5' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用的絕緣的 NV NT 開關進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有的參考線 (RL) 及字元線 (WL) 實質上是平行的。

該等位元線 (BL) 實質上是垂直於 RL 及 WL。該連續的奈米管平面 (CNT PLANE) 配置在 BL 與 WL 之上及在一基材 (例如一介電材料) 的上表面上。該奈米管平面 (CNT PLANE) 具有複數個主動開關區域 (SW)，每一提供由細點線所描繪輪廓的一非揮發奈米管開關 (NV NT SWITCH)。在陣列中每一 NRAM 晶元，包含該 NV NT SWITCH，是利用粗體虛線描繪左邊及右邊晶元的輪廓。

圖 15C 說明 NRAM 記憶體陣列的一平面圖，表示四個記憶體晶元，其使用 NV NT 軌跡開關做為在或接近記憶體陣列結構頂端的非揮發儲存裝置。圖 15C 特別地表示在一陣列中一 NRAM 晶元，其中該等參考線 (RL) 及位元線 (BL) 實質上是平行的。該等字元線 (WL) 實質上是垂直於 RL 及 BL，該相交處定義為在陣列中一單獨的 NRAM 晶元，如粗體虛線描繪左邊及右邊底端晶元輪廓的標註。一連續的奈米管層形成一奈米管平面 (CNT PLANE) 被配置在 WL 與 BL 之上。該 RL 配置在 CNT PLANE 之上。在每一晶元，CNT PLANE 具有一主動開關區域 (SW)，如參考圖 3 與 8 的說明。

圖 15D 表示圖 15C 的 NRAM 晶元陣列結構的一橫截面。圖 15D 說明沿區段 A6-A6' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用的絕緣的 NV NT 軌跡開關

進一步詳細說明在上面。在一陣列中的該等 NRAM 晶元具有參考線 (RL) 及位元線 (BL) 實質上是平行的。該等字元線 (WL) 實質上是垂直於 RL 及 BL。該連續的奈米管平面 (CNT PLANE) 配置在 BL 與 WL 之上及在一基材 (例如一介電材料) 的上表面上。該奈米管平面 (CNT PLANE) 具有複數個主動開關區域 (SW)，每一提供由細點線所描繪輪廓的一非揮發性奈米管開關 (NV NT SWITCH)。在陣列中每一 NRAM 晶元，包含該 NV NT SWITCH，是利用粗體虛線描繪左邊及右邊晶元的輪廓。

圖 16A-B 說明根據本發明的某些具體實施例，具有在奈米管平面上的導體平面、頂端及底端接觸與位元線上奈米管結構之 NRAM 的平面圖示與橫截面圖示。

圖 16A 說明 NRAM 記憶體陣列的一平面圖，表示四個記憶體晶元，其使用 NV NT 軌跡開關做為在或接近記憶體陣列結構頂端的非揮發儲存裝置。圖 16A 特別地表示在一陣列中一 NRAM 晶元其中該等位元線 (BL) 及字元線 (WL) 實質上是垂直的。不是由個別的軌跡元件提供該等參考線 (RL)，圖 16A 說明具體實施例，其中參考訊號是經由一導體平面層 (CONDUCTOR PLANE) 提供，配置在 (及實質上順形到) 一連續的奈米管平面層上。該 BL 及 WL 的相交處決定在陣列中一單獨的 NRAM 晶元，如粗體虛線描

繪左邊及右邊底端晶元輪廓的標註。一連續的奈米管層形成一奈米管平面 (CNT PLANE) 被配置在 WL 與 BL 之上。該 RL 配置在 CNT PLANE 之上。在每一晶元，CNT PLANE 具有一主動開關區域 (SW)，如參考圖 11B 的說明。

圖 16B 表示圖 16A 的 NRAM 晶元陣列結構的一橫截面。圖 16B 說明沿區段 A7-A7' 對應的記憶體陣列橫截面。該等左邊及右邊記憶體晶元是彼此互為鏡面映象。每一記憶體晶元使用的絕緣的 NV NT 開關進一步詳細說明在上面。該導體平面是順形地配置在奈米管平面上。該 CNT PLANE 具有複數個主動開關區域 (SW)，每一提供由細點線所描繪輪廓的一非揮發奈米管開關 (NV NT SWITCH)。在陣列中每一 NRAM 晶元，包含該 NV NT SWITCH，是利用粗體虛線描繪左邊及右邊晶元的輪廓。

在參考上面圖 13, 14, 15 及 16 說明的該等 NRAM 記憶體陣列中，非揮發性奈米管結構是以蝕刻所有奈米管區塊的各邊，蝕刻奈米管軌跡的兩邊，或沒有蝕刻的奈米管之一平面所形成。如進一步說明在美國專利申請號碼 11/835865，奈米管忍受很高的製程溫度 (高到 800 至 1000°C) 及可以被用在任何等級的半導體製程流程。如描述在圖 12-16 之 NRAM 晶元結構的型式，沉積奈米管材料是在形成 FET 裝置、接觸、及金屬陣列線之後，而在或接近半導體製程流程的尾

端。沉積及形成奈米管儲存元件在或接近半導體製程流程的尾端的一個好處是當最佳化奈米管儲存元件的性質時，各種奈米管溶液，沉積技術，幾何，及其它特性可以試用快速回復時間 (TAT)。快速 TAT 是可能的，因為可以儲藏預製造晶圓及接著依需要而選擇，及非揮發性奈米管儲存元件接著以相當少的步驟製造及快速地測試。

為了達到快速 TAT 次數，參考圖 13-16 的說明，晶元及對應陣列的密度是較低的，因為非揮發性奈米管儲存元件在所有陣列線製造之後形成—在這些實施例中，是在頂端層的該等位元線的陣列之後。因為該等陣列線放置字元及位元線在正交格線上，位元線間隔幾乎是兩倍以使在奈米管儲存元件與一對應的 N 擴散之間形成 NRAM 晶元選擇 FET 的源極，能夠是一垂直的连接。然而，如已示範在堆疊的電容器 DRAM 陣列晶元 [例如，那些“電容器在位元線上”的晶元被 Micron Technology, Samsung, Hynix DRAM technologies 利用好多年]，例如縱然在陣列上面具有的儲存元件與關於 FET 裝置主動區域之正交字元及位元線具有小的偏差，佈局技術使 $6F^2$ 記憶體晶元成為可能。該等技術應用到 NRAM 陣列如下面圖 17 之說明。

圖 17A-I 說明根據本發明的某些具體實施例， $6F^2$ NRAM 晶元的平面圖示

圖 17A 說明一 $6F^2$ NRAM 晶元的平面圖示，表

示具有在位元線上一奈米管的結構之字元線、接觸及主動區域。字元線 1720 實質上安排平行於隔離字元線 1722。該等字元線與該等隔離字元線間の間隔大於或等於最小的製造尺寸 F ，對一已給的製程製造，是本技藝已知所指示在一記憶體陣列中最小外觀的正常尺寸。例如一說明，一種最小製造尺寸的一實施例包括 $F=90\text{nm}$ ，對該 90nm 技術節點被定義在 International Technology Roadmap for Semiconductors。該實施例不應被認為是限制，因為該 F 尺寸是由特定的製造設備及製程所定義。擴散奈米管接觸栓 1742 及共用的擴散位元線接觸栓 1732 對準在一主動區域中其相交平行的字元線 1720 及獨立的字元線 1722。提供接觸栓的該等奈米管層及位元線描述在後續的圖中。這些擴散奈米管接觸栓 1742 及共用的擴散位元線接觸栓 1732 是沿著一主動面積區域自我對準，由細虛線 1744 所示。在某些具體實施例，該等主動面積區域 1744 彼此平行配置及與該等位元線相交連在角度 θ_A 。可以選擇角度 θ_A 以提供一緻密的記憶體晶元排列，使能夠是 $6F^2$ NRAM 晶元—例如，在某些具體實施例，角度近似 $\theta_A \approx 76^\circ$ 。也可看到較大或較小的角度。圖 17A 表示僅 NRAM 晶元陣列的選擇部份或層—後續的部份及層介紹在接著的討論中。

圖 17B 說明一 $6F^2$ NRAM 晶元的平面圖示，表示具有在位元線上一奈米管的結構之位元線、字元

線、接觸及主動面積。該圖包含描述在圖 17A 中的元件及更加地描述位元線 1730。該等位元線 1730 彼此近似平行地配置，具有至少一部份的每一位元線對於該等字元線及該等隔離字元線建立一個角度 θ_B 。可以選擇角度 θ_B 以提供一緻密的記憶體晶元排列，使能夠是 $6F^2$ NRAM 晶元—例如，在某些具體實施例，角度近似 $\theta_B \approx 104^\circ$ 。也可看到較大或較小的角度。

在本具體實例，每一獨立的字元線 1722 嚴格的使用做隔離目的以隔離鄰近的晶元對。獨立的字元線典型地偏壓至在一 NMOS 陣列中的一低電壓（例如：GND）。如此確保鄰近隔離字元線的主動面積間的電場裝置漏電流為最小，其結果消除鄰近位元干擾的問題。在本文各圖中，該等字元及位元線提供一晶元選擇功能以唯一地選擇在陣列中的一擴散奈米管接觸栓 1742。在每一陣列（或一大密度記憶體的次陣列）中，可以激發一單獨的字元線。在某些陣列結構中，所有位元線可以用來寫或讀取數據到由該激發的字元線擷取的所有位元。緊鄰該等激發的字元線的該等奈米管接觸接著短路到結合的位元線以提供需要程式化或讀取該晶元的所需偏壓。在一典型的具體實施例，該等位元線接觸 1732 作用為 MOS 擷取裝置的源極及該等奈米管接觸 1742 作用為汲極。

為了達到具有 MOS 擷取裝置的 NRAM 之 $6F^2$ 晶元佈局，已使用各種製造技術。在本應用同時，本發

明者發現有效的各種製造技術包括那些高選擇性自我對準的接觸 (SAC) 蝕刻使用蝕刻氣體包括具有及沒有一氧化碳過氟化碳說明在 USPN 7,329,610，全部內容併入本文做參考。其他製造方法可以是適合本發明的某些其它具體實施例。為了形成該等字元線及該等隔離字元線在 1F 的間隔，可以使用自我對準的接觸製造技術。

用來製造自我對準接觸的這些技術的某些是本技藝詳細已知的，例如，在美國專利號碼 7,329,610。其它的技術被說明，例如，在“用在多個千百萬位元密度的一種 78nm 6F² DRAM 技術”，VLSI Technology Symposium, 1994，及美國專利號碼 7,332,767，其全部內容併入本文做參考。參考文獻詳細說明來自 Micro Technology 的 6F² DRAM 晶元及具有改進通道寬度及減小晶圓尺寸的高密度記憶體裝置。特別地，參考文獻揭露一可製造的 6F² DRAM 技術其利用形成線/間隔圖紋及自我對準蝕刻以改進製程邊際，導致一小的 DRAM 晶元尺寸 (0.36 μm^2)。該 DRAM 具體實施例積體化複材高 k 介電電容器進入該製程。在某些具體實施例，使用一相似的製程流程，本 DRAM 技術達到 6F² 晶元密度。而本製程流程不能限定電容器的形成，該 NRAM 製程流程相似於併入本文參考文獻的說明，到經過位元線形成及後續的貫通接觸的製程步驟。

圖 17A 中所示的該等層用來形成如下的結構

1700-1。提供該等字元線及氮化物填隙物加以包覆。接著可以沉積氧化物及平坦化至露出覆蓋該等字元線的氮化物。接著，可以在一光阻中形成凹槽的圖紋，該凹槽最後被用來提供露出氧化物之處做為一接觸。可以實施 SAC (自我對準接觸) 蝕刻步驟，選擇氮化物，移除露出的氧化物直到主動區域 (例如蝕刻掉配置氮化物間隙物間的氧化物) 的表面。

用來製程 NRAM 的技術大部份與那些廣泛使用的技術相同及是半導體製程已知的。然而，在 NRAM 接面洩漏不是嚴格關心的。在製造本奈米管結構的某些方法中，矽化物可以形成在擷取裝置的源極及/或汲極區域上。如此將大大降低擷取裝置的接觸電阻及使能夠使用 W 插銷。與本 NRAM 元件相反，DRAM 陣列使用擷取裝置的非矽化物主動區域及使用多插銷。在 DRAM 結構中的該組合元件導致很高的接觸電阻但很低的接面洩漏，後者對 DRAM 恢復時間是典型地重要的。因此，達到在 DRAM 結構中一低的接面洩漏限制建構 DRAM 晶元的材料選擇。因為接面洩漏在本 NRAM 結構不是一嚴格的考慮，材料的選擇沒有相似的限制。

接著對位元線接觸 1732 及奈米管接觸 1742 形成 SAC's，接著該等構造可以填充一導體及平坦化。典型地，可以使用重摻雜多晶矽或一金屬如 Ti/TiN/W，而也可以使用其他適當的材料取代。例如，沉積鈦進入

接觸，隨著沉積 TiN 以提供低接觸電阻給主動區域。接著使用鎢完成填充接觸孔。沉積 W 之後，表面金屬 (W/TiN/Ti) 承受化學機械研磨 (CMP) 製程以露出 SiN 及包圍金屬填充插銷的氧化物。當完成該階段時，每一接觸以金屬填充及與其他插銷隔離，留下 SiN 與氧化物的平坦平面，具有露出金屬填充插銷的表面供給進一步的製程。

圖 17B 中所示的該等層用來形成結構 1700-2，可以被後續提供。藉著金屬填充的位元線接觸 1732，可以形成該等位元線 1730 以連接擷取裝置的源極。然而，在該等位元線間形成最小的到沒有間隔及金屬插銷的暴露表面填充奈米管接觸 1742。為了確保奈米管接觸 1742 不短路到該等位元線 1730，沉積一介電體如 TEOS。一典型的厚度是在 500Å 等級。該等位元線接觸 (但不是奈米管接觸) 接著再形成圖紋及蝕刻暴露出較低的 W 填充的位元線接觸 1732 之表面。該使用的圖紋 (未表示出) 是一簡單的圓形包圍位元線接觸 1732。

該等位元線一般由沉積金屬及以 SiN 覆蓋所提供及利用已知技術對其形成圖紋。接著形成 SiN 間隙物在該等位元線的側壁上，使能夠用另一個 SAC 製程，其將延伸該奈米管接觸在該等位元線之上。包含在沉積及形成金屬位元線圖紋的該等特別步驟被詳細說明，例如在下面的併入參考文獻：美國專利號碼

7,329,610；7,332,767 及其出版，"A 78nm 6F² DRAM Technology for Multigigabit Densities"，VLSI Technology Symposium, 1994。該等製程步驟是工業已知的。在 SiN 間隙物形成在該等位元線上之後，在如用在字元線（上面的說明）的相同方法，沉積一種氧化物介電體及平坦化至露出該等位元線的 SiN 表面。用來形成該等 NT 接觸的圖紋是一簡單的凹槽，其具有與該等字元線平行的方向及置放在隔離字元線與擷取裝置字元線之間。接著實施一 SAC 蝕刻。該蝕刻將移除在 SiN 覆蓋的位元線與在奈米管接觸 1742 上之間露出的氧化物，因此露出金屬插銷表面。該等插銷接著以一導電材料填充，例如 Ti/TiN/W 及如上說明的相同平坦化。在製程方法中的該點，該表面實質上是與奈米管接觸插銷的露出表面同平面的以便接受奈米碳管纖維的應用。

接著，可以提供圖 17C 中所示的該等層以形成結構 1700-3。圖 17C 表示個別的奈米碳管區塊（CNT 區塊）形成圖紋在擴散奈米管接觸栓 1742 之上。該等個別的奈米碳管區塊可以使用詳細說明在併入的參考文獻（特別地 USPN 6,706,402，美國專利申請號碼 11/835865 及 11/835613）中之奈米管沉積及蝕刻技術。最後，該等參考線 RL（1760）形成圖紋在個別的奈米碳管區塊上，因此完成該等 NRAM 晶元。該等參考線，在本具體實施例中，方向平行於及配置在每一晶元的

該等字元線與隔離字元線之間。因此圖 17C 表示描述在圖 1 中結構的一精密的 NRAM 陣列之完成。

圖 17C 表示完成的 $6F^2$ NRAM 晶元陣列 1700-3 具有個別的區塊奈米管開關 (SW1-4)，開放該等線平行於字元線，頂端及底端接觸，及在位元線上一奈米管層的方向。在 NRAM 陣列中一晶元是利用粗體虛線描繪輪廓，其描繪該等 $6F^2$ 尺寸的輪廓。該等 $6F^2$ 尺寸可以利用從一位元線到下一位元線（在本平面圖式由左到右）的 $2F$ 間隔及利用從一隔離字元線到鄰近的該等字元線（在本平面圖式由上到下）間的區域下一位元線的 $3F$ 間隔。對主動面積及位元線的角度 θ_A 與 θ_B ，個別地，使該等 $6F^2$ 尺寸成為可能，因為它們容許將被製造的後續層是在分離的對準（例如該等位元線定位在主動面積間的 $1F$ 間隔中）。

圖 17C 詳細說明第一及第二參考線 1760.1, 1760.2，第一及第二字元線 1720.1, 1720.2，第一及第二位元線 1730.1, 1730.2 及個別的區塊奈米管開關 SW1, SW2, SW3 與 SW4。現在討論各種操作實施例。當操作該等 NRAM 晶元時，為了隔離該等晶元，該隔離 WL 總是維持在一低訊號。當 WL1 1720.1 是高的，該兩頂端選擇裝置（電晶體）連接到 SW1 及 SW2，個別地，根據選擇的操作，使 SW1 及 SW2 開關態能夠被改變。假如對 SW1 實施一讀出操作，BL1 1730.1 被預先充電。假如對 SW2 實施一讀出操作，BL2 1730.2

被預先充電。當 WL2 1720.2 是低的時，兩底端選擇裝置（電晶體）關閉，因此將 SW3 及 SW4 與該等位元線隔離。

在某些讀取及寫入操作，該等位元線、字元線及參考線可以脈衝訊號控制奈米管區塊的電阻態。關於詳細施加電刺激以切換奈米管層（個別的區塊、軌跡、平面）的電阻態充份說明在併入的參考文獻，美國專利申請號碼 11/835583 及 11/835612。對那些具體實施例，其中使用非揮發性奈米管開關，一開關態 SW1-4 維持非揮發性地。使用依據在一選擇的具體實施例中特別結構的陣列之訊號組合，可以實施各種不同的讀及寫的功能。例如，在某些結構中，使用位元線的電容式放電可以達成一擦拭功能。讀取功能可以複數個方式實施，某些該等方法在該等陣列線上使電壓振盪最小以降低功率消耗及衝擊偏壓條件。某些記憶體陣列具體實施例將限制各種訊號組合及偏壓條件，及可以利用本技藝之一的技術做選擇。

圖 17D 提供一 $6F^2$ NRAM 晶元陣列 1700-4 的一平面圖，其中包括個別的區塊奈米管開關、頂端及底端接觸、在位元線上奈米管結構，及該等參考線定向平行該等位元線。除了本具體實施例具有參考線定向平行該等位元線之外，描述在圖 17D 的結構相似於參考圖 17C 說明在上面的結構。用來提供該等參考線在個別的區塊奈米管開關之上及平行於該等位元線的製

造技術相似於上面詳細說明的那些技術。本結構達到如上說明的 $6F^2$ 尺寸。

描述在圖 17C (1700-3) 與 17D (1700-4) 的該等結構具有結合陣列密度及一結構其中該奈米管元件配置在位元線之上的好處。傳統上，NRAM 結構已要求密度與位元線之上奈米管的結構之間是一妥協。

前面揭露用來產生記憶體陣列的技術已限制建構奈米管層配置在位元線之下。利用本方式建構記憶體晶元，減少製程時間及簡化製造流程。減少製程時間是因為可以被製造的該等晶圓包括所有陣列線包含具有接觸栓用來接觸奈米管終端到對應的 FET 裝置源極之該等位元線。這些晶圓被儲存以用做需要形成最後的 NV NT 區塊結構。例如，奈米管切換元件的邊界——在本實施例中，個別的奈米管區塊——在一相當少的步驟可以尺寸地定義在製程流程的尾端及具有短的 TATs，因為製程不必開始在或接近 CMOS 製程的起點。而本技術利用製程時間具有某些製造優點，其可以包括陣列的密度。先前用來產生緻密 NRAM 記憶體陣列所揭露的技術已限制建構晶元具有配置在位元線之下的奈米管元件，如進一步說明在下面的圖 18。然而，置放 NV NT 區塊儲存裝置在位元線之下引起製造製程開始在或接近 CMOS 製程的起點及因此導致一冗長的製造製程及長的回覆時間。

通常，在晶元尺寸與製程複雜度之間有一傳統的

妥協，經由一更複雜的及因此更長的製程獲得具有一較小的尺寸。減小在 NRAM 中的晶元尺寸及達成更高的記憶體密度有清楚的誘因。製造 $6F^2$ 晶元，典型地限制增加製程複雜度的增加的製程步驟。在位元線金屬沉積之前，增加的製程步驟（模組）包括字元線與位元線的 SiN 覆蓋及一打開插銷填充的位元線接觸之製程步驟。這些模組是較大的晶元設計（例如大於 $6F^2$ ）不想要的，在本技藝已知其可以經更簡單製程流程製造。因此傳統的技术，典型地限制 NRAM 晶元密度與製造流程的簡單化/方便之間的一種妥協。

本發明者注意進一步，傳統技术常產生製造流程複雜度與產率之間的一種妥協。該傳統的智慧並非總是可行的。增加的製程複雜度，經由含入該等製程步驟，不需總是對應較差的產率。這是因為當增加的複雜度使能夠形成一較小的模子時，在一所給模子上的整體缺陷可以被降低，因此分離由於增加的複雜度的產率損失。如在併入參考文獻中注意的，Micron 已製造用在 NRAM 的 $6F^2$ 晶元，從 DRAM 中的 $8F^2$ 減少晶元尺寸。該較小的 $6F^2$ 晶元，是有利的在其中減少整體的模子尺寸，及因此可以提供每晶圓更多的產能。在 DRAM 中，在使用一 $6F^2$ 晶元有伴隨的妥協。一種該妥協產生從一摺疊的位元線結構（ $8F^2$ ）到一開放的位元線結構（ $6F^2$ ）。

描述在圖 17C（1700-3）與 17D（1700-4）的該

等結構利用增加密度而保持一相當簡單的製程流程克服在記憶體密度與製造複雜度之間傳統的妥協。利用配置該等主動面積及位元線在選擇的角度 θ_A 與 θ_B ，個別地，所揭露的構造同時達成晶元密度與位元線之上奈米管的建構。特別地，具角度的位元線及主動面積是一元件使能夠具有開放位元線結構的一 $6F^2$ 晶元。某些傳統的妥協伴隨使用在 DRAM 中的一 $6F^2$ 晶元不應用到在 NRAM 中的 $6F^2$ 晶元。例如，由一摺疊的位元線結構($8F^2$)切換到一開放的位元線結構($6F^2$)，DRAM 陣列對雜訊的敏感度典型地增加。相較於 NRAM 陣列對雜訊的敏感度不受開放的位元線結構($6F^2$)之影響。因此，在描述的具體實施例中，對 NRAM 一開放的位元線結構($6F^2$)是沒有清楚的缺點。

圖 17E 描述一 $6F^2$ NRAM 記憶體陣列 (1700-5) 具有奈米管軌跡、參考線定向平行該等字元線、及在位元線上奈米管的結構的平面圖。除了包括奈米管軌跡 (CNT 軌跡) 的奈米管元件取代個別的區塊之外，本結構相似於在圖 17C (1700-3) 的描述。該等奈米管軌跡配置近似平行於位元線及與參考線相交以形成在主動區域中在擴散奈米管接觸栓的開關 (SW)。因此該等開關位在與在圖 17C 實施例近似相同的位置。

使用連續的奈米管軌跡取代在結構 1700-5 中個別的奈米管區塊，如參考圖 17E 的說明，以表示導致相似的切換開關功能。在某些具體實施例中，以產生

連續的奈米管軌跡取代個別的奈米管區塊可以是製造的好處。而蝕刻個別的奈米管區塊產生定義奈米管纖維在兩方向（ x 與 y ，其中 z 垂直於圖中的平面），蝕刻連續的奈米管軌跡產生定義奈米管纖維在唯一的方向（即僅 y 方向）。當那些蝕刻步驟定義最小的尺寸在一所給的方向時，控制誤差及防止誤差是重要的。使用本奈米管軌跡結構可以容許較佳的蝕刻誤差控制及簡化製造製程（例如對準）在某些內容中。

在某些具體實施例，實質上使電流擴散到每一開關的主動區域之外為最小及大大消除鄰近晶元間的串音。然而，在某些其他具體實施例，使用個別奈米管區塊的結構可以有功能及製造的好處。例如，描述在圖 17C 的結構 1700-3 沒有任何額外的奈米管路徑在擴散奈米管接觸栓 1742 上，而描述在圖 17E 的結構 1700-5 則有。在某些例子，假如參考線形成圖紋在上面及與奈米管軌跡在一角度 θ_B 及，接著，該等奈米管軌跡被蝕刻形成個別的奈米管區塊，也可以簡化在圖 17C 的結構 1700-3 之製造。

圖 17F 描述一 $6F^2$ NRAM 記憶體陣列 1700-6 具有在奈米管軌跡上導體的結構、參考線定向平行該等字元線、及在位元線上奈米管的結構的平面圖。除了包括奈米管軌跡的奈米管元件取代個別的區塊之外，本結構 1700-6 相似於在圖 17D 1700-4 的描述。那些等奈米管軌跡配置近似平行於位元線及近似對準及順形

於參考線。該等參考線及奈米管軌跡接合地形成在奈米管軌跡上導體的結構 (RL/CNT 軌跡)，詳細說明在圖 2。該等 RL/CNT 軌跡與字元線及隔離字元線相交一角度 θ_B 及相交擴散奈米管接觸栓以形成每一晶元的開關 SW。在某些具體實施例，在奈米管軌跡上導體的結構簡化製造製程，因為用做參考線的奈米管層及金屬層可以在一單獨的光圖紋形成步驟形成圖紋。

圖 17G 描述一 $6F^2$ NRAM 記憶體陣列 1700-7 具有在奈米管平面上導體的結構、參考線定向平行該等字元線、及在位元線上奈米管的結構的平面圖。除了包括一單獨的、連續的奈米管平面的奈米管元件取代個別的區塊或軌跡之外，本結構 1700-7 相似於在上面圖 17C 與 17E 的描述。每一晶元具有奈米管層的一開關區域 SW 配置在對應的擴散奈米管接觸栓上。在奈米管層流動的電流明顯地垂直於奈米管平面 (垂直於圖中的頁面)。邊緣電流被控制及在鄰近晶元間的串音有效地被減至最小，如參考圖 19 說明在下面。在奈米管平面上導體的結構簡化製造程序，在某些具體實施例，因為一當使用奈米管層，就不需要奈米管圖紋形成步驟。該結構消除某些包括在形成奈米管軌跡及個別奈米管區塊圖紋對準的限制。

圖 17H 描述一 $6F^2$ NRAM 記憶體陣列 1700-8 具有在奈米管平面上導體的結構、參考線定向平行該等字元線、及在位元線上奈米管的結構的平面圖。除了

包括一單獨的、連續的奈米管平面的奈米管元件取代個別的區塊或軌跡之外，本結構 1700-8 相似於在上面圖 17D 1700-4 與 17F 1700-6 的描述。每一晶元具有奈米管層的一開關區域 SW 配置在對應的擴散奈米管接觸栓上。在奈米管層電流的流動明顯地垂直於奈米管平面（垂直於圖中的頁面）。參考圖 17G 說明在上面的邊緣及功能的考慮應用至本結構。參考圖 17G 說明在上面的製造考慮也應用至本結構。

最後地，圖 17I 描述一 $6F^2$ NRAM 記憶體陣列 1700-9 具有在奈米管平面上導體片的結構，及在位元線上奈米管的結構的平面圖。本結構包括一連續的奈米管平面取代個別的奈米管區塊或奈米管軌跡。而描述在圖 17G 1700-7 與 17H 1700-8 的該等結構，包括參考線配置在奈米管平面（CNT 平面）上，本結構具有一導體片直接配置在上面及順形於奈米管平面。該結構產生一在奈米管平面上導體片的結構（導體/CNT 平面）。該導體片攜帶參考訊號及取代個別的參考線。據此，主動開關區域由擴散奈米管接觸栓的定位來定義。發生在導電通過奈米管平面層之處的主動開關（SW）是在接觸栓與參考導體片（垂直於本圖中的頁面）之間控制。本結構 1700-9 簡化製造程序，因為不需要奈米管圖紋形成步驟，也不需要參考線圖紋形成步驟。在本具體實施例，邊緣電流被控制及在鄰近晶元間的串音也有效地被減至最小。

具有緻密晶元的 NRAM，縱然在某些佈局面積小於 $6F^2$ ，在正交的格線上是可能具有字元及位元線，如美國專利申請號碼 11/835613。例如，在各邊蝕刻的 NV NT，該等儲存元件形成是在陣列接線完成之前如陣列位元線形成之前。該緻密的 NRAM 陣列也可以使用奈米管軌跡（CNT 軌跡）及奈米管平面（CNT 平面）形成，如進一步說明在下面的圖 18。

圖 18A-C 說明根據本發明的某些具體實施例，NRAM 晶元的橫截面圖示。圖 18A 特別地說明具有頂端及底端接觸及在位元線下面的奈米管結構之具有非揮發奈米管區塊（支柱）的兩鄰近 NRAM 晶元的橫截面圖。在位元線下面奈米管結構更充分地說明在併入的參考文獻美國專利申請號碼 11/835613。

雖然圖 18A 描述 NRAM 橫截面 1800-1 具有個別的奈米管區塊；然而奈米管軌跡也可以用在它們的地方。圖 18A 特別地說明具有奈米管軌跡、底端接觸及頂端導體，及在位元線下面的奈米管結構之兩鄰近 NRAM 晶元的橫截面 1800-2。在本結構中，該等奈米管軌跡被安排投影垂直進入/出頁面，與字元線 WL 及參考線 RL 平行。在取代的具體實施例，參考線 RL 可以配置平行於位元線及該奈米管軌跡可以配置平行於或相交於參考線。

雖然圖 18B 描述奈米管軌跡、一連續的奈米管平面可以被使用在它們的地方。圖 18C 特別地說明具有

一奈米管平面、底端接觸及頂端導體，及在位元線下面的奈米管結構之兩鄰近 NRAM 晶元的橫截面 1800-3。在本結構中，奈米管平面是共用在兩鄰近位元間及僅部份延伸通過該晶元。該奈米管平面被破裂以容許連續的金屬柱在其兩邊上以致選擇電晶體的汲極可以與位元線 BL 電性連通。其他的安排也是可能的。圖 18C 也說明具體實施例其中該等參考線 RL 與字元線 WL 是近似平行的。在其他具體實施例，取代的，該參考線可以安排與位元線 BL 近似平行的。

本具體實施例延伸揭露在併入的參考文獻，美國專利申請號碼 11/835613，之觀念以提供結構具有奈米碳管軌跡及奈米碳管平面具有對字元及位元線的正交格線佈局。這些觀念，進一步，可以延伸獲得記憶體晶元結構其小於 $6F^2$ 沒有偏離正交的格線佈局。例如，在本應用的時候， $5F^2$ 晶元是可能的。然而，在本應用的時候，因為尺寸及覆蓋的容忍度，本發明者已發現實質上其是極困難降低記憶體晶元尺寸在 $6F^2$ 晶元面積以下。陣列接線可能在晶元尺寸上增加更多的限制，製造結構低於 $6F^2$ 尺寸以下是不實際的。依據具體實施例，在製程流程的尾端建造非揮發奈米管儲存裝置的 TAT 好處，不應用到某些在位元線之下奈米管的結構。

圖 19 說明根據本發明的某些具體實施例，具有在底端電極上之奈米管層上之一頂端導體的一種測試

結構之一 SEM 照片。該 SEM 照片描述參考圖 3 說明更一般地該結構之一測試結構實施例。該等底端金屬 1 軌跡（例如 320，導電軌跡）被配置在近似地平行線。在本具體實施例，該等底端金屬 1 軌跡被嵌入一氧化物基材中。在該等底端金屬軌跡及基材上是一奈米管纖維層（例如 340，連續的奈米管平面）。當從上面看下去時，一頂端金屬 2 軌跡配置在奈米管纖維層上在一方向近似垂直於底端金屬 1 軌跡。該等頂端金屬 2 軌跡使用微影技術形成圖紋。底端金屬 1 與頂端金屬 2 軌跡的每一相交處確認一主動開關區域在奈米管纖維層，其中該奈米管纖維可以交替地在一高度導電及高度電阻態之間，該等軌跡之間（例如沿垂直照片的向量）做切換。結構的測試已指示鄰近晶元間的晶元干擾被大大消除，容許每一晶元獨立地開關切換而不影響鄰近晶元的態。

圖 20 說明根據本發明的某些具體實施例，說明在前述 SEM 照片的結構之開關切換特性的圖示 2000。測試數據指示在圖 19 說明的測試結構之開關切換功能確認大大消除橫向晶元干擾（“串音”）。圖 20 繪出電阻值對晶元計量關係，表示每一晶元在兩個別的電阻態之間是可控制地切換。如可以從本實施例見到，該等值指示一有效的 ON 狀態叢聚大約 1M Ohm 的電阻，如在頂端與底端軌跡之間的量測。及該等值指示一有效的 OFF 狀態叢聚大約近似 10G Ohm 的電阻，如

在頂端與底端軌跡之間的量測。

製造技術實施例

用來形成各種 NRAM 系統及奈米管區塊的製造技術及製程很詳細的說明在併入的參考文獻中。下面的章節提供某些變化在這些技術上。這些技術是特別地有用來製造前面提到的高密度結構，其中選擇的導體層配置在奈米管平面、軌跡及區塊之上。下面說明的該等技術可以被完成以形成 $6F^2$ 密度記憶體晶元及較緻密的記憶體結構。

在某些替實施例，一增加的材料在一奈米管區塊製造期間可以用來保護 CNT 纖維。保護的材料可以配置在一奈米管纖維的表面之上，透過一部份的纖維本身，或提供某些組合。換句話說，該增加的材料可以被用來保護一奈米管纖維的外表面或可以被用來形成 CNT 複材以保持或控制在後續製程期間 CNT 纖維的某些特徵。該增加的材料可以包括絕緣體，但不限制，如二氧化矽、氮化矽、氧化鉛、氧化鋯、及氧化鋁，或犧牲材料，但不限制，如非晶矽、W、Al、Ti、TiN、Ta、旋鍍玻璃 (SOGs)、熱分解高分子、及光阻。該增加的材料可以形成一具有 CNTs 的複材及接著被移除以致保留最原始的 CNT 纖維。或者，該增加的材料（或一相似的增加材料）可以保留做部份的 NV NT 區塊結構。而在進一步具體實施例，該等絕緣體材料

可以被用做犧牲材料及犧牲金屬也可以被用做電性接觸到 NT 區塊。使用增加的材料在前面提到的方式具有複數個好處。一個好處是這些技術提供構造的整合性給 CNT 層做為尺寸的規格。另一好處是該等技術可以提供增進功能給每一所得的記憶體元件，如增進的產率及/或容忍度。

本發明者想像各種方法來使用增加的材料以形成一 NT NV 區塊 NRAM 結構。在一種該方法，沉積一 CNT 纖維及施加一犧牲材料在纖維的頂端及也部份地在至少上部份的纖維之內。因此犧牲材料形成一上層在奈米管纖維上及部份地透過上部份的纖維。一種適當犧牲材料的一實施例是非晶矽，其利用一電漿輔助化學氣相沉積技術順形地沉積。為了沉積非晶矽及達成該層，人們可以，例如，控制 SiH_4 流率在 20-100sccm 之間，沉積功率在 20-100W 之間，及基材溫度在 350-450°C 之間。也有其他適當的技術用來沉積非晶矽。

接著移除任一表面材料以僅暴露 CNT 纖維的頂端層。在該點，增加的材料主要地被保留內埋在 CNT 纖維中。在某些具體實施例，可以使用一選擇的 RIE 技術，其不改變該等奈米管的性質。例如，該 RIE 可以限制以氟基化學藥劑對 CNTs 選擇蝕刻 Si，或蝕刻化學氣相沉積 (CVD) 的 TiN，CVD W，或在一電容式耦合的、感應耦合的電漿 (ICP)、或電子迴旋共振

(ECR)RIE 系統中以一 BCl_3/Cl_2 基化學藥劑蝕刻離子化金屬電漿 (IMP) 的 Ti。

對電容式耦合的 RIE 製程，通常使用低基材偏壓（典型地小於 40W）以蝕刻增加的材料，在壓力範圍從幾 mTorr 到幾百的 mTorr。較高的功率將較快蝕刻增加的材料；然而，該等奈米管因此傾向於構造的電性傷害。本技藝已知較低壓力將增進增加材料的蝕刻速率；然而，用更高壓力將增進對奈米管的選擇性。例如，已被沉積在奈米管上的非晶矽以一雙重步驟的 Cl_2 蝕刻，可以被蝕刻而不傷害奈米管纖維。第一步驟使用 45sccm 的 Cl_2 在 40W 及 100mTorr 蝕刻大部份的矽。第二步驟是一過蝕刻以完成蝕刻沉積的矽及移除任何通過該晶圓的殘留物。該步驟降低 RIE 偏壓功率到 30W，驚人地降低非晶矽蝕刻速率。可以一高溫退火消滅對 NT 區塊纖維任何可能的傷害，例如，但非限制，在一快速熱製程 (RTP) 在 600°C 維持 1 分鐘。在前面提到的技術上變化也是適合的及被本發明者所見。

對 ICP 及 ECR 系統，使用一臨界源極功率 (W_s) 對偏壓功率 (W_b) 的比率。相似於電容式耦合系統，低偏壓功率是需要的；然而，源極功率在 800-1500Ws 之間是適當的以達到一最佳離子密度。在相似於對一 ICP 系統的偏壓，一 ECR 系統可以提供增加蝕刻的離子密度之額外的好處。在一 ICP 系統中做為選擇性蝕

刻的實施例，在該具體實施例中 CVD TiN 被沉積做為增加的材料。上層的 CVD TiN 接著以一選擇性 RIE 在臨界源極功率區域內移除。對該實施例製程，一單獨的蝕刻步驟實施在 10Wb 及 800Ws，在 80sccm 的 BCl_3 中，於 6mTorr（不是一限定的條件）下。各種其他的條件是適合在某些應用，及也被看到的。增加 CVD TiN 蝕刻速率可以利用包括一 Cl_2 在蝕刻化學來製造。對蝕刻金屬如 CVD W 及 IMP Ti，一小百分比的氟氣可以併入在蝕刻製程內。

接著沉積一接觸金屬以致其接觸到 NV NT 區塊露出的 CNTs。因為某些 PVD 金屬沉積技術已知會傷害 CNTs 及可能不順形披覆在露出區塊結構內的 CNTs，必需小心選擇適當的接觸金屬化。沒有不利影響之金屬化方案的實施例包括，但是不限定，化學氣相沉積的 (CVD) TiN，CVD W（非選擇性及選擇性），及離子化金屬電漿 (IMP) 的 Ti。

接著形成 CNT/金屬層的圖紋及該犧牲層可以接著移除。對沉積 CVD TiN，該沉積製程要求改變沉積參數以降低或避免氫電漿暴露（使用來降低有機金屬前驅物）CNT 纖維。而在另一具體實施例，IMP Ti 被沉積在奈米管纖維上而不傷害纖維的電性質。用一標準的 PVD 金屬沉積製程，該等偏壓功率太高及典型地劣化 CNT 纖維的電性質。然而，調整源極到線圈功率比，降低源極與線圈功率兩者，及降低 IMP Ti 製程的

壓力容許沉積在 CNT 纖維上。

在另一實施例，CVD W 可以選擇性地或非選擇性地沉積在奈米管上。對一非選擇性的沉積，在暴露到 WF_6 之前實施一 SiH_4 浸漬及一當 WF_6 引入腔體，可以使用 SiH_4 或 H_2 沉積 W。該製程是本技藝所熟知。然而，可以使用一選擇的 CVD W 沉積製程，其僅沉積在奈米管纖維露出的區域及不在周圍的絕緣材料上。對該製程，不使用 SiH_4 浸漬或在 SiH_4 之後，CVD 腔體容許真空幫浦從腔體抽出 SiH_4 到真空程度。 WF_6 加 SiH_4 或 H_2 接著引入以選擇性沉積 CVD W 僅在 CNT 纖維上。本製程將提供一自我對準金屬接觸沉積，其不需要接觸金屬額外的光微影及蝕刻。也可以實施一後沉積退火以降低金屬與 CNT 纖維間的接觸電阻及，進一步，移除已發生在製程期間對 CNT 纖維任何可能的構造傷害。金屬蝕刻的方法依據材料及包括本技藝所熟知的技術而定。接著可以繼續製程。

假如使用增加的材料做為一犧牲材料，那麼在完成 NV NT 區塊製造之後，該犧牲材料可以被移除，如經由矽的氣相蝕刻或增加的乾式或濕式蝕刻製程以移除該增加的材料。而在其他的具體實施例，本發明者想見以一非蝕刻製程移除該犧牲材料，如經由熱分解一高分子犧牲材料以致其經由介電層或經由形成中間材料如矽化物（如下所述）脫氣。

在其他具體實施例，一 NRAM 區塊結構可以被

形成圖紋及隔離以及形成一電接觸到一導電電極而不改變該 NRAM 區塊結構的電性質。這可以伴隨沉積一順形的電漿輔助化學氣相沉積 (PECVD) 非晶 Si (或多晶 Si) 層在多層的奈米管纖維頂端上做為用來蝕刻奈米管纖維的一硬式遮罩及保護在後續製程期間的奈米管。為了避免上及下奈米管接觸層間的短路，實施一高溫退火 (依據接觸電極而定) 以(1)擴散矽在切換區域之外的多層奈米管纖維內以形成一有效的”孔洞”區域給 NRAM 區塊開關及(2)形成一矽化物層，其將電性接觸該奈米管纖維。該孔洞區域是一面積，該處基本上沒有矽保留在 CNT 纖維內及接觸電極間的導電路徑僅經過 CNT 纖維。

期望沉積非晶 Si 在一奈米管纖維的頂端將是高度順形地及可以通過奈米管纖維接觸下面的電極，假如沉積層是導電的，其將短路上及下電極。然而，以一金屬如 W 接觸矽之後實施一退火將引起矽擴散出 CNT 纖維及進入金屬層以形成一矽化物層。注意可以使用各種其他的金屬接觸以形成矽化物層。並且，沉積及形成非晶 Si 及 CNT 纖維的圖紋之後，可以沉積一絕緣層而不傷害 CNT 纖維的電性質。這是可能的，因為在沉積任何絕緣材料及/或以一 CVD 或 PVD 技術沉積金屬期間，非晶 Si 層也保護 CNT 纖維。該絕緣體接著可以被蝕刻或平坦化以容許非晶 Si 接觸到一沉積的金屬層。可以沉積一種第二金屬層以形成一交連線。

已形成該結構之後，實施一退火以擴散非晶 Si 進入 W 接觸以形成 WSi_2 ，因此，形成一矽化物接觸到奈米管纖維，因為高比例的半導體奈米管在纖維中，其可以具有有利的性質用來降低奈米管纖維的接觸電阻。也可見到其他的接觸金屬如，但非限制，只要擴散物種是 Si，Ti 也可以被用來形成 $TiSi_2$ 。

圖 21A 說明根據一具體實施例，一 NRAM 奈米管區塊。結構 2100-1 表示一 NRAM 區塊具有奈米管纖維 2140 接觸電極 2120。電極 2120 以 PECVD 順形地披覆矽層 2145。金屬接觸 2130 沉積在矽層 2145 的頂端上及利用一退火製程形成一矽化物層 2150。在退火期間，順形披覆的矽層 2145 擴散出奈米管纖維 2140 進入金屬接觸層 2130。矽層 2145 的擴散產生一孔洞區域在 NRAM 區塊中其容許做為開關。結構 2100-1 的橫截面 2125 描述在圖 21B 中。

圖 21B 說明描述在圖 21A 中 NRAM 區塊結構的橫截面圖示。結構 2100-2 是橫截面 2125 其切過 NRAM 區塊結構 2100-1 的一單獨的電極 2140。在結構 2100-1 與 2100-2 中，PECVD 非晶矽是沉積在一已沉積奈米管纖維的頂端上及被用做形成奈米管纖維圖紋的一硬式遮罩。

圖 22A-B 說明根據另一個具體實施例，NRAM 區塊結構。在圖 22A-B 描述的該等結構，表示用來製造矽化物鈍化的 NRAM 區塊之一種變化，其中在沉積

保護的矽層之前形成奈米管纖維的圖紋。在結構 2200-1，形成圖紋的奈米管纖維 2240 接觸電極 2220。在形成圖紋之後，保護的非晶矽接觸層 2245 沉積在奈米管纖維 2240 之上。金屬接觸層 2230 接著沉積及形成選擇性保護矽層 2245 的圖紋。絕緣層 2210 接著沉積及選擇平坦化到金屬接觸 2230。最後，實施一退火製程以引起矽層 2245 擴散進入金屬層 2230，形成矽化物接觸區域 2250。披覆矽層 2245 的擴散產生一孔洞在 NRAM 區塊中其容許切換橫截面 2225，描述在圖 22B 中。圖 22B 描述結構 2200-2，對應結構 2200-1 的橫截面線 2225。

該等技術的一個好處，參考上面圖 21A-B 及 22A-B 的說明，是可以使用較薄的奈米管層，當沉積一保護的矽層時，將形成一孔洞在開關區域，在退火時以形成矽化物接觸。為了考慮平衡上及下接觸電極間任何可能的短路及在沉積一接觸金屬期間對 CNT 纖維的傷害，目前使用一種 $>50\text{nm}$ 的奈米管纖維。典型地，如預期的上面 20nm 的奈米管纖維在金屬沉積期間將被傷害。在本具體實施例，因為順形沉積矽的保護特性，可以沉積薄的 $10\text{-}50\text{nm}$ 奈米管纖維。在退火製程期間將消除上及下接觸金屬間矽的任何短路，以在開關區域形成孔洞及矽化物接觸。因為減少接觸電極間的開關切換長度，可以降低 ON 及 OFF 的起始電壓。因為大大減少導電長度，也將降低奈米管纖維的電阻。

本製程利用擴散矽進入一金屬層以形成一孔洞在開關區域。然而，在某些設計中其可能具有金屬擴散進入矽中，其也將減少 NRAM 區塊結構的尺寸。可以使用各種不同的金屬。可能金屬的實施例是 Co 以形成 Co_2Si 及 Ni 以形成 NiSi 或 Ni_2Si 。

在某些具體實施例，在金屬-矽界面的孔洞行為是不希望的。這是因為在絕緣體及金屬沉積及蝕刻期間僅非晶矽的薄層 ($<300\text{\AA}$) 足以有效地保護奈米管。並且，該薄的非晶矽層在矽化物形成期間將完全被消耗掉及該矽化物層將成長而消耗非晶矽。

使用本技術期望對一 NRAM 區塊之 ON 電阻及 ON 與 OFF 起始電壓將被大大降低。該等起始電壓被大大降低是因為減少 NT 區塊的厚度。因為矽層順形沉積進入奈米管纖維而不傷害纖維的電性，在沉積金屬接觸與絕緣層期間，該矽層可以用做一保護層。為了移除在 NT 區塊內的矽層，實施一退火製程以形成一矽化物在接觸區域，有效地產生一”孔洞”區域在 NT 區塊中，其中僅該等奈米管在接觸電極間導電。

絕緣的奈米區塊

而在另一個具體實施例，NT NRAM 區塊的奈米管纖維經由使用一犧牲矽層及絕緣體沉積可以與緊密鄰近的 NV NT 電性隔離。相似於上面的具體實施例，沉積一順形的矽層以保護奈米管纖維。相反於上面的

具體實施例，本製程更加利用矽層做為一犧牲材料，其最終被部份或全部移除。

圖 23A(1)表示結構 2300A 的下視圖及圖 23A(2)表示結構 2300A 的橫截面圖。結構 2300A 可以從上面 (2300A-1) 看和橫截面 (2300A-2) 看。結構 2300A 包括一 NV NT 區塊具有下電極 2320 內埋進入基材 2310 及以一陣列的具有圖紋的 NT 區塊 2340 及上電極 2330 覆蓋。該 NT 上金屬區塊 2340 與 2330 已以一薄矽層 2350 順形地披覆。典型地，矽層 2350 將包括具有一厚度小於或等於近似 500\AA 的 PECVD 非晶矽層。本發明者見到使用其他犧牲材料如 CVD TiN, CVD W, 或任何材料其將順形地披覆 CNT 纖維而不大大改變纖維的電性質。對每一該材料，將修正該層的厚度。在形成奈米管纖維 2340 的圖紋之後也可能沉積順形的矽層 2350 及沉積之前，形成上電極 2330 的圖紋。對該例子，在沉積電極 2330 期間矽層 2350 保護奈米管纖維 2340 及一矽化物可以形成在 2340 與 2330 之間，如說明在上面的具體實施例。

在沉積順形的、保護的矽層 2350 之後，沉積保護及鈍化的絕緣體 2315。在沉積保護的矽層及鈍化的絕緣體之後，所得結構 2300B 如圖 23B 所示。圖 23B(1)表示所得結構 2300B-1 的下視剖面圖及圖 23B(2)表示所得結構 2300B-2 的橫截面圖。絕緣體 2315 可以是任一絕緣體，但非限制，如二氧化矽、富矽氧化物、氮

化矽及氮化矽。該絕緣體層接著可以被平坦化以露出上接觸金屬及部份矽保護層如圖 23C(1)與 23C(2)所示。特別地，圖 23C(1)表示結構 2300C-1 的一上視剖面及圖 23C(2)表示結構 2300C-2 的一橫截面。

接著，通孔 2360 被蝕刻進入一第二層的沉積絕緣體 2317 及平坦化的絕緣體層 2315 中。所得結構如圖 23D 所示。圖 23D(1)表示結構 2300D-1 的一上視剖面及圖 23D(2)表示結構 2300D-2 的一橫截面。通孔 2360 利用蝕刻到犧牲矽層 2350 而形成。該通孔圖紋可以放在沿著 NV NT 區塊陣列的任何地方以容許最大的 NV NT 區塊密度。

對矽使用一氣相蝕刻如 XeF_2 或假如使用其他犧牲材料，利用一濕式蝕刻，可以形成圖 23E 描述的結構。圖 23E(1)表示結構 2300E-1 的下視圖及圖 23E(2)表示結構 2300E-2 的橫截面圖。結構 2300E-2 的橫截面表示移除犧牲材料 2350 以形成一空腔 2355 包圍 NV NT 區塊。一當形成空腔 2355，通孔 2360 以絕緣材料 2365 回填。以絕緣材料 2365 回填通孔 2360 的步驟介紹在圖 23F(1)及 23F(2)。

特別地，圖 23F(1)表示結構 2300F-1 的下視圖及結構 2300F-2 的一橫截面圖。結構 2300F-2 的一橫截面說明對於 2317 平坦化絕緣體 2365 的結構。做為一可能的實施例由二氧化矽組成的絕緣體 2365 其可以選擇性地拋光到氮化矽 2317 具有一最小量的過拋光

或凹陷。

為了形成接觸到上電極，接著通孔 2370 可以蝕刻進入絕緣體 2317，終止在上金屬 2330。在製程中，於本階段所得的結構描述在圖 23G。特別地，圖 23G(1) 表示結構 2300G-1 的下視圖及圖 23G(2) 表示具有所示通孔 2370 的結構 2300G-2 的一橫截面圖。接著沉積一交連的金屬 2375 及選擇性平坦化到絕緣體 2317 及 2365。所得的結構說明在圖 23H。特別地，圖 23H(1) 表示結構 2300H-1 的下視圖及圖 23H(2) 表示具有平坦化交連金屬 2375 的結構 2300H-2 的一橫截面圖。該等構造 2300H-1 與 2300H-2 表示一 NV NT 區塊陣列其容許一實質上最小的晶元尺寸具有一實質上最大的晶元密度。並且，該等個別的 NV NT 區塊完全地彼此絕緣是經由沉積絕緣體層在一犧牲材料的頂端如非晶矽，其已經被移除，以形成在陣列中的該等 NV NT 區塊之一空腔。

圖 24A(1) 與 24(2) 表示結構 2400A-1 及 2400A-2，個別地，上視及橫截面圖。這些結構提供另一具體實施例，其中奈米管纖維 2440 配置在下電極 2420 及絕緣基材 2410 上。上電極 2430 可以沉積及形成圖紋在奈米管纖維 2440 的頂端。本發明者也見到在沉積及形成上金屬電極圖紋之前沉積一坦覆式順形非晶層的可能性。在本製程，在沉積上金屬期間非晶矽層將實質上保護該奈米管纖維。上金屬蝕刻可以選擇

性實施到非晶矽層。並且，非晶矽材料可以被選擇性蝕刻到奈米管纖維而不傷害奈米管纖維的電性質。這可以一低偏壓功率氯基蝕刻製程來達成。在蝕刻非晶矽層之後，一矽化物接觸可以被形成在 NT 纖維與金屬電極之間，如上面的說明。

為了隔離個別的 NT 區塊，沒被上金屬電極 2430 覆蓋的奈米管面積被轉換成非導電的纖維 2445。所得的結構可以在圖 24B 見到。圖 24B(1)表示所得結構 2400B-1 的下視圖及圖 24B(2)表示所得結構 2400B-2 的一橫截面圖。在每一該視圖，說明該轉換的非導電的纖維 2445。一導電的奈米管纖維轉換成一非導電的奈米管纖維說明在美國專利申請 11/398126，標題”具有可調電性之奈米管物件”，現在美國專利公告 2006/0276056，其全部內容併入本文做參考。

圖 24C 表示根據本具體實施例完成的結構，其中在沉積及平坦化絕緣材料 2415 之後，一 NV NT 區塊陣列已經被絕緣及保護。圖 24C(1)表示結構 2400C-1 的下視圖及圖 24C(2)表示具有說明的平坦化絕緣材料 2415 結構 2400C-2 的一橫截面圖。在沉積期間絕緣體的任何侵蝕將僅發生在轉換的 NT 纖維區域及將不影響 NV NT 區塊的電性切換。

非晶碳層

在一或更多具體實施例，在 NT 區塊內一非晶

CNT 層或一高電阻區域被用在建構 NRAM 晶元以增加 NV NT 區塊的起始電阻。在該等具體實施例，使用製程流程及詳細說明在上面所得的結構及參考前面各圖可以做各種的修飾。利用提供一非晶碳層可以形成 NRAM 晶元。該等上金屬或介電層可以沉積在 CNT 層上及提供以致它們不穿入 CNT 纖維或僅限制穿入 CNT 纖維。控制金屬或介電層穿入 CNT 層，就控制 CNT 纖維的特性。

在某些具體實施例，該等 NV NT 區塊可以如製造時在 ON 狀態。假如一實際數目的奈米管在一所給的 NV NT 區塊直接連接頂端及對應的底端電極兩者，那麼該 NV NT 區塊的起始 ON 電流可以相當地高。一種製造 NV NT 區塊的方法降低起始的 ON 電流。這限制製造該 NV NT 區塊在至少兩種分離的沉積。使用兩種或更多種分離的沉積有效地降低接處頂端及底端電極的奈米管數目以及增加包含奈米管對奈米管導電的奈米管電流路徑的數目。這可以降低後製造的電流及使一 ON 到 OFF 的轉換，能夠不需要超過一調節二極體（或一選擇 FET 電晶體）的電流，可以在第一 ON 到 OFF 的循環期間傳遞。

製造 NV NT 區塊的一種方法降低起始已製造的 ON 電流。本方法限制沉積部份的 CNT 纖維、犧牲材料及剩下的 CNT 纖維層在該方式，以致在移除犧牲層後，一限定的間隙存在第一與第二部份的 CNT 纖維之

間。該間隙範圍可以從近似 1nm 到近似 20nm 的寬度。在某些具體實施例，該間隙可以約 2-5nm。本製造方法確認在完成製造程序後，記憶體元件的起始狀態是”打開”（或 0）。確認製造一 NRAM 晶元具有一起始地”打開”狀態有某些好處。確認一打開狀態的一種好處是在一起始封閉狀態，元件電阻可以很低。假如擷取裝置（MOS 或二極體或其他）具有不足的驅動以迫使狀態”打開”，那麼位元可能失效。在典型的 NRAM 元件，從一封閉到打開狀態比從一打開到封閉狀態需要更多能量。

可以各種方式提供前面提到的間隙在 CNT 纖維層中。一種該方法產生：沉積第一部份的纖維，接著沉積犧牲材料以致一薄層仍舊在在纖維內最頂端的 CNTs，及接著沉積第二部份的纖維。假如有利的，可以在同時實施一種第二犧牲材料沉積。例如，如上所述在沉積上接觸金屬期間及/或在沉積一保護絕緣體期間，可以有利的沉積第二犧牲材料以保護第二部份的纖維。另一種方法限制沉積第一部份的纖維，接著沉積犧牲材料及回蝕刻犧牲材料的表面層以露出頂層的 CNT 纖維。蝕刻下犧牲層之後，一種第二犧牲材料可以被沉積到一控制的厚度。接著，假如有利的，沉積第二部份的 CNT 纖維及沉積一頂端犧牲材料。該等犧牲材料包括那些上面詳細的說明。

而其他的製造方法可以被用來降低 NV NT 區塊

起始已製造的 ON 電流。例如，可以沉積第一部份的 CNT 纖維及接著可以一 RIE 製程（較佳地，但非限制， Cl_2 , BCl_3 , Cl_2/BCl_3 , CF_4 , CHF_3 及 C_4F_8 化學藥劑在低偏壓功率、高源極功率（假如使用）及高壓力）實施暴露最上層的 CNT 纖維的一‘軟’轉換。因此，本步驟有效地官能化 CNT 纖維，增加露出部份的 CNT 纖維的電阻。可以使用一回蝕刻的犧牲材料以控制‘軟’轉換的深度。該回蝕刻及轉換可以依序地實施，如說明，或同時用適當的 RIE 條件。在‘軟’轉換之後，接著沉積第二部份的纖維。NV NT 區塊應該起始地在一較高電阻態（不必在一 OFF 狀態）；然而，在實施一起始的寫入循環時，電流通過 NV NT 區塊移除功能群組，有效地降低裝置的電阻。

在一 NV NT 區塊個別的奈米碳管可以使用單壁或多壁奈米碳管加以形成。奈米管修飾的表面可以被共價地或非共價地衍生具有衍生分子的或原子的層或各層等。官能分子或原子層或層等可以形成一化學鍵到一接觸金屬如鎢及鍵結到一原子以降低電阻值或增加再生的接觸電阻值及在記憶體操作期間延長接觸壽命。在某些例子中，其可能加入一種第二原子或分子層在鎢（在本實施例）及一碳原子之間。官能化技術也可以使用其它接觸金屬如 TiN、Ta 等。

在某些具體實施例，一薄氧化物層（例如薄到足以容許穿遂）可以被插入在一導體如鎢與在或接近 NV

NT 區塊表面的奈米管之間。該薄氧化物層可以被用來增進接觸功能及/或產率。在本例，使用本記憶所熟知技藝的標準化學表面修飾技術可以達成表面官能化。

奈米管衍生也可以被用來增進 NV NT 區塊的開關切換行為。特別地，奈米管衍生也可以用來修飾及控制串/並聯組合的奈米級開關的大小之行為，該組合形成頂端及底端導體的通路。上面說明的材料可以被包括在區塊中進一步修飾及控制該奈米級的開關行為。

NV NT 區塊及調節二極體可以使用一般工業使用的遮罩與溝槽蝕刻方法形成圖紋。對於很小尺寸的規格，如 10nm 或更低，近似平行的奈米線可以用做遮罩，蝕刻控制尺寸的溝槽。例如，在一記憶體晶元中形成具有二極體調節及一 NV NT 區塊儲存與一垂直方向串聯，氟化鈣奈米管沉積在矽上可以用做一遮罩，蝕刻在一矽二極體中的溝槽及一其下的奈米管層。

而在其他具體實施例，除了在 NV NT 區塊中的奈米碳管，可以使用各種材料的奈米線（奈米柱）及奈米粒子以形成絕緣體及接線層、接觸等。奈米線（奈米柱）的實施例包括氧化鋁、鈹、鎘、硒化物、氮化鎳、金、磷化鎳、鍺、矽、磷化銻、氧化鎂、氧化錳、鎳、鈮、碳化矽、鈦、氧化鋅及額外混合的奈米線如矽鍺或其他可以被披覆的形式。也可以使用包含其他材料的奈米線（奈米柱）。該等奈米線（奈米柱）可以

包括在 NV NT 區塊結構中以增進機械強度及/或增進電性質。而在其他具體實施例，非晶矽可以與奈米管及或奈米線組合以提供該等複材奈米材料的層。如說明在併入參考文獻中的長度，可以選擇奈米管纖維及層的組成以具有主要一種形式或一混合組成的奈米管螺旋性（金屬的及/或半導體的）。也見到其他具體實施例。

其將進一步明瞭本發明範圍不限定在上面說明的具體實施例而是由附圖所定義及這些申請專利範圍將包括已說明的修正及改進。

【圖式簡單說明】

在附圖中：

圖 1 說明根據本發明的某些具體實施例，具有個別奈米管區塊的一 NRAM 陣列面積的一剖面；

圖 2 說明根據本發明的某些具體實施例，具有在底軌跡上之奈米管軌跡上之導體的一 NRAM 陣列的一剖面；

圖 3 說明根據本發明的某些具體實施例，具有在底軌跡上之一奈米管平面上之一導體軌跡的一 NRAM 陣列的一剖面；

圖 4A-C 說明根據本發明的某些具體實施例，在奈米管軌跡上導體之橫截面；

圖 5A-C 說明根據本發明的某些具體實施例，在奈米管

平面上導體之橫截面；

圖 6A-D 說明根據本發明的某些具體實施例，在導體軌跡上奈米管之橫截面；

圖 7A-E 說明根據本發明的某些具體實施例，具有頂端金屬接觸在導體軌跡上奈米管之橫截面；

圖 8 說明根據本發明的某些具體實施例，在奈米管軌跡或平面上導體之一橫截面，表示兩鄰近位元的電性狀態之圖示；

圖 9 說明根據本發明的某些具體實施例，表示選擇的位元及”寄生”路徑之一種非線性電阻器陣列的一圖示；

圖 10 說明根據本發明的某些具體實施例，用做邏輯路由開關的一種非線性電阻器陣列的一圖示；

圖 11A-B 說明根據本發明的某些具體實施例，在底端接觸上之奈米管軌跡上的導體之橫截面；

圖 12 說明根據本發明的某些具體實施例，在底端接觸、調節二極體、及底端軌跡上之奈米管軌跡上的導體之一橫截面；

圖 13A-D 說明根據本發明的某些具體實施例，具有奈米管區塊、頂端及底端接觸與位元線上奈米管結構之 NRAM 晶元的平面圖示與橫截面圖示；

圖 14A-D 說明根據本發明的某些具體實施例，具有奈米管軌跡、頂端及底端接觸與位元線上奈米管結構之 NRAM 晶元的平面圖示與橫截面圖示；

圖 15A-D 說明根據本發明的某些具體實施例，具有奈

米管平面、頂端及底端接觸與位元線上奈米管結構之 NRAM 晶元的平面圖示與橫截面圖示；

圖 16A-B 說明根據本發明的某些具體實施例，具有在奈米管平面上的導體平面、頂端及底端接觸與位元線上奈米管結構之 NRAM 晶元的平面圖示與一橫截面圖示；

圖 17A-I 說明根據本發明的某些具體實施例， $6F^2$ NRAM 晶元的平面圖示；

圖 18A-C 說明根據本發明的某些具體實施例，NRAM 晶元的橫截面圖示；

圖 19 說明根據本發明的某些具體實施例，具有在底端電極上之奈米管層上之一頂端電極的一種測試結構之一 SEM 照片；

圖 20 說明根據本發明的某些具體實施例，說明在前述 SEM 照片的結構之切換特性的圖示；

圖 21A-B 說明根據本發明的某些具體實施例，具有在奈米管軌跡上的矽酸鹽之 NRAM 晶元的橫截面圖示；

圖 22A-B 說明根據本發明的某些具體實施例，具有在奈米管軌跡上的矽酸鹽之 NRAM 晶元的橫截面圖示；

圖 23A-H 說明根據本發明的某些具體實施例，在各種不同製程階段 NRAM 晶元的上視圖(1)及橫截面圖(2)；及

圖 24A-C 說明根據本發明的某些具體實施例，在各種不同製程階段 NRAM 晶元的上視圖(1)及橫截面圖(2)。

【主要元件符號說明】

100 NRAM 陣列	500-1 NRAM 記憶體陣列
110 基材結構或區塊	500-2 NRAM 記憶體陣列
120 底端導電軌跡	510 奈米管片層
130 上導電軌跡	520 底端導電軌跡
140 奈米管區塊	530 上導電軌跡
200 NRAM 陣列	540 奈米管平面
210 基材結構或區塊	600-1 NRAM 記憶體陣列
220 底端導電軌跡	600-2 NRAM 記憶體陣列
230 上導電軌跡	610 基材
240 奈米管軌跡層	620 底端導電軌跡
300 NRAM 陣列	630 上導電軌跡
310 基材結構或區塊	640 奈米管軌跡
320 底端導電軌跡	700-2 NRAM 陣列
330 上導電軌跡	710 基材
340 奈米管片	720 底端軌跡
400-1 NRAM 記憶體陣列	730 上導體軌跡
400-2 NRAM 記憶體陣列	740 奈米管軌跡
410 基材	750 頂端接觸
420 底端導電軌跡	800 NRAM 陣列
430 上導電軌跡	810 基材
440 奈米管軌跡	820 底端導電軌跡

- | | |
|------------------|---------------|
| 830 上導電軌跡 | 1732 擴散位元線接觸栓 |
| 840 奈米管層 | 1742 擴散奈米管接觸栓 |
| 842 通道或通孔 | 1744 主動面積區域 |
| 900 交點非線性電阻器陣列 | 1760.1 第一參考線 |
| 1000 大交點非線性電阻器陣列 | 1760.2 第二參考線 |
| 1120 底端接觸 | 2100-1 結構 |
| 1130 上導電軌跡層 | 2100-2 結構 |
| 1130' 上導電軌跡 | 2200-1 結構 |
| 1140' 奈米管軌跡層 | 2200-2 結構 |
| 1140 奈米管層 | 2120 電極 |
| 1210 基材 | 2125 橫截面 |
| 1220 底端導電接觸 | 2130 金屬接觸層 |
| 1221 選擇軌跡 | 2140 奈米管纖維 |
| 1222 二極體 | 2145 矽層 |
| 1230 上導電軌跡層 | 2150 矽化物層 |
| 1240 奈米管軌跡層 | 2210 絕緣層 |
| 1720 字元線 | 2220 接觸電極 |
| 1720.1 第一字元線 | 2225 橫截面 |
| 1720.2 第二字元線 | 2230 金屬接觸 |
| 1722 隔離字元線 | 2240 奈米管纖維 |
| 1730 位元線 | 2245 披覆矽層 |
| 1730.1 第一位元線 | 2250 矽化物接觸區域 |
| 1730.2 第二位元線 | 2310 基材 |
| | 2315 絕緣體 |

- | | |
|------------|----------------|
| 2317 絕緣體 | 2445 非導電的纖維 |
| 2320 下電極 | 3001 晶元 3002 非 |
| 2330 上電極 | 揮發性奈米管開關 |
| 2340 NT 區塊 | 3003 CNT 軌跡 |
| 2350 矽層 | 3004 連續的奈米 |
| 2355 空腔 | 管平面 |
| 2360 通孔 | 3005 CNT 平面 |
| 2365 絕緣體 | 3006 導體平面層 |
| 2370 通孔 | 3007 CNT 區塊 |
| 2375 交連的金屬 | 3008 RL/CNT 軌跡 |
| 2410 絕緣基材 | 3009 導體/CNT 平 |
| 2415 絕緣材料 | 面 |
| 2420 下電極 | 3010 參考平面 |
| 2430 上電極 | 3011 奈米管軌跡 |
| 2440 奈米管纖維 | 3012 奈米管平面 |

七、申請專利範圍：

1. 一種奈米管記憶體陣列包括：

一基材；

一第一導體層配置在該基材上，該第一導體層具有一定義的圖紋；

一奈米管纖維層配置在該第一導體層上並與其電性連通；

一第二導體層配置在該奈米管纖維層上並與其電性連通；

一記憶體操作電路包括一電路用來產生及施加一選擇訊號在該第一及第二導體層以降低在該第一與第二導體層之間之該奈米管纖維層的一電阻變化；

其中至少兩個鄰近之記憶體晶元被形成在該第一導體、奈米管纖維及第二導體層之至少兩個選擇的橫截面，藉由該記憶體操作電路，每一記憶體晶元唯一地可定址及可程式化，其中對每一記憶體晶元，在第一與第二導體層之間奈米管纖維層的一電阻變化對應該記憶體晶元之一資訊態的變化，其中該奈米管纖維層與該第二導體層是順形地配置及具有一對應定義的圖紋，其中該奈米管纖維層與該第二導體層形成一導體在奈米管軌跡上。

2. 如請求項 1 的奈米管記憶體陣列，其中該第一導體層包括複數個實質上平行的第一導電軌跡及該第二導體層包括複數實質上平行的第二導電軌跡。

3. 如請求項 2 奈米管記憶體陣列，其中該等第一導電軌跡及該等第二導電軌跡是彼此互相正交地配置。
4. 如請求項 2 的奈米管記憶體陣列，其中該等第一導電軌跡及該等第二導電軌跡是彼此互相非正交地配置。
5. 如請求項 2 的奈米管記憶體陣列，其中該奈米管纖維層包括複數個具有圖紋的奈米管區塊，每一奈米管區塊插入在一對應的一個第一導電軌跡及一個第二導電軌跡之間及定位在一對應的一個第一導電軌跡及一個第二導電軌跡的一相交處。
6. 如請求項 5 的奈米管記憶體陣列，其中該奈米管纖維層與該第二導體層形成一導體在奈米管平面上。
7. 如請求項 1 的奈米管記憶體陣列，其中該第一導體層定義的圖紋包括一陣列的個別第一電極。
8. 如請求項 7 的奈米管記憶體陣列，其中該記憶體操作電路包括選擇二極體，每一分離的第一電極配置在其上及與一選擇二極體電性連通。
9. 如請求項 1 的奈米管記憶體陣列，其中該第一導體層定義的圖紋包括複數個軌跡。
10. 如請求項 1 的奈米管記憶體陣列，其中該奈米管纖維層電阻的變化包括一第一電阻態與一第二電阻態間的改變，該第一電阻態是一實質上比該第二電阻態較高的電阻。
11. 如請求項 10 的奈米管記憶體陣列，其中該第一電阻

態包括一第一資訊態及一第二電阻態包括一第二資訊態。

12. 如請求項 1 的奈米管記憶體陣列，其中對該至少兩個鄰近的記憶體晶元，在一第一記憶體晶元中電阻的改變實質上不受在一第二記憶體晶元中電阻改變的影響。
13. 如請求項 1 的奈米管記憶體陣列，其中該奈米管纖維層包括複數個未對準的奈米管提供複數個導電路徑通過該奈米管纖維層。
14. 如請求項 1 的奈米管記憶體陣列，其中該第一導體層部份內埋在該基材中。
15. 一種記憶體陣列，包括：
 - 複數個記憶體晶元，每一記憶體晶元接收一位元線，一字元線及一參考線，每一記憶體晶元具有一第一電極與該位元線電性連通；
 - 一奈米管物件電性插入在至少一個第一電極與至少一個參考線之間對應複數個記憶體晶元；及
 - 一記憶體操作電路與每一晶元的該位元線、該字元線及該參考線電性連通以激發一選擇的晶元；
 - 該操作電路包括電路可寫入一資訊態程式在至少一部份的該奈米管物件中，該電路施加電刺激到至少一個該位元線、字元線及參考線之一，其中該電刺激改變在該第一電極與參考線之間至少一部份該奈米管物件的該電阻；

其中該奈米管物件的一相當高的電阻對應該記憶體晶元的一第一資訊態，及其中該奈米管物件的一相當低的電阻對應該記憶體晶元的一第二資訊態，其中該奈米管物件包括複數個奈米管軌跡及其中每一參考線實質上順形地配置其上及與一對應的奈米管軌跡對準。

16. 如請求項 15 的記憶體陣列，其中每一位元線、字元線及參考線包括具有一寬度定義為 F 的軌跡及其中該記憶體陣列具有一密度 $6F^2$ 。
17. 如請求項 15 的記憶體陣列，其中對應複數個記憶體晶元的該等參考線的每一條線實質上平行於對應複數個記憶體晶元的該等字元線的每一條線。
18. 如請求項 15 的記憶體陣列，其中對應複數個記憶體晶元的該等參考線的每一條線實質上平行於對應複數個記憶體晶元的該等位元線的每一條線。
19. 如請求項 15 的記憶體陣列，其中對應複數個記憶體陣列的該等參考線的每一條線實質上正交於對應複數個記憶體晶元的該等字元線的每一條線。
20. 如請求項 15 的記憶體陣列，其中對應複數個記憶體陣列的該等位元線的每一條線關於對應複數個記憶體晶元的該等字元線的每一條線實質上定位在一非正交的角度。
21. 如請求項 20 的記憶體陣列，其中該選擇的角度近似 76 度。

22. 如請求項 15 的記憶體陣列，其中該奈米管物件包括複數個奈米管區塊，每一區塊對應一記憶體晶元，每一區塊以該資訊態可程式化。
23. 如請求項 15 的記憶體陣列，其中每一奈米管軌跡的一區域對應一記憶體晶元，該區域以該資訊態可程式化。
24. 如請求項 15 的記憶體陣列，其中該奈米管物件包括一奈米管平面配置在對應於複數個記憶體晶元的該等字元線及該等位元線之上。
25. 如請求項 24 的記憶體陣列，其中每一參考線包括一軌跡順形配置在一部份的該奈米管平面上及其中對應於複數個記憶體晶元的該奈米管平面之複數個區域是以該資訊態可程式化。
26. 如請求項 24 的記憶體陣列，其中每一參考線包括一導體平面配置在其上及順形於該奈米管平面上，及其中對應於複數個記憶體晶元的該奈米管平面之複數個區域是各以該資訊態可程式化。
27. 如請求項 26 的記憶體陣列，其中對每一記憶體晶元，該區域是該奈米管平面的部份配置在該對應的第一電極上。
28. 如請求項 15 的陣列，其中該第一與第二資訊態是非揮發性。
29. 如請求項 15 的陣列，其中該相當高之電阻態的電阻是大於相當低之電阻態的好幾倍。

30. 如請求項 15 的陣列，進一步包括對每一記憶體晶元的一晶元選擇電路，該晶元選擇電路電性插入在該第一電極與該位元線之間。
31. 如請求項 15 的陣列，進一步包括一晶元選擇電路，其中該晶元選擇電路包括一電晶體具有一閘極、一源極與一汲極及其中該閘極與第一字元線電性接觸，該源極是與該第一電極電性接觸，及該汲極是與該位元線電性接觸。
32. 如請求項 15 的陣列，其中該操作電路利用激發該字元線與該位元線中之一來讀取晶元的一資訊態及施加一讀取的刺激到該位元線。
33. 如請求項 15 的陣列，其中該第一電極包括金屬性奈米碳管、Ti、TiN、Al、Ta、TaN、Cu、Ru、RuO、Pd、Co、CoSi_x、Ni、NiSi_x、TiSi_x、Si、Pt、PtSi_x、Au、Ag 及其組合中至少一者。
34. 如請求項 15 的陣列，其中該奈米管物件的一中間電阻對應該記憶體晶元的一第三資訊態。
35. 如請求項 15 的陣列，其中該奈米管物件配置在該等位元線上。
36. 如請求項 15 的陣列，其中該等位元線配置在該奈米管物件上。
37. 一種製造一記憶體陣列的方法包括：
提供複數個位元線與字元線；
提供複數個第一電極，每一第一電極與一位元線連

通及各對應一記憶體晶元；

形成一奈米管纖維在該第一電極上並電性連通，該奈米管纖維包括一網狀之未對準的奈米管；

提供一參考物件在該奈米管纖維上並電性連通；及提供一記憶體操作電路與該位元線、該字元線及該參考物件電性連通以激發一個或更多選擇的記憶體晶元，該記憶體操作電路包括電路利用施加電刺激到至少一個位元線、字元線及參考線其中之一，以可程式在至少一部份之該奈米管纖維中的一資訊態，其中該電刺激改變在該第一電極與參考物件間的至少一部份之該奈米管纖維的電阻；

其中在該部份奈米管纖維中一相當高之電阻對應在陣列中該記憶體晶元的一第一資訊態，及其中奈米管物件的一相當低之電阻對應在陣列中該記憶體晶元的一第二資訊態。

38. 如請求項 37 的方法，其中每一位元線及每一字元線被形成圖紋以具有一寬度 F 及其中該記憶體陣列具有一密度 $6F^2$ 。
39. 如請求項 37 的方法，其中一選擇部份的該記憶體陣列是主動的及一選擇部份的該記憶體陣列是非主動的。
40. 如請求項 39 的方法，其中該非主動部份的記憶體陣列包括記憶體晶元其中一資訊態不被可程式進入對應部份的該奈米管纖維中。

41. 如請求項 37 的方法，其中該形成圖紋的參考物件包括複數個參考線，該等參考線實質上平行於該等位元線或該等字元線。
42. 如請求項 37 的方法，其中該形成圖紋的參考物件包括一參考電極平面承載一單獨的參考電壓。
43. 如請求項 37 的方法，進一步包括形成該奈米管纖維及該參考物件的圖紋以形成導體在奈米管軌跡上。
44. 如請求項 43 的方法，其中該導體在奈米管軌跡上實質上是平行於該等位元線或該字元線。
45. 如請求項 37 的方法，進一步包括形成該奈米管纖維圖紋成為複數個奈米管區塊，每一奈米管區塊對應一記憶體晶元。
46. 如請求項 37 的方法，進一步包括內埋該等第一電極及該奈米管纖維在一絕緣基材中。
47. 如請求項 37 的方法，其中提供複數個第一電極包括形成複數個半導體裝置，該等第一電極是該等半導體裝置的一節點。
48. 如請求項 47 的方法，其中該等半導體裝置是 MOS 擷取裝置。
49. 如請求項 47 的方法，其中該等半導體裝置是選擇二極體。
50. 如請求項 37 的方法，其中該奈米管纖維被配置在該等位元線之上。
51. 如請求項 37 的方法，其中該等位元線被配置在該奈

米管纖維之上。

52. 如請求項 37 的方法，其中一保護材料被施加在該奈米管纖維的一外表面上以保護在一個或更多製造步驟期間的該奈米管纖維，該保護材料包括二氧化矽、氮化矽、氧化鉛、氧化鋯、及氧化鋁、非晶矽、W、Al、Ti、TiN、Ta、旋鍍玻璃 (SOGs)、熱分解高分子及光阻中至少一者。
53. 如請求項 37 的方法，其中形成該奈米管纖維進一步包括形成一奈米粒子層，該奈米粒子層被選擇來調整在該第一電極與參考物件之間至少一部份的該奈米管纖維之該電阻。
54. 如請求項 53 的方法，其中該奈米粒子層包括非晶質碳、氧化鋁、鈹、鎘、硒化物、氮化鎵、金、磷化鎵、鍺、矽、磷化銮、氧化鎂、氧化錳、鎳、鈮、碳化矽、鈦、氧化鋅、及矽鍺中至少一者。