

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97122110

※ 申請日期：97.6.13

※IPC 分類：H01L23/485(2006.01)

H01L23/52 (2006.01)

H01L21/50 (2006.01)

## 一、發明名稱：(中文/英文)

電子元件封裝體及其製作方法

Electronics Device Package and Method for Fabricating Thereof

## 二、申請人：(共1人)

姓名或名稱：(中文/英文)

精材科技股份有限公司

XinTec Inc.

代表人：(中文/英文) 蔣尚義/Shang-Yi Chiang

住居所或營業所地址：(中文/英文)

桃園縣中壢市吉林路25號4樓

4F., No.25, Jilin Rd., Jhongli City, Taoyuan County 320, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國/TW

## 三、發明人：(共6人)

姓名：(中文/英文)

1. 蔡佳倫/Chia-Lun Tsai

2. 錢文正/Wen-Cheng Chien

3. 李柏漢/Po-Han Lee

4. 陳偉銘/Wei-Ming Chen

5. 劉建宏/Chien-Hung Liu

6. 溫英男/Ying-Nan Wen

國籍：(中文/英文)

1. 中華民國/TW

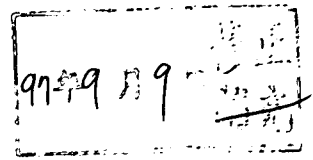
2. 中華民國/TW

3. 中華民國/TW

4. 中華民國/TW

5. 中華民國/TW

6. 中華民國/TW



## 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2008/5/21、61/128,358

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

### 五、中文發明摘要：

一種電子元件封裝體，包括：一晶片，具有第一表面及相對之第二表面；及一溝槽，自第二表面向第一表面的方向延伸進入晶片本體中，其中溝槽底部係包括兩個以上之接觸孔。

### 六、英文發明摘要：

An electronic device package includes a chip having a first surface and an opposite second surface. A trench extends into a body of the chip along a direction from the second surface to the first surface. A bottom portion of the trench includes at least two contact holes.

### 七、指定代表圖：

(一)本案指定代表圖為：第(2B)圖。

(二)本代表圖之元件符號簡單說明：

100~電子元件封裝體；

105~上封裝層；

112~導電電極；

113a~接觸孔；

114~絕緣層；

W~溝槽的寬度。

108~間隔層；

113~溝槽；

113c~溝槽的側壁；

D~溝槽的深度；

### 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種電子元件封裝體 (electronics package)，特別是有關於一種利用晶圓級封裝 (wafer level chip scale package，簡稱 WLCSP) 製程製作之電子元件封裝體及其製作方法。

### 【先前技術】

在矽基體直穿孔封裝技術 (through-silicon via packaging，簡稱 TSV 封裝技術) 已漸使用於先進的電子元件封裝體領域中。由於其技術特點涉及高深寬比 (high aspect ratio) 矽基材蝕刻，及良好填洞能力的薄膜製程。尤其是，必須在高深寬比的開口中，形成外延的導線，因而侷限現有的製程能力。

第 1 圖顯示一種傳統的電子元件封裝體的局部角落的平面圖。在第 1 圖中，一電子元件封裝體 1，係設置多個導電接觸墊 12。傳統 TSV 封裝技術是在每個導電接觸墊 12 的位置形成對應的孔洞 13b，每個孔洞 13b 則包圍著單一接觸孔 13a 以露出一個對應的導電接觸墊 12。

然而，從製程的觀點，孔洞 13b 的深寬比 (aspect ratio)  $d/w$  可高達至少 1.6，造成後續填充各種材料層的困難度，因此需要有一種新穎的電子元件封裝體及其製造方法。

### 【發明內容】

本發明之一實施例提供一種電子元件封裝體，包括：一晶片，具有一第一表面及相對之一第二表面；及一溝槽，自該第二表面向該第一表面的方向延伸進入該晶片本體中，其中該溝槽底部係包括兩個以上之接觸孔。

本發明另一實施例提供一種電子元件封裝體的製作方法，包括：提供一晶圓，包含多個晶粒區，以承載或形成多顆晶片，其中每個晶片具有一第一表面及相對之一第二表面，其中各晶片的第一表面上或上方包括多個導電電極；於每個晶片中形成多個溝槽，其沿著該第二表面向該第一表面的方向延伸，以使每個溝槽底部露出兩個以上之導電電極；順應性形成一絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部；及圖案化該絕緣層以在每個溝槽的底部形成兩個以上的接觸孔，其暴露出該些導電電極的表面。

本發明之另一實施例提供一種電子元件封裝體，包括：

一晶片，具有一第一表面及相對之一第二表面，其中該晶片的第一表面上或上方包括多個導電電極；一溝槽，自該第二表面向該第一表面的方向延伸進入該晶片本體中，且該溝槽底部與該晶片的第一表面相隔一既定距離；及兩個以上之接觸孔，自該溝槽底部延伸至對應的導電電極上，以露出該些導電電極的接觸面。

本發明之另一實施例提供一種電子元件封裝體製作方法，包括：提供一晶圓，包含多個晶粒區，以承載或

形成多顆晶片，每個晶片具有一第一表面及相對之一第二表面，其中各晶片的第一表面上或其上方包括多個導電電極，且該些晶片與該些導電電極之間包括一第一絕緣層；於該些晶片中形成多個溝槽，其沿著該第二表面向該第一表面的方向延伸，其中該些溝槽底部與該晶片的第一表面相隔一既定距離；蝕刻該些溝槽底部，形成露出該第一絕緣層表面之多個接觸孔，其中至少一溝槽中包含兩個以上之接觸孔；蝕刻位於該些接觸孔內之第一絕緣層以露出該些導電電極；順應性形成一第二絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部，並且自該溝槽底部繼續延伸至該些接觸孔側壁；及形成多條導線層於該第二絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁且沿著該溝槽底部經由對應之接觸孔延伸至該導電電極的接觸表面上。

本發明之另一實施例提供一種電子元件封裝體製作方法，包括：提供一晶圓，包含多個晶粒區，以承載或形成多顆晶片，且任兩相鄰晶片間包括一切割區，每個晶片具有一第一表面及相對之一第二表面，其中各晶片的第一表面上或上方包括多個導電電極，且該些晶片與該些導電電極之間包括一第一絕緣層；形成一溝槽，其橫跨於兩相鄰晶片之側邊與該切割區上，其沿著該第二表面向該第一表面的方向延伸，其中該溝槽底部與該兩相鄰晶片的第一表面相隔一既定距離；蝕刻該溝槽底部以分別於該兩相鄰晶片中形成露出該第一絕緣層表面之

多個接觸孔；蝕刻位於該些接觸孔內之第一絕緣層以露出該些導電電極；順應性形成一第二絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部，並且自該溝槽底部繼續延伸至該些接觸孔側壁；及形成多條導線層於該第二絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁及該溝槽底部，並經由對應之接觸孔延伸至該導電電極的接觸表面上。

本發明之另一實施例提供一種電子元件封裝體，包括：一晶片，具有一第一表面及相對之一第二表面，其中該晶片的第一表面上或上方包括多個導電電極，且位於該第二表面之一側邊區域係向內退縮以形成凹陷區，且該凹陷區底部與該晶片的第一表面相隔一既定距離；及兩個以上之接觸孔，自該凹陷區底部延伸至對應的導電電極上，以露出該些導電電極的接觸面。

### 【實施方式】

接下來，藉由實施例配合圖式，以詳細說明本發明概念及具體實施的方式。在圖式或描述中，相似或相同部份之元件係使用相同之符號。此外，在圖式中，實施例之元件的形狀或厚度可擴大，以簡化或是方便標示。可以了解的是，未繪示或描述之元件，可以是具有各種熟習該項技藝者所知的形式。

本發明的電子元件封裝體及製作方法的各實施例係以製作影像感測元件封裝體(image sensor package)的各

製程步驟作為說明範例。然而，可以了解的是，在本發明之封裝體實施例中，其可應用於各種包含主動元件或被動元件(active or passive elements)、數位電路或類比電路(digital or analog circuits)等積體電路的電子元件(electronic components)，例如有關於光電元件(opto electronic devices)、微機電系統(Micro Electro Mechanical System; MEMS)、微流體系統(micro fluidic systems)、或利用熱、光線及壓力等物理量變化來測量的物理感測器(Physical Sensor)。特別是可選擇使用晶圓級封裝(WSP)製程對影像感測元件、發光二極體(light-emitting diodes, LEDs)、太陽能電池(solar cells)、射頻元件(RF circuits)、加速計(accelerators)、陀螺儀(gyroscopes)、微制動器(micro actuators)、表面聲波元件(surface acoustic wave devices)、壓力感測器(process sensors)或噴墨頭(ink printer heads)等半導體晶片進行封裝。

其中上述晶圓級封裝製程主要係指在晶圓階段完成封裝步驟後，再予以切割成獨立的封裝體，然而，在一特定實施例中，例如將已分離之半導體晶片重新分布在一承載晶圓上，再進行封裝製程，亦可稱之為晶圓級封裝製程。另外，上述晶圓級封裝製程亦適用於藉堆疊(stack)方式安排具有積體電路之多片晶圓，以形成多層積體電路(multi-layer integrated circuit devices)之電子元件封裝體。

請參閱第 2A 至 2C 圖之剖面圖，其顯示一晶圓級封



裝製程之一實施例。首先，提供一晶圓 200，包含多個晶粒區，以承載或形成多顆晶片 300，其中每個晶片 300 具有一第一表面 S1 及相對之一第二表面 S2，其中各晶片 300 的第一表面 S1 上或上方包括多個導電電極 112。形成一封裝層 105 以覆蓋包含該些晶片之第一表面 S1 的晶圓 200。在一選擇性步驟中，可以該封裝層 105 為支撐層，進行薄化晶圓或後續製程。

於每個晶片 300 中形成多個溝槽 113，其沿著第二表面 S2 向該第一表面 S1 的方向延伸，以使每個溝槽底部露出兩個以上之導電電極 112。

請參閱第 2B 圖，順應性形成一絕緣層 114 以覆蓋該些晶片 300 的第二表面 S2，並延伸至該些溝槽的側壁和底部。圖案化絕緣層 114 以在每個溝槽的底部形成兩個以上的接觸孔 113a，其暴露出該些導電電極 112 的表面。

請參閱第 2C 圖，形成多條導線層 116 於絕緣層 114 上，每條導線層 116 自第二表面 S2 延伸至溝槽側壁且於溝槽底部經由對應之接觸孔 113a 延伸至導電電極 112 的接觸表面上。

形成一填充層 118 以填滿該些晶片 300 之溝槽，並延伸至該第二表面 S2 上。沿著切割道 SC 分割該晶圓以分離出多個封裝晶片，完成電子元件封裝體 100 的製作。以下進行較詳細的說明。

第 3 圖顯示根據本發明之一實施例的電子元件封裝體的局部角落的平面圖。在第 2A 圖和第 3 圖中，一電子

元件封裝體 100，包括一晶片本體 300，具有一第一表面及相對之第二表面，例如是影像感測器晶片，在一實施例中，第一表面 S1 可包括一主動區 110，其表面或上方則設置一感光元件(未繪式)陣列及於週邊區域 111 可設置多個導電電極 112，例如是導電接觸墊或重佈線路層；一般而言，第二表面 S2 可為晶片本體 300 的背面。在本例中則以至少兩個以上的導電電極 112 為群組，接著形成一溝槽 113，例如藉由一般的蝕刻步驟可自第二表面向第一表面的方向延伸進入晶片本體，其中溝槽 113 底部包括兩個以上的接觸孔 113a。在一實施例中，接觸孔 113a 係露出對應的導電電極 112 之接觸面。

第 2B-2C 圖顯示第 2A 圖的電子元件封裝體沿線 2B-2B 的剖面示意圖。請參閱第 2B 圖，蝕刻電子元件封裝體週邊區域 111 的晶片本體，以形成一個溝槽 113，露出對應的至少兩個以上的導電電極 112。從製程的觀點，由於溝槽底部的涵蓋範圍包括兩個以上之導電電極及兩電極間之整個區域，溝槽 113 因此具有較低的深寬比 (aspect ratio) D/W，約可從 1.6 改進到 0.33，可大幅降低後續製程的困難度。接著，在一實施例中，順應性形成一絕緣層 114，其自第二表面沿溝槽 113 的側壁 113c 延伸至溝槽底部，藉由圖案化步驟，可於溝槽底部形成兩個以上的接觸孔 113a 以露出對應的導電電極 112。

請參閱第 2C 圖，接著，形成多條導線(電)層 116 於各溝槽 113 中，其一端於溝槽 113 的底部藉由接觸孔 113a

而延伸至導電電極 112 的接觸表面上，其另一端沿溝槽 113 的側壁延伸至晶片本體 300 的第二表面 S2 上，以於後續製程中電性連接至導電凸塊或鐳墊陣列上(未繪式)。應注意的是，各導線(電)層 116 可沿著最鄰近導電電極 112 的溝槽 113 側壁佈線，以降低繞線的複雜度。其中，由於溝槽底部的面積大幅增加，因此可增加導線(電)層 116 填入接觸孔 113a 的能力。接著，形成一填充層 118，填滿溝槽 113 並延伸至第二表面 S2 上，以補強晶片的結構。

第 3 圖顯示第 2A 圖的電子元件封裝體沿線 3-3 的剖面示意圖。在第 3 圖中，可更形成一上封裝層 105 或蓋板以覆蓋主動區域 110。在一實施例中，上封裝層 105 與主動區域 110 之間可包括一間隙(cavity) 107，且該間隙 107 係由一間隔層(dam) 108 所圍繞。為了增加密合度，於間隔層 108 與上封裝層 105 之間可增加一額外的接合層 106，一般而言，間隔層 108 位於導電電極 112 上。最後對晶圓進行分割步驟，以分離出多個封裝晶片。

在此封裝晶片結構中，一溝槽 113 自半導體晶片 300 的第二表面 S2，穿過晶片本體向第一表面 S1 延伸，其中溝槽底部係包括兩個以上之接觸孔 113a。一絕緣層 114 自第二表面延伸至溝槽側壁且於溝槽底部分別圍繞住該些接觸孔 113a。應注意的是，溝槽含兩個以上之接觸孔，每個接觸孔 113a 暴露出一導電電極 112 的接觸面(contact surface)。導電電極 112 可為一導電接觸墊(conductive pad)

或一重佈線路層(RDL)。多條導線層(trace layer) 116 位於該絕緣層 114 上，每條導線層 116 係自第二表面 S2 延伸至溝槽側壁且於溝槽底部經由對應之接觸孔延伸至導電電極 112 的接觸表面上，導線層 116 的另一端沿溝槽的側壁延伸至晶片本體第二表面(背面)上的導電凸塊或鍍墊陣列 120。以及一填充層 118，例如聚亞醯胺(PI)做為焊料遮罩，填滿該半導體晶片之溝槽並延伸至第二表面 S2 上。

本發明各實施例的電子元件封裝體製造方法中，由於可藉由溝槽內含接觸孔群組的導孔封裝技術(trench group via packaging，簡稱 TGV 技術)，克服上述深寬比(aspect ratio)的技術障礙，並增加製程的裕度(process margin)。

第 4A-4D 圖係顯示根據本發明各實施例電子元件封裝體的溝槽內的導電電極群組的示意圖。請參閱第 4A 圖，晶片本體中的溝槽 213a，其底部範圍涵蓋一縱列式導電電極 212a，沿溝槽 213a 的縱軸方向排列。再者，溝槽 213b，其範圍包括一橫行式導電電極 212b，沿溝槽 213b 的橫軸方向排列，如第 4B 圖所示。更有甚者，溝槽 213c 的涵蓋範圍包括一矩陣式導電電極 212c，包含 4 個以上導電電極 212c 構成之陣列。

請參閱第 4D 圖，應注意的是，根據本發明另一實施例，可藉由重佈線路層(redistribution layer，RDL) 210 或延伸電極(extension pad)將不同位置的電極 212d'重新佈

局至同一溝槽內之導電電極 212d。因此，原先來自不同區域的導電電極可藉由重佈線路層延伸至同一溝槽 213d 所涵蓋的範圍內，而每個溝槽內則可依據原導電電極的特性重新群組數個相同電性或是特定規格的導電電極群組，例如輸出入(I/O)電極群組、接地電極群組或電源電極群組等。

此外，在上述單一封裝晶片中，由於溝槽幾乎貫穿整個晶片本體，因此溝槽底部與晶片表面之間並未保留空間，然而考量晶片本體在特定場合中可能需要額外包含一些積體電路，感測薄膜，或是空腔結構。因此，在可改善深寬比的前提下，溝槽可以毋須整個貫穿晶片本體，例如以下實施例所述，溝槽底部至晶片表面之間可保留一些區域以容納這些元件。

首先請參閱第 5F 圖，其顯示本發明之一實施例的電子元件封裝體的剖面圖。電子元件封裝體 100 包括一晶片本體 500，其具有第一表面 S1 及相對之第二表面 S2，其中晶片的第一表面 S1 上或其上方包括多個導電電極 512，例如導電接觸墊或一重佈線路層。溝槽 513 則自第二表面 S2 向第一表面 S1 的方向延伸進入晶片本體 500 中，且溝槽底部 513a 與晶片 500 的第一表面 S1 相隔一既定距離 D1。在本實施例中，兩個以上之接觸孔 613，可自單一溝槽底部 513a 延伸至對應的導電電極 512 上，以露出該些導電電極 512 的接觸面。

另為隔離晶片本體 500 和後續形成之導線層，上述

電子元件封裝體更包括一絕緣層 514，其可順應性地覆蓋晶片 500 的第二表面 S2，延伸至溝槽側壁 513c 和底部 513a，並且自溝槽底部 513a 繼續延伸至該些接觸孔 613 側壁。

其中，溝槽底部 513a 與晶片第一表面 S1 之間的區域，即可用來容納積體電路、感測薄膜、或空腔結構等半導體元件。而在本例中，接觸孔 613 由於係鄰接此區域，因此，接觸孔 613 的高度至少應高於積體電路、感測薄膜、或空腔結構等所需設置的區域。

如第 5F 圖所示，多條導線層 516 係位於絕緣層 514 上，每條導線層 516 可自第二表面 S2 延伸至溝槽側壁 513c 及溝槽底部 513a，並經由對應之接觸孔 613 延伸至導電電極 512 的接觸表面上。其中，填充層 518 可填入晶片 500 之溝槽 513 中，並延伸至第二表面 S2 上。值得注意的是，在一實施例中，溝槽 513 至少含兩個以上之接觸孔 613，且每個接觸孔 613 僅露出一導電電極 512 的接觸面(contact surface)。導電電極 112 可為為一導電接觸墊(conductive pad)或一重佈線路層(RDL)。

上述之電子元件封裝體，另更包括一封裝層，如上封裝層 505 或蓋板以覆蓋主動區域 510。在一實施例中，上封裝層 505 與主動區域 510 之間可包括一間隙(cavity) 507，且間隙 507 係由一間隔層(dam) 508 所圍繞。為了增加密合度，於間隔層 508 與上封裝層 505 之間可增加一額外的接合層 506，一般而言，間隔層 508 位於導電電

極 112 上。此外，導線層 516 的另一端係沿溝槽 513 的側壁延伸至晶片本體 500 第二表面(背面)上的導電凸塊或鐳墊陣列 520。而填充層 518，例如聚亞醯胺(PI)，在此則做為焊料遮罩。

在本例中，溝槽底部 513a 與晶片第一表面 S1 之間的區域的厚度 D1 實質上為晶片厚度的 5%至 80%。其設計原則係基於所需容納之半導體元件厚度，溝槽與接觸孔之深寬比的調整，以及晶片本體的結構強度作一綜合考量。例如，晶片選擇厚度為 100 $\mu\text{m}$  至 200 $\mu\text{m}$  之間時，溝槽底部 513a 與晶片第一表面 S1 之間的區域的厚度以 5 $\mu\text{m}$  至 80 $\mu\text{m}$  之間為佳。或者當晶片厚度約在 130 $\mu\text{m}$  至 160 $\mu\text{m}$  之間時，考量上述因素，溝槽底部 513a 與晶片第一表面 S1 之間的區域的厚度則以 10 $\mu\text{m}$  至 75 $\mu\text{m}$  之間為佳。

上述電子元件封裝體之部分製造流程，係如第 5A-5E 圖所示。首先請參閱第 5A 圖，提供一晶圓 600，包含多個晶粒區，以承載或形成多顆晶片 500，每個晶片 500 具有一第一表面 S1 及相對之第二表面 S2，其中各晶片本體 500 的第一表面 S1 上或其上方包括多個導電電極 512，且該些晶片 500 與導電電極 512 之間另形成一絕緣層 614，例如，由氧化矽、氮氧化矽或低介電常數材料層組成。

在半導體晶圓 600 上一般係包括複數個電子元件晶片，例如為影像感測元件，並且在影像感測元件上可具

有對應的微透鏡陣列做為影像感測面。

接著，將半導體晶圓 600 的正面，亦即具有電子元件晶片 500 的第一表面 S1 與封裝層 505 黏接，封裝層係做為封裝的承載結構，其可以是例如玻璃、石英(quartz)、蛋白石(opal)、塑膠或其它任何可供光線進出的透明基板。值得一提的是，也可以選擇性地形成濾光片(filter)及/或抗反射層(anti-reflective layer)於封裝層上。在封裝層 505 與半導體晶圓 600 之間可設置間隔層(spacer)508，使半導體晶圓 600 與封裝層 505 之間形成間隙(cavity)507，間隙 507 係被間隔層 508 所圍繞，例如是環氧樹脂等黏著材料。

接著，可選擇進一步薄化晶圓的步驟。例如從半導體晶圓 600 的背面 S2 予以薄化，成為一具有上述預定厚度的半導體晶圓，該薄化製程可以是蝕刻(etching)、銑削(milling)、磨削(grinding)或研磨(polishing)等方式。

然後於上述晶片本體 500 中形成多個溝槽 513，例如藉由蝕刻製程除去部份之矽基底材料，使溝槽沿著第二表面 S2 向第一表面 S1 的方向延伸，其中溝槽底部 513a 與晶片的第一表面 S1 相隔一既定距離 D，藉此可保留一區域 700 以容納所需的半導體元件，同時仍可適度降低溝槽和接觸孔的深寬比並維持晶片的一定強度。其次，蝕刻溝槽底部 513a，形成露出絕緣層 614 表面之多個接觸孔 613，在一實施例中，一溝槽可包含兩個以上之接觸孔。



然後，請參閱第 5B 圖，可藉由蝕刻製程，例如利用乾蝕刻方式除去位於接觸孔 613 內之絕緣層 614 以露出導電電極 512 之接觸面。

請參閱第 5C 圖，為了隔離晶片本體 500 與後續之導線層 516，可先順應性形成一絕緣層 514 以覆蓋晶片 500 的第二表面 S2，並延伸至溝槽的側壁 513c 和底部 513a，且自溝槽底部 513a 繼續延伸至該些接觸孔側壁 613c。

在一實施例中，如熱預算允許，絕緣層 514 可藉由對晶片本體 500 之矽表面實施熱氧化製程而直接形成一薄氧化層；其中由於導電電極一般為金屬材料，因此不會形成氧化層，亦無須額外的去除步驟。

在另一實施例中，順應性形成絕緣層 514 的方法可包括下列步驟。首先順應性形成一感光性絕緣材料層以覆蓋晶片的第二表面 S2，並延伸至溝槽 513 的側壁 513c 和底部 513a，並且自溝槽底部 513a 繼續延伸至接觸孔 613 側壁 613c 及底部。

然後請參閱第 5D 圖，對感光性絕緣材料層進行局部曝光，藉由顯影液顯影去除位於接觸孔 613 底部之感光性絕緣材料層，並露出該些導電電極 512 的接觸表面 613a。在本例中，可選擇感光型之有機高分子材料，其成分可包含但不限於聚醯亞胺樹脂(polyimide; PI)、苯環丁烯(butylcyclobutene; BCB)、聚對二甲苯(parylene)、萘聚合物(polynaphthalenes)、氟碳化物(fluorocarbons)、丙烯酸酯(acrylates)等，且此感光型之有機高分子材料可以

是利用塗佈方式，例如旋轉塗佈 (spin coating)、噴塗 (spray coating) 或淋幕塗佈 (curtain coating)，或者是其它適合之沈積方式形成。

請參閱第 5E 圖，形成多條導線層 516 於絕緣層 514 上，每條導線層 516 自第二表面 S2 延伸至溝槽側壁 513c 且沿著溝槽底部 513a 經由對應之接觸孔 613 延伸至導電電極 512 的接觸表面 613a 上，例如可藉由物理氣相沈積法 (PVD) 或濺鍍法 (sputtering)，順應性地沈積例如是銅、鋁、銀 (silver; Ag)、鎳 (nickel; Ni) 或其合金的導電層在溝槽 513、接觸孔 613 內及半導體晶圓 500 的背面 S2 上，再藉由微影蝕刻製程圖案化導電層，以形成導線層 516。在本例中，同一溝槽內連接不同接觸孔之導電電極的導線層彼此係電性隔離，其中導電電極一般係包括一導電接觸墊或一重佈線路層。

接著，請參閱第 5F 圖，形成保護層 (passivation) 518 於導線層 516 上，覆蓋半導體晶圓 500 的背面 S2 以及溝槽 513 或接觸孔 613，保護層例如為阻焊膜 (solder mask)。然後，形成導電凸塊 (conductive bump) 520 穿過保護層 518 與導線層 516 電性連接。在一實施例中，於形成上述保護層 518 後，可藉由圖案化此保護層 518 以形成暴露部分導線層 516 的開口，接著，藉由電鍍或網版印刷 (screen printing) 的方式，將一錫料 (solder) 填入於上述開口中，且進行一迴錫 (re-flow) 製程，以形成例如是錫球 (solder ball) 或錫墊 (solder paste) 的導電凸塊 520。接

著，沿切割道 SC(scribe line)分割上述晶圓，以分離各電子元件晶片，完成本發明之電子元件封裝體。

此外，前述溝槽的形成位置亦可為橫跨於兩相鄰晶片的側邊及切割區上，如以下實施例所述，然而，為簡化起見，以下實施例中包含與前述實施例相似或相同之元件或製程者，將不再予以贅述。

本實施例之電子元件封裝體之部分製造流程，係如第 6A-6B 圖所示，其中第 6B 圖顯示第 6A 圖的電子元件封裝體沿線 6B-6B 的剖面示意圖。請同時參閱第 6A、6B 圖，本製程所提供之晶圓 600，包含多個晶粒區，以承載或形成多顆晶片，且任兩相鄰晶片 500a 和 500b 間包括一切割區 SC，每個晶片具有一第一表面 S1 及相對之第二表面 S2，其中各晶片的第一表面 S1 上或上方包括多個導電電極 512，且晶片與導電電極 512 之間係包括一絕緣層 614。此外，封裝層 505、間隔層 508 及晶圓薄化等製程係如前所述，於此不再詳細說明。

本實施例所欲形成之溝槽 513，其位置係橫跨於兩相鄰晶片 500a 和 500b 之側邊與切割區 SC 上，其沿著第二表面 S2 向第一表面 S1 的方向延伸，其中溝槽底部 513a 與兩相鄰晶片 500a 和 500b 的第一表面 S1 相隔一既定距離 D1。

接著蝕刻溝槽底部 513a 以分別於兩相鄰晶片 500a 和 500b 中形成露出絕緣層 614 表面之多個接觸孔 613。然後蝕刻位於接觸孔 613 內之絕緣層 614 以露出導電電

極 512。

其次，順應性形成一絕緣層 514 以覆蓋晶片的第二表面 S2，並延伸至溝槽的側壁 513c 和底部 513a，並且自溝槽底部 513a 繼續延伸至接觸孔側壁 613c。其形成方式如前所述，可選擇使用熱氧化法對矽基底進行氧化，或先塗佈一層感光型有機高分子材料，再藉由實施局部曝光顯影的方式完成。

之後，形成多條導線層 516 於絕緣層 514 上，每條導線層 516 自第二表面 S2 延伸至溝槽側壁 513c 及溝槽底部 513a，並經由對應之接觸孔 613 延伸至導電電極 512 的接觸表面上。其形成方式可包括先沈積一導電材料，再利用圖案化製程定義形成所需之導線層，其中，所定義之導線層可選擇在鄰近切割區 SC 的位置予以斷開，因此可以避免與外界產生反應。

接續形成填充層 518 以填滿晶片 500a 和 500b 之溝槽 513，並延伸至第二表面 S2 上，並於形成所需之導電凸塊後，即可沿切割區 SC 分割晶圓 600 以分離出多個封裝晶片。

依據上述製程，由於溝槽經過分割後，成為晶片之凹陷區，如晶片 500a 或 500b 所示，因此所形成之電子元件封裝體中，位於第二表面 S2 之一側邊區域 S3 係向內退縮以形成凹陷區。以晶片 500a 為例，凹陷區底部 513a 與晶片 500a 的第一表面 S1 相隔一既定距離 D1。而兩個以上之接觸孔 613，則自凹陷區底部 513a 延伸至對應的

導電電極 512 上，以露出導電電極的接觸面。絕緣層 514，順應性地覆蓋晶片 500a 的第二表面 S2，並延伸至凹陷區側壁和底部，並且自凹陷區底部 513a 繼續延伸至接觸孔側壁 613c。

多條導線層 516 則位於絕緣層 514 上，每條導線層 516 自第二表面 S2 延伸至凹陷區側壁 513c 及凹陷區底部 513a，並經由對應之接觸孔 613 延伸至導電電極 512 的接觸表面上。在一實施例中，填充層 518 則填入晶片 500a 之凹陷區，並延伸至第二表面 S2 上，封裝層 505 則可用以覆蓋第一表面 S1，其中第一表面 S1 可包括晶片之主動面，且第二表面 S2 包括晶片之背面。上述導線層 516 和接觸孔 613 外側由於尚包覆有凹陷區內之填充層 518 和局部晶片本體 500c，因此具有足夠的保護作用。

另如同前述，在一實施例中，凹陷區底部與晶片第一表面之間的區域的厚度實質上為晶片厚度的 5% 至 80%。例如，晶片選擇厚度為 100 $\mu$ m 至 200 $\mu$ m 之間時，凹陷區底部 513a 與晶片第一表面 S1 之間的區域的厚度以 5 $\mu$ m 至 80 $\mu$ m 之間為佳。或者當晶片厚度約在 130 $\mu$ m 至 160 $\mu$ m 之間時，凹陷區底部 513a 與晶片第一表面 S1 之間的區域的厚度則以 10 $\mu$ m 至 75 $\mu$ m 之間為佳。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作此許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍

所界定為準。

### 【圖式簡單說明】

第 1 圖顯示一種傳統的電子元件封裝體的局部角落的平面圖；

第 2A-2C 圖顯示電子元件封裝體的製程實施例；

第 3 圖顯示第 2A 圖的電子元件封裝體沿切割線 3-3 的剖面示意圖；

第 4A-4D 圖係顯示根據本發明各實施例電子元件封裝體的構槽內的導電接觸墊群組的示意圖；

第 5A-5F 圖顯示電子元件封裝體的另一製程實施例；

第 6A-6B 圖顯示電子元件封裝體的另一製程實施例。

### 【主要元件符號說明】

習知部分(第 1 圖)

1~傳統電子元件封裝體；

5~蓋板；

12~導電接觸墊；

13~孔洞；

13a~接觸孔。

本案部分(第 2A~4D 圖)

100~電子元件封裝體；

105~上封裝層；

106~黏結層；

107~間隙(cavity)；

108~間隔層(dam)；

110~主動區；

111~週邊區域；

112~導電接觸墊；

113~溝槽；

113a~接觸孔；

113c~溝槽的側壁；

114~絕緣層；  
 118~填充層；  
 D~溝槽的深度；  
 210~重佈線路層 (redistribution layer, RDL)；  
 212a-212d、212d'~導電電極；  
 213a-213d~溝槽。

本案部分(第 5A~6B 圖)

600~晶圓；  
 505~上封裝層；  
 507~間隙 (cavity)；  
 510~主動區；  
 513~溝槽；  
 513a~溝槽底部；  
 613c~接觸孔側壁；  
 514~絕緣層；  
 518~填充層；  
 D1~溝槽的深度。

500~電子元件封裝體；  
 506~黏結層；  
 508~間隔層 (dam)；  
 512~導電電極；  
 513c~溝槽側壁；  
 613~接觸孔；  
 613a~接觸孔底部；  
 516~導線層；  
 520~導電凸塊；



## 十、申請專利範圍：

1. 一種電子元件封裝體，包括：  
一晶片，具有一第一表面及相對之一第二表面；及  
一溝槽，自該第二表面向該第一表面的方向延伸進入該晶片本體中，其中該溝槽底部係包括兩個以上之接觸孔。
2. 如申請專利範圍第 1 項所述之電子元件封裝體，更包括一絕緣層，順應性地覆蓋該晶片的第二表面，延伸至該溝槽側壁，並且於該溝槽底部分別圍繞住該些接觸孔。
3. 如申請專利範圍第 1 項所述之電子元件封裝體，其中該晶片的第一表面上或上方包括多個導電電極，且該溝槽底部之每個接觸孔露出對應的該導電電極的一接觸面。
4. 如申請專利範圍第 3 項所述之電子元件封裝體，其中每個導電電極包括一導電接觸墊或一重佈線路層。
5. 如申請專利範圍第 2 項所述之電子元件封裝體，更包括多條導線層位於該絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁且於該溝槽底部經由對應之接觸孔延伸至該導電電極的接觸表面上。
6. 如申請專利範圍第 2 項所述之電子元件封裝體，更包括一填充層填滿該晶片之該溝槽中，並延伸至該第二表面上。
7. 如申請專利範圍第 3 項所述之電子元件封裝體，

其中該些導電電極的排列方式包括列、行、或 4 個導電電極以上構成之陣列。

8. 如申請專利範圍第 3 項所述之電子元件封裝體，其中該些導電電極及相鄰兩電極間之區域係位於該溝槽底部所圍繞的範圍內。

9. 如申請專利範圍第 8 項所述之電子元件封裝體，其中該第一表面包括該晶片之一主動面，且更包括一封裝層，用以覆蓋該主動面。

10. 如申請專利範圍第 9 項所述之電子元件封裝體，其中該封裝層與該主動面之間包括一間隙，且該間隙係由一間隔層所圍繞。

11. 如申請專利範圍第 10 項所述之電子元件封裝體，其中該間隔層係位於該些導電電極上。

12. 一種電子元件封裝體的製作方法，包括：

提供一晶圓，包含多個晶粒區，以承載或形成多顆晶片，其中每個晶片具有一第一表面及相對之一第二表面，其中各晶片的第一表面上或上方包括多個導電電極；

於每個晶片中形成多個溝槽，其沿著該第二表面向該第一表面的方向延伸，以使每個溝槽底部露出兩個以上之導電電極；

順應性形成一絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部；及

圖案化該絕緣層以在每個溝槽的底部形成兩個以上的接觸孔，其暴露出該些導電電極的表面。

13. 如申請專利範圍第 12 項所述之電子元件封裝體的製作方法，其中該些導電電極包括一導電接觸墊或一重佈線路層。

14. 如申請專利範圍第 13 項所述之電子元件封裝體的製作方法，更包括形成多條導線層於該絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁且於該溝槽底部經由對應之接觸孔延伸至該導電電極的接觸表面上。

15. 如申請專利範圍第 14 項所述之電子元件封裝體的製作方法，更包括：

形成一封裝層，以覆蓋該些晶片之第一表面；

形成一填充層以填滿該些晶片之溝槽，並延伸至該第二表面上；及

分割該晶圓以分離出多個封裝晶片。

16. 如申請專利範圍第 13 項所述之電子元件封裝體的製作方法，其中該些導電電極的排列方式包括列、行、或 4 個導電電極以上構成之陣列。

17. 一種電子元件封裝體，包括：

一晶片，具有一第一表面及相對之一第二表面；

一溝槽，自該第二表面向該第一表面的方向延伸進入該該晶片本體中，其中該溝槽底部係包括兩個以上之接觸孔；

一絕緣層，順應性地覆蓋該晶片的第二表面，延伸至該溝槽側壁，並且於該溝槽底部分別圍繞住該些接觸孔；

多個導電電極，位於該晶片的第一表面上或上方，且該溝槽底部之每個接觸孔露出對應的該導電電極的一接觸面，其中每個導電電極包括一導電接觸墊或一重佈線路層；及

多條導線層，位於該絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁且於該溝槽底部經由對應之接觸孔延伸至該導電電極的接觸表面上。

18. 如申請專利範圍第 17 項所述之電子元件封裝體，其中，該溝槽內至少有一導電電極係藉一重佈線路層延伸至另一區域。

19. 如申請專利範圍第 18 項所述之電子元件封裝體，其中，該溝槽內的導電電極群組包括輸出入電極群組、電源電極群組或接地電極群組。

20. 如申請專利範圍第 18 項所述之電子元件封裝體，其中，該溝槽內的導電電極群組具有相同的電性。

21. 一種電子元件封裝體，包括：

一晶片，具有一第一表面及相對之一第二表面，其中該晶片的第一表面上或上方包括多個導電電極；

一溝槽，自該第二表面向該第一表面的方向延伸進入該晶片本體中，且該溝槽底部與該晶片的第一表面相隔一既定距離；及

兩個以上之接觸孔，自該溝槽底部延伸至對應的導電電極上，以露出該些導電電極的接觸面。

22. 如申請專利範圍第 21 項所述之電子元件封裝

體，更包括一絕緣層，順應性地覆蓋該晶片的第二表面，延伸至該溝槽側壁和底部，並且自該溝槽底部繼續延伸至該些接觸孔側壁。

23. 如申請專利範圍第 21 項所述之電子元件封裝體，其中該溝槽底部與該晶片第一表面之間的區域，係用以容納積體電路、感測薄膜、或空腔結構。

24. 如申請專利範圍第 23 項所述之電子元件封裝體，其中該接觸孔的高度至少高於該積體電路、感測薄膜、或空腔結構。

25. 如申請專利範圍第 22 項所述之電子元件封裝體，其中每個導電電極包括一導電接觸墊或一重佈線路層。

26. 如申請專利範圍第 25 項所述之電子元件封裝體，更包括多條導線層位於該絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁及溝槽底部，並經由對應之接觸孔延伸至該導電電極的接觸表面上。

27. 如申請專利範圍第 26 項所述之電子元件封裝體，更包括一填充層填滿該晶片之該溝槽中，並延伸至該第二表面上。

28. 如申請專利範圍第 27 項所述之電子元件封裝體，其更包括一封裝層，用以覆蓋該第一表面，其中該第一表面包括該晶片之一主動面，且該第二表面包括該晶片之背面。

29. 如申請專利範圍第 21 項所述之電子元件封裝

體，其中該溝槽底部與該晶片第一表面之間的區域的厚度實質上為該晶片厚度的 5% 至 80%。

30. 如申請專利範圍第 29 項所述之電子元件封裝體，其中該溝槽底部與該晶片第一表面之間的區域的厚度為  $5\mu\text{m}$  至  $80\mu\text{m}$  之間，且該晶片的厚度為  $100\mu\text{m}$  至  $200\mu\text{m}$  之間。

31. 如申請專利範圍第 29 項所述之電子元件封裝體，其中該溝槽底部與該晶片第一表面之間的區域的厚度為  $10\mu\text{m}$  至  $75\mu\text{m}$  之間，且該晶片的厚度為  $130\mu\text{m}$  至  $160\mu\text{m}$  之間。

32. 一種電子元件封裝體的製作方法，包括：

提供一晶圓，包含多個晶粒區，以承載或形成多顆晶片，每個晶片具有一第一表面及相對之一第二表面，其中各晶片的第一表面上或其上方包括多個導電電極，且該些晶片與該些導電電極之間包括一第一絕緣層；

於該些晶片中形成多個溝槽，其沿著該第二表面向該第一表面的方向延伸，其中該些溝槽底部與該晶片的第一表面相隔一既定距離；

蝕刻該些溝槽底部，形成露出該第一絕緣層表面之多個接觸孔，其中至少一溝槽中包含兩個以上之接觸孔；

蝕刻位於該些接觸孔內之第一絕緣層以露出該些導電電極；

順應性形成一第二絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部，並且自該溝槽底

部繼續延伸至該些接觸孔側壁；及

形成多條導線層於該第二絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁且沿著該溝槽底部經由對應之接觸孔延伸至該導電電極的接觸表面上。

33. 如申請專利範圍第 32 項所述之電子元件封裝體的製作方法，其中該些導電電極包括一導電接觸墊或一重佈線路層。

34. 如申請專利範圍第 32 項所述之電子元件封裝體的製作方法，其中該第二絕緣層係藉由對該些晶片實施熱氧化製程形成。

35. 如申請專利範圍第 32 項所述之電子元件封裝體的製作方法，其中順應性形成第二絕緣層的方法包括：

順應性形成一感光性絕緣材料層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部，並且自該溝槽底部繼續延伸至該些接觸孔側壁及底部；及

對該感光性絕緣材料層進行局部曝光，並顯影去除位於該接觸孔底部之感光性絕緣材料層，以露出該些導電電極的接觸表面。

36. 如申請專利範圍第 35 項所述之電子元件封裝體的製作方法，其中該感光性絕緣材料層包括聚醯亞胺樹脂材料。

37. 一種電子元件封裝體的製作方法，包括：

提供一晶圓，包含多個晶粒區，以承載或形成多顆晶片，且任兩相鄰晶片間包括一切割區，每個晶片具有

一第一表面及相對之一第二表面，其中各晶片的第一表面上或上方包括多個導電電極，且該些晶片與該些導電電極之間包括一第一絕緣層；

形成一溝槽，其橫跨於兩相鄰晶片之側邊與該切割區上，其沿著該第二表面向該第一表面的方向延伸，其中該溝槽底部與該兩相鄰晶片的第一表面相隔一既定距離；

蝕刻該溝槽底部以分別於該兩相鄰晶片中形成露出該第一絕緣層表面之多個接觸孔；

蝕刻位於該些接觸孔內之第一絕緣層以露出該些導電電極；

順應性形成一第二絕緣層以覆蓋該些晶片的第二表面，並延伸至該些溝槽的側壁和底部，並且自該溝槽底部繼續延伸至該些接觸孔側壁；及

形成多條導線層於該第二絕緣層上，每條導線層自該第二表面延伸至該溝槽側壁及該溝槽底部，並經由對應之接觸孔延伸至該導電電極的接觸表面上。

38. 如申請專利範圍第 37 項所述之電子元件封裝體的製作方法，更包括：

形成一填充層以填滿該些晶片之溝槽，並延伸至該第二表面上；及

沿該些切割區分割該晶圓以分離出多個封裝晶片。

39. 一種電子元件封裝體，包括：

一晶片，具有一第一表面及相對之一第二表面，其



中該晶片的第一表面上或上方包括多個導電電極，且位於該第二表面之一側邊區域係向內退縮以形成凹陷區，且該凹陷區底部與該晶片的第一表面相隔一既定距離；及

兩個以上之接觸孔，自該凹陷區底部延伸至對應的導電電極上，以露出該些導電電極的接觸面。

40. 如申請專利範圍第 39 項所述之電子元件封裝體，其更包括：

一絕緣層，順應性地覆蓋該晶片的第二表面，延伸至該凹陷區側壁和底部，並且自該凹陷區底部繼續延伸至該些接觸孔側壁；及

多條導線層位於該絕緣層上，每條導線層自該第二表面延伸至該凹陷區側壁及凹陷區底部，並經由對應之接觸孔延伸至該導電電極的接觸表面上。

41. 如申請專利範圍第 40 項所述之電子元件封裝體，更包括：

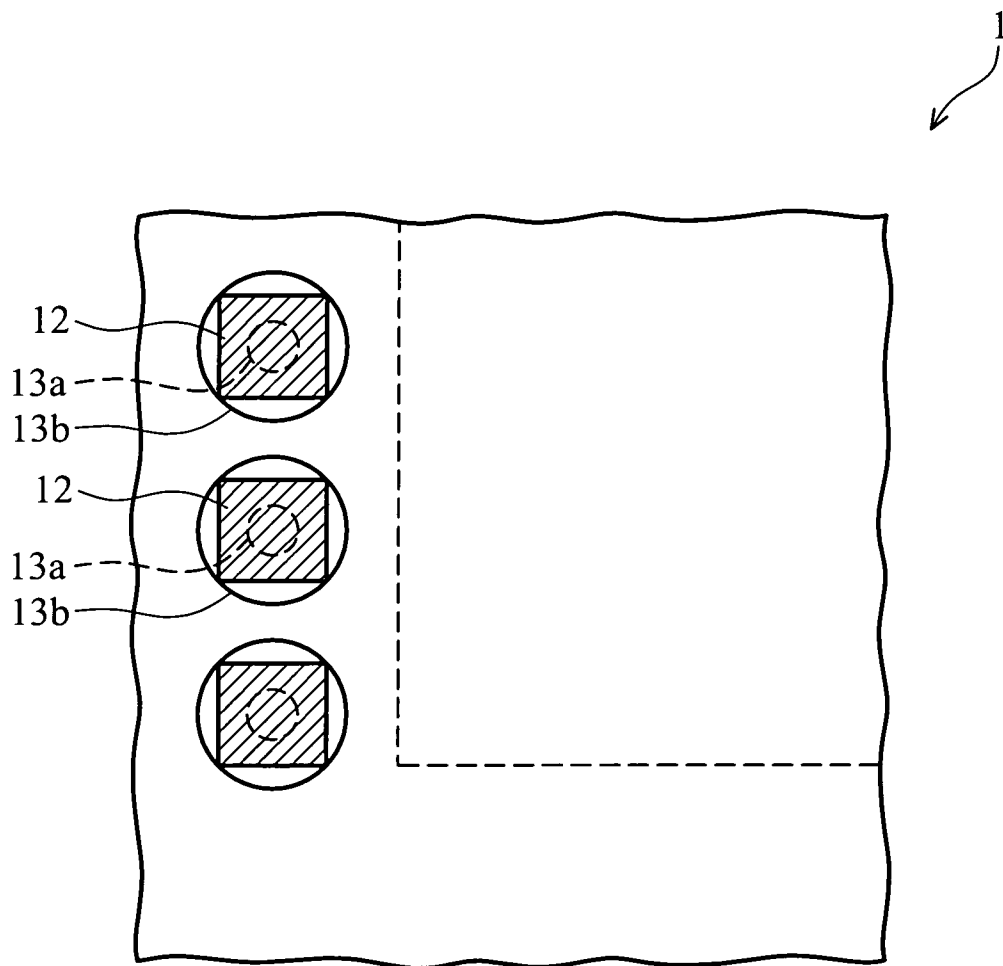
一填充層，填入該晶片之凹陷區，並延伸至該第二表面上；及

一封裝層，用以覆蓋該第一表面，其中該第一表面包括該晶片之一主動面，且該第二表面包括該晶片之背面；

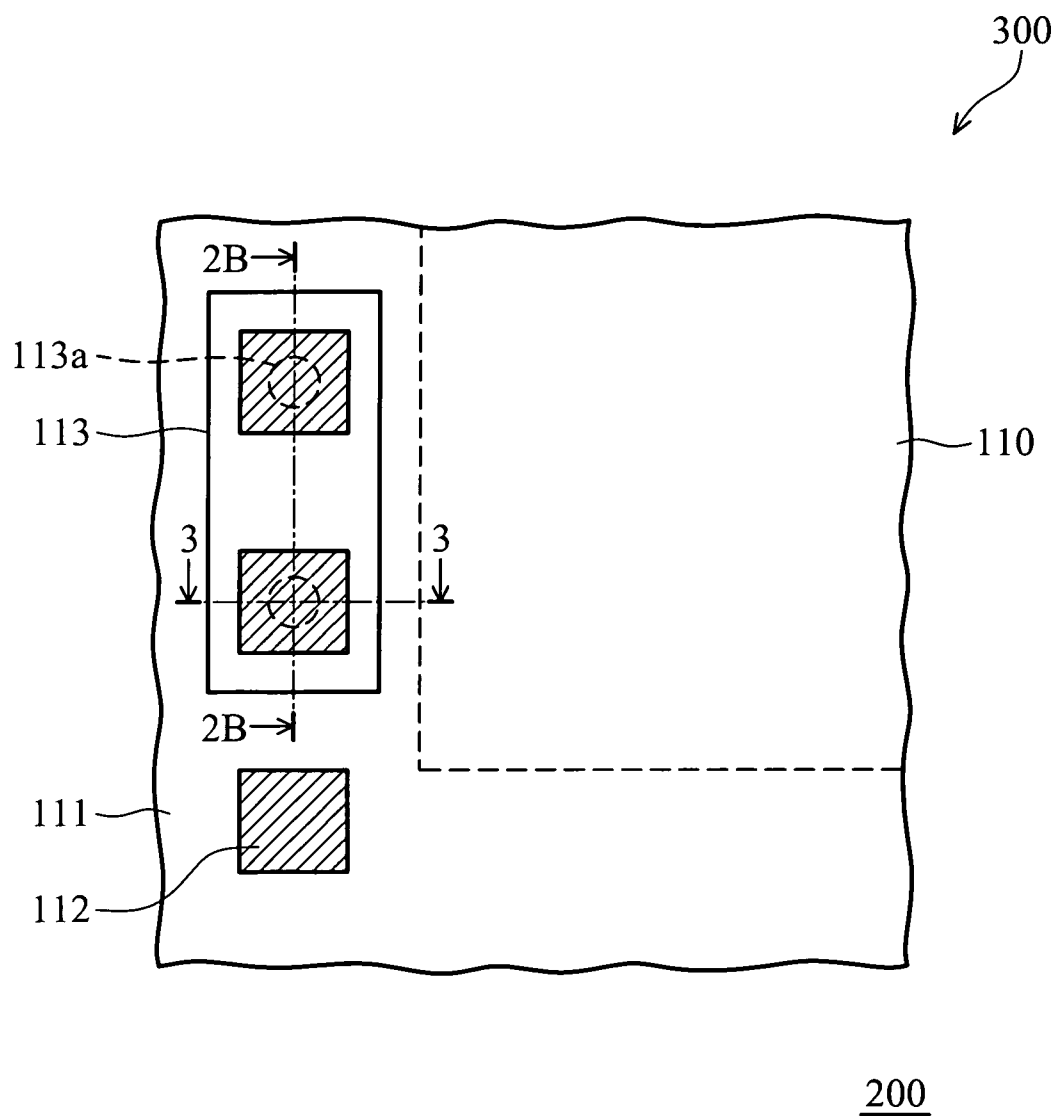
其中該凹陷區底部與該晶片第一表面之間的區域的厚度實質上為該晶片厚度的 5% 至 80%。

42. 如申請專利範圍第 41 項所述之電子元件封裝

體，其中該凹陷區底部與該晶片第一表面之間的區域的厚度為  $5\mu\text{m}$  至  $80\mu\text{m}$  之間，且該晶片的厚度為  $100\mu\text{m}$  至  $200\mu\text{m}$  之間。

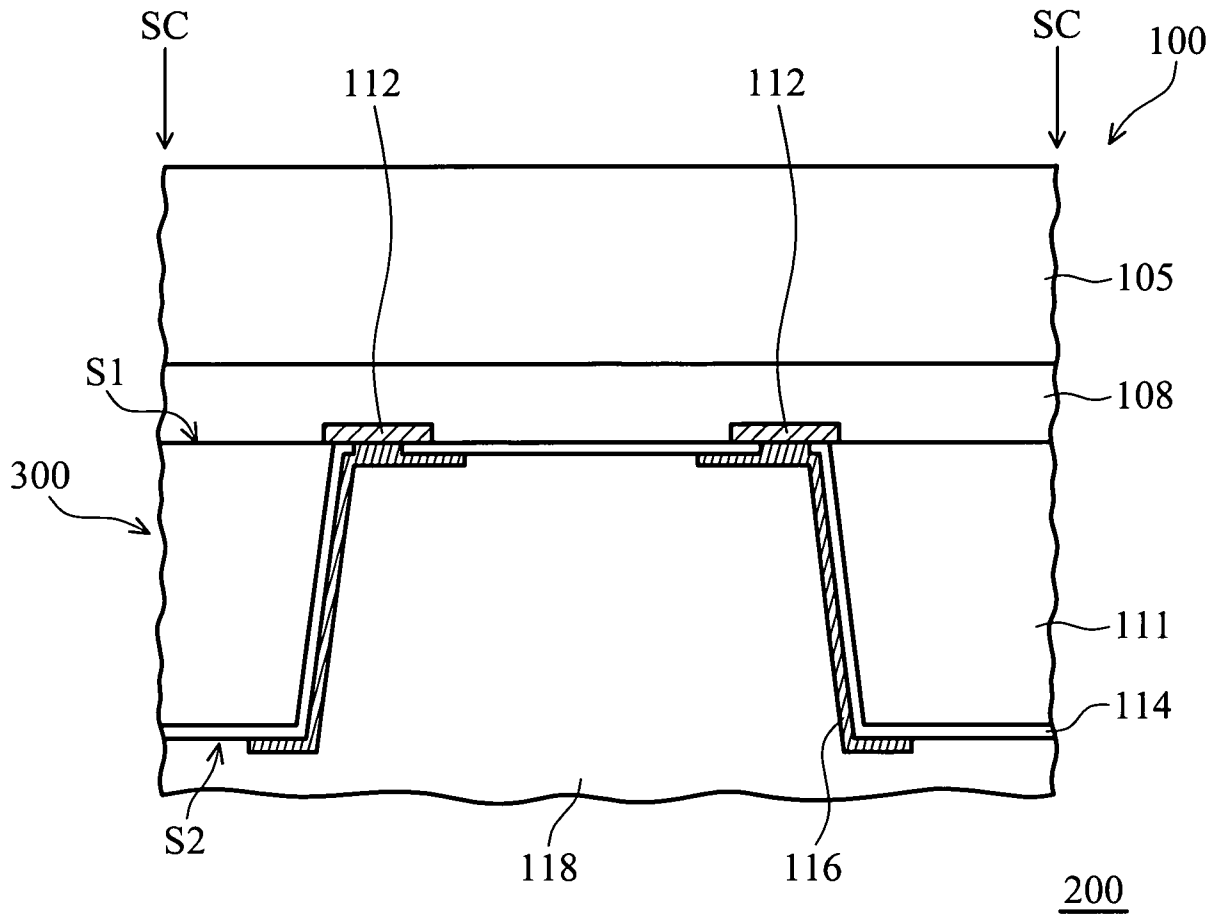


第 1 圖

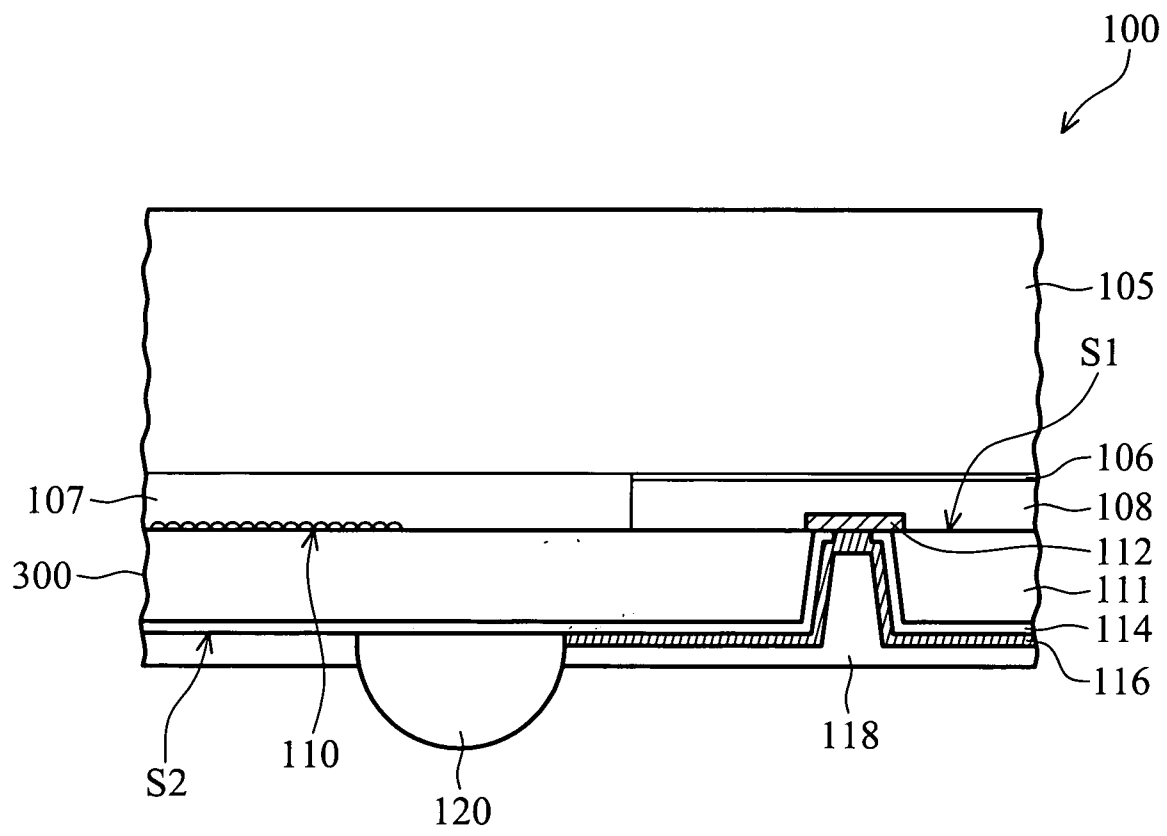


第 2A 圖

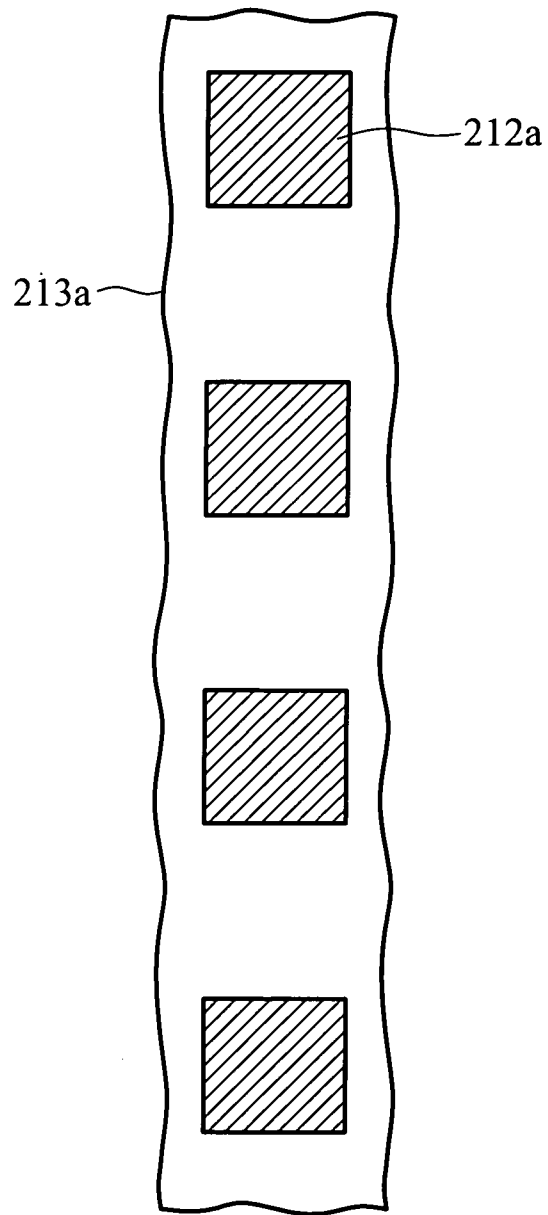




第 2C 圖

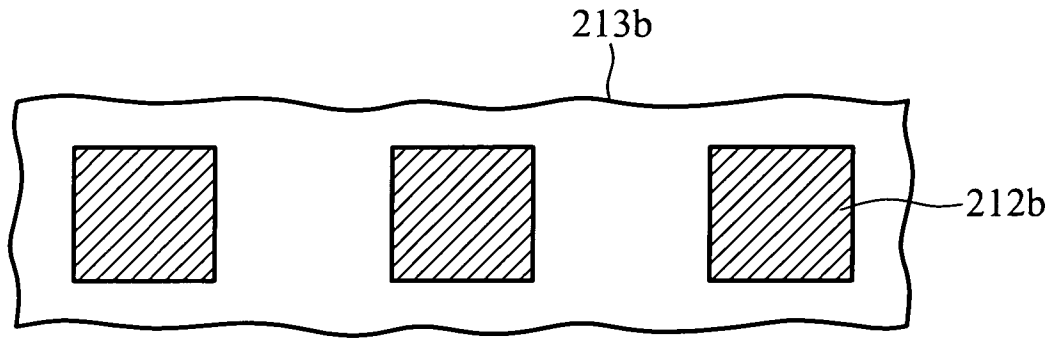


第 3 圖

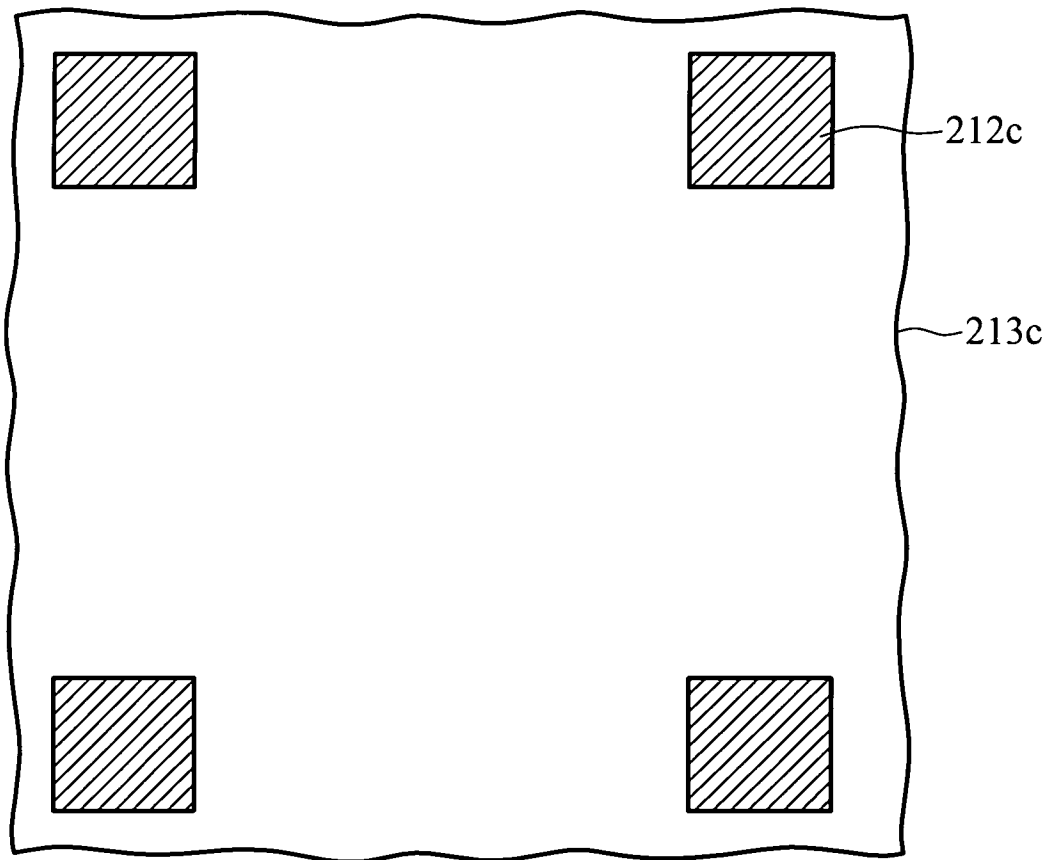


第 4A 圖

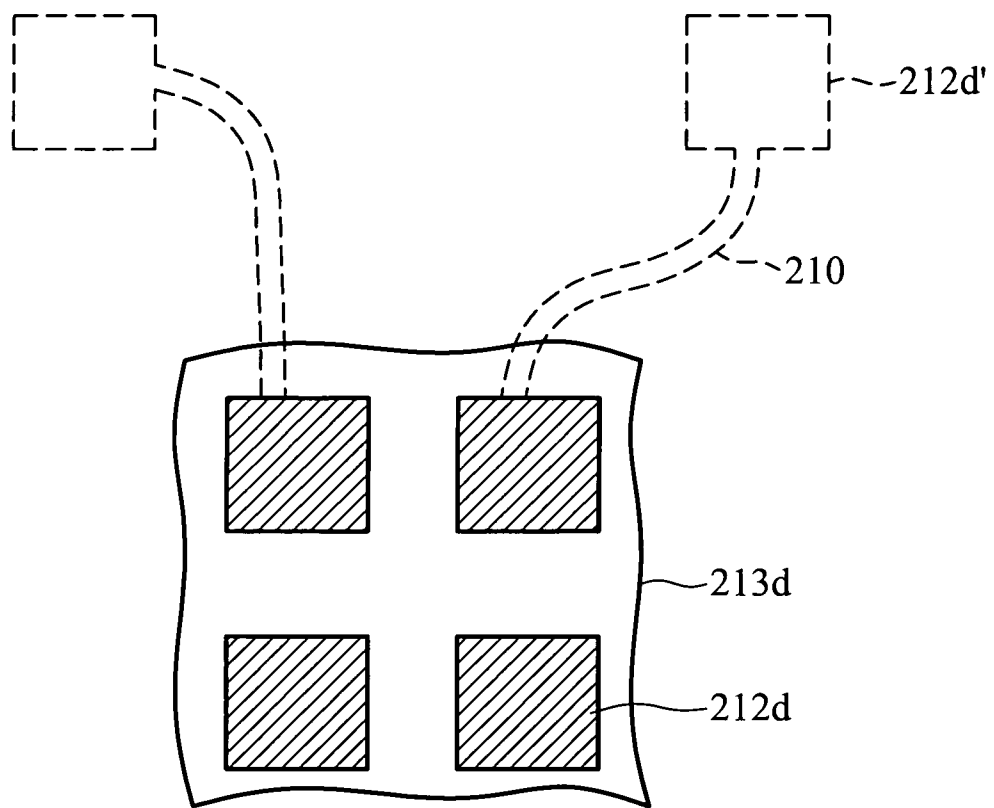




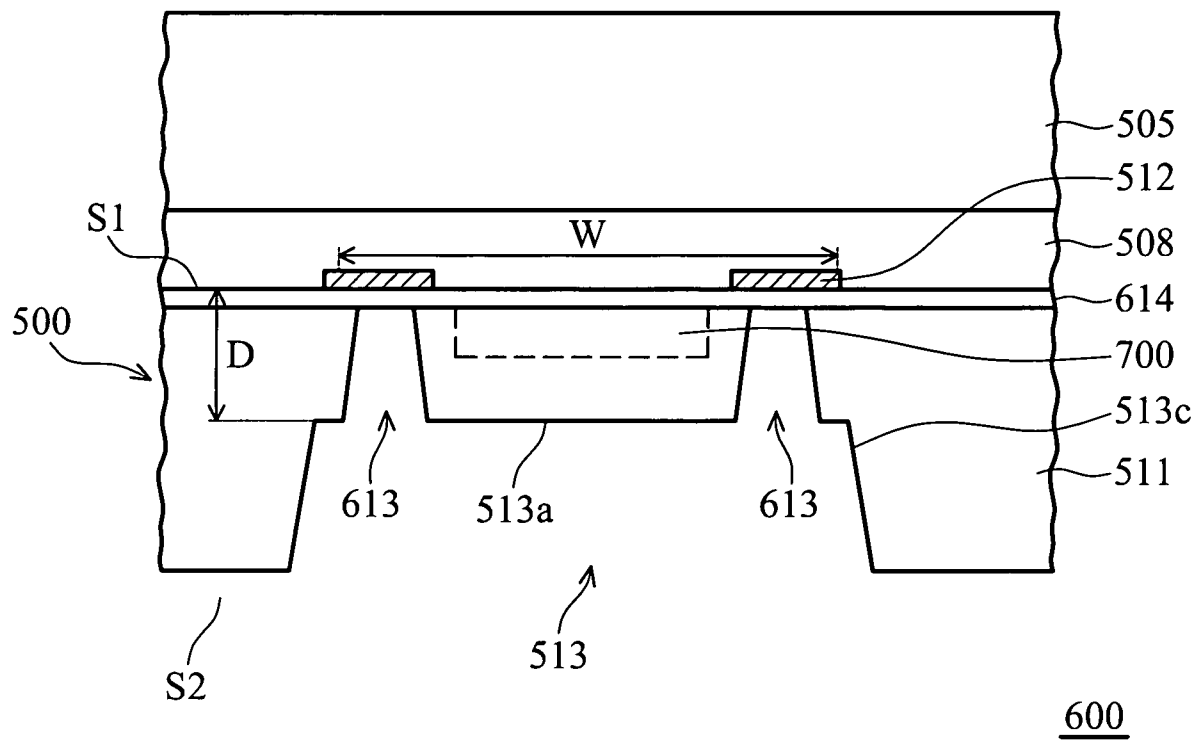
第 4B 圖



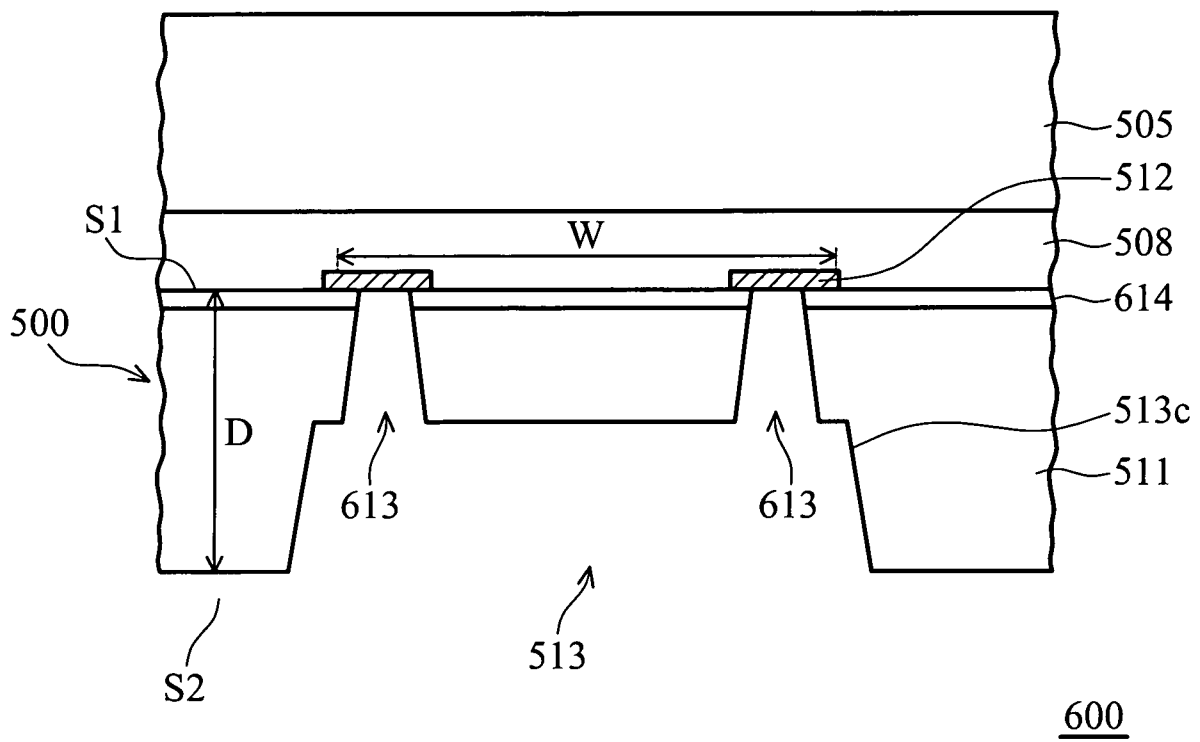
第 4C 圖



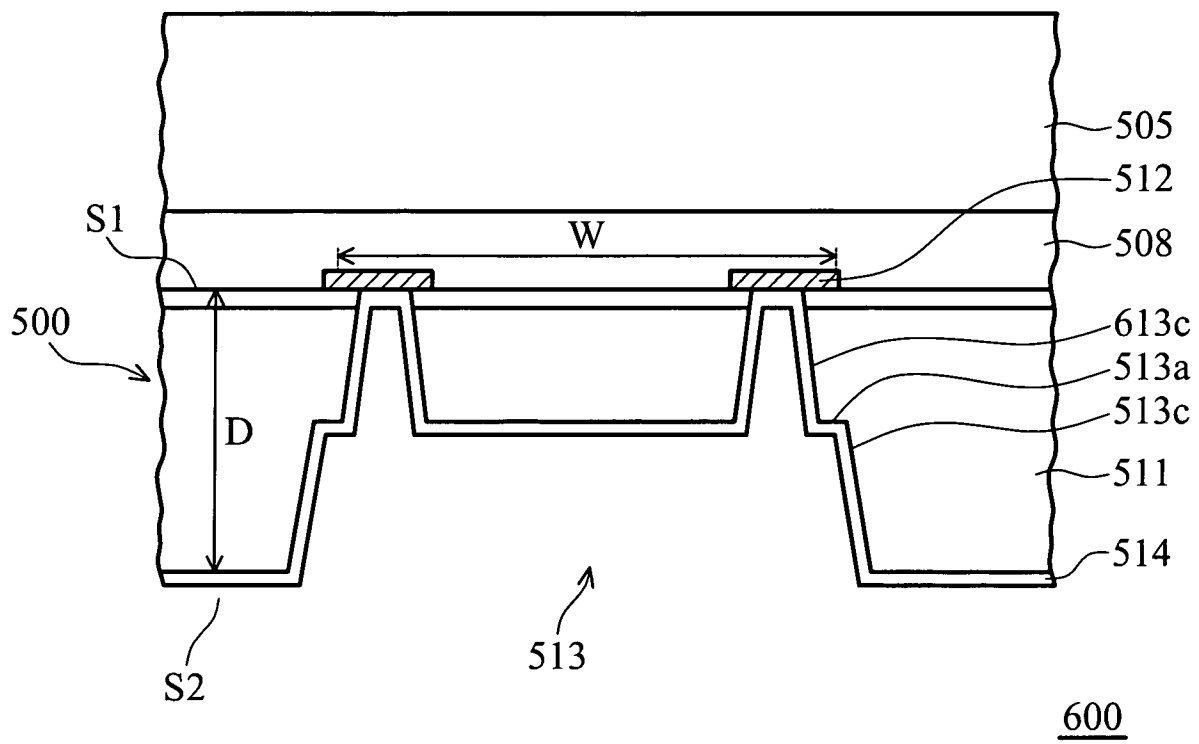
第4D圖



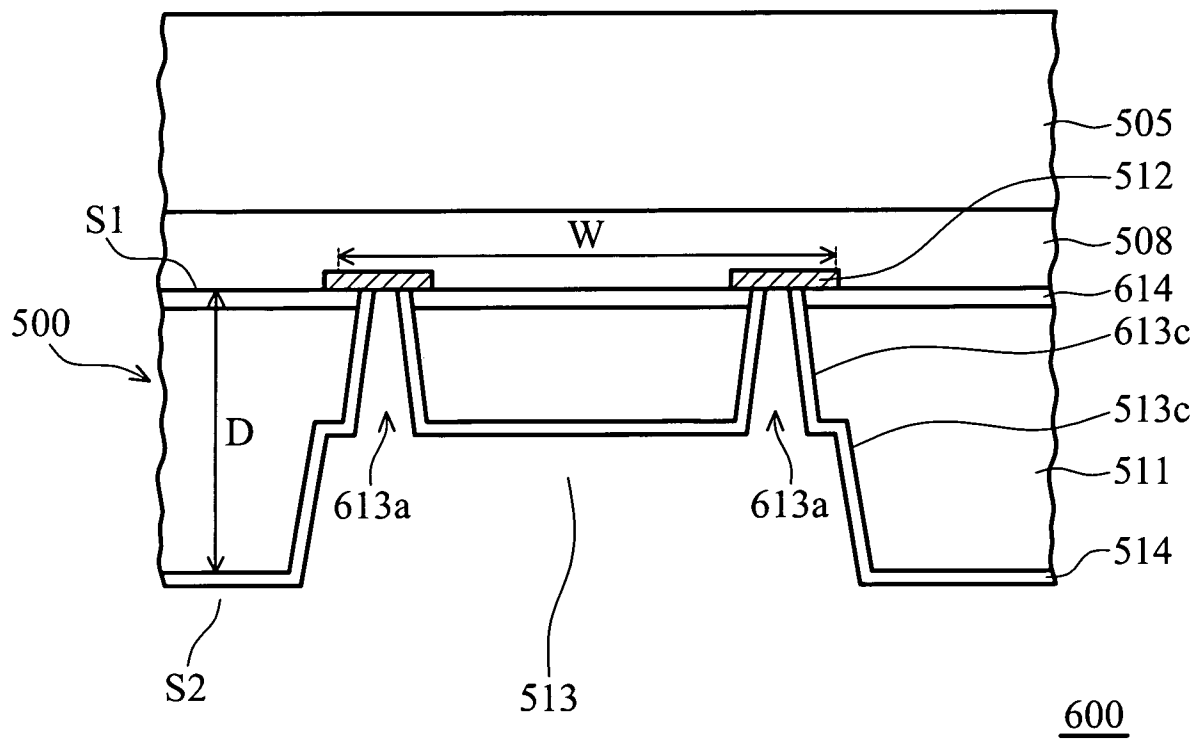
第 5A 圖



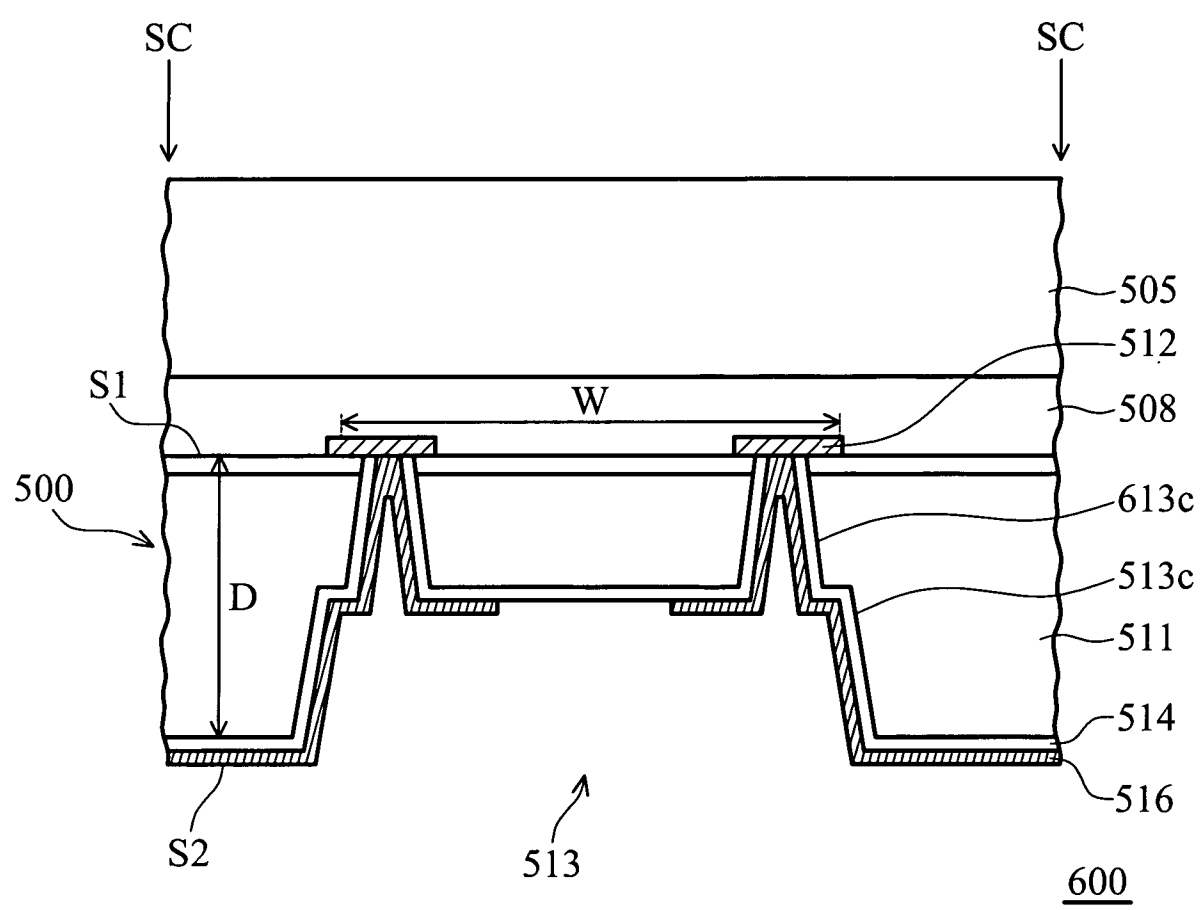
第 5B 圖



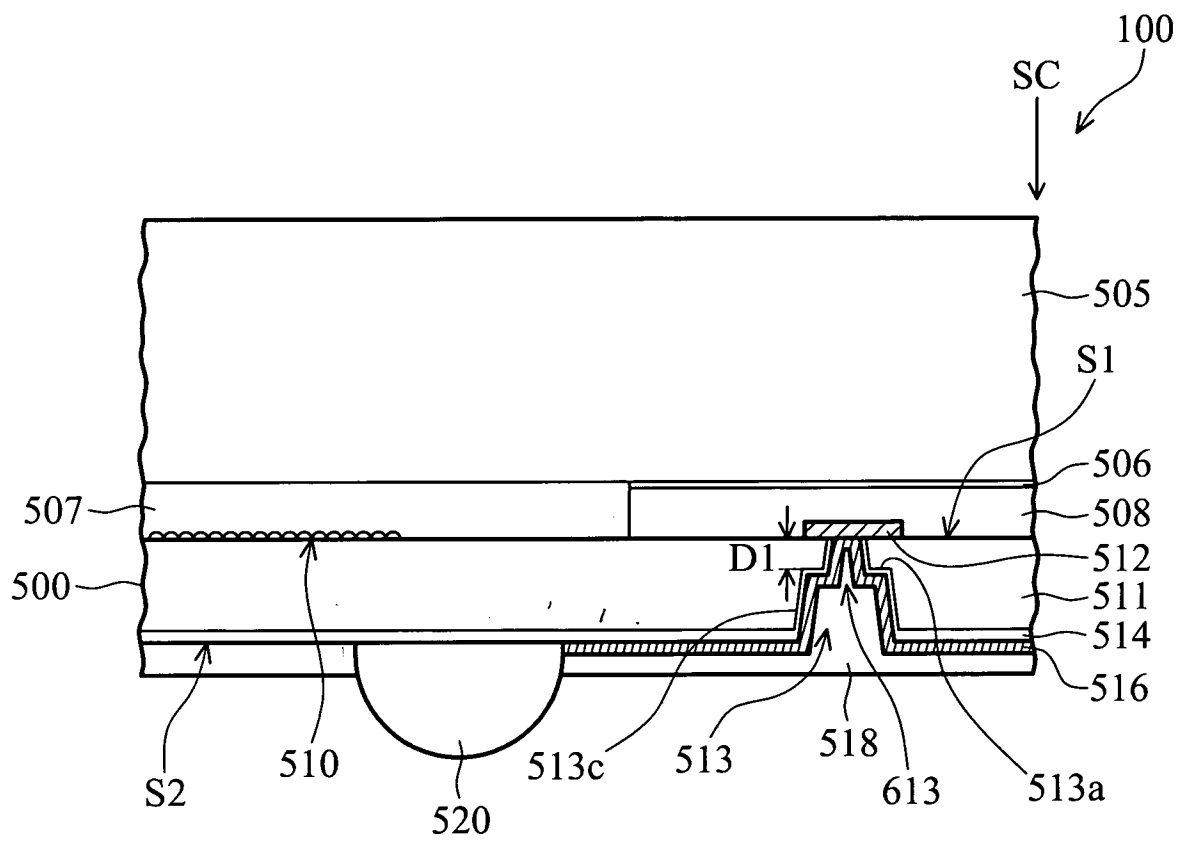
第 5C 圖



第 5D 圖

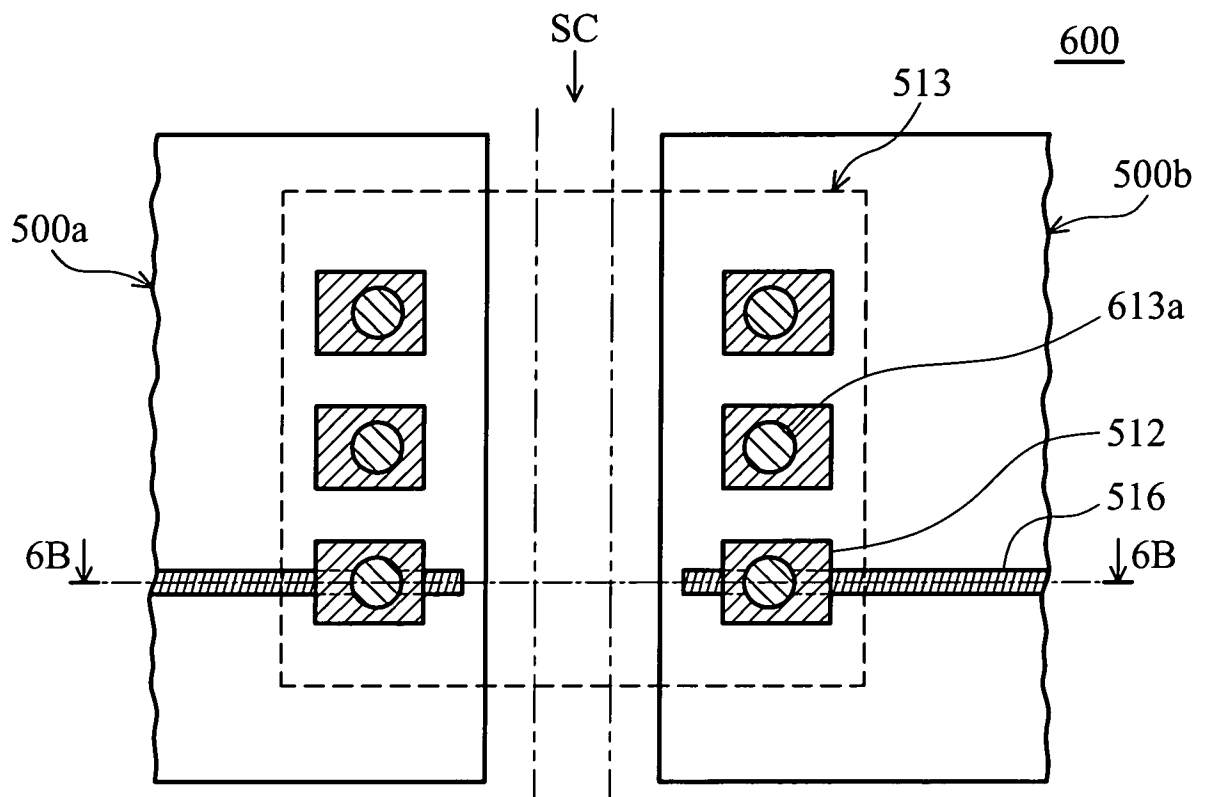


第 5E 圖

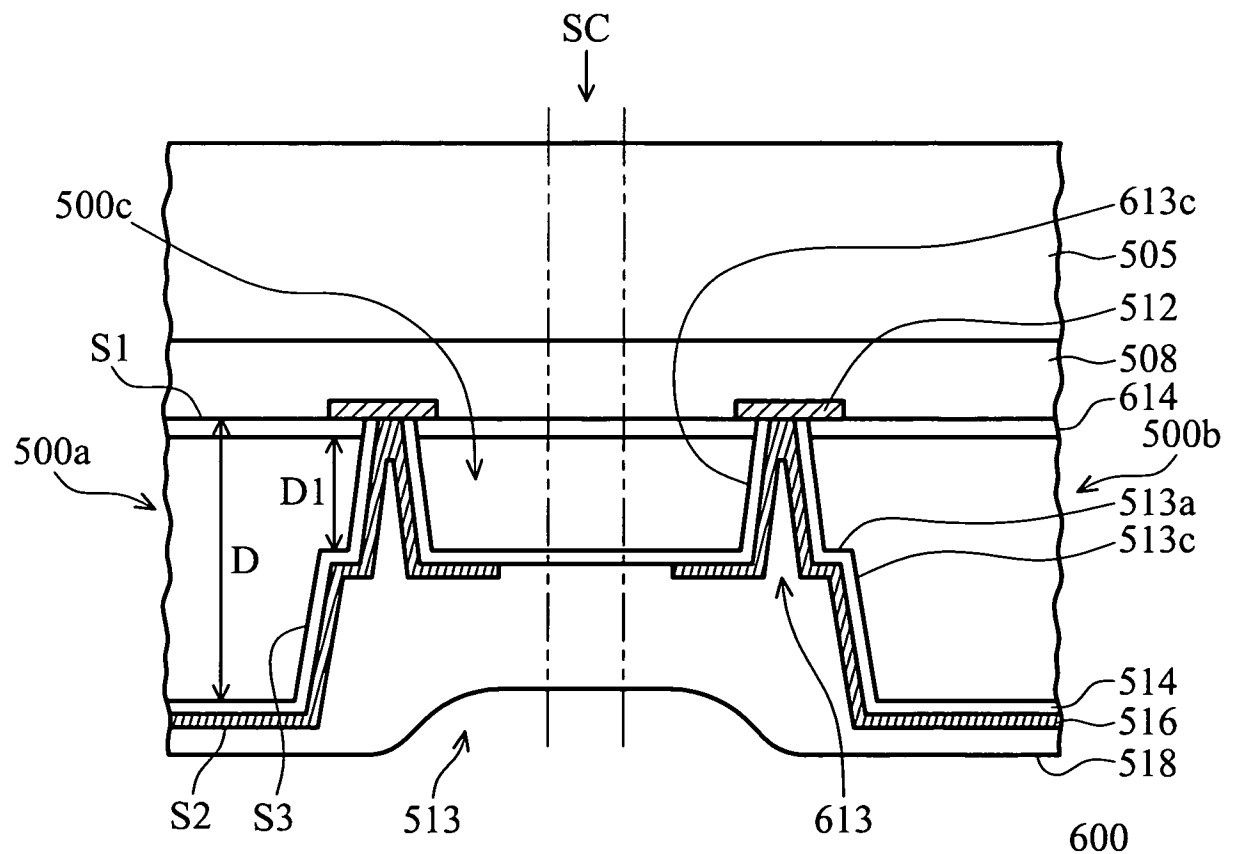


第 5F 圖





第 6A 圖



第 6B 圖