

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4620282号  
(P4620282)

(45) 発行日 平成23年1月26日(2011.1.26)

(24) 登録日 平成22年11月5日(2010.11.5)

(51) Int.Cl.	F I	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 O 2 F
HO 1 L 21/8234 (2006.01)	HO 1 L 27/04	H
HO 1 L 27/04 (2006.01)	HO 3 K 19/00	1 O 1 K
HO 1 L 21/822 (2006.01)	HO 1 L 27/06	3 1 1 C
HO 3 K 19/0175 (2006.01)	HO 3 K 19/003	E
請求項の数 13 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2001-126087 (P2001-126087)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成13年4月24日(2001.4.24)	(74) 代理人	100110928 弁理士 速水 進治
(65) 公開番号	特開2002-324847 (P2002-324847A)	(74) 代理人	100118544 弁理士 野本 可奈
(43) 公開日	平成14年11月8日(2002.11.8)	(74) 代理人	100127236 弁理士 天城 聡
審査請求日	平成20年1月11日(2008.1.11)	(72) 発明者	奥島 基嗣 東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	宇多川 勉
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体装置の入出力端子と内部回路との間に設けられた静電保護装置において、前記入出力端子に接続する入出力配線と一定電位の電極配線との間で互いに並列に接続された第1の絶縁ゲート電界効果トランジスタ(MOSTランジスタ)と第2のMOSTランジスタとを前記静電保護装置は備え、前記第1のMOSTランジスタと第2のMOSTランジスタとは同チャネル型MOSTランジスタであり、前記第2のMOSTランジスタは前記第1のMOSTランジスタより高い駆動能力を有し且つ前記第1のMOSTランジスタで起動するように形成されており、前記入出力端子に過大入力電圧が印加された前記第1のMOSTランジスタの動作時の単位チャネル幅あたりの抵抗値と前記第1のMOSTランジスタに直列の付加抵抗値との和は、前記第2のMOSTランジスタの動作時の単位チャネル幅あたりの抵抗値と前記第2のMOSTランジスタに直列の付加抵抗値との和よりも大きいことを特徴とする半導体装置。

10

【請求項2】

前記第1のMOSTランジスタと第2のMOSTランジスタとは、半導体基板上に設けられた同一のウェル層内に互いに隣接して形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記第1のMOSTランジスタと第2のMOSTランジスタとは、前記内部回路を構成するMOSTランジスタよりも膜厚の厚いゲート絶縁膜を有していることを特徴とする請

20

求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 (第 2) の MOS トランジスタは N チャネル型 MOS トランジスタであり、前記第 1 (第 2) の MOS トランジスタのゲート電極および前記電極配線は接地電位に接続されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 5】

前記入出力端子は電源電位に固定されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 (第 2) の MOS トランジスタは P チャネル型 MOS トランジスタであり、前記第 1 (第 2) の MOS トランジスタのゲート電極および前記電極配線は電源電位に接続されていることを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

10

【請求項 7】

前記第 2 の MOS トランジスタは、半導体装置の出力バッファ回路として動作することを特徴とする請求項 1 から 3 のいずれか 1 項に記載の半導体装置。

【請求項 8】

前記第 1 (第 2) の MOS トランジスタは半導体基板上に設けたトレンチ素子分離領域で囲われ、前記第 1 (第 2) の MOS トランジスタのバックゲート抵抗が前記トレンチ素子分離領域の深さで調整されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体装置。

20

【請求項 9】

前記第 1 の MOS トランジスタのソース・ドレイン拡散層は、互いに接続し一導電型で同不純物濃度を有し互いに接続する第 1 の拡散層と第 2 の拡散層とで構成され、前記第 1 の拡散層は前記第 2 の拡散層より浅く且つ前記第 1 の MOS トランジスタのゲート電極に隣接して形成されていることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

【請求項 10】

前記第 1 の拡散層の下部に逆導電型のポケット拡散層が形成され、前記第 1 の拡散層と前記ポケット拡散層とで形成された接合の耐圧は、前記第 2 の拡散層と半導体基板との間で形成された接合の耐圧より小さいことを特徴とする請求項 9 に記載の半導体装置。

30

【請求項 11】

前記第 1 の MOS トランジスタのゲート電極とゲート絶縁膜を介してオーバーラップする前記第 1 の拡散層の表面領域で電子のバンド間トンネルが起こることを特徴とする請求項 9 または 10 に記載の半導体装置。

【請求項 12】

前記第 2 の MOS トランジスタのソース・ドレイン拡散層は LDD (Lightly Doped Drain) 構造に形成されていることを特徴とする請求項 1 から 11 のいずれか 1 項に記載の半導体装置。

【請求項 13】

前記第 1 の MOS トランジスタのチャネル長は、前記第 2 の MOS トランジスタのチャネル長より短いことを特徴とする請求項 1 から 12 のいずれか 1 項に記載の半導体装置。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に係り、特に内部回路を静電破壊から保護するための静電保護装置を備えた半導体装置とその製法に関する。

【0002】

【従来の技術】

半導体基板上に形成される半導体集積回路は、絶縁ゲート電界効果トランジスタ (MOS トランジスタという) 等の半導体素子で構成されている。そして、外部から瞬間的にかか

50

る過大入力電圧たとえば静電気から発生するパルス状の高電圧による静電気放電 ( E l e c t r o s t a t i c D i s c h a r g e : E S D ) から半導体素子の破壊を防止することが必須になっている。このような E S D から半導体集積回路を保護する技術としてこれまで種々のものが提案され用いられている。

【 0 0 0 3 】

半導体装置が高集積化され、その動作電圧が低電圧化され低消費電力化されると共に、半導体装置を構成する半導体素子の構造は微細化され高密度化されてくる。そして、一般に、微細化され高密度化される半導体素子、特に M O S トランジスタの静電破壊は生じ易くなる。

【 0 0 0 4 】

また、このような半導体素子の微細化においては、通常、半導体装置の周辺回路の動作電圧は内部回路のそれよりも大きく設定される。例えば、周辺回路は 3 . 3 V 動作になり内部回路は 1 . 2 V 程度の動作になる。これに合わせて、周辺回路を構成する M O S トランジスタのゲート絶縁膜は、内部回路を構成する M O S トランジスタのそれより厚く設定される。また、周辺回路を構成する M O S トランジスタに対しては、ホットエレクトロン耐性の向上する L D D ( L i g h t l y D o p e d D r a i n ) 構造が依然として必要になる。これに対して、内部回路では 1 V 程度の低電圧動作になりホットエレクトロンの問題は解消する。このような、半導体装置を構成する M O S トランジスタが周辺回路と内部回路とで異なる場合にも、上記周辺回路での L D D 構造あるいはそのシリサイド化のために、周辺回路の M O S トランジスタの静電破壊が特に起こりやすくなる。

【 0 0 0 5 】

半導体集積回路を E S D から保護するための従来の静電保護装置として特開昭 6 3 - 2 0 2 0 5 6 号公報に記載され開示されている技術 ( 以下、第 1 の従来例と記す ) 、一般的によく知られている技術 ( 以下、第 2 の従来例と記す ) 、および近年に提案された技術 ( 以下、第 3 の従来例と記す ) について説明する。ここで、上記の第 3 の従来例は、アイ・イー・イー・イー トランザクションズ オン コンポーネンツ パッケージング アンド マニファクチャリング テクノロジ ( I E E E T R A N S A C T I O N S O N C O M P O N E N T S , P A C K A G I N G , A N D M A N U F A C T U R I N G T E C H N O L O G Y ) P A R T A V O L . 1 8 N O . 2 J U N E 1 9 9 5 p 3 1 4 - 3 2 0 に記載されている。

【 0 0 0 6 】

図 9 ( a ) は、上記第 1 の従来例の場合の静電保護装置となる入力保護部の等価回路を示す。また、図 9 ( b ) は、この入力保護の半導体素子の断面構造を示している。

【 0 0 0 7 】

図 9 ( a ) に示すように、入力端子 1 0 1 に入力配線 1 0 2 が接続されている。そして、この入力配線 1 0 2 は、半導体装置の内部回路の入力ゲートに接続されるようになる。この入力配線 1 0 2 には、V s s 電位 ( G N D 電位 ) との間に静電保護トランジスタとして入力保護用 N チャネル M O S トランジスタ 1 0 3 が接続されている。そして、この入力保護用 N チャネル M O S トランジスタ 1 0 3 のゲートは V s s 電位に固定されている。

【 0 0 0 8 】

このような入力保護部は、寸法の大きな 1 個の M O S トランジスタで構成されている。しかし、高いパルス電圧がこの M O S トランジスタに印加されると、この M O S トランジスタはバイポーラ動作するようになる。このため図 9 ( a ) では、あたかも寄生 N P N トランジスタ 1 0 4 が入力配線 1 0 2 と V s s 電位との間に存在するように記載されている。

【 0 0 0 9 】

実際に保護回路を構成する 1 個の M O S トランジスタである入力保護用 N チャネル M O S トランジスタ 1 0 3 は、図 9 ( b ) に示すように、導電型が P 型の半導体基板 1 0 5 に設けられている。ここで、入力端子 1 0 1 に接続されたドレイン用 N<sup>+</sup> 拡散層 1 0 6 の回りをゲート電極 1 0 7 が囲み、さらにこのゲート電極 1 0 7 の回りをソース用 N<sup>+</sup> 拡散層 1 0 8 が囲むように形成されている。

【 0 0 1 0 】

10

20

30

40

50

この場合に、図9(b)に破線で記したように、寄生NPNトランジスタ104が見かけ上に形成される。そして、半導体基板105が寄生NPNトランジスタ104のベースとなり、ソース用N<sup>+</sup>拡散層108がエミッタとなり、ドレイン用N<sup>+</sup>拡散層106がコレクタとなる。なお、このソース用N<sup>+</sup>拡散層108はV<sub>ss</sub>に接続され、ドレイン用N<sup>+</sup>拡散層106上には金属のパッドで構成される入力端子が形成されるようになる。

【0011】

このようにして、この第1の従来例では、入力保護用の半導体素子として大きな寸法の1個のMOSトランジスタが形成されることになる。

【0012】

次に、図10に基づいて第2の従来例を説明する。図10は、この第2の従来例の場合の静電保護装置となる入力保護部の等価回路を示している。

10

【0013】

図10に示すように、入力端子201に抵抗配線202が接続されている。そして、この抵抗配線202は、半導体装置の内部回路の入力ゲートに接続されるようになる。そして、この抵抗配線202とV<sub>ss</sub>電位との間に入力保護用PNダイオード203ダイオードおよびNPNトランジスタ204が互いに並列になるように接続されている。

【0014】

このNPNトランジスタ204は、図示しないが、例えば導電型がP型の半導体基板上で互いに隣接し並行に形成される細長いN<sup>+</sup>拡散層でもって構成される。ここで、このNPNトランジスタはラテラル型バイポーラトランジスタであり、一方の拡散層がエミッタとなり、他方の拡散層がコレクタとなりその間の導電型がP型の半導体基板の表面がベースとなる。

20

【0015】

また、入力保護用PNダイオード203は、上記の他方のN<sup>+</sup>拡散層と半導体基板とで構成される。このようにして、図10の等価回路は形成されている。

【0016】

次に、図11に基づいて第3の従来例を説明する。図11は、この第3の従来例の場合の静電保護装置である入力保護部の等価回路を示している。

【0017】

図11に示すように、入力端子301に入力配線302が接続されている。そして、この入力配線302は、半導体装置の内部回路の入力ゲートに接続されるようになる。この入力配線302には、V<sub>ss</sub>電位との間に静電保護トランジスタとして入力保護用NチャネルMOSトランジスタ303が接続されている。そして、入力配線302とV<sub>ss</sub>電位との間に、カップリング容量304と抵抗305とが直列に接続される。その上で、入力保護用NチャネルMOSトランジスタ303のゲート電極が、上記カップリング容量304と抵抗305との間に接続されている。

30

【0018】

なお、上記の従来技術で示した静電保護装置は出力保護部にも同様に適用できるものである。

【0019】

【発明が解決しようとする課題】

先述したように、半導体装置は高集積化と共に高速化されていく。このために、半導体装置を構成する個々の半導体素子はますます微細化され高密度化される。このように、半導体素子が微細化されると、一般にESDによる半導体装置の不良発生が多発するようになる。

40

【0020】

また、半導体装置は低消費電力化が必須であり、動作時の低電圧化が重要になってきている。このように低電圧化になると、これまでに比し、少量の静電気あるいは小さな過大入力電圧の場合でも、内部回路を構成する半導体素子が破壊し易くなっていく。

【0021】

50

また、上述したように、半導体装置の製品では、周辺回路の動作電圧は内部回路のそれよりも大きく設定される。これに合わせて、周辺回路を構成するMOSトランジスタのソース・ドレイン拡散層には、ホットエレクトロン耐性の向上するLDD構造が依然として必要になる。このために、周辺回路のMOSトランジスタの静電破壊は特に起こり易くなっている。このような技術動向のなかで、以前に増して、上記のようなESD等から半導体素子を保護する技術の開発が急務になってきている。

#### 【0022】

先述した第1の従来例では、静電保護トランジスタとして大きな寸法のMOSトランジスタが入力端子101の周りに1個形成されている。そしてこの場合には、過大入力電圧が入力端子101を通してドレイン用N<sup>+</sup>拡散層106に印加されると、ゲート電極107の直下のドレイン用N<sup>+</sup>拡散層106と半導体基板との間のPN接合部でアバランシェ型ブレイクダウンが起こる。このブレイクダウンは、この場合多数キャリアである正孔を多数発生させる。この正孔は基板電位を正極側に高めバイポーラ動作によるスナッチバック効果でMOSトランジスタを作動させる。そして、過大入力電圧に対する放電がなされるようになる。

10

#### 【0023】

しかし、第1の従来例の場合には、通常PN接合部でのブレイクダウンは局部的に起こる。このために、上記大きなMOSトランジスタにおいては、上記ブレイクダウンの生じた領域が初めにバイポーラ動作することになり、上記バイポーラ動作がMOSトランジスタの中で不均一に生じることになる。そして、初めにバイポーラ動作した上記領域が静電破壊するようになる。このようなバイポーラ動作の不均一性は、MOSトランジスタがLDD構造であるとより生じ易くなる。これは、MOSトランジスタのソース・ドレイン拡散層がLDD構造であると、上記ブレイクダウン電圧が高くなりより局部的なブレイクダウンが起こり易くなるからである。

20

#### 【0024】

また、この従来例の場合には、MOSトランジスタのゲート絶縁膜の絶縁破壊が頻繁に発生するようになる。特に、この絶縁破壊は、半導体素子の微細化に伴うゲート絶縁膜の薄膜化と共に顕著になる。この絶縁破壊の生じ易い理由としては、上記過大入力電圧に対する放電時、正極側にシフトし多数の正孔が形成される半導体基板からゲート絶縁膜に多数の正孔が注入されゲート絶縁膜中にたまり、ゲート絶縁膜に過大の電圧が印加されるようになるためと考えられる。

30

#### 【0025】

また、第2の従来例では、NPNトランジスタ204等は、半導体基板上に選択的に設けられる1対のN<sup>+</sup>拡散層をエミッタおよびコレクタ領域とし、これらの領域で挟まれる半導体基板をベース領域として形成される。そして、過大入力電圧が入力端子に印加された場合に、PN接合のアバランシェ型ブレイクダウンで生成する正孔でベース電位が上がりNPNトランジスタが作動する。そして、このNPNトランジスタを通して過大入力電圧に対する放電がなされる。

#### 【0026】

しかしこの場合に、ラテラル型のバイポーラトランジスタであるNPNトランジスタの起動は、第1の従来例の場合のようなMOSトランジスタに比較し遅れる。このために、外部から入力端子にかかる過大入力電圧に対し、静電保護装置の応答が遅延するようになる。これに対し、内部回路を構成する半導体素子は微細化されるため、その応答はますます速くなる。そこで、静電保護装置が機能する前に内部回路の半導体素子が破壊され易くなる。

40

#### 【0027】

またこの場合には、このような保護素子は、過大入力電圧が小さくなると応答できなくなる。これは、PN接合のアバランシェ型ブレイクダウン電圧の低減が難しいためである。これに対し、先述したように半導体装置の内部回路を構成するMOSトランジスタが微細化され、ゲート長が縮小しゲート絶縁膜の膜厚が薄膜化すると、MOSトランジスタはこ

50

のような小さなパルス電圧にも充分に応答しESD破壊が生じ易くなる。

【0028】

このように、現在では、PN接合の耐圧が半導体素子の微細化のスケーリング則からはずれて高くなる傾向にあり、PN接合のアバランシェ型ブレイクダウンあるいはこれに付随するバイポーラ動作に伴うスナップバック・ブレイクダウンが起こる前に、ゲート絶縁膜の絶縁破壊が生じてしまう。

【0029】

第3の従来例の静電保護装置では、静電気等による高いパルス電圧が入力端子301に印加されると、上記カップリング容量304を介して、上記MOSトランジスタのゲート電極の電位が瞬間的に上昇する。そして、入力保護用NチャンネルMOSトランジスタ303がON状態（導通状態）になり入力保護用NチャンネルMOSトランジスタ303を通したESDが起こる。ここで、上記抵抗305の値を調整することで上記ゲート電極の瞬間的な電圧値は制御できる。そして、上記ESDでMOSトランジスタの駆動能力が調整される。

10

【0030】

この第3の従来例は、上記PN接合のアバランシェ型ブレイクダウン電圧の低減が難しくなる場合に効果的となる。しかし、入力保護用NチャンネルMOSトランジスタ303のゲート電極に高い電圧が瞬間的であれ印加される。このために、入力保護用NチャンネルMOSトランジスタ303のゲート絶縁膜が経時変化し劣化するようになる。また、この場合では、入力保護用NチャンネルMOSトランジスタ303は出力バッファとして兼用できない。

20

【0031】

本発明の目的は、上記問題を解決するためになされたもので、最小限のパターン面積の回路構成により、ますます微細化する内部回路の半導体素子を静電破壊現象から保護できるようにした半導体装置とその製造方法を提供することにある。また、本発明の他の目的は、簡便な構造でESD保護を可能にし、信頼性の高い半導体装置の量産化を容易にすることにある。

【0032】

【課題を解決するための手段】

このために本発明の半導体装置では、半導体装置の入出力端子と内部回路との間に設けられた静電保護装置において、前記入出力端子に接続する入出力配線と一定電位の電極配線との間で互いに並列に接続された第1のMOSトランジスタと第2のMOSトランジスタとを前記静電保護装置は備え、前記第1のMOSトランジスタと第2のMOSトランジスタとは同チャンネル型MOSトランジスタであり、前記第2のMOSトランジスタは前記第1のMOSトランジスタより高い駆動能力を有し且つ前記第1のMOSトランジスタで起動するように形成されている。ここで、前記第1のMOSトランジスタと第2のMOSトランジスタとは、半導体基板上に設けられた同一のウェル層内に互いに隣接して形成されている。そして、前記第1のMOSトランジスタと第2のMOSトランジスタとは、前記内部回路を構成するMOSトランジスタよりも膜厚の厚いゲート絶縁膜を有している。

30

【0033】

ここで、前記第1（第2）のMOSトランジスタはNチャンネル型MOSトランジスタであり、前記第1（第2）のMOSトランジスタのゲート電極および前記電極配線は接地電位に接続されている。ここで、前記入出力端子は電源電位に固定されてもよい。あるいは、前記第1（第2）のMOSトランジスタはPチャンネル型MOSトランジスタであり、前記第1（第2）のMOSトランジスタのゲート電極および前記電極配線は電源電位に接続されている。

40

【0034】

あるいは、本発明の半導体装置では、前記第2のMOSトランジスタは、半導体装置の出力バッファ回路としても動作する。

【0035】

50

あるいは、本発明の半導体装置では、前記第1(第2)のMOSトランジスタは半導体基板上に設けたトレンチ素子分離領域で囲われ、前記第1(第2)のMOSトランジスタのバックゲート抵抗が前記トレンチ素子分離領域の深さで調整されている。

【0036】

更に、本発明の半導体装置では、前記第1のMOSトランジスタのソース・ドレイン拡散層は、互いに接続し一導電型で同不純物濃度を有する第1の拡散層と第2の拡散層とで構成され、前記第1の拡散層は前記第2の拡散層のより浅く且つ前記第1のMOSトランジスタのゲート電極に隣接して形成されている。あるいは、前記第1の拡散層の下部に逆導電型のポケット拡散層が形成され、前記第1の拡散層と前記ポケット拡散層とで形成された接合の耐圧は、前記第2の拡散層と半導体基板との間で形成された接合の耐圧より小さい。

10

【0037】

あるいは、本発明の半導体装置では、前記第1のMOSトランジスタのゲート電極とゲート絶縁膜を介してオーバーラップする前記第1の拡散層の表面領域で電子のバンド間トンネルが起こる。そして、前記第2のMOSトランジスタのソース・ドレイン拡散層はLDD構造に形成されている。

【0038】

そして、前記第1のMOSトランジスタのチャンネル長は、前記第2のMOSトランジスタのチャンネル長より短くなるように設定されている。また、入出力端子に過大入力電圧が印加されるとき、前記第1のMOSトランジスタの動作時の単位チャンネル幅あたりの抵抗値と前記第1のMOSトランジスタに直列の付加抵抗値との和は、前記第2のMOSトランジスタの動作時の単位チャンネル幅あたりの抵抗値と前記第2のMOSトランジスタに直列の付加抵抗値との和よりも大きくなるように設定されている。

20

【0039】

あるいは、本発明の半導体装置の製造方法は、上記の第1のMOSトランジスタの形成方法であって、半導体基板上にゲート絶縁膜を介してゲート電極を形成した後、前記ゲート電極を一部マスクにした斜めイオン注入で一導電型の第1の拡散層を形成する工程と、前記ゲート電極の側壁にサイドウォール絶縁膜を形成し前記ゲート電極とサイドウォール絶縁膜をマスクにしたイオン注入で前記第1の拡散層より深く且つ前記第1の拡散層に接続する一導電型の第2の拡散層を形成して前記第1のMOSトランジスタのソース・ドレイン拡散層を設ける工程とを含む。更には、前記ゲート電極を一部マスクにした斜めイオン注入で逆導電型のポケット拡散層を前記第1の拡散層の下部に形成する。

30

【0040】

上述したように本発明では、入出力端子にパルス状の高電圧である過大入力電圧が入ると、初めに、静電保護装置を構成する第1のMOSトランジスタであるトリガー用MOSFETが作動し、ウェル層等を有する半導体基板に多数キャリア(例えば正孔)が生成される。このような正孔が例えばウェル層の電位を局所的に増大させて第2のMOSトランジスタである保護用MOSFETを均一に起動させバイポーラ動作させるようになる。これは、第2のMOSトランジスタである保護用MOSFETのドレイン拡散層でのアバランシェ型ブレークダウンが生じる前に、上記バイポーラ動作が生じスナップバック・ブレークダウンが一様に生じるようになるからである。ここで、第1(2)MOSトランジスタのゲート絶縁膜の膜厚は、内部回路を構成するMOSトランジスタのそれより厚い。

40

【0041】

このために、従来の技術で多発したような第2のMOSトランジスタ局部の静電破壊は大幅に低減するようになる。また、ゲート絶縁膜が薄膜化しても上記第2のMOSトランジスタの絶縁膜破壊も大幅に低減する。そして、第1のMOSトランジスタのゲート絶縁膜に電圧印加される時間は一瞬となり、第1のMOSトランジスタのゲート絶縁膜破壊は発生しなくなる。

【0042】

また、本発明の場合には、入出力保護部を構成する第1のMOSトランジスタおよび第2

50

のMOSトランジスタのゲート電圧はGND、電源等の一定電位に固定されている。このために、上記MOSトランジスタのゲート絶縁膜の絶縁破壊は大幅に低減されるようになる。

【0043】

更に、本発明の場合には、第1のMOSトランジスタが低電圧で作動するようにその構造に工夫を施している。このために、第1のMOSトランジスタのブレークダウンは、従来技術の場合に比べ印加電圧が小さいところで生じる。そして、内部回路を構成するMOSトランジスタのゲート絶縁膜の絶縁耐圧よりも小さくできる。このようにして、静電保護装置により内部半導体素子が完全に保護されることになる。

【0044】

【発明の実施の形態】

次に、本発明の第1の実施の形態について図1乃至図5で説明する。図1(a)は本発明の静電保護装置となる入出力保護部のパターンレイアウトの平面図である。そして、図1(b)は、図1(a)に記すX-Yでの模式的な断面図の一例である。更に、図2は、図1(a)に記すX-Yでの模式的な断面図の別の例である。

【0045】

図1(a)に示すように、入出力端子1に接続する入出力配線2が形成される。この入出力配線2は、第1のMOSトランジスタとなる2つのトリガー用MOSFETのドレイン・コンタクト孔3および3aを通してドレイン拡散層4および4aに接続される。そして、トリガー用FETのゲート電極すなわちトリガー用ゲート電極5あるいは5aを挟んで形成されたソース拡散層6あるいは6a上にソース・コンタクト孔7、7aが設けられ、ソース拡散層6および6aはソース・コンタクト孔7および7aを通して接地配線8に接続される。

【0046】

また、入出力配線2は、図1(a)に示すように、保護トランジスタ用ゲート電極9、9aを有する保護用MOSFETのドレイン・コンタクト孔10および10aを通してドレイン拡散層11に接続される。そして、保護トランジスタ用ゲート電極9あるいは9aを挟んで形成されたソース拡散層6あるいは6a上のソース・コンタクト孔7および7aを通して接地配線8に接続される。ここで、保護用MOSFETが第2のMOSトランジスタとなる。

【0047】

なお、以上のトリガー用MOSFETおよび保護用MOSFETのゲート電極、すなわち、トリガー用ゲート電極5および5a、保護トランジスタ用ゲート電極9および9aとサブ拡散層12は、図示していないが接地配線に接続される。

【0048】

次に、図1(b)に基づいて入出力保護部の断面構造で本発明を説明する。図1(b)に示すように、例えば導電型がN型のシリコン基板13の表面領域に導電型がP型のウェル層14が形成される。ここで、ウェル層14の不純物濃度は $10^{17}$ 原子/cm<sup>3</sup>程度になるように設定される。そして、このウェル層14の表面に素子分離のために選択的にトレンチ分離領域15、15aが形成される。ここで、ウェル層14であって上記トレンチ分離領域15、15aの下部にバックゲート抵抗16、16aが形成される。このバックゲート抵抗16あるいは16aの抵抗値は、トレンチ分離領域15、15aの深さを制御することで調整できるようになる。

【0049】

図1(b)において、上述したトリガー用MOSFETおよび保護用MOSFETのドレイン拡散層4、4a、11およびソース拡散層6、6aは、導電型がN型の不純物拡散領域である。また、サブ拡散層12は、導電型がP型の不純物拡散領域である。そして、図1(b)に示すように、上記ドレイン拡散層は入出力端子1に結線され、それぞれのゲート電極5、5a、9、9a、上記ソース拡散層およびサブ拡散層はGNDに結線されるようになる。

10

20

30

40

50



## 【 0 0 5 0 】

上記図 1 の説明では、トリガー用 MOS F E T および保護用 MOS F E T が同程度の大きさで示されているが、実際の製品では保護用 MOS F E T の寸法は大きく設計される。そして、保護用 MOS F E T の駆動能力はトリガー用 MOS F E T のそれに比し非常に増大するようになる。

## 【 0 0 5 1 】

次に、図 2 に基づいて入出力保護部の別の断面構造の例を模式的に説明する。ここで、図 1 と同じものは同一符号で示す。これは、保護用 MOS F E T が半導体装置の出力バッファとしても機能する場合である。

## 【 0 0 5 2 】

図 2 に示すように、導電型が P 型のシリコン基板 1 3 a の表面領域に導電型が P 型のウェル層 1 4 が形成される。ここで、シリコン基板 1 3 a の不純物濃度、ウェル層 1 4 の不純物濃度は、それぞれ  $10^{16}$  原子 /  $\text{cm}^3$ 、 $10^{17}$  原子 /  $\text{cm}^3$  程度になるように設定される。そして、このウェル層 1 4 の表面にトレンチ分離領域 1 5、1 5 a が形成される。ここで、ウェル層 1 4 とサブ拡散層 1 2 との間にバックゲート抵抗 1 7、1 7 a が形成される。このバックゲート抵抗 1 7、1 7 a の抵抗値は、シリコン基板 1 3 a の不純物濃度で制御される。

## 【 0 0 5 3 】

図 2 において、トリガー用 MOS F E T および保護用 MOS F E T のドレイン拡散層 4、4 a、1 1 およびソース拡散層 6、6 a は、導電型が N 型の不純物拡散領域である。また、サブ拡散層 1 2 は、導電型が P 型の不純物拡散領域である。そして、図 2 に示すように、上記ドレイン拡散層 4、4 a、1 1 は入出力端子 1 に結線され、ソース拡散層 6、6 a およびサブ拡散層 1 2 は GND に結線される。ここで、トリガー用ゲート電極 5、5 a は、図 1 で説明したように GND に接続されている。そして、図示していないが保護トランジスタ用ゲート電極 9 および 9 a は内部回路と接続することになる。この場合でも、保護用 MOS F E T の寸法は非常に大きく、トリガー用 MOS F E T の寸法は小さくなる。

## 【 0 0 5 4 】

次に、本発明の静電保護装置を構成する上記トリガー用 MOS F E T および保護用 MOS F E T と、半導体装置を構成する内部回路用 MOS F E T の構造について、図 3 に基づいて説明する。ここで、図 3 ( a ) はトリガー用 MOS F E T の略断面図であり、図 3 ( b ) は保護用 MOS F E T の略断面図であり、図 3 ( c ) は内部回路用 MOS F E T の略断面図である。

## 【 0 0 5 5 】

図 3 ( a ) に示すように、導電型が P 型あるいは P ウェル層を形成したシリコン基板 2 1 上にトリガー用 MOS F E T のトリガー用ゲート絶縁膜 2 2 が形成される。ここで、トリガー用ゲート絶縁膜 2 2 は膜厚が 5 n m 程度の酸化膜である。そして、トリガー用ゲート絶縁膜 2 2 上にトリガー用ゲート電極 2 3 が形成されている。ここで、トリガー用ゲート電極 2 3 のチャンネル方向の寸法は  $0.1 \mu\text{m}$  程度である。

## 【 0 0 5 6 】

そして、トリガー用ゲート電極 2 3 にほぼ自己整合するように第 1 の拡散層である延長ソース・ドレイン拡散層 2 4 が形成され、その下部にポケット拡散層 2 5 が形成されている。ここで、延長ソース・ドレイン拡散層 2 4 は高濃度 (例えば  $10^{19} / \text{cm}^3$ ) のヒ素不純物を含む浅い領域である。そして、ポケット拡散層 2 5 は  $10^{18} / \text{cm}^3$  のボロン不純物を含む領域となる。この延長ソース・ドレイン拡散層 2 4 とポケット拡散層 2 5 間に形成される接合の耐圧は小さくなる。

## 【 0 0 5 7 】

そして、上記トリガー用ゲート絶縁膜 2 1 およびトリガー用ゲート電極 2 3 の側壁にサイドウォール絶縁膜 2 6 が形成され、このサイドウォール絶縁膜 2 6 に自己整合する第 2 の拡散層であるソース・ドレイン拡散層 2 7 が上記延長ソース・ドレイン拡散層 2 4 に接続して形成されている。ここで、ソース・ドレイン拡散層 2 7 は高濃度 (例えば  $10^{19} / \text{cm}$

10

20

30

40

50

$m^3$ ) のヒ素不純物を含有する深い領域であり、上記第 2 の拡散層の不純物濃度は上記第 1 の拡散層のそれと同じである。

このようにして、トリガー用 MOSFET の基本構造ができあがる。

【0058】

保護用 MOSFET では、図 3 ( b ) に示すように、シリコン基板 2 1 上に保護用 MOSFET の保護トランジスタ用ゲート絶縁膜 2 8 が形成される。ここで、このゲート絶縁膜 2 8 は上記トリガー用ゲート絶縁膜 2 2 と同一材料である。そして、保護トランジスタ用ゲート絶縁膜 2 8 上に保護トランジスタ用ゲート電極 2 9 が形成されている。ここで、保護トランジスタ用ゲート電極 2 9 のチャンネル方向の寸法は  $0.3 \mu m$  程度である。

【0059】

そして、保護トランジスタ用ゲート電極 2 9 にほぼ自己整合するように LDD ソース・ドレイン拡散層 3 0 が形成されている。ここで、LDD ソース・ドレイン拡散層 3 0 は低濃度 (例えば  $10^{17} / cm^3$ ) のリンあるいはヒ素不純物を含有する浅い領域である。

【0060】

そして、上記保護トランジスタ用ゲート絶縁膜 2 9 および保護トランジスタ用ゲート電極 2 8 の側壁にサイドウォール絶縁膜 3 1 が形成され、このサイドウォール絶縁膜 3 1 に自己整合するソース・ドレイン拡散層 3 2 が上記 LDD ソース・ドレイン拡散層 3 0 に接続して形成されている。ここで、ソース・ドレイン拡散層 3 2 は高濃度 (例えば  $10^{19} / cm^3$ ) のヒ素不純物を含有する深い領域である。このようにして、保護用 MOSFET の基本構造ができあがる。

【0061】

内部回路用 MOSFET では、図 3 ( c ) に示すように、ゲート絶縁膜 3 3 の膜厚が  $2.5 nm$  と薄くなる以外は基本的に上記トリガー用 MOSFET の構造と同一になる。すなわち、内部回路用ゲート絶縁膜 3 3 上に内部回路用ゲート電極 3 4 が形成され、内部回路用ゲート電極 3 4 にほぼ自己整合するように延長ソース・ドレイン拡散層 3 5 が形成され、その下部にポケット拡散層 3 6 が形成されている。そして、上記内部回路用ゲート絶縁膜 3 3 および内部回路用ゲート電極 3 4 の側壁にサイドウォール絶縁膜 3 7 が形成され、このサイドウォール絶縁膜 3 7 に自己整合するソース・ドレイン拡散層 3 8 が形成されている。このようにして、内部回路用 MOSFET の基本構造ができあがる。

【0062】

次に、上述した本発明を図 4 および図 5 に示す入出力保護部の等価回路で説明する。ここで、図 4 に示すように、入出力端子 1 に入出力配線 2 が接続されている。そして、この入出力配線 2 は、入力抵抗 4 1 を通して半導体装置の内部回路の入力ゲートに接続されるようになる。この入出力配線 2 には、接地配線すなわち  $V_{ss}$  電位との間に抵抗 4 2 を通して上述したトリガー用 MOSFET 4 3 が接続されている。そして、このトリガー用 MOSFET 4 3 のゲートは  $V_{ss}$  電位に固定される。

【0063】

また、この入出力配線 2 には、このトリガー用 MOSFET 4 3 に並列になるように、抵抗 4 4 を通して静電保護トランジスタである保護用 MOSFET 4 5 が接続されている。そして、トリガー用 MOSFET 4 3 のバックゲート 4 6 は、ウェル層 1 4 を通して保護用 MOSFET 4 5 のバックゲートに接続される。そして、このバックゲート 4 6 は、上述したバックゲート抵抗 1 6 , 1 7 に対応するバックゲート抵抗 4 7 を通して  $V_{ss}$  電位に接続される。さらに、保護用 MOSFET 4 5 のゲートも  $V_{ss}$  電位に接続される。

【0064】

以上のようにして、入出力端子 1 から内部回路に接続される入出力配線 2 には、 $V_{ss}$  電位との間に並列して配置される入出力保護素子が形成される。これらの保護素子が入出力保護部を構成する。

【0065】

ここで、入出力端子 1 が電源に接続されてもよい。このような場合には、静電保護装置は電源と GND 間で機能することになる。

10

20

30

40

50

## 【 0 0 6 6 】

次に、図 4 で説明した本発明の変形した例を図 5 に示す等価回路で説明する。図 4 との相違は、図 4 で説明した保護用 MOS F E T 4 5 を半導体装置の出力用 MOS F E T と兼用する場合である。

## 【 0 0 6 7 】

図 5 に示すように、出力端子 1 a に出力配線 2 a が接続されている。そして、この出力配線 2 a は、半導体装置の内部回路に接続される。この出力配線 2 a には、接地配線すなわち  $V_{SS}$  電位との間に抵抗 4 2 を通して上述したトリガー用 MOS F E T 4 3 が接続されている。そして、このトリガー用 MOS F E T 4 3 のゲートは  $V_{SS}$  電位に固定される。また、この出力配線 2 a には、このトリガー用 MOS F E T 4 3 に並列になるように、抵抗 4 4 を通して静電保護トランジスタの機能を兼用する出力用 MOS F E T 4 8 が接続されている。ここで、出力用 MOS F E T 4 8 のゲートは内部回路に接続している。後は図 4 と同じである。すなわち、トリガー用 MOS F E T 4 3 のバックゲート 4 6 は、ウェル層 1 4 を通して出力用 MOS F E T 4 8 のバックゲートに接続される。そして、このバックゲート 4 6 は、上述したバックゲート抵抗 1 6 , 1 7 に対応するバックゲート抵抗 4 7 を通して  $V_{SS}$  電位に接続されている。

10

## 【 0 0 6 8 】

次に、本発明の入出力保護部の動作について図 1 乃至図 5 を参照して説明する。図 1 に示す入出力端子 1 に正極の過大入力電圧が印加されると、初めに、この過大入力電圧に対して上述したトリガー MOS F E T が作動する。

20

## 【 0 0 6 9 】

この作動は次のようである。すなわち、図 1 あるいは図 2 に示す入出力配線 1 を通してドレイン拡散層 4 , 4 a に電圧が印加され、図 3 で説明したトリガー用 MOS F E T 4 3 の延長ソース・ドレイン拡散層 2 4 とポケット拡散層 2 5 との接合部でブレークダウンが起こる。このブレークダウンは多数の正孔を生成させる。そして、この正孔はウェル層 1 4 の電位を正極側に上げるため、トリガー用 MOS F E T 4 3 のしきい値電圧が低下し、ソース拡散層 6 からドレイン拡散層 4 に電子が流れるようになる。この電子の流れは、インパクト・アイオニゼーション ( Impact Ionization ) によりさらに正孔を生成するようになる。

30

## 【 0 0 7 0 】

次に、上述したトリガー用 MOS F E T 4 3 から発生した正孔はウェル層 1 4 の電位を更に上昇させる。このために、保護用 MOS F E T 4 5 (あるいは出力用 MOS F E T 4 8 ) が均一に起動しバイポーラ動作して過大入力電圧に対する主放電がこの保護用 MOS F E T 4 5 を通してなされる。

## 【 0 0 7 1 】

この作動は以下のものである。上記の正孔はバックゲートとなるウェル層 1 4 に多量にたまるようになる。そして、この正孔は、熱拡散でウェル層 1 4 内に拡がる。ここで、その一部は、シリコン基板 1 4 に拡散したりソース拡散層 6 を通して接地配線 8 に流出する。なお、このソース拡散層 6 の面積が小さいと大部分はウェル層 1 4 で電子と再結合するか面積の大きなサブ拡散層 1 2 を通して接地配線 8 に流出する。ここで、図 1 あるいは図 2 に示すようにバックゲート抵抗 1 6 あるいは 1 7 の値が大きいと、サブ拡散層 1 2 を通した正孔の流出量が抑制され、保護用 MOS F E T 4 5 が均一にバイポーラ動作するようになる。すなわち、図 1 あるいは図 2 に示す保護トランジスタ用ゲート電極 9 , 9 a 直下のウェル層 1 4 の電位が正極側に高くなる。そして、ソース拡散層 6 , 6 a をエミッタ、ドレイン拡散層 1 1 をコレクタとし、保護トランジスタ用ゲート電極 9 , 9 a 直下のウェル層 1 4 をベースとしてラテラル N P N トランジスタが一樣に起動し導通状態になる。上記均一 ( 一樣 ) な起動になるのは、保護用 MOS F E T のドレイン拡散層 1 1 でのアバランシェ型ブレークダウンが生じる前に、上記バイポーラ動作が生じスナップバック・ブレークダウンが起こるからである。

40

## 【 0 0 7 2 】

50

このようにして、こんどは電子がソース拡散層（エミッタ）6からベース領域に注入されドレイン拡散層11（コレクタ）に流入するようになる。この場合にも、電子のインパクト・アイオニゼーションにより正孔が生成されベース領域が更に正電位になる。このように正帰還がかかること、およびこのNPNトランジスタ動作する保護用MOSFET45は、トリガー用MOSMOSFET43に比べ非常に大きな寸法で設計されているため、大きなサージ電流は保護用MOSFET45を通して流れる。このようにして、過大入力電圧に対応する放電はほとんどこの保護用MOSFET45を通してなされる。

#### 【0073】

なお、このようなサージ電流は低抵抗パスを選択して流れる。そこで、入出力端子1に過大入力電圧が印加されたバイポーラ動作時のトリガー用MOSFET43の単位チャネル幅あたりの抵抗と（付加）抵抗42との和が、保護用MOSFET45（あるいは出力用MOSFET48）の単位チャネル幅あたりの抵抗と（付加）抵抗44との和より大きくなるように設定される。ここで、トリガー用MOSFETのドレイン・コンタクト孔3端部からトリガー用ゲート電極5端部までの距離が、保護用MOSFET45（あるいは出力用MOSFET48）のドレイン・コンタクト孔10端部から保護トランジスタ用ゲート電極9端部までの距離より長くなるように設定される。すなわち、トリガー用MOSFET43のドレインとソースとの実効的な電極配線間距離が、保護用MOSFET45（あるいは出力用MOSFET48）ドレインとソースとの実効的な電極配線間距離より長くなるように設定される。図4あるいは図5の等価回路では、抵抗42が抵抗44より大きくなる。

#### 【0074】

本発明では、先述したように入出力端子に過大入力電圧が印加されると、入出力保護部を構成する小さな寸法のトリガー用MOSFETが初めに作動し、次に、保護用MOSFET（あるいは出力用MOSFET）が均一に起動しバイポーラ動作して放電がなされる。この場合には、トリガー用MOSFETは保護用MOSFET（あるいは出力用MOSFET）を均一に起動させる役割を主に有し過大入力電圧に対する放電の能力は小さい。この過大入力電圧に対する放電は主に低抵抗パスとなる保護用MOSFET（あるいは出力用MOSFET）を通して行われる。

#### 【0075】

このために、本発明では、第1の従来例の場合と異なり、大きな寸法の保護用MOSFETでもそのバイポーラ動作は均一に生じるようになる。そして、従来の技術で説明した不均一性から生じるMOSトランジスタの局所的な静電破壊は皆無になる。更には、第1の従来例の場合に多発したMOSトランジスタのゲート絶縁膜破壊は発生しなくなる。これは、トリガー用MOSFETのゲート絶縁膜に電圧印加される時間が一瞬であり、ゲート絶縁膜中にたまる正孔が僅少であるからである。また、静電保護装置を構成するMOSトランジスタのゲート絶縁膜の膜厚が、内部回路を構成するMOSトランジスタのゲート絶縁膜の膜厚より大きいことにも起因している。

#### 【0076】

更に、本発明の場合には、トリガー用MOSFETのブレイクダウンは、従来の技術すなわち第2の従来例の場合に比べ印加電圧が小さいところで生じる。そして、内部回路を構成するMOSトランジスタのゲート絶縁膜の絶縁耐圧よりも小さくできる。このため、第2の従来例でみられたようなことはなく、本発明の場合には保護素子により内部半導体素子が完全に保護されることになる。

#### 【0077】

また、本発明の場合には、入出力保護部を構成するトリガー用MOSFETおよび保護用MOSFETのゲート電圧はGNDの固定されている。このために、第3の従来例でみられたような保護素子のゲート絶縁膜の絶縁破壊は大幅に低減するようになる。

#### 【0078】

また、本発明の場合には、保護用MOSFETを半導体装置の出力バッファに兼用できる。この出力バッファ回路は、半導体装置で大きなレイアウト面積を持つ。このために、本

10

20

30

40

50

発明により半導体装置は非常にコンパクトにできるようになる。

【0079】

なお、本出願人は、特開平9-223748号公報で、半導体装置の出力トランジスタおよび内部回路をESD破壊から保護する技術を開示した。この場合の入出力保護部は、トリガー用素子とラテラルバイポーラトランジスタとで構成されている。本発明は上記の半導体保護技術をさらに発展させたものであり、入出力保護部をトリガー用MOSFETと保護用MOSFETとで構成する。そして、トリガー用MOSFETが低電圧で作動するようにその構造に工夫を施している。このために、本発明では、特開平9-223748号公報の場合よりも低電圧動作の半導体装置でも静電保護装置として効果的に機能するようになる。

10

【0080】

次に、本発明の第2の実施の形態について図6乃至図8で説明する。図6は、入出力保護部を構成するトリガー用MOSFETの断面構造である。この場合、入出力保護部を構成する保護用MOSFETおよび内部回路用MOSFETはそれぞれ図3(b)、図3(c)に示した構造と同一である。第2の実施の形態では、トリガー用MOSFETによる正孔が、後述するバンド間トンネルを通して生成されるところに特徴を有する。

【0081】

図6に示すように、導電型がP型あるいはPウェル層を形成したシリコン基板51上にトリガー用MOSFETのトリガー用ゲート絶縁膜52が形成される。ここで、トリガー用ゲート絶縁膜52は膜厚が2.5nm程度の酸化膜である。そして、トリガー用ゲート絶縁膜52上にトリガー用ゲート電極53が形成されている。ここで、トリガー用ゲート電極53のチャンネル方向の寸法は0.5μm程度である。

20

【0082】

そして、トリガー用ゲート電極53の端部からチャンネル領域に深く食い込むように延長ソース・ドレイン拡散層54が形成されている。ここで、延長ソース・ドレイン拡散層54は高濃度(例えば $10^{19}/\text{cm}^3$ )のヒ素不純物を含有する浅い領域である。

【0083】

そして、上記トリガー用ゲート絶縁膜52およびトリガー用ゲート電極53の側壁にサイドウォール絶縁膜55が形成され、このサイドウォール絶縁膜55に自己整合するソース・ドレイン拡散層56が上記延長ソース・ドレイン拡散層54に接続して形成されている。ここで、ソース・ドレイン拡散層56は高濃度(例えば $10^{19}/\text{cm}^3$ )のヒ素不純物を含有する深い領域である。このようにして、トリガー用MOSFETの基本構造ができあがる。この場合の特徴は、トリガー用ゲート電極53と延長ソース・ドレイン拡散層54のトリガー用ゲート絶縁膜52を介したオーバーラップ量が非常に大きいことである。ここで、この場合でも、図3(a)で示したのと同様にポケット拡散層25が設けられていてもよい。

30

【0084】

次に、図7に基づいて上記オーバーラップ量が非常に大きいトリガー用MOSFETの製造方法を説明する。図7は、トリガー用MOSFETの製造工程順の略断面図である。

【0085】

図7(a)に示すように、導電型がP型あるいはPウェル層を形成したシリコン基板51上に公知の酸化の方法で膜厚が2.5nmのトリガー用ゲート絶縁膜52を形成する。そして、不純物を含有する多結晶シリコン膜の成膜し、フォトリソグラフィ技術とドライエッチング技術とで微細加工して、寸法が0.5μmのトリガー用ゲート電極53を形成する。

40

【0086】

次に、図7(b)に示すように、トリガー用ゲート電極53をマスクにしてヒ素イオン57の斜めイオン注入を行う。ここで、斜めイオン注入の角度は、シリコン基板51表面に対して45度以下になるように設定する。このようにすることで、ヒ素不純物はトリガー用MOSFETのチャンネル領域に深く入り込むようになる。ここで、斜めイオン注入のエ

50

エネルギーは  $100\text{ keV}$  である。そして、そのドーズ量は  $5 \times 10^{15} / \text{cm}^2$  である。そして、熱処理を施し、シリコン基板 51 表面に延長ソース・ドレイン拡散層 54 を形成する。ここで、延長ソース・ドレイン拡散層 54 の不純物濃度は  $1 \times 10^{19} / \text{cm}^3$  程度であり、その深さは  $0.1\ \mu\text{m}$  である。

【0087】

あるいは、更に上記トリガー用ゲート電極 53 をマスクにしてボロニイオンの斜めイオン注入を追加しポケット拡散層を形成してもよい。

【0088】

次に、図 7 (c) に示すように、トリガー用ゲート電極 53 の側壁にサイドウォール絶縁膜 55 を形成し、ヒ素イオン 58 の垂直イオン注入を行う。この垂直イオン注入のエネルギーは  $100\text{ keV}$  である。そして、そのドーズ量は  $5 \times 10^{15} / \text{cm}^2$  である。そして、熱処理を施し、シリコン基板 51 表面にソース・ドレイン拡散層 56 を形成する。ここで、ソース・ドレイン拡散層 56 の不純物濃度は  $2 \times 10^{19} / \text{cm}^3$  程度であり、その深さは  $0.2\ \mu\text{m}$  である。

【0089】

上述したトリガー用 MOSFET が第 1 の実施の形態で説明した入出力保護部に形成されると、保護用 MOSFET の起動は、バンド間トンネルを通して生成される正孔による。このバンド間トンネルを通して正孔が生成される現象を図 8 に基づいて説明する。図 8 (a) は N チャネル型 MOS トランジスタ (NMOS) のドレイン領域の断面図である。そして、図 8 (b) は、図 8 (a) に記す A - B の方向に切断したところのバンド構造である。

【0090】

上述したようにトリガー用 MOSFET のゲート絶縁膜が薄膜化されると、ゲートがオフの状態 (MOS トランジスタが非導通の状態) で、ゲート電極とゲート絶縁膜を挟んでオーバーラップする延長ソース・ドレイン拡散層の表面に急峻なバンドの曲がり (以下、バンド・ベンディングという) が生じ、これに起因する価電子帯と伝導帯との間での電子のバンド間トンネルが起こる。

【0091】

図 8 (a) に示すように、P 導電型のシリコン基板は接地電位にされ、上記基板上にゲート絶縁膜を介して形成されたゲート電極の電圧  $V_G$  も接地電位に固定されている。そして、上記基板表面に形成された  $n^+$  型のドレイン領域が  $V_D$  の電位 (過大入力電圧に対応) が印加されると、図中の破線で示したドレイン領域の空乏層に正孔と電子が生成される。この生成された正孔はウェル層に流れ込むようになる。

【0092】

更に、上記の現象について、図 8 (b) に示すバンド構造に基づいて説明する。NMOS の場合では、ゲート (G) の電子エネルギーの位置は高く、ゲート絶縁膜 (Ox) からドレイン (D) へと電子エネルギーが低下する。ここで、ゲート絶縁膜 (Ox) が上述したように薄くなると、図に示すようにドレイン (D) 領域のバンド・ベンディングが急峻になる。このために、価電子帯の電子は伝導帯へとトンネル移動し、価電子帯に正孔が形成される。そして、上述したように、上記正孔はウェル層に蓄積されるようになる。

【0093】

このようにして生成する正孔が、第 1 の実施の形態で説明したのと同様に、入出力保護部を構成する保護用 MOSFET を起動させ、ESD が容易に行われるようになる。

【0094】

第 2 の実施の形態でも、第 1 の実施の形態で説明したのと同様の効果が生じる。さらに、この場合には、第 1 の実施の形態の場合よりも低電圧で正孔を生成することが可能であり、半導体装置の動作電圧の低電圧化に十分に対応できるようになる。

【0095】

上述した実施の形態では、NMOS で入出力保護部を形成する場合について説明している。本発明では、P チャネル型 MOS トランジスタ (PMOS) でも同様に適用できること

10

20

30

40

50

に言及しておく。なお、この場合には、N M O S の場合の導電型を逆にすればよい。なお、この場合の上述したような多数キャリアは電子となる。

【 0 0 9 6 】

更には、上記入出力保護部は、上記 P M O S で構成された入出力保護部と N M O S で構成された入出力保護部とが直列に接続する構造になっていてもよい。

【 0 0 9 7 】

また、本発明の入出力保護部のレイアウトは、図 1 に示したようなレイアウトに限定されるものではない。トリガー用 M O S F E T と保護用 M O S F E T が交互に配列するようにレイアウトしてもよい。本発明の技術思想は、過大入力電圧が入ると、初めにトリガー用 M O S F E T が作動し、次にこのトリガー用 M O S F E T が保護用 M O S F E T を一様に起動させて E S D を容易に行わせるところにある。このような動作が起こるようなレイアウトであればよい。

【 0 0 9 8 】

本発明は、上記の実施の形態に限定されず、本発明の技術思想の範囲内において、実施の形態が適宜変更され得る。

【 0 0 9 9 】

【発明の効果】

以上に説明したように、本発明では、入出力端子にパルス状の高電圧である過大入力電圧が入ると、初めに、静電保護装置を構成するトリガー用 M O S F E T が作動し、ウェル層等を有する半導体基板に多数キャリア（例えば正孔）が生成される。次に、この多数キャリアが駆動能力高い保護用 M O S F E T を一様に起動させて E S D が起こる。ここで、トリガー用 M O S F E T は、作動が低電圧で生じる構造になっている。また、トリガー用 M O S F E T M O S および保護用 M O S F E T のゲート絶縁膜の膜厚は、内部回路を構成する M O S トランジスタのそれより厚い。

【 0 1 0 0 】

このために、本発明では、静電保護装置の E S D による破壊は大幅に低減する。そして、本発明の静電保護装置は低電圧の静電気帯電でも十分に作動するようになり、微細化する内部回路の半導体素子を静電破壊現象から完全に保護できるようになる。

【 0 1 0 1 】

また、本発明では、静電保護装置は最小限のパターン面積の回路構成にでき半導体装置のコンパクト化が容易になる。更には、静電保護装置を簡便な構造にできるために信頼性の高い半導体装置の量産が可能になる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態を説明するための入出力保護部の平面図と略断面図である。

【図 2】本発明の第 1 の実施の形態を説明するための出力保護部の別の略断面図である。

【図 3】本発明の第 1 の実施の形態を説明するための静電保護装置を構成するトリガー用 M O S F E T と保護用 M O S F E T の略断面図、内部回路を構成する M O S トランジスタの略断面図である。

【図 4】本発明の第 1 の実施の形態を説明するための入出力保護部の等価回路図である。

【図 5】本発明の第 1 の実施の形態を説明するための別の出力保護部の等価回路図である。

【図 6】本発明の第 2 の実施の形態を説明するための静電保護装置を構成するトリガー用 M O S F E T の略断面図である。

【図 7】本発明の第 2 の実施の形態を説明するためのトリガー用 M O S F E T の製造工程順の略断面図である。

【図 8】本発明の第 2 の実施の形態を説明するためのバンド間トンネル現象を説明する M O S トランジスタの断面図とバンドダイヤグラムである。

【図 9】第 1 の従来例を説明するための入力保護部の等価回路図と断面図である。

【図 10】第 2 の従来例を説明するための入力保護部の等価回路図である。

10

20

30

40

50

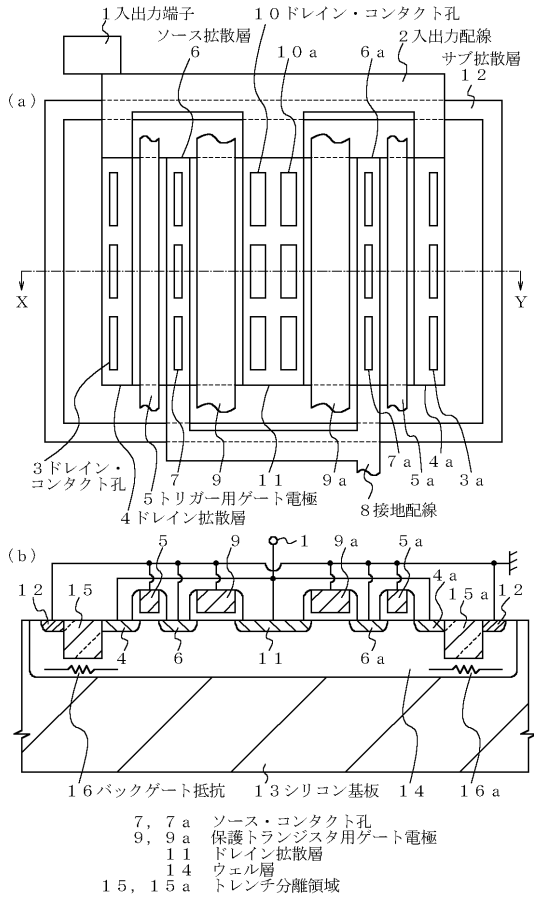
【図 1 1】第 3 の従来例を説明するための入力保護部の等価回路図である。

【符号の説明】

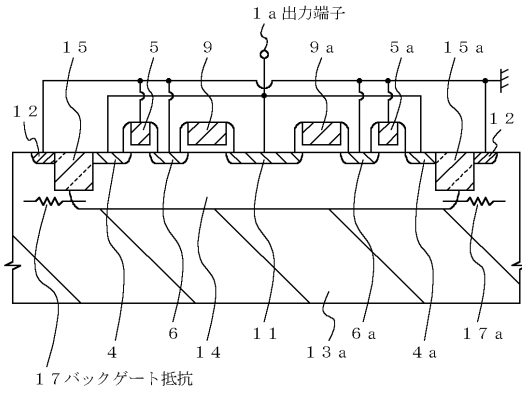
1	入出力端子	
1 a	出力端子	
2	入出力配線	
2 a	出力配線	
3 , 3 a , 1 0 , 1 0 a	ドレイン・コンタクト孔	
4 , 4 a , 1 1	ドレイン拡散層	
5 , 5 a	トリガー用ゲート電極	
6 , 6 a	ソース拡散層	10
7 , 7 a	ソース・コンタクト孔	
8	接地配線	
9 , 9 a	保護トランジスタ用ゲート電極	
1 2	サブ拡散層	
1 3 , 1 3 a , 2 1 , 5 1	シリコン基板	
1 4	ウェル層	
1 5 , 1 5 a	トレンチ分離領域	
1 6 , 1 6 a , 1 7 , 1 7 a	バックゲート抵抗	
2 2 , 5 2	トリガー用ゲート絶縁膜	
2 3 , 5 3	トリガー用ゲート電極	20
2 4 , 3 5 , 5 4	延長ソース・ドレイン拡散層	
2 5 , 3 6	ポケット拡散層	
2 6 , 3 1 , 3 7 , 5 5	サイドウォール絶縁膜	
2 7 , 3 2 , 3 8 , 5 6	ソース・ドレイン拡散層	
4 1	入力抵抗	
4 2 , 4 4	抵抗	
4 3	トリガー用 MOSFET	
4 5	保護用 MOSFET	
4 6	バックゲート	
4 7	バックゲート抵抗	30
4 8	出力用 MOSFET	
5 7 , 5 8	ヒ素イオン	



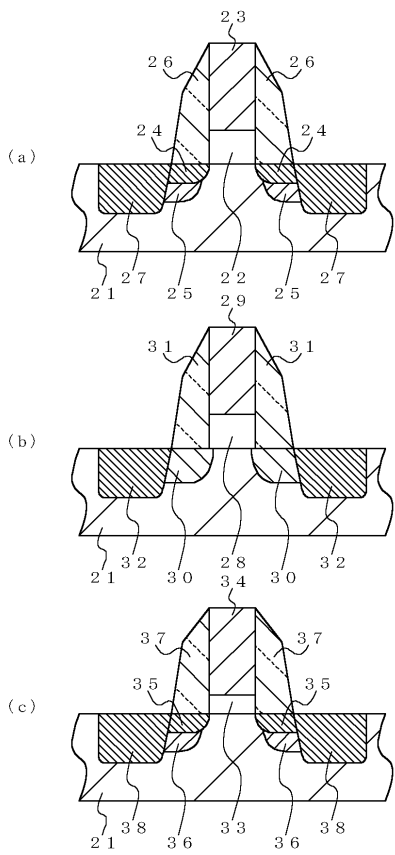
【図1】



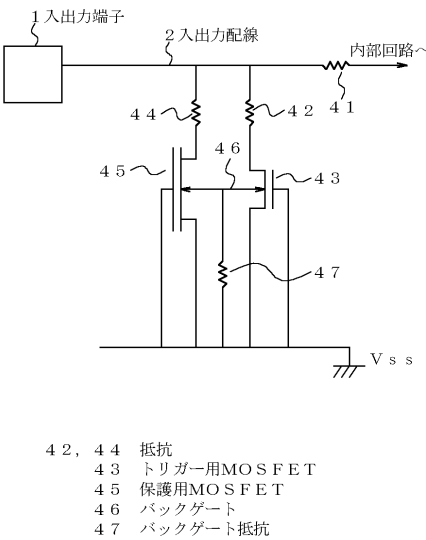
【図2】



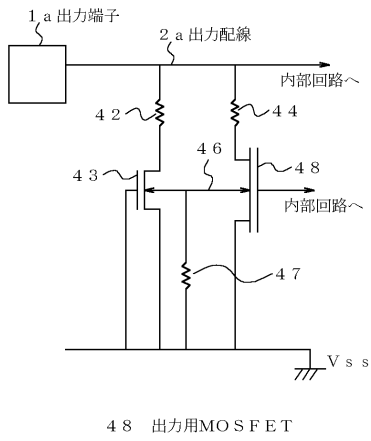
【図3】



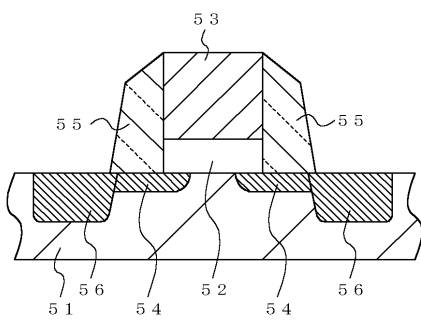
【図4】



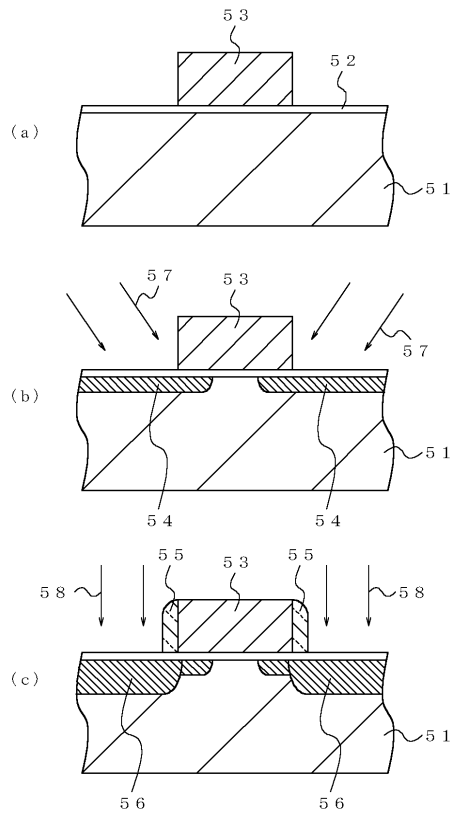
【図5】



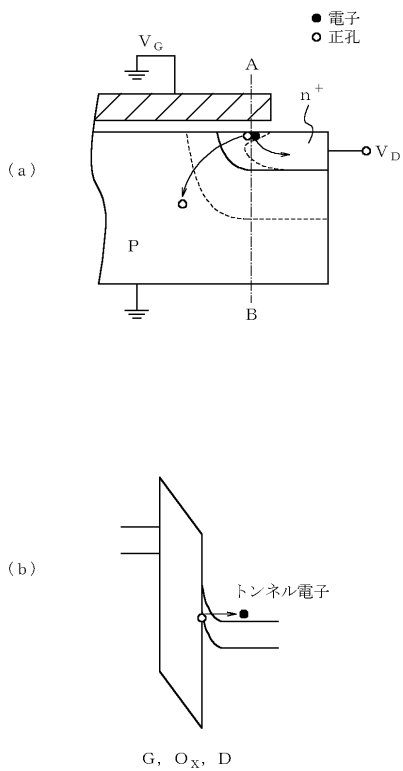
【図6】



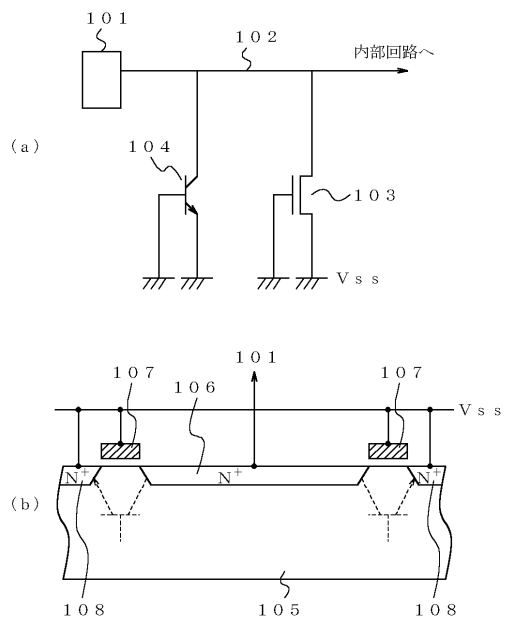
【図7】



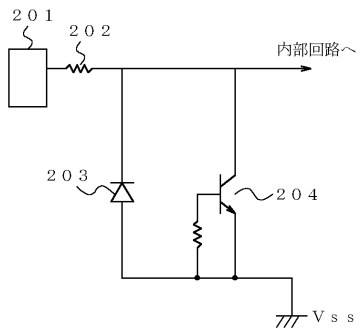
【図8】



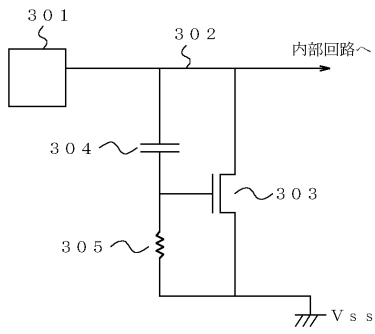
【図9】



【図10】



【図11】



---

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 27/06 (2006.01)**

**H 0 3 K 19/003 (2006.01)**

(56)参考文献 特開平 1 1 - 0 1 7 1 2 1 ( J P , A )  
特開平 0 5 - 2 6 7 5 9 7 ( J P , A )  
特開平 0 9 - 1 8 1 1 9 6 ( J P , A )  
特開平 0 1 - 2 2 0 4 6 8 ( J P , A )  
特開平 0 2 - 0 0 1 9 8 3 ( J P , A )  
特開昭 6 1 - 2 9 6 7 7 3 ( J P , A )  
特開平 0 4 - 0 7 9 2 6 5 ( J P , A )  
特開平 0 6 - 0 5 3 4 9 7 ( J P , A )  
特開 2 0 0 0 - 2 7 7 7 0 0 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8234

H01L 21/822

H01L 27/04

H01L 27/06

H01L 27/088

H03K 19/003

H03K 19/0175