

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-33583

(P2019-33583A)

(43) 公開日 平成31年2月28日(2019.2.28)

(51) Int.Cl.		F I				テーマコード (参考)
HO2M	1/08	(2006.01)	HO2M	1/08	A	5G165
HO2J	1/00	(2006.01)	HO2J	1/00	310A	5H740

審査請求 未請求 請求項の数 10 O L (全 12 頁)

(21) 出願番号 特願2017-152713 (P2017-152713)
 (22) 出願日 平成29年8月7日 (2017.8.7)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (71) 出願人 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100091982
 弁理士 永井 浩之
 (74) 代理人 100091487
 弁理士 中村 行孝
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100105153
 弁理士 朝倉 悟

最終頁に続く

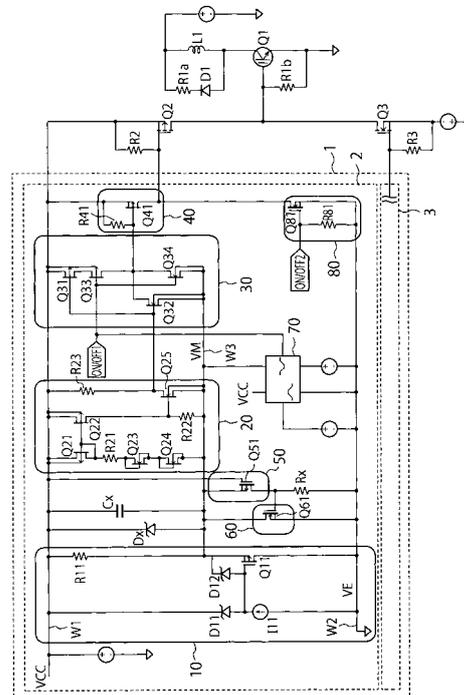
(54) 【発明の名称】 トランジスタ駆動回路およびゲート制御回路

(57) 【要約】

【課題】 駆動対象のトランジスタの誤動作を防止することが可能なトランジスタ駆動回路およびゲート制御回路を提供する。

【解決手段】 一の実施形態によれば、トランジスタ駆動回路は、第1電圧を供給する電源配線である第1配線と、第2電圧を供給する電源配線である第2配線と、前記第1配線と前記第2配線との間に設けられ、駆動対象の第1トランジスタのゲート電圧を制御する第1制御トランジスタとを備える。前記回路はさらに、前記第1制御トランジスタのゲート電圧を制御する第3電圧を供給する第3配線と、前記第1、第2、および第3配線に接続され、前記第3電圧を変化させる電源回路とを備える。前記回路はさらに、前記第1配線に接続されたゲートと、前記第2配線に接続されたドレインと、前記第3配線に接続されたソースとを有するデプレッションP型トランジスタを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 電圧を供給する電源配線である第 1 配線と、
第 2 電圧を供給する電源配線である第 2 配線と、
前記第 1 配線と前記第 2 配線との間に設けられ、駆動対象の第 1 トランジスタのゲート電圧を制御する第 1 制御トランジスタと、
前記第 1 制御トランジスタのゲート電圧を制御する第 3 電圧を供給する第 3 配線と、
前記第 1、第 2、および第 3 配線に接続され、前記第 3 電圧を変化させる電源回路と、
前記第 1 配線に接続されたゲートと、前記第 2 配線に接続されたドレインと、前記第 3 配線に接続されたソースとを有するデプレッション P 型トランジスタと、
を備えるトランジスタ駆動回路。

10

【請求項 2】

前記デプレッション P 型トランジスタの閾値電圧の絶対値は、前記第 3 配線と前記第 1 制御トランジスタとの間に設けられた複数の CMOS の動作電圧の最小値以上である、請求項 1 に記載のトランジスタ駆動回路。

【請求項 3】

前記第 1 配線と前記第 3 配線との間に設けられ、前記第 1 電圧と前記第 3 電圧との差が前記 CMOS の耐圧を超えないよう動作するクランプ回路をさらに備える、請求項 2 に記載のトランジスタ駆動回路。

20

【請求項 4】

前記クランプ回路は、ツェナーダイオードを備える、請求項 3 に記載のトランジスタ駆動回路。

【請求項 5】

前記デプレッション P 型トランジスタのドレインに接続されたゲートと、前記第 2 配線に接続されたソースと、前記第 3 配線に接続されたドレインとを有するトランジスタをさらに備える、請求項 1 から 4 のいずれか 1 項に記載のトランジスタ駆動回路。

【請求項 6】

前記第 1 配線と前記第 3 配線とに接続され、前記第 1 制御トランジスタのゲート電圧を NOR 論理により制御するロジック回路をさらに備える、請求項 1 から 5 のいずれか 1 項に記載のトランジスタ駆動回路。

30

【請求項 7】

前記ロジック回路は、複数の CMOS により構成されている、請求項 6 に記載のトランジスタ駆動回路。

【請求項 8】

前記第 1 配線と前記第 3 配線とに接続され、前記第 3 電圧に基づいて前記第 1 制御トランジスタがオンになるタイミングを制御する電圧検知回路をさらに備える、請求項 1 から 7 のいずれか 1 項に記載のトランジスタ駆動回路。

【請求項 9】

前記電源回路は、前記第 1 配線と前記第 3 配線との間に設けられた電気抵抗を備える、請求項 1 から 8 のいずれか 1 項に記載のトランジスタ駆動回路。

40

【請求項 10】

制御対象のトランジスタのゲート電圧を制御する第 1 トランジスタを駆動する第 1 トランジスタ駆動回路と、

前記制御対象のトランジスタのゲート電圧を制御する第 2 トランジスタを駆動する第 2 トランジスタ駆動回路とを備え、

前記第 1 トランジスタ駆動回路は、

第 1 電圧を供給する電源配線である第 1 配線と、

第 2 電圧を供給する電源配線である第 2 配線と、

前記第 1 配線と前記第 2 配線との間に設けられ、前記第 1 トランジスタのゲート電圧を制御する第 1 制御トランジスタと、

50

前記第 1 制御トランジスタのゲート電圧を制御する第 3 電圧を供給する第 3 配線と、
前記第 1、第 2、および第 3 配線に接続され、前記第 3 電圧を変化させる電源回路と、
前記第 1 配線に接続されたゲートと、前記第 2 配線に接続されたドレインと、前記第 3
配線に接続されたソースとを有するデプレッション P 型トランジスタとを備え、

前記第 2 トランジスタ駆動回路は、

第 4 電圧を供給する電源配線である第 4 配線と、

第 5 電圧を供給する電源配線である第 5 配線と、

前記第 4 配線と前記第 5 配線との間に設けられ、前記第 2 トランジスタのゲート電圧を
制御する第 2 制御トランジスタと、

前記第 2 制御トランジスタのゲート電圧を制御する第 6 電圧を供給する第 6 配線と、

前記第 4、第 5、および第 6 配線に接続され、前記第 6 電圧を変化させる電源回路と、
前記第 4 配線に接続されたゲートと、前記第 5 配線に接続されたドレインと、前記第 6
配線に接続されたソースとを有するデプレッション P 型トランジスタとを備える、

ゲート制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、トランジスタ駆動回路およびゲート制御回路に関する。

【背景技術】

【0002】

I G B T (Insulated Gate Bipolar Transistor) などのパワートランジスタを駆動す
る際には、10V 以上の高電圧をそのゲートに印加する必要がある。よって、パワートラ
ンジスタのゲート電圧は、高耐圧のハイサイド側トランジスタとローサイド側トランジス
タにより制御されることが多い。

【0003】

ハイサイド側トランジスタを駆動するトランジスタ駆動回路や、ローサイド側トランジ
スタを駆動するトランジスタ駆動回路を起動する際には、高電圧側の電源配線と低電圧側
の電源配線との間の中間電圧配線の電圧が適切に上昇しないと、これらのトランジスタの
誤動作が起こる可能性がある。そのため、このような誤動作を防止するための適切な対策
をとることが望まれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特公昭 58 - 58907 号公報

【特許文献 2】特開 2007 - 236112 号公報

【特許文献 3】特開平 9 - 114534 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

駆動対象のトランジスタの誤動作を防止することが可能なトランジスタ駆動回路および
ゲート制御回路を提供する。

【課題を解決するための手段】

【0006】

一の実施形態によれば、トランジスタ駆動回路は、第 1 電圧を供給する電源配線である
第 1 配線と、第 2 電圧を供給する電源配線である第 2 配線と、前記第 1 配線と前記第 2 配
線との間に設けられ、駆動対象の第 1 トランジスタのゲート電圧を制御する第 1 制御トラ
ンジスタとを備える。前記回路はさらに、前記第 1 制御トランジスタのゲート電圧を制御
する第 3 電圧を供給する第 3 配線と、前記第 1、第 2、および第 3 配線に接続され、前記
第 3 電圧を変化させる電源回路とを備える。前記回路はさらに、前記第 1 配線に接続され
たゲートと、前記第 2 配線に接続されたドレインと、前記第 3 配線に接続されたソースと

10

20

30

40

50

を有するデプレッションP型トランジスタを備える。

【図面の簡単な説明】

【0007】

【図1】第1実施形態のゲート制御回路の構成を示す回路図である。

【図2】第1実施形態のゲート制御回路の構成を模式的に示す回路図である。

【図3】第1実施形態のゲート制御回路の動作を説明するための波形図である。

【図4】第1実施形態のゲート制御回路の利点を説明するためのグラフである。

【発明を実施するための形態】

【0008】

以下、本発明の実施形態を、図面を参照して説明する。

10

【0009】

(第1実施形態)

図1は、第1実施形態のゲート制御回路1の構成を示す回路図である。

【0010】

ゲート制御回路1は、パワートランジスタQ1のゲート電圧を、ハイサイド側トランジスタQ2とローサイド側トランジスタQ3により制御する。パワートランジスタQ1は制御対象のトランジスタの一例であり、ハイサイド側トランジスタQ2は第1トランジスタの一例であり、ローサイド側トランジスタQ3は第2トランジスタの一例である。

【0011】

パワートランジスタQ1は、電気抵抗R1a、ダイオードD1、およびインダクタL1に接続されたコレクタと、電気抵抗R1bに接続されたエミッタおよびゲートとを有している。本実施形態のパワートランジスタQ1は、IGBTである。

20

【0012】

ハイサイド側トランジスタQ2は、電気抵抗R2に接続されたゲートおよびソースと、パワートランジスタQ1のゲートに接続されたドレインとを有している。本実施形態のハイサイド側トランジスタQ2は、PMOSFETである。

【0013】

ローサイド側トランジスタQ3は、電気抵抗R3に接続されたゲートおよびソースと、パワートランジスタQ1のゲートに接続されたドレインとを有している。本実施形態のローサイド側トランジスタQ3は、NMOSFETである。

30

【0014】

ゲート制御回路1は、図1に示すように、ハイサイド側トランジスタQ2を駆動するPMOS駆動回路2と、ローサイド側トランジスタQ3を駆動するNMOS駆動回路3とを備えている。PMOS駆動回路2は第1トランジスタ駆動回路の一例であり、NMOS駆動回路3は第2トランジスタ駆動回路の一例である。

【0015】

本実施形態のPMOS駆動回路2とNMOS駆動回路3は、ほぼ同じ回路構成を有している。そこで、以下ではPMOS駆動回路2の構成を説明し、NMOS駆動回路3の構成の説明を省略する。PMOS駆動回路2に関する以下の説明は、NMOS駆動回路3にも当てはまる。

40

【0016】

PMOS駆動回路2は、電源回路10と、電圧検知回路20と、CMOSロジック回路30と、第1スイッチング回路40と、デプレッションP型トランジスタ部50と、遮断補助トランジスタ部60と、レベルシフト回路70と、第2スイッチング回路80とを備えている。PMOS駆動回路2はさらに、VCC配線W1、VE配線W2、およびVM配線W3を備えている。

【0017】

VCC配線W1は、VCC電圧を供給する電源配線である。VCC配線W1は第1配線の一例であり、VCC電圧は第1電圧の一例である。本実施形態のVCC電圧は正電圧である。ハイサイド側トランジスタQ2のソースは、VCC配線W1に接続されている。

50

【0018】

V E 配線 W 2 は、V C C 電圧よりも低い V E 電圧を供給する電源配線である。V E 配線 W 2 は第 2 配線の一例であり、V E 電圧は第 2 電圧の一例である。本実施形態の V E 電圧は 0 V である。以下、V E 配線 W 2 を適宜「G N D 配線 W 2」とも表記し、V E 電圧を適宜「G N D 電圧」とも表記する。

【0019】

第 1 スイッチング回路 4 0 は、V C C 配線 W 1 と V E 配線 W 2 との間に設けられ、トランジスタ Q 4 1 と電気抵抗 R 4 1 とを備えている。トランジスタ Q 4 1 は、電気抵抗 R 4 1 に接続されたゲートと、電気抵抗 R 4 1 および V C C 配線 W 1 に接続されたソースと、ハイサイド側トランジスタ Q 2 のゲートに接続されたドレインとを備え、ハイサイド側トランジスタ Q 2 のゲート電圧を制御する。本実施形態のトランジスタ Q 4 1 は、P 型の D M O S F E T (Double-Diffused MOSFET)、すなわち、P D M O S である。トランジスタ Q 4 1 は、第 1 制御トランジスタの一例である。

10

【0020】

第 2 スイッチング回路 8 0 は、V C C 配線 W 1 と V E 配線 W 2 との間に設けられ、トランジスタ Q 8 1 と電気抵抗 R 8 1 とを備えている。トランジスタ Q 8 1 は、電気抵抗 R 8 1 に接続されたゲートと、電気抵抗 R 8 1 および V E 配線 W 2 に接続されたソースと、ハイサイド側トランジスタ Q 2 のゲートに接続されたドレインとを備え、ハイサイド側トランジスタ Q 2 のゲート電圧を制御する。本実施形態のトランジスタ Q 8 1 は、N 型の D M O S F E T、すなわち、N D M O S である。

20

【0021】

V M 配線 W 3 は、トランジスタ Q 4 1 のゲート電圧を制御する基準電圧である V M 電圧を供給する配線である。V M 配線 W 3 は第 3 配線の一例であり、V M 電圧は第 3 電圧の一例である。V M 電圧は、フローティング電圧に相当する。

【0022】

電源回路 1 0 は、V C C 配線 W 1、V E 配線 W 2、および V M 配線 W 3 に接続されており、V C C 配線 W 1 の起動時に V M 電圧を 0 V (G N D 電圧) から上昇させる。電源回路 1 0 は、トランジスタ Q 1 1 と、電流源 I 1 1 と、電気抵抗 R 1 1 と、ダイオード D 1 1、D 1 2 とを備えている。

【0023】

電流源 I 1 1 とダイオード D 1 1 は、V C C 配線 W 1 と V E 配線 W 2 との間で直列接続されている。同様に、トランジスタ Q 1 1 と電気抵抗 R 1 1 は、V C C 配線 W 1 と V E 配線 W 2 との間で直列接続されている。トランジスタ Q 1 1 は、電流源 I 1 1 とダイオード D 1 1 との間のノードに接続されたゲートと、V C C 配線 W 1 側に設けられたソースと、V E 配線 W 2 側に設けられたドレインとを有している。ダイオード D 1 2 は、トランジスタ Q 1 1 のゲートに接続されたアノードと、トランジスタ Q 1 1 のソースに接続されたカソードとを有している。本実施形態のダイオード D 1 1、D 1 2 は、ツェナーダイオードである。本実施形態のトランジスタ Q 1 1 は、P M O S F E T である。

30

【0024】

電気抵抗 R 1 1 は、V C C 配線 W 1 と V M 配線 W 3 との間に配置されている。V C C 配線 W 1 の起動時には、V C C 配線 W 1 から電気抵抗 R 1 1 を介して V M 配線 W 3 に電流が流れ、V M 電圧が 0 V から上昇する。電気抵抗 R 1 1 は、V C C 配線 W 1 と V M 配線 W 3 との間でダイオード D x やキャパシタ C x と並列接続されている。ダイオード D x とキャパシタ C x は、V C C 電圧と V M 電圧との差が過大にならないよう動作するクランプ回路を構成している。本実施形態のダイオード D x は、ツェナーダイオードであり、V C C 電圧と V M 電圧との差を一定値以下に制限することが可能である。

40

【0025】

電圧検知回路 2 0 は、V C C 配線 W 1 と V M 配線 W 3 とに接続されており、V M 電圧を所定の電圧に調整するよう動作する。具体的には、電圧検知回路 2 0 は、V M 電圧が下限値を超えるまでトランジスタ Q 4 1 がオンにならないよう、電圧検知回路 2 0 から C M O

50

Sロジック回路30への出力電圧を制御する。別言すると、電圧検知回路20は、VM電圧に基づいてトランジスタQ41がオンになるタイミングを制御する。電圧検知回路20は、トランジスタQ21~Q25と電気抵抗R21~R23とを備えている。

【0026】

トランジスタQ21は、VCC配線W1に接続されたソースと、電気抵抗R21に接続されたドレインおよびゲートとを有している。トランジスタQ22は、VCC配線W1に接続されたソースと、電気抵抗R22を介してVM配線W3に接続されたドレインと、トランジスタQ21のドレインおよびゲートに接続されたゲートとを有している。本実施形態のトランジスタQ21、Q22は、PMOSFETである。

【0027】

トランジスタQ23は、電気抵抗R21に接続されたドレインおよびゲートを有している。トランジスタQ24は、トランジスタQ23のソースに接続されたドレインおよびゲートと、VM配線W3に接続されたソースとを有している。トランジスタQ25は、トランジスタQ22と電気抵抗R22との間のノードに接続されたゲートと、VM配線W3に接続されたソースと、抵抗R23を介してVCC配線W1に接続されたドレインとを有している。電圧検知回路20からの出力電圧は、トランジスタQ25と電気抵抗R23との間のノードからCMOSロジック回路30に出力される。本実施形態のトランジスタQ23~Q25は、NMOSFETである。

【0028】

CMOSロジック回路30は、VCC配線W1とVM配線W3とに接続されており、トランジスタQ41のゲート電圧をNOR論理により制御する。CMOSロジック回路30は、PMOSFETであるトランジスタQ31と、NMOSFETであるトランジスタQ32と、PMOSFETであるトランジスタQ33と、NMOSFETであるトランジスタQ34とを備えている。

【0029】

トランジスタQ31は、電圧検知回路20の出力信号(出力電圧)が入力されるゲートと、VCC配線W1に接続されたソースとを有している。トランジスタQ32は、上記の出力信号が入力されるゲートと、VM配線W3に接続されたソースとを有している。トランジスタQ33は、トランジスタQ33を介してトランジスタQ41のON/OFFを制御するための制御信号(ON/OFF1)が入力されるゲートと、トランジスタQ31のドレインに接続されたソースと、トランジスタQ32のドレインに接続されたドレインとを有している。トランジスタQ34は、上記の制御信号が入力されるゲートと、VM配線W3に接続されたソースと、トランジスタQ32、Q33のドレインに接続されたドレインとを有している。CMOSロジック回路30では、これらのトランジスタQ31~Q34が、2つのCMOS(Complementary MOS)によりNORゲートを構成している。

【0030】

CMOSロジック回路30は、上記の出力信号と制御信号とのNOR演算結果を示す信号を、トランジスタQ41のゲートに出力する。よって、出力信号がオフの間(VM電圧が下限値を超えるまでの間)は、制御信号がオンになってもトランジスタQ41はオンにならない。CMOSロジック回路30からの信号は、トランジスタQ33とトランジスタQ34との間のノードから出力される。

【0031】

デプレッションP型トランジスタ部50は、VCC配線W1に接続されたゲートと、VM配線W3に接続されたソースと、電気抵抗Rxを介してVE配線W2に接続されたドレインとを有するデプレッションP型トランジスタQ51を備えている。本実施形態のデプレッションP型トランジスタQ51は、PDMOSである。以下、デプレッションP型トランジスタQ51を適宜「トランジスタQ51」とも略記する。

【0032】

ここで、トランジスタQ51の作用について説明する。上述のように、VCC配線W1の起動時には、VCC配線W1から電気抵抗R11を介してVM配線W3に電流が流れ、

10

20

30

40

50

VM電圧が0Vから上昇する。この際、VM電圧の上昇速度が遅いと、PMOS駆動回路2の起動開始から起動完了までに長時間を要することが問題となる。さらには、VM電圧が短時間で適切な値にならないと、VM電圧に基づいて動作する回路（電圧検知回路20やCMOSロジック回路30など）が正しく動作しない可能性がある。よって、トランジスタQ41が誤動作し、その結果、ハイサイド側トランジスタQ2が誤動作する可能性がある。例えば、トランジスタQ41が、オフとなるべき期間内にオンになる可能性がある。

【0033】

そこで、本実施形態のPMOS駆動回路2は、VM配線W3とVE配線W2との間にデプレッションP型トランジスタQ51を備えている。デプレッションP型トランジスタQ51には、ゲート電圧が0Vでもソースドレイン間に電流が流れるという性質があるため、VCC配線W1の起動直後にもトランジスタQ51に電流が流れる。その結果、VCC配線W1から電気抵抗R11を介してVM配線W3に電流が流れやすくなり、VM電圧を迅速に上昇させることができる。これにより、トランジスタQ41やハイサイド側トランジスタQ2の誤動作を防止することが可能となる。

【0034】

遮断補助トランジスタ部60は、トランジスタQ51のドレインに接続されたゲートと、VE配線W2に接続されたソースと、VM配線W3に接続されたドレインとを有する遮断補助トランジスタQ61を備えている。本実施形態の遮断補助トランジスタQ61は、NMOSFETである。以下、遮断補助トランジスタQ61を適宜「トランジスタQ61」とも略記する。

【0035】

ここで、トランジスタQ61の作用について説明する。デプレッションP型トランジスタQ51のソースとドレインは、ゲート電圧が上昇すると自動的に遮断されるが、この遮断はより迅速に実行することが望ましい。本実施形態では、デプレッションP型トランジスタQ51のドレイン電流を遮断補助トランジスタQ61が検知し、遮断補助トランジスタQ61がこの検知結果をVM電圧に反映させるため、上記の遮断をより迅速に実行することができる。

【0036】

レベルシフト回路70は、VCC電圧と、VE電圧と、トランジスタQ41のON/OFF用の制御信号（ON/OFF1）とに基づいて、VM電圧を調整するための回路である。これにより、PMOS駆動回路2の動作を適切なものに調整することが可能となる。

【0037】

以下、デプレッションP型トランジスタQ51の閾値電圧 V_{TH} について説明する。

【0038】

本実施形態のVM配線W3とトランジスタQ41の間には、複数のCMOSが配置されている。これらのCMOSの例は、CMOSロジック回路30を構成する2つのCMOSである。VM配線W3とトランジスタQ41の間には、図示しないその他のCMOSも配置されていてもよい。例えば、電圧検知回路20とCMOSロジック回路30との間に複数のCMOSが配置されていてもよい。

【0039】

本実施形態では、トランジスタQ51の閾値電圧 V_{TH} の絶対値（ $|V_{TH}|$ ）が、VM配線W3とトランジスタQ41との間に設けられた全CMOSの動作電圧の最小値以上に設定されている。例えば、VM配線W3とトランジスタQ41との間にCMOS1、CMOS2、CMOS3が設けられており、これらの動作電圧がそれぞれ V_{C1} 、 V_{C2} 、 V_{C3} である場合には、閾値電圧 V_{TH} の絶対値は、動作電圧 V_{C1} 、 V_{C2} 、 V_{C3} のうちの最小値以上である。

【0040】

各CMOSを構成するPMOSFETとNMOSFETの閾値電圧がそれぞれ V_{TH-P} と V_{TH-N} で表される場合には、各CMOSの動作電圧 V_C は $|V_{TH-P}| + V_{TH-N}$

10

20

30

40

50

V_{H-N} で与えられる ($V_C = |V_{TH-P}| + V_{TH-N}$)。よって、トランジスタ Q 5 1 の閾値電圧 V_{TH} の絶対値は、全 CMOS の $|V_{TH-P}| + V_{TH-N}$ のうちの最小値以上となる。

【0041】

本実施形態によれば、閾値電圧 V_{TH} の絶対値を全 CMOS の動作電圧の最小値以上に設定することで、全 CMOS が正常に動作するようにデプレッション P 型トランジスタ Q 5 1 を動作させることが可能となる。

【0042】

また、本実施形態のダイオード D_x とキャパシタ C_x は、上述のように、VCC 電圧と VM 電圧との差が過大にならないよう動作するクランプ回路を構成している。本実施形態のクランプ回路は、VCC 電圧と VM 電圧との差がこれら全 CMOS の耐圧を超えないように動作するよう構成されている。これにより、起動時に CMOS の絶縁破壊が生じることを防止することが可能となる。

【0043】

次に、PMOS 駆動回路 2 の動作について説明する。

【0044】

VCC 配線 W 1 の起動時には、VCC 配線 W 1 から電気抵抗 R 1 1 を介して VM 配線 W 3 に電流が流れ、VM 電圧が 0 V から上昇する。この際、デプレッション P 型トランジスタ Q 5 1 は、VCC 電圧や VM 電圧を検知して起動電流を流す。デプレッション P 型トランジスタ Q 5 1 には、ゲート電圧が 0 V でもソースドレイン間に電流が流れるという性質があるため、VCC 配線 W 1 の起動直後から起動電流が流れる。よって、起動時の VM 電圧は、VCC 電圧の上昇と共に不感帯なしにリニアに上昇する。その結果、VM 電圧を迅速に上昇させることができ、トランジスタ Q 4 1 やハイサイド側トランジスタ Q 2 の誤動作を防止することができる。

【0045】

一方、VM 電圧が正規の電圧に達すると、起動電流は自動的に減少する。この際、遮断補助トランジスタ Q 6 1 は、デプレッション P 型トランジスタ Q 5 1 のドレイン電流を検知し、この検知結果を VM 電圧に反映させる。これにより、起動電流を急速に減少させることができる。

【0046】

また、CMOS ロジック回路 3 0 は、電流検知回路 2 0 からの出力信号と、トランジスタ Q 4 1 の ON/OFF 用の制御信号 (ON/OFF 1) との NOR 演算を行い、NOR 演算結果を示す信号をトランジスタ Q 4 1 のゲートに出力する。具体的には、出力信号と制御信号が共にローレベルになると、NOR 演算結果を示す信号がハイレベルになりトランジスタ Q 4 1 がオンになる。本実施形態の VCC 配線 W 1 の起動時には、VM 電圧が低いいため出力信号がハイレベルとなる。よって、VCC 配線 W 1 の起動時には、NOR 演算結果を示す信号がローレベルになり、トランジスタ Q 4 1 のオンスタート、ハイサイド側トランジスタ Q 2 のオフスタート、トランジスタ Q 1 のオフスタートを実現できる。

【0047】

図 2 は、第 1 実施形態のゲート制御回路 1 の構成を模式的に示す回路図である。

【0048】

図 2 に示すように、PMOS 駆動回路 2 は、トランジスタ Q 4 1 の制御用の回路ブロック 9 1、9 2、バッファ回路 9 3、NOR ゲート回路 9 4 と、トランジスタ Q 8 1 の制御用の回路ブロック 9 5、バッファ回路 9 6、NOR ゲート回路 9 7 とを備えている。PMOS 駆動回路 2 はさらに、VCC 配線 W 1 と、VE 配線 W 2 と、トランジスタ Q 4 1 のゲート電圧を制御する基準電圧 (VM 電圧) を供給する配線 (VM 配線) W 3 と、トランジスタ Q 8 1 のゲート電圧を制御する基準電圧を供給する配線 W 3' とを備えている。

【0049】

回路ブロック 9 1、回路ブロック 9 2、NOR ゲート回路 9 4 はそれぞれ、図 1 のデプレッション P 型トランジスタ部 5 0、電圧検知回路 2 0、CMOS ロジック回路 3 0 に対

10

20

30

40

50

応している。トランジスタQ41の動作は、回路ブロック92からの出力信号と、バッファ回路93を経由した制御信号(ON/OFF1)とに基づいて、NORゲート回路94により制御される。

【0050】

回路ブロック95、NORゲート回路97はそれぞれ、電圧検知回路20、CMOSロジック回路30と同様の構成および機能を有している。トランジスタQ81の動作は、回路ブロック95からの出力信号と、バッファ回路96を経由した制御信号(ON/OFF2)とに基づいて、NORゲート回路97により制御される。

【0051】

PMOS駆動回路2と同様に、NMOS駆動回路3もまた、トランジスタQ41'の制御用の回路ブロック91'、92'、バッファ回路93'、NORゲート回路94'と、トランジスタQ81'の制御用の回路ブロック95'、バッファ回路96'、NORゲート回路97'とを備えている。NMOS駆動回路3はさらに、VCC配線W1と同様に機能するVE配線W4と、VE配線W2と同様に機能するVEE配線W5と、配線W3と同様に機能する配線W6と、配線W3'と同様に機能する配線W6'とを備えている。VE配線W4、VEE配線W5、配線W6はそれぞれ、第4、第5、第6配線の例である。本実施形態のVEE電圧は負電圧である。

【0052】

回路ブロック91'、回路ブロック92'、NORゲート回路94'はそれぞれ、デプレッションP型トランジスタ部50、電圧検知回路20、CMOSロジック回路30と同様の構成および機能を有している。トランジスタQ41'の動作は、回路ブロック92'からの出力信号と、バッファ回路93'を経由した制御信号(ON/OFF3)とに基づいて、NORゲート回路94'により制御される。トランジスタ41'は、第2制御トランジスタの一例である。

【0053】

回路ブロック95'、NORゲート回路97'はそれぞれ、電圧検知回路20、CMOSロジック回路30と同様の構成および機能を有している。トランジスタQ81'の動作は、回路ブロック95'からの出力信号と、バッファ回路96'を経由した制御信号(ON/OFF4)とに基づいて、NORゲート回路97'により制御される。

【0054】

NMOS駆動回路3のその他の構成も、PMOS駆動回路2と同様である。例えば、NMOS駆動回路3は、図1の電源回路10、遮断補助トランジスタ部60、レベルシフト回路70と同様の構成および機能を有する構成要素を備えている。

【0055】

図3は、第1実施形態のゲート制御回路1の動作を説明するための波形図である。

【0056】

図3(a)は、遮断補助トランジスタQ61のソース電流を表す。図3(b)は、デプレッションP型トランジスタQ51のドレイン電流を示す。図3(c)は、VCC電圧とVM電圧との差を表す。図3(d)は、VCC電圧とトランジスタQ32のゲート電圧との差を表す。A1からA6への波形の変化は、デプレッションP型トランジスタQ51の閾値電圧 V_{TH} の増加に伴う波形の変化を示している。これはB1~B6、C1~C5、D1~D5の波形についても同様である。これらのグラフから、閾値電圧 V_{TH} の増加に伴い、VCC配線W1の起動が迅速に進行するようになることが分かる。理由は、閾値電圧 V_{TH} の増加によりトランジスタQ51のドレイン電流が流れやすくなり、さらにはトランジスタQ61のソース電流も流れやすくなるため、VCC配線W1からVM配線W3へと電流がより流れやすくなり、VCC電圧とVM電圧との差が迅速に増加するからである。

【0057】

図3(e)は、VCC電圧とトランジスタQ33のゲート電圧との差を表す。図3(f)は、VCC電圧とトランジスタQ41のゲート電圧との差を表す。図3(g)は、トランジスタQ1のゲート電圧を示す。図3(h)は、VCC電圧とVE電圧との差を示す。E1、F

10

20

30

40

50

1、G 1、H 1の波形は、トランジスタQ 5 1が存在する場合の波形を示しており、E 2、F 2、G 2、H 2の波形は、トランジスタQ 5 1が存在しない場合の波形を示している。これらのグラフから、トランジスタQ 5 1は、V C C配線W 1の起動時においてトランジスタQ 1のゲート電圧等の誤った変動を抑制できることが分かる。よって、本実施形態によれば、P M O S駆動回路2にトランジスタQ 5 1を設けることで、トランジスタQ 1の誤動作を効果的に防止することが可能となる。

【0058】

図4は、第1実施形態のゲート制御回路1の利点を説明するためのグラフである。

【0059】

曲線V 1は、トランジスタQ 5 1が存在する場合における起動時のV M電圧の時間変化を示す。曲線V 2は、トランジスタQ 5 1が存在しない場合における起動時のV M電圧の時間変化を示す。

10

【0060】

曲線V 2から理解されるように、トランジスタQ 5 1が存在しない場合には、V M電圧の変化に不感帯が存在し、V M電圧が迅速に上昇しない。一方、トランジスタQ 5 1が存在する場合には、曲線V 1で示すように、V M電圧は不感帯なしにリニアに上昇する。これは、デプレッションP型トランジスタQ 5 1には、ゲート電圧が0Vでもソースドレイン間に電流が流れるという性質があることから、V C C配線W 1の起動直後にもトランジスタQ 5 1に電流が流れるためである。これにより、V M電圧を迅速に上昇させることが可能となる。

20

【0061】

以上のように、本実施形態のP M O S駆動回路2は、V C C配線W 1に接続されたゲートと、V M配線W 3に接続されたソースと、V E配線W 2に接続されたドレインとを有するデプレッションP型トランジスタQ 5 1を備えている。よって、本実施形態によれば、V M電圧を迅速に上昇させることが可能となり、トランジスタQ 4 1やハイサイド側トランジスタQ 2の誤動作を防止することが可能となる。これは、本実施形態のN M O S駆動回路3でも同様であり、本実施形態によれば、トランジスタQ 4 1'やローサイド側トランジスタQ 3の誤動作を防止することが可能となる。

【0062】

以上、いくつかの実施形態を説明したが、これらの実施形態は、例としてのみ提示したものであり、発明の範囲を限定することを意図したものではない。本明細書で説明した新規な回路は、その他の様々な形態で実施することができる。また、本明細書で説明した回路の形態に対し、発明の要旨を逸脱しない範囲内で、種々の省略、置換、変更を行うことができる。添付の特許請求の範囲およびこれに均等な範囲は、発明の範囲や要旨に含まれるこのような形態や変形例を含むように意図されている。

30

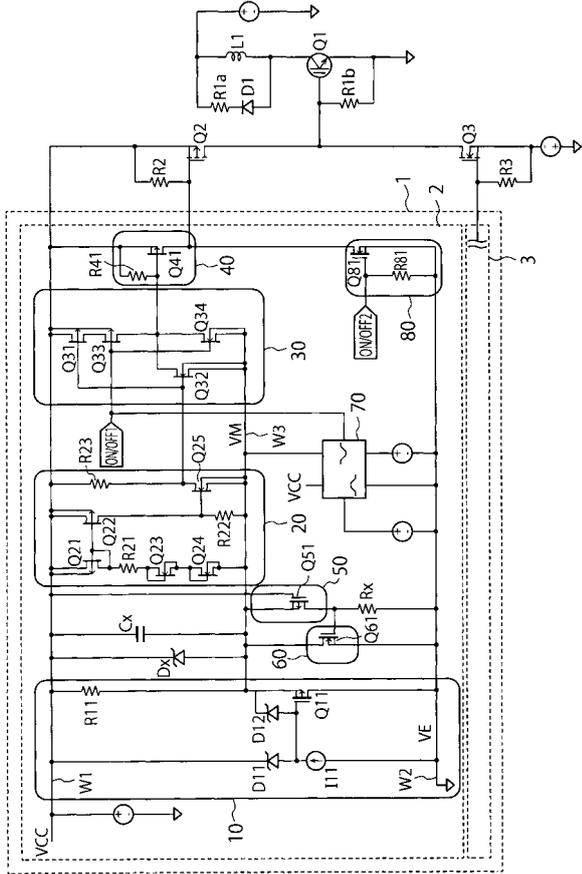
【符号の説明】

【0063】

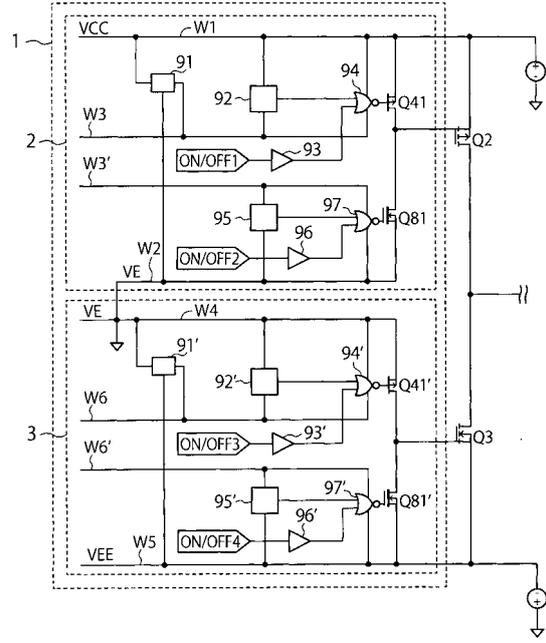
1：ゲート制御回路、2：P M O S駆動回路、3：N M O S駆動回路、
 10：電源回路、20：電圧検知回路、
 30：C M O Sロジック回路、40：第1スイッチング回路、
 50：デプレッションP型トランジスタ部、60：遮断補助トランジスタ部、
 70：レベルシフト回路、80：第2スイッチング回路、
 91、91'、92、92'、95、95'：回路ブロック、
 93、93'、96、96'：バッファ回路、
 94、94'、97、97'：N O Rゲート回路

40

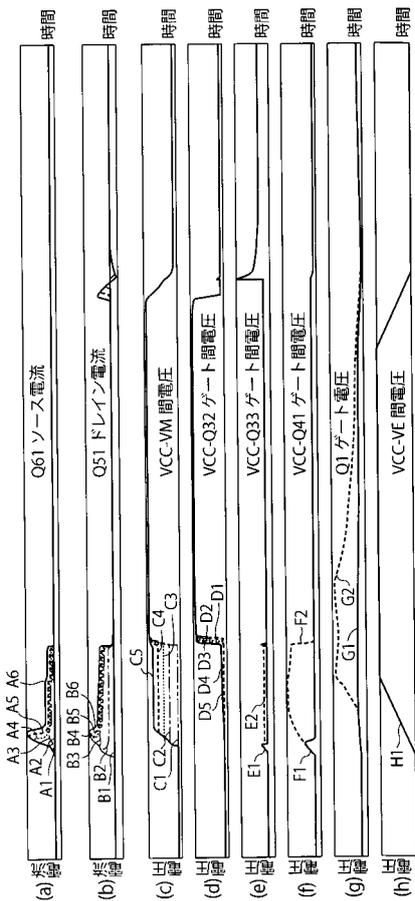
【 図 1 】



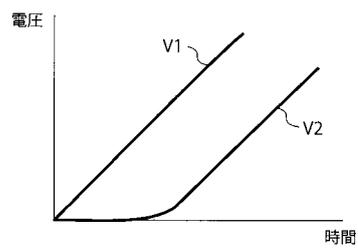
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(74)代理人 100107582

弁理士 関根 毅

(74)代理人 100118843

弁理士 赤岡 明

(74)代理人 100124372

弁理士 山ノ井 傑

(72)発明者 常次 幸男

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5G165 EA01 HA05 HA06 KA01 KA04 NA04 NA05

5H740 AA04 BA11 BA12 BB01 BB04 HH03 HH06 KK01