



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월03일
(11) 등록번호 10-1141908
(24) 등록일자 2012년04월24일

(51) 국제특허분류(Int. Cl.)
G11C 16/00 (2006.01) G11C 16/34 (2006.01)
(21) 출원번호 10-2010-0128215(분할)
(22) 출원일자 2010년12월15일
심사청구일자 2010년12월15일
(65) 공개번호 10-2011-0008145
(43) 공개일자 2011년01월26일
(62) 원출원 특허 10-2009-0036434
원출원일자 2009년04월27일
심사청구일자 2009년04월27일
(30) 우선권주장 JP-P-2008-117729 2008년04월28일 일본(JP)
(56) 선행기술조사문헌
KR1020090032246 A*
KR100725979 B1*
KR100624590 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고
(72) 발명자
우에노 고끼
일본 도쿄도 미나토구 시바우라 1쵸메 1-1 가부시끼가이샤 도시바 지적재산부 내
나가시마 히로유키
일본 도쿄도 미나토구 시바우라 1쵸메 1-1 가부시끼가이샤 도시바 지적재산부 내
(74) 대리인
이중희, 장수길, 박충범

전체 청구항 수 : 총 1 항

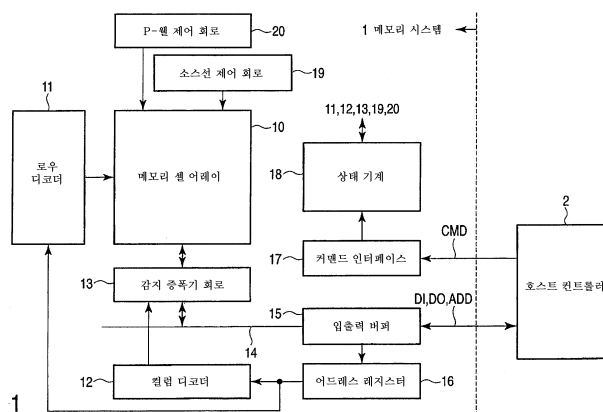
심사관 : 한선경

(54) 발명의 명칭 불휘발성 반도체 기억 장치

(57) 요약

불휘발성 반도체 기억 장치는, 복수의 메모리 셀을 각기 포함하는 복수의 블록을 구비하고 있는 불휘발성 메모리; 메모리 셀의 전류 경로의 일단에 전기적으로 접속된 비트선; 메모리 셀의 전류 경로의 타단에 전기적으로 접속된 소스선; 게이트 전극에 전기적으로 접속된 워드선; 비트선에 전기적으로 접속되며, 또한 메모리 셀로부터 데이터를 판독하는 감지 증폭기 회로; 워드선에 전기적으로 접속되며, 또한 메모리 셀이 온 상태로 되는 판독 전압을 워드선에 인가하는 로우 디코더; 및 온 상태의 메모리 셀에 흐르는 셀 전류를 측정하여 메모리 셀이 열화되었는지의 여부를 판정하는 컨트롤러를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

불휘발성 반도체 기억 장치로서,

각각의 메모리 셀이 반도체 기판상에 제1 절연막, 전하 축적층, 제2 절연막 및 게이트 전극이 순서대로 적층된 적층 게이트 구조를 갖는 복수의 메모리 셀을 각기 포함하는 복수의 블록을 구비하고 있는 불휘발성 메모리; 및 상기 전하 축적층을 방전시킴으로써 상기 메모리 셀의 데이터를 소거하도록 구성되고, 블록의 전체 데이터를 소거할 때의 소거 처리 횟수가 소정 횟수를 초과한 경우에 상기 블록이 열화되었다고 판정하는 컨트롤러를 포함하고,

상기 컨트롤러는 열화된 상기 블록의 용장 영역에 플래그를 기입하고,

상기 컨트롤러는, 데이터 소거시, 상기 플래그가 기입되어 있는 블록에 인가하는 제1 소거 전압을 열화되지 않은 블록에 인가하는 제2 소거 전압보다 높게 하는, 불휘발성 반도체 기억 장치.

명세서

기술분야

[0001] 본 출원은 2008년 4월 28일에 출원된 일본 특허 출원 제2008-117729호에 기초한 것으로, 그 우선권을 주장하며, 그 전체 내용이 본 명세서에서 참조로서 인용된다.

[0002] 본 발명은, 불휘발성 반도체 기억 장치에 관한 것으로, 예를 들면 전기적으로 재기입이 가능한 불휘발성 반도체 기억 장치에 관한 것이다.

배경기술

[0003] 전기적으로 재기입이 가능한 불휘발성 반도체 메모리로는, NAND 플래시 메모리가 알려져 있다. 이 NAND 플래시 메모리는, 반도체 기판상에, 터널 절연막, 전하 축적층, 게이트간 절연막, 제어 게이트 전극이 순서대로 적층된 적층 게이트 구조를 갖는 메모리 셀 트랜지스터를 구비하고 있다.

[0004] 이와 같은 구조를 갖는 메모리 셀 트랜지스터에서는, 재기입을 반복하면, 터널 절연막에 트랩된 전자가 증가하여 메모리 셀 트랜지스터가 열화된다. 열화된 메모리 셀 트랜지스터는, 임계값 전압이 높아지기 때문에 기입이 빠르게 행해져서, 오버 프로그램 조건(기입에 의해 원하는 임계값 전압보다 높아지는 불량)이 일어나기 쉽다. 또한, 열화된 메모리 셀 트랜지스터는, 고온 방치에 의해 트랩된 전자가 디트랩되어, 임계값이 크게 떨어지기 때문에, 데이터 유지 특성이 열화된다.

발명의 내용

해결하려는 과제

[0005] 현재의 NAND 플래시 메모리에서는, 이와 같은 메모리 셀 트랜지스터의 열화가 일어나도 동작을 보증할 수 있도록 기입이나 판독의 설정에 마진을 갖게 하고 있다. 그러나, 열화된 메모리 셀 트랜지스터의 동작을 보증하도록 하는 설정에 맞추면, 제품 출하 직후 등의 열화가 거의 없는 상태에서는 성능이 나쁘게 된다. 또한, 고온에

서의 재기입의 간격을 길게 함으로써 메모리 셀 트랜지스터의 열화가 회복되는 경우도 있기 때문에, 수천번, 수만번의 재기입을 행한 후의 메모리 셀 트랜지스터의 열화 정도는 그 조건에 따라 크게 서로 다르게 된다.

[0006] 또한, NAND 플래시 메모리는, 수천번, 수만번의 재기입을 행한 후의 데이터 유지 특성을 보장하기 위해서, 제품 출하 전에 신뢰성 평가를 행하고 있다. 예를 들면, NAND 플래시 메모리의 수명을 어렵잡기 위해서는, 수백 시간의 신뢰성 평가를 요한다. 이 때문에, 프로세스 변경시나 양산중에 신뢰성을 단시간에 모니터링하는 것은 매우 곤란하다.

[0007] 이런 종류의 관련 기술로서, "일본 특허 공개 평8-7597호 공보"에는, 이하의 기술이 개시되어 있다. 메모리 셀 트랜지스터에 대한 데이터의 기입/소거 후에 베리파이 관독을 행하고, 데이터의 기입/소거가 올바르게 행하여졌는지를 검증한다. 이들 데이터의 기입/소거와 베리파이 관독 동작을 데이터의 기입/소거가 올바르게 행해질 때까지 소정 횟수 반복한다. 소정 횟수 반복하여도 올바른 데이터 기입/소거가 실행되지 않았을 때에는, 메모리 셀 트랜지스터가 열화되었다고 판단하고, 열화된 메모리 셀 트랜지스터 대신에 용장용 메모리 셀 트랜지스터를 선택한다.

과제의 해결 수단

[0008] 본 발명의 일 측면에 따르면, 각각의 메모리 셀이 제1 절연막, 전하 축적층, 제2 절연막 및 게이트 전극이 순서대로 적층된 적층 게이트 구조를 갖는 복수의 메모리 셀을 각기 포함하는 복수의 블록을 구비하고 있는 불휘발성 메모리; 메모리 셀의 전류 경로의 일단에 전기적으로 접속된 비트선; 메모리 셀의 전류 경로의 타단에 전기적으로 접속된 소스선; 게이트 전극에 전기적으로 접속된 워드선; 비트선에 전기적으로 접속되며, 또한 메모리 셀로부터 데이터를 관독하는 감지 증폭기 회로; 워드선에 전기적으로 접속되며, 또한 메모리 셀이 온 상태로 되는 관독 전압을 워드선에 인가하는 로우 디코더; 및 온 상태의 메모리 셀에 흐르는 셀 전류를 측정하여 메모리 셀이 열화되었는지의 여부를 판정하는 컨트롤러를 포함하는 불휘발성 반도체 기억 장치가 제공된다.

[0009] 본 발명의 다른 측면에 따르면, 각각의 메모리 셀이 반도체 기판상에 제1 절연막, 전하 축적층, 제2 절연막 및 게이트 전극이 순서대로 적층된 적층 게이트 구조를 갖는 복수의 메모리 셀을 각기 포함하는 복수의 블록을 구비하고 있는 불휘발성 메모리; 전하 축적층을 방전시킴으로써 메모리 셀의 데이터를 소거하고, 또한 블록의 전체 데이터를 소거할 때의 소거 처리 횟수가 소정 횟수를 초과한 경우에 블록이 열화되었다고 판정하는 컨트롤러를 포함하는 불휘발성 반도체 기억 장치가 제공된다.

[0010] 본 발명의 또다른 측면에 따르면, 각각의 메모리 셀이 제1 절연막, 전하 축적층, 제2 절연막 및 게이트 전극이 순서대로 적층된 적층 게이트 구조를 갖는 복수의 메모리 셀을 각기 포함하는 복수의 블록을 구비하고 있는 불휘발성 반도체 메모리; 전하 축적층에 전하를 주입함으로써 메모리 셀에 데이터를 기입하고, 또한 블록에 전체 데이터를 기입할 때의 기입 처리 횟수가 소정 횟수 이하인 경우에 블록이 열화되었다고 판정하는 컨트롤러를 포함하는 불휘발성 반도체 기억 장치가 제공된다.

도면의 간단한 설명

[0011] 도 1은, 본 발명의 제1 실시 형태에 따른 메모리 시스템(1)의 구성을 나타내는 블록도.

도 2는, 메모리 셀 어레이(10)의 구성을 나타내는 개략도.

도 3은, 메모리 셀 어레이(10)에 포함되는 1개의 블록의 구성을 나타내는 회로도.

도 4는, NAND 스트링의 구성을 나타내는 단면도.

도 5는, 감지 증폭기 회로(13)에 포함되는 1개의 감지 증폭기 SA의 구성을 나타내는 회로도.

도 6은, 열화 전 셀과 열화 후 셀의 전류-전압 특성을 나타내는 도면.

도 7은, 메모리 시스템(1)의 열화 블록 판정 동작을 나타내는 플로우차트.

도 8은, 셀 전류 측정 시에서의 비트선의 방전 특성을 나타내는 도면.

도 9는, 메모리 시스템(1)의 셀 전류 측정 동작을 나타내는 타이밍차트.

도 10은, 메모리 시스템(1)의 기입 동작을 나타내는 플로우차트.

도 11은, 1개의 블록의 용장 영역의 구성을 나타내는 도면.

- 도 12는, 제2 실시 형태에 따른 메모리 시스템(1)의 셀 전류 측정 동작을 나타내는 타이밍차트.
- 도 13은, 제3 실시 형태에 따른 메모리 시스템(1)의 소거 동작을 나타내는 플로우차트.
- 도 14는, 열화 전에서의 메모리 셀 트랜지스터 MT의 임계값 전압 분포를 나타내는 도면.
- 도 15는, 제4 실시 형태에 따른 메모리 시스템(1)의 판독 동작을 나타내는 플로우차트.
- 도 16은, 제5 실시 형태에 따른 메모리 시스템(1)의 블록의 사용 금지 설정 동작을 나타내는 플로우차트.
- 도 17은, 제6 실시 형태에 따른 메모리 시스템(1)의 열화 블록 판정 동작을 나타내는 플로우차트.
- 도 18은, 제7 실시 형태에 따른 메모리 시스템(1)의 열화 블록 판정 동작을 나타내는 플로우차트.
- 도 19는, 제8 실시 형태에 따른 메모리 시스템(1)의 열화 블록 판정 동작을 나타내는 플로우차트.
- 도 20은, 제9 실시 형태에 따른 메모리 시스템(1)의 열화 블록 정보 출력 동작을 나타내는 플로우차트.
- 도 21은, 메모리 시스템(1)의 경고 출력 동작을 나타내는 플로우차트.

발명을 실시하기 위한 구체적인 내용

- [0012] 이하, 본 발명의 실시 형태에 대하여 도면을 참조하여 설명한다. 또한, 이하의 설명에서, 동일한 기능 및 구성을 갖는 요소에 대해서는, 동일 부호를 붙이고, 중복 설명은 필요할 경우에만 행한다.
- [0013] <제1 실시 형태>
- [0014] [1. 메모리 시스템(1)의 구성]
- [0015] 본 실시 형태의 메모리 시스템(불휘발성 반도체 기억 장치)(1)은, 예를 들면, 호스트 장치가 실장된 프린트 기판상에 실장되고, 버스를 통하여 호스트 장치와의 사이에서 데이터의 전송을 행한다. 혹은, 본 발명의 메모리 시스템(1)은, 호스트 장치에 대하여 착탈 가능하도록 구성되며, 호스트 장치에 접속된 상태에서 버스를 통하여 호스트 장치 사이에서 데이터의 전송을 행한다. 도 1은, 본 발명의 제1 실시 형태에 따른 메모리 시스템(1)의 구성을 나타내는 블록도이다.
- [0016] 메모리 셀 어레이(10)는, 전기적으로 재기입이 가능하며, 불휘발성 반도체 메모리의 일종인 NAND 플래시 메모리로 구성된다. 메모리 셀 어레이(10)는, 데이터 소거의 단위인 복수개의 블록을 구비하고 있다. 메모리 셀 어레이(10)에는, 각각이 로우 방향으로 연장되도록 복수의 워드선 WL이 배설되어 있다. 또한, 메모리 셀 어레이(10)에는, 각각이 컬럼 방향으로 연장되도록 복수의 비트선 BL이 배설되어 있다.
- [0017] 로우 디코더(11)는, 메모리 셀 어레이(10)의 행 선택(워드선 선택)을 행하고, 컬럼 디코더(12)는, 메모리 셀 어레이(10)의 열 선택(비트선 선택)을 행한다. 데이터 래치를 포함하는 감지 증폭기 회로(13)는, 메모리 셀 어레이(10)의 비트선 BL에 접속되고, 메모리 셀 어레이(10)로부터 데이터의 판독을 행하거나, 혹은 외부 회로로부터 공급된 기입 데이터를 메모리 셀 어레이(10)에 기입한다.
- [0018] 데이터 판독시, 감지 증폭기 회로(13)에 의해 판독된 데이터는, 데이터 버스(14) 및 입출력 버퍼(15)를 통하여, 외부 회로(호스트 컨트롤러(2) 등)에 출력 데이터 DO로서 출력된다. 데이터 기입 시, 호스트 컨트롤러(2)로부터 메모리 시스템(1)에 입력된 입력 데이터 DI는, 입출력 버퍼(15) 및 데이터 버스(14)를 통하여, 기입 데이터로서 감지 증폭기 회로(13)에 보내진다.
- [0019] 호스트 컨트롤러(2)로부터 공급되는 어드레스 ADD는, 입출력 버퍼(15)를 통하여, 어드레스 레지스터(16)에 유지된다. 어드레스 레지스터(16)에 유지된 어드레스 ADD는, 로우 디코더(11) 및 컬럼 디코더(12)에 보내진다. 호스트 컨트롤러(2)로부터 공급되는 커맨드 CMD는, 커맨드 인터페이스(17)에 의해 디코드되고, 컨트롤러인 상태 기계(18)에 보내진다.
- [0020] 상태 기계(컨트롤러)(18)는, 동작 모드에 따라서 공급되는 커맨드 CMD에 기초하여, 데이터 기입, 데이터 판독 및 데이터 소거의 제어 동작을 행한다. 이들 동작을 제어하기 위해서, 상태 기계(18)는, 로우 디코더(11), 컬럼 디코더(12), 감지 증폭기 회로(13), 소스선 제어 회로(19) 및 P웰 제어 회로(20)의 동작을 제어한다.
- [0021] 소스선 제어 회로(19)는, 동작 모드에 따라서, 메모리 셀 어레이(10) 내에 형성되는 소스선 SL의 전압 CELSRC를 제어한다. P웰 제어 회로(20)는, 메모리 셀 어레이(10)를 구성하는 복수개의 블록에 대응하는 복수의 P형 반도체 영역(P-웰)의 전압을 제어한다.

- [0022] 도 2는, 메모리 셀 어레이(10)의 구성을 나타내는 개략도이다. 전술한 바와 같이, 메모리 셀 어레이(10)는, 데이터 소거의 단위인 복수개의 블록을 구비하고 있다. 도 2에는, 메모리 셀 어레이(10)가 1024개의 블록(블록 m0 ~ m1023)을 구비하고 있는 경우를 예시하고 있다.
- [0023] 도 3은, 메모리 셀 어레이(10)에 포함되는 1개의 블록의 구성을 나타내는 회로도이다. 1개의 블록은, X 방향을 따라 순서대로 배열된 복수개(예를 들면, 16416개)의 NAND 스트링을 구비하고 있다. 복수개의 NAND 스트링에 각각 포함되는 선택 트랜지스터 ST1은, 드레인이 비트선 BL에 접속되며, 게이트가 선택 게이트선 SGD에 공통 접속되어 있다. 또한, 복수개의 NAND 스트링에 각각 포함되는 선택 트랜지스터 ST2는, 소스가 소스선 SL에 공통 접속되며, 게이트가 선택 게이트선 SGS에 접속되어 있다.
- [0024] 각 NAND 스트링에서, 복수개(예를 들면, 32개)의 메모리 셀 트랜지스터 MT(이하, 간단히 '셀'이라고도 지칭함)는, 선택 트랜지스터 ST1의 소스와 선택 트랜지스터 ST2의 드레인 사이에, 전류 경로가 직렬 접속되도록 배치되어 있다. 즉, 복수개의 메모리 셀 트랜지스터 MT는, 인접하는 것끼리 확산 영역(소스 영역 혹은 드레인 영역)을 공유하도록 하는 형태로 Y 방향에 직렬 접속된다.
- [0025] 그리고, 메모리 셀 트랜지스터 MT의 제어 게이트 전극은 드레인으로부터 거리가 증가하는 순서대로 워드선 WL0 ~ WL31의 대응 워드선에 접속되어 있다. 즉, 워드선 WL0에 접속된 메모리 셀 트랜지스터 MT의 드레인은 선택 트랜지스터 ST1의 소스에 접속되며, 워드선 WL31에 접속된 메모리 셀 트랜지스터 MT의 소스는 선택 트랜지스터 ST2의 드레인에 접속되어 있다.
- [0026] 도 4는, NAND 스트링의 구성을 나타내는 단면도이다. 반도체 기판(30) 내에는, P-웰(31)이 형성되어 있다. 각 메모리 셀 트랜지스터 MT는, P-웰(31) 상에 형성된 적층 게이트 구조를 구비한 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)로 구성된다. 적층 게이트 구조는, P-웰(31) 상에, 터널 절연막(33), 전하 축적층(부유 게이트 전극)(34), 게이트간 절연막(35), 제어 게이트 전극(36)이 순서대로 적층되어 구성되어 있다. 인접하는 적층 게이트 구조 간의 P-웰(31) 내에는, 확산 영역(32)이 형성되어 있다.
- [0027] 메모리 셀 트랜지스터 MT는, 부유 게이트 전극(34)에 축적되는 전자의 수에 따라서 임계값 전압이 변한다. 이 임계값 전압의 차이에 따라서 데이터가 기억된다. 메모리 셀 트랜지스터 MT는, 2치 데이터(1비트)를 기억하도록 구성되어 있어도 되며, 다치 데이터(2비트 이상)를 기억하도록 구성되어 있어도 된다.
- [0028] 또한, 선택 트랜지스터 ST1은, P-웰(31) 상에 형성된 게이트 절연막(37), 게이트 절연막(37) 상에 형성된 게이트 전극(38) 및 P-웰(31) 내에 서로 이격하여 형성된 소스 및 드레인으로 구성되어 있다. 선택 트랜지스터 ST2에 대해서도 마찬가지이다.
- [0029] 워드선 WL0 ~ WL31은, 블록 내의 NAND 스트링 간에서, 각 메모리 셀 트랜지스터 MT의 제어 게이트 전극을 공통으로 접속하고 있다. 즉, 1개의 블록 내에서 동일 행에 있는 메모리 셀 트랜지스터 MT의 제어 게이트 전극은, 동일한 워드선 WL에 접속된다. 이 동일한 워드선 WL에 접속되는 16416개의 메모리 셀 트랜지스터 MT는 1페이지로서 취급되고, 이 페이지마다 데이터의 기입 및 데이터의 판독이 행해진다.
- [0030] 또한, 비트선 BL0 ~ BL16415는, 블록 간에서, 선택 트랜지스터 ST1의 드레인을 공통 접속하고 있다. 즉, 복수개의 블록 내에서 동일 열에 있는 NAND 스트링은, 동일한 비트선 BL에 접속된다.
- [0031] 본 실시 형태에서는, 인접하는 짝수 비트선 BLE와 홀수 비트선 BLo가 1개의 감지 증폭기 SA를 공유하는, 공유 감지 증폭기 방식이 이용된다. 이것은, 메모리 셀 어레이(10)의 미세화에 따라, 비트선 피치마다 감지 유닛을 배치하는 것이 곤란한 것과 인접 비트선 간의 용량 결합 노이즈가 커지는 것을 고려한 결과이다. 짝수 비트선 BLE와 홀수 비트선 BLo는, 그 한쪽이 선택될 때에 다른 쪽을 실드선으로서 이용함으로써, 비트선 간의 용량 결합에 의한 노이즈의 영향을 줄일 수 있다.
- [0032] 본 실시 형태의 NAND 플래시 메모리에서는, 1개의 워드선과 전체 짝수 비트선 BLE에 의해 선택되는 메모리 셀 트랜지스터 MT의 집합이 제1 페이지(짝수 페이지)를 구성하고, 그 워드선과 전체 홀수 비트선 BLo에 의해 선택되는 메모리 셀 트랜지스터 MT의 집합이 제2 페이지(홀수 페이지)를 구성한다.
- [0033] 도 5는, 감지 증폭기 회로(13)에 포함되는 1개의 감지 유닛(감지 증폭기) SA의 구성을 나타내는 회로도이다. 감지 증폭기 SA에의 제어 신호는, 상태 기계(18)로부터 공급된다.
- [0034] 공유 감지 증폭기 방식을 이용하는 경우, 메모리 시스템(1)은, 비트선 선택 회로(선택 트랜지스터 Q1 ~ Q4)를 구비하고 있다. 즉, 비트선 선택 회로는, 비트선 BLE, BLo를 선택적으로 노드 SABL에 접속하기 위한 선택 신호 BLSe, BLSo에 의해 게이트가 구동되는 선택 트랜지스터 Q1, Q2와, 비선택 상태의 비트선 BLE 혹은 BLo에 대하여

고정 바이어스 BLCRL을 부여하기 위해 신호 BLASe, BLASo에 의해 게이트가 구동되는 바이어스 트랜지스터 Q3, Q4를 갖는다.

- [0035] 노드 SABL은, 클램프 NMOS 트랜지스터 Q5를 통하여 감지 노드 TDC에 접속된다. 클램프 NMOS 트랜지스터 Q5의 게이트에는, 신호 BLCLAMP가 공급된다. NMOS 트랜지스터 Q5는, 비트선 전압을 클램프하는 기능과, 비트선 데이터를 사전 감지 증폭하는 기능을 갖는다. 감지 노드 TDC에는, 비트선을 프리차지하기 위한 프리차지 NMOS 트랜지스터 Q6을 통하여 프리차지 전압 VPRE가 공급된다. NMOS 트랜지스터 Q6의 게이트에는, 신호 BLPRE가 공급된다. 또한, 감지 노드 TDC에는, 전하 유지 캐패시터 C가 접속되어 있다.
- [0036] 또한, 감지 노드 TDC에는, 데이터 전송 NMOS 트랜지스터 Q7, Q19를 통하여 데이터 래치 PDC, SDC가 병렬 접속되어 있다. 데이터 래치 PDC, SDC 각각은, 클럭 인버터를 이용하여 구성되어 있다.
- [0037] 데이터 래치 PDC는, 데이터 기입 및 판독에 이용되는 메인 데이터 기억 회로이다. 데이터 래치 PDC는, 클럭 인버터 CI1, CI2 및 NMOS 트랜지스터 Q14로 구성되어 있다. NMOS 트랜지스터 Q14는, 클럭 인버터 CI1의 입력과 클럭 인버터 CI2의 입력과의 상호 간에 접속되어 있다. 이 NMOS 트랜지스터 Q14의 게이트에는, 신호 EQ1이 공급되어 있다. 클럭 인버터 CI1의 활성화/비활성은, 신호 SEN1, SEN1n에 의해 제어된다. 클럭 인버터 CI2의 활성화/비활성은, 신호 LAT1, LAT1n에 의해 제어된다.
- [0038] 데이터 래치 PDC의 노드 N1과 감지 노드 TDC 사이에는, 기입 데이터를 일시 저장하는 기억 노드 DDC를 구비한 데이터 후기입 회로(data write-back circuit)가 구성되어 있다. 구체적으로는, 기억 노드 DDC로 되는 NMOS 트랜지스터 Q9의 게이트와, 노드 N1 사이에는, 데이터 전송 NMOS 트랜지스터 Q8이 형성되어 있다. NMOS 트랜지스터 Q8의 게이트에는, 신호 DTG가 공급된다.
- [0039] NMOS 트랜지스터 Q9의 전류 경로의 일단에는, 프리차지 전압 VPRE가 공급된다. NMOS 트랜지스터 Q9의 전류 경로의 타단과 감지 노드 TDC 사이에는, 기억 노드 DDC의 유지 데이터에 따라서 다음 사이클의 기입 데이터를 결정하기 위한, 후기입 NMOS 트랜지스터 Q10이 형성되어 있다. NMOS 트랜지스터 Q10의 게이트에는, 신호 REG가 공급된다. 이와 같은 구성에 의해, 기억 노드 DDC에 유지된 데이터에 따라, 베리파이 판독시에 감지 노드 TDC를 강제적으로 방전하거나, 혹은 충전하는 제어가 가능하게 된다.
- [0040] 기억 노드 BDC는, 데이터 기입시에, 특정한 베리파이 레벨보다 약간 낮은 베리파이 레벨에 도달하였는지의 여부를 나타내는 데이터를 기억한다. 기억 노드 BDC로 되는 NMOS 트랜지스터 Q12의 게이트와 노드 N1 사이에는, 데이터 전송 NMOS 트랜지스터 Q11이 형성되어 있다. NMOS 트랜지스터 Q11의 게이트에는, 신호 DTGB가 공급된다.
- [0041] NMOS 트랜지스터 Q12의 전류 경로의 일단에는, 프리차지 전압 VPRE_BDC가 공급된다. NMOS 트랜지스터 Q12의 전류 경로의 타단과 감지 노드 TDC 사이에는, 기억 노드 BDC의 유지 데이터에 따라서 다음 사이클의 기입 데이터를 결정하기 위한, 후기입 NMOS 트랜지스터 Q13이 형성되어 있다. NMOS 트랜지스터 Q13의 게이트에는, 신호 BREG가 공급된다. 이와 같은 구성에 의해, 기억 노드 BDC에 유지된 데이터에 따라, 베리파이 판독시에 감지 노드 TDC를 강제적으로 방전하거나, 혹은 충전하는 제어가 가능하게 된다.
- [0042] 데이터 래치 PDC의 노드 N2는, NMOS 트랜지스터 Q16의 게이트에 접속되어 있다. 이 NMOS 트랜지스터 Q16의 전류 경로의 일단은, NMOS 트랜지스터 Q15를 통하여 접지되어 있다. 이 NMOS 트랜지스터 Q15의 게이트에는, 신호 CHK1이 공급된다. NMOS 트랜지스터 Q16의 전류 경로의 타단은, 전송 게이트를 구성하는 NMOS 트랜지스터 Q17, Q18의 전류 경로의 일단에 접속되어 있다. NMOS 트랜지스터 Q17의 게이트에는 신호 CHK2n이 공급된다. NMOS 트랜지스터 Q18의 게이트는, 감지 노드 TDC에 접속되어 있다. NMOS 트랜지스터 Q17, Q18의 전류 경로의 타단에는, 신호 COMi가 공급된다. 이 신호 COMi는 전체 감지 증폭기 SA에 공통의 신호이며, 전체 감지 증폭기 SA의 베리파이가 완료되었는지의 여부를 나타내는 신호이다. 즉, 베리파이가 완료되면, PDC의 노드 N2가 로우 레벨로 된다. 이 상태에서, 신호 CHK1, CHK2n을 하이 레벨로 하면, 베리파이가 완료된 경우, 신호 COMi가 하이 레벨로 된다.
- [0043] 데이터 래치 SDC는, 클럭 인버터 CI3, CI4 및 NMOS 트랜지스터 Q20, Q21로 구성되어 있다. NMOS 트랜지스터 Q20은, 클럭 인버터 CI3의 입력과, 클럭 인버터 CI4의 입력 사이에 접속되어 있다. NMOS 트랜지스터 Q20의 게이트에는, 신호 EQ2가 공급된다. 데이터 래치 SDC의 노드 N3은, NMOS 트랜지스터 Q21을 통하여 접지되어 있다. NMOS 트랜지스터 Q21의 게이트에는, 신호 PRST가 공급된다.
- [0044] 데이터 래치 SDC의 노드 N3은, 컬럼 선택 트랜지스터 Q22를 통하여 입출력 데이터선 IO에 접속되고, 데이터 래치 SDC의 노드 N4는, 컬럼 선택 트랜지스터 Q23을 통하여 입출력 데이터선 IOn에 접속된다. 이들 컬럼 선택 트

랜지스터 Q22, Q23의 게이트에는 각각, 컬럼 디코더(12)로부터 컬럼 선택 신호 CSLi가 공급된다.

- [0045] [2. 메모리 시스템(1)의 동작]
- [0046] 이와 같이 구성된 메모리 시스템(1)의 동작에 대하여 설명한다. 메모리 셀 트랜지스터 MT는, 기입 및 소거를 반복해 가는 동안에 터널 절연막에 전자가 트랩되고, 그 영향에 의해 메모리 셀 트랜지스터 MT에 흐르는 전류(이하, '셀 전류'라고 함)는 열화와 함께 감소해 간다. 이 때문에, 셀 전류를 평가함으로써 메모리 셀 트랜지스터 MT가 열화되었는지의 여부를 판정하는 것이 가능하다. 또한, 셀 전류단, 메모리 셀 트랜지스터 MT가 온일 때, 이것의 채널을 통하여 확산 영역 간에 흐르는 전류이다.
- [0047] 도 6은, 열화 전의 메모리 셀 트랜지스터(열화 전 셀)와 열화 후의 메모리 셀 트랜지스터(열화 후 셀)와의 전류-전압 특성을 나타내는 도면이다. 횡축은 메모리 셀 트랜지스터 MT의 제어 게이트 전극에 인가하는 전압(VCG), 종축은 메모리 셀 트랜지스터 MT의 셀 전류 I의 자연 대수(log_eI)를 나타내고 있다. 또한, 열화 전 셀 및 열화 후 셀 모두 데이터가 소거된 상태에서의 특성이다. 도 6에 도시한 바와 같이, 열화 후 셀은, 열화 전 셀에 비하여, 셀 전류 I가 감소하고 있다.
- [0048] [2-1. 열화 블록 판정 동작]
- [0049] 도 7은, 열화된 블록을 판정하기 위한 판정 동작을 나타내는 플로우차트이다. 본 실시 형태의 열화 블록 판정 동작에는, 각 메모리 셀 트랜지스터의 셀 전류를 측정하는 셀 전류 측정 동작이 포함된다. 이 셀 전류 측정 동작은, 통상의 데이터 판독 동작을 응용하여 행해진다. 또한, NAND 스트링 내에 데이터가 기입되어 있는 셀이 있으면 그 영향에 의해 셀 전류가 감소되기 때문에, 열화 블록 판정 동작을 행하는 경우에는, 블록 내의 모든 셀의 데이터를 소거해 둔다(소거 상태로 한다).
- [0050] 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 열화 판정 커맨드를 발행한다. 열화 판정 커맨드를 수신하면(단계 S10), 상태 기계(18)는, 1개의 블록 내의 전체 메모리 셀 트랜지스터 MT에 대하여 셀 전류를 측정한다(셀 전류 측정 동작)(단계 S11). 그리고, 상태 기계(18)는, 각 셀 전류를 평가함으로써, 측정 대상의 메모리 셀 트랜지스터 MT가 열화되었는지(열화된 셀인지)의 여부를 판정한다. 구체적으로는, 재기입을 전혀 행하지 않은 메모리 셀 트랜지스터의 셀 전류가 1 μ A 이상인 경우, 재기입을 반복한 메모리 셀 트랜지스터의 셀 전류가 소정값, 예를 들면 0.1 μ A 이하인 경우에, 그 메모리 셀 트랜지스터는 열화되었다고 판정한다.
- [0051] 이어서, 상태 기계(18)는, 1개의 블록에 포함되는 전체 메모리 셀 트랜지스터 MT의 수에 대하여 열화된 셀의 수가 소정 비율(예를 들면, 80%)을 초과하였는지의 여부를 판정한다(단계 S12). 이 소정 비율은, 열화된 블록을 판정하는 기준으로 되고, 임의로 설정 가능하다. 소정 비율을 초과한 경우, 상태 기계(18)는, 상기 블록 내의 용장부에, 열화된 블록인 것을 나타내는 플래그를 기입한다(단계 S13). 한편, 단계 S12에서 소정 비율을 초과하지 않았다고 판정된 경우, 상태 기계(18)는, 상기 블록에 대하여 플래그를 기입하지 않는다. 이어서, 상태 기계(18)는, 전체 블록에 대하여 셀 전류의 측정이 완료될 때까지, 단계 S11~S13까지의 동작을 반복한다(단계 S14).
- [0052] 다음으로, 메모리 셀 트랜지스터 MT의 셀 전류 측정 동작에 대하여 설명한다. 셀 전류는, 메모리 셀 트랜지스터 MT의 방전 특성에 의해 측정된다. 통상의 판독 동작에서는, 인접 셀의 영향이나 열화된 셀에 의한 영향을 억제하기 위해서, 비트선 방전 시간을 충분히 취하고, NAND 스트링을 흐르는 전류가 적은 부분에서 임계값 전압을 판정하고 있다. 그러나, 본 실시 형태의 셀 전류 측정 동작에서는, 전류가 많은 부분에서 판정을 행하고자 하기 때문에, 통상의 판독 동작에 비하여, 비트선 방전 시간을 짧게 설정할 수 있도록 하고 있다.
- [0053] 도 8은, 셀 전류 측정시에서의 비트선의 방전 특성을 나타내는 도면이다. 횡축은 비트선의 방전 시간, 종축은 비트선 전압(BL 전압)을 나타내고 있다. 또한, 도 8에는, 기입 상태의 셀(기입 셀), 소거 상태이며 열화 전의 셀(열화 전 소거 셀) 및 소거 상태에서의 열화 후의 셀(열화 후 소거 셀)에 대한 방전 특성을 나타내고 있다.
- [0054] 열화 전 소거 셀에서는, 비트선의 방전이 개시되면, 비트선 전압은 급격히 저하되어 일정한 값으로 안정된다. 한편, 열화 후 소거 셀에서는, 비트선의 방전이 개시되면, 셀 전류가 작기 때문에, 비트선 전압이 완만하게 저하되어 일정한 값으로 안정된다. 본 실시 형태에서는, 셀 전류를 측정하는 타이밍이, 열화 전 소거 셀에서의 소거 상태("0" 데이터 기억)와, 열화 후 소거 셀에서의 기입 상태("1" 데이터 기억)로서 판정된다.
- [0055] 그 결과, 메모리 셀 트랜지스터 MT의 제어 게이트 전극에 소거 상태에서 온하는 판독 전압을 인가하면서 도 8에 도시한 타이밍에서 셀 전류를 측정할 경우, 열화 전 소거 셀에서는, 비트선 전압이 충분히 내려가고 있기 때문에 소거 상태("0" 데이터 기억)로서 판정되는 한편, 열화 후 소거 셀에서는, 비트선 전압이 그다지 내려가지 않

기 때문에 기입 상태("1" 데이터 기억)로서 판정된다. 이와 같이 하여, 메모리 셀 트랜지스터 MT의 셀 전류를 측정하는 것이 가능하게 된다.

- [0056] 도 9는, 메모리 시스템(1)의 셀 전류 측정 동작을 나타내는 타이밍차트이다. 우선, 소스선 제어 회로(19)는, 소스선 SL의 전압 CELSRC를 접지 전압 V_{SS} 로 설정한다. 이 때, 로우 디코더(11)에 의해 선택 게이트선 SGS는 접지 전압 V_{SS} 로 설정되어 있으며, 선택 트랜지스터 ST2는 오프하고 있다.
- [0057] 이어서, 비트선 BL이 프리차지된다. 즉, 선택 게이트선 SGD가, 전원 전압 V_{DD} 보다 트랜지스터의 임계값 전압 V_{th} 만큼 높은 전압 $V_{sg}(V_{DD}+V_{th})$ 로 설정되고, 선택 트랜지스터 ST1이 온한다. 이어서, 프리차지 전압 VPRE가 전원 전압 V_{DD} 로 설정되고, 신호 BLPRE가 전압 V_{sg} 로 설정된다. 이것에 의해, NMOS 트랜지스터 Q6이 온하고, 감지 노드 TDC는 전압 V_{DD} 로 설정된다. 그리고, 신호 BLCLAMP가 전압 V_{clamp} (예를 들면, $V_{DD}+V_{th}$)로 설정됨으로써 클램프 NMOS 트랜지스터 Q5가 온하고, 비트선이 전압 V_{DD} 로 프리차지된다. 그 후, 신호 BLCLAMP가 접지 전압 V_{SS} 로 설정되어 클램프 NMOS 트랜지스터 Q5가 오프하고, 비트선이 플로팅 상태로 된다.
- [0058] 또한, 로우 디코더(11)에 의해 측정 대상의 메모리 셀 트랜지스터가 접속된 워드선 WL(선택 워드선)이 판독 전압 V_{cgrxx} 로 설정되고, 그 이외의 워드선 WL(비선택 워드선)이 전체 데이터 임계값 전압의 상한값보다 높은 판독 패스 전압 V_{read} 로 설정된다. 또한, 2차 데이터(1비트) 기억의 셀을 예로 들면, 판독 전압 V_{cgrxx} 는, 소거 상태의 셀("0" 데이터를 유지하는 셀)이 온하고, 또한 기입 상태의 셀("1" 데이터를 유지하는 셀)이 오프하는 전압으로 설정된다.
- [0059] 이어서, 비트선 BL이 방전된다. 즉, 로우 디코더(11)에 의해 선택 게이트선 SGS가, 전압 $V_{sg}(V_{DD}+V_{th})$ 로 설정되고, 선택 트랜지스터 ST2가 온한다.
- [0060] 다음으로, 데이터 래치 PDC를 비활성 상태로 한 후, NMOS 트랜지스터 Q7을 온하고, 감지 노드 TDC와 노드 N1을 같은 전압으로 한다. 그리고, 전압 VPRE를 전원 전압 V_{DD} 로 설정한 후, NMOS 트랜지스터 Q6을 온시켜서 감지 노드 TDC를 전원 전압 V_{DD} 로 프리차지한다. 그 후, NMOS 트랜지스터 Q6을 오프한다.
- [0061] 다음으로, 신호 BLCLAMP에 감지 전압 V_{sen} 을 인가한다. 여기에서, 선택 트랜지스터 ST2가 온하고 나서, 신호 BLCLAMP에 감지 전압 V_{sen} 을 인가할 때까지의 BL 방전 시간은, 통상의 판독 동작에 비하여, 짧게 설정된다.
- [0062] 비트선 전압이 " $VPRE-V_{th}$ "로부터 " $V_{set}-V_{t}$ "까지 방전되어 있던 경우, 클램프 NMOS 트랜지스터 Q5가 온하기 때문에, 노드 TDC, N1의 전압은, 비트선 전압과는 거의 동등하게 될 때까지 저하된다. 이 경우, 노드 TDC, N1의 전압은, V_{DD} 로부터 비트선 전압까지 저하된다. 또한, 노드 TDC, N1의 용량에 비하여, 비트선 용량은 매우 크기 때문에, 노드 TDC, N1의 전하는 동시에 방전된다. 한편, 비트선 전압이 " $V_{sen}-V_{th}$ "까지 방전되지 않은 경우에는, 클램프 NMOS 트랜지스터 Q5가 온하지 않기 때문에, 노드 TDC, N1에는 V_{DD} 가 유지된다. 다음으로, 데이터 래치 PDC를 활성 상태로 하여, 감지 노드 TDC의 전압을 데이터 래치 PDC에 의해 감지한다. 이와 같이 하여, 메모리 셀 트랜지스터 MT의 셀 전류를 측정할 수 있다.
- [0063] [2-2. 기입 동작]
- [0064] 셀이 열화되면, 이것의 터널 절연막에 트랩되는 전자가 증가하기 때문에, 셀의 임계값 전압이 높아진다. 이것에 의해, 열화 후의 셀은, 열화 전의 셀에 비하여, 보다 기입되기 쉬워진다. NAND 플래시 메모리를 다치로 사용하는 경우, 데이터를 기입할 때에 원하는 임계값 전압보다 높은 임계값 전압이 설정될 것이다. 그 결과, 원하는 데이터와 다른 데이터가 기입되게 되는, 소위 '오버 프로그램 조건'이라 불리는 불량이 발생한다.
- [0065] 그러나, 본 실시 형태에서는, 열화된 블록을 미리 판정할 수 있기 때문에, 열화된 블록에 대해서는, 데이터 기입시에 기입 전압을 내림으로써 오버 프로그램 조건을 억제할 수 있다. 즉, 열화된 블록인지의 여부를 판정하고, 열화된 블록인 경우에는, 이후, 그 블록에 대해서는 기입 전압을 변경하여 기입 동작을 행하도록 하고 있다. 도 10은, 메모리 시스템(1)의 기입 동작을 나타내는 플로우차트이다.
- [0066] 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 기입 커맨드를 발행하고, 이어서, 어드레스 및 데이터를 보낸다. 메모리 시스템(1)은, 이들 기입 커맨드, 어드레스 및 데이터를 받는다(단계 S20).
- [0067] 이어서, 상태 기계(18)는, 어드레스에 대응하는 블록이 열화되었는지 여부를 나타내는 플래그를 판독한다(단계 S21). 그리고, 상태 기계(18)는, 이 플래그를 이용하여, 상기 블록이 열화되었는지의 여부를 판정한다(단계 S22). 블록이 열화되지 않은 경우, 로우 디코더(11)는, 통상의 기입 전압을 이용하여, 상기 블록에 대하여 데이터의 기입을 실행한다(단계 S24).

- [0068] 데이터 기입은, 메모리 셀 트랜지스터의 부유 게이트 전극에 전자를 주입하고, 그 임계값 전압을 상승시키는 "0" 기입 동작에 의해 행해진다. 기입 데이터 "1"은, 그와 같은 전자 주입을 행하지 않은 기입 금지 동작으로서 취급된다.
- [0069] 데이터 기입시, 비트선을 통하여 선택 셀의 채널을 기입 데이터 "1", "0"에 따라서, Vdd-Vth(Vth는, 선택 트랜지스터의 임계값 전압), Vss로 설정한 상태에서, 선택 워드선에 20V 정도의 기입 전압 Vpgm을 인가한다. 이것에 의해, "0" 기입 셀에서는 채널로부터 부유 게이트 전극에 전자가 주입되어, 임계값 전압이 상승한다. 또한, 데이터 기입 시, 비선택 워드선에는, 10V 정도의 기입 패스 전압이 공급된다. 이것에 의해, 채널이 용량 결합에 의해 승압되어, 전자 주입이 생기지 않도록 한다.
- [0070] 한편, 단계 S22에서 블록이 열화되었다고 판정된 경우, 로우 디코더(11)는, 통상의 기입 전압보다 낮은 열화 기입 전압을 이용하여, 상기 블록에 대하여 데이터의 기입을 실행한다(단계 S23). 기입 전압의 감소 폭은, 메모리 셀 트랜지스터 MT의 특성에 기초하여 결정되며, 예를 들면, 열화된 메모리 셀 트랜지스터 MT의 임계값 전압이 상승한 분만큼 기입 전압을 내리도록 한다. 이와 같은 기입 동작에 의해, 열화된 블록에 대하여 오버 프로그램 문제가 발생하는 것을 억제할 수 있다.
- [0071] [3. 플래그의 저장 시스템]
- [0072] 다음으로, 열화된 블록인 것을 나타내는 플래그의 저장 시스템에 대하여 설명한다. NAND 플래시 메모리(메모리 셀 어레이(10))는, 각 블록 내에 용장 영역을 구비하고 있으며, 이 용장 영역의 일부에 플래그를 저장한다. 도 11은, 1개의 블록의 용장 영역의 구성을 나타내는 도면이다.
- [0073] 본 실시 형태에서는, 1개의 블록은, 64개의 페이지 p0~p63을 구비하고 있다. 각 페이지는, 2052바이트를 갖고 있으며, 그 중 2048바이트가 유저 데이터를 저장하는 유저 영역이고, 남은 4바이트가 용장 영역이다. 그리고, 임의의 페이지의 4바이트의 용장 영역(용장부 r0~r3) 중 1바이트의 용장부(예를 들면, 용장부 r3)가, 플래그를 저장하기 위해 사용된다.
- [0074] 또한, 본 실시 형태에서는, 열화된 블록인 것을 나타내는 플래그 데이터에 신뢰성을 갖게 하기 위해서, 열화된 블록의 용장부 r3에는 "8'hFF", 열화되지 않은 블록에는 "8'h00"을 기입하도록 한다. "8'h"는, 8비트 폭, 또한 16진수 표현을 의미한다. 그리고, 8비트의 플래그 데이터 중, "1" 데이터와 "0" 데이터의 다수에 의해 열화된 블록인지의 여부를 판정한다. 또한, 플래그를 기입하는 어드레스는, 용장부 r3에 한하지 않고 다른 목적으로 사용하지 않은 용장부이면 어디이어도 무방하다. 또한, 플래그 데이터의 비트수는, 블록의 열화를 판정하기 위한 신뢰성을 확보할 수 있는 범위이면 몇 비트이어도 상관없다.
- [0075] 이상 기술한 바와 같이 본 실시 형태에 의하면, 메모리 셀 트랜지스터의 셀 전류를 측정함으로써, 이 메모리 셀 트랜지스터가 열화되었는지의 여부를 판정하도록 하고 있다. 구체적으로는, 소거 상태의 셀의 방전 특성을 이용하여, 소정의 방전 시간에서의 셀 전류의 크기(비트선 전압의 레벨)에 따라 메모리 셀 트랜지스터의 열화를 판정하고 있다. 이것에 의해, 열화된 메모리 셀 트랜지스터를 인식하는 것이 가능하게 된다. 또한, 1개의 블록 내의 전체 메모리 셀 트랜지스터의 열화를 판정함으로써, 블록 단위로 열화의 판정이 가능하게 된다.
- [0076] 또한, 열화된 블록에 대해서는, 통상의 기입 전압에 비하여, 기입 전압을 낮게 설정하도록 하고 있다. 이것에 의해, 오버 프로그램 문제가 발생하는 것을 억제할 수 있기 때문에, 기입 동작에 요하는 시간을 줄일 수 있고, 또한 데이터의 신뢰성을 향상시키는 것이 가능하게 된다.
- [0077] 또한, 열화된 블록에 대해서는, 그 블록 내의 용장 영역에, 열화된 블록인 것을 나타내는 플래그를 저장하도록 하고 있다. 이것에 의해, 후술하는 바와 같이 기입 동작시 블록이 열화되었는지의 여부를 용이하게 판정할 수 있다.
- [0078] 또한, 열화된 블록인 것을 나타내는 플래그 데이터를 복수 비트로 구성하고 있으므로, 복수 비트를 종합적으로 판정하여 플래그의 상태를 판독할 수 있다.
- [0079] <제2 실시 형태>
- [0080] 블록은, 기입에 앞서 일괄 소거된다. 소거 동작은, 이하와 같이 행해진다. 우선, 로우 디코더(11)에 의해 블록 내의 전체 워드선이 접지 전압 Vss로 설정된다. 이어서, P-웰 제어 회로(20)는, 블록이 형성된 P-웰(31)에 20V 정도의 소거 전압 Vera를 인가한다. 이것에 의해, 블록 내의 전체 메모리 셀 트랜지스터 MT는, 그들 부유 게이트 전극의 전자가 P-웰(31)에 방출되고, 임계값 전압이 낮은 소거 상태로 된다. 데이터 소거는, 소거 전압

의 인가와, 소거 상태를 확인하는 소거 베리파이의 반복에 의해 행해진다.

- [0081] 제2 실시 형태는, 데이터가 정확하게 소거되었는지의 여부를 판정하는 소거 베리파이 동작을 응용하여, 메모리 셀 트랜지스터 MT의 셀 전류를 측정하도록 하고 있다. 도 12는, 본 발명의 제2 실시 형태에 따른 메모리 시스템(1)의 셀 전류 측정 동작을 나타내는 타이밍차트이다.
- [0082] 제1 실시 형태와 마찬가지로, 셀 전류는, 메모리 셀 트랜지스터 MT의 방전 특성에 의해 측정된다. 통상의 소거 베리파이 동작에서는, 인접 셀의 영향이나 열화된 셀에 의한 영향을 억제하기 위해서, 비트선 충전 시간을 충분히 취하고, NAND 스트링을 흐르는 전류가 적은 부분에서 임계값을 판정하고 있다. 그러나, 본 실시 형태의 셀 전류 측정에서는, 전류가 많은 부분에서 판정을 행하고자 하기 때문에, 비트선 충전 시간을 짧게 설정할 수 있도록 하고 있다.
- [0083] 우선, 소스선 제어 회로(19)는, 소스선 SL의 전압 CELSRC를 전원 전압 Vdd로 설정한다. 로우 디코더(11)에 의해 선택 게이트선 SGS는 전압 Vsg(Vdd+Vth)로 설정되고, 선택 트랜지스터 ST2는 온하고 있다. 또한, 로우 디코더(11)에 의해 선택 게이트선 SGD는 접지 전압 Vss로 설정되며, 선택 트랜지스터 ST1은 오프하고 있다.
- [0084] 이어서, 비트선 BL이 방전된다. 즉, 전압 VPRE가 접지 전압 Vss로 설정되고, 신호 BLPRE가 전압 Vsg로 설정된다. 이에 의해, NMOS 트랜지스터 Q6이 온하고, 감지 노드 TDC는 전압 Vss로 설정된다. 그리고, 신호 BLCLAMP가 전압 Vclamp(예를 들면, Vdd+Vth)로 설정됨으로써 클램프 NMOS 트랜지스터 Q5가 온하고, 비트선이 전압 Vss까지 방전된다.
- [0085] 그 후, 로우 디코더(11)에 의해 측정 대상의 메모리 셀 트랜지스터가 접속된 워드선 WL(선택 워드선)이 판독 전압 Vcgrxx에 설정되며, 그 이외의 워드선 WL(비선택 워드선)이 전체 데이터 임계값 전압의 상한값보다 높은 판독 패스 전압 Vread로 설정된다. 그 후, 신호 BLCLAMP 및 신호 BLPRE가 접지 전압 Vss로 설정되고, 클램프 NMOS 트랜지스터 Q5 및 NMOS 트랜지스터 Q6이 오프한다.
- [0086] 이어서, 측정 대상의 메모리 셀 트랜지스터의 방전 특성에 의해, 비트선 BL이 충전된다. 즉, 로우 디코더(11)에 의해 선택 게이트선 SGD가, 전압 Vsg(Vdd+Vth)로 설정되고, 선택 트랜지스터 ST1이 온한다. 이어서, 데이터 래치 PDC를 비활성 상태로 하고나서 NMOS 트랜지스터 Q7을 온하고, 감지 노드 TDC와 노드 N1을 동일한 전압으로 한다. 그리고, 전압 VPRE를 전원 전압 Vdd로 설정한 후, NMOS 트랜지스터 Q6을 온시켜 감지 노드 TDC를 전원 전압 Vdd로 프리차지한다. 그 후, NMOS 트랜지스터 Q6을 오프한다.
- [0087] 이어서, 신호 BLCLAMP에 감지 전압 Vsenev를 인가한다. 선택 트랜지스터 ST1이 온하고 나서, 신호 BLCLAMP에 감지 전압 Vsenev를 인가할 때까지의 BL 충전 시간은, 통상의 소거 베리파이 동작에 비하여, 짧게 설정된다.
- [0088] 비트선 전압이 하이 레벨로 충전되어 있던 경우, 클램프 NMOS 트랜지스터 Q5가 온하지 않기 때문에, 노드 TDC, N1에는 Vdd가 유지된다. 한편, 비트선 전압이 로우 레벨을 유지하고 있는 경우, 클램프 NMOS 트랜지스터 Q5가 온하기 때문에, 노드 TDC, N1의 전압은, 비트선 전압과 거의 동등하게 될 때까지 저하된다. 이때, 노드 TDC, N1의 전압은, Vdd로부터 비트선 전압까지 저하된다. 또한, 노드 TDC, N1의 용량에 비하여, 비트선 용량은 매우 크기 때문에, 노드 TDC, N1의 전하는 동시에 방전된다. 다음으로, 데이터 래치 PDC를 활성 상태로 하여, 감지 노드 TDC의 전압을 데이터 래치 PDC에 의해 감지한다.
- [0089] 통상의 소거 베리파이 동작에서는, 인접 셀과 열화된 셀에 의한 영향을 억제하여 데이터의 판정을 용이하게 하기 위해서, 비트선의 충전 시간을 충분히 길게 하고 있다. 한편, 셀 전류 측정 동작에서는, 열화의 정도를 판정하기 위해서, 열화 전과 열화 후 셀에서의 비트선 전압의 차가 큰 곳에서 판정을 하도록 하고 있다. 이와 같이, 소거 베리파이시의 충전 시간보다 짧은 소정의 충전 시간이 지난 후의 비트선 전압을 감지함으로써, 열화된 메모리 셀 트랜지스터인지의 여부를 판정할 수 있다.
- [0090] <제3 실시 형태>
- [0091] 메모리 셀 트랜지스터가 열화되면, 터널 절연막에 트랩된 전자의 증가에 의해 메모리 셀 트랜지스터의 임계값 전압이 높아지기 때문에, 열화 전에 비하여 소거하기 어렵게 된다. 따라서, 제3 실시 형태에서는, 소거 동작을 행하기 전에 블록이 열화되었는지의 여부를 판정하고, 열화된 블록에 대해서는, 소거 전압을 높게 하여 소거 동작을 행하도록 하고 있다. 도 13은, 본 발명의 제3 실시 형태에 따른 메모리 시스템(1)의 소거 동작을 나타내는 플로우차트이다.
- [0092] 우선, 상태 기계(18)는, 소거 대상의 블록으로부터, 열화된 블록인지의 여부를 나타내는 플래그를 판독한다(단계 S30). 그리고, 상태 기계(18)는, 이 플래그를 이용하여, 상기 블록이 열화되었는지의 여부를 판정한다(단계

S31). 블록이 열화되지 않은 경우, P-웰 제어 회로(20)는, 통상의 소거 전압을 이용하여, 소거 대상의 블록에 대하여 데이터의 소거를 실행한다(단계 S33).

[0093] 한편, 단계 S31에서 블록이 열화되었다고 판정된 경우, P-웰 제어 회로(20)는, 통상의 소거 전압보다 높은 열화 소거 전압을 이용하여, 소거 대상의 블록에 대하여 데이터의 소거를 실행한다(단계 S32). 소거 전압의 상승 폭은, 메모리 셀 트랜지스터 MT의 특성에 기초하여 결정된다. 예컨대, 열화된 셀 트랜지스터 MT의 임계값 전압이 상승한 분만큼 소거 전압을 높이도록 한다.

[0094] 종래에는, 1회의 소거 처리에서 전체 셀의 데이터가 소거되지 않은 경우에는, 전체 셀의 데이터가 소거될 때까지 수회의 소거 처리를 더 반복하고 있었다. 이에 따라, 소거 시간이 길어지고 있었다. 그러나, 본 실시 형태에서는, 열화된 블록에 대해서는, 소거 전압을 높여서 소거 동작을 행하므로, 1회의 소거 처리에서 블록 내의 전체 셀의 데이터를 소거할 수 있는 확률이 높아진다. 이것에 의해, 소거 시간의 증가를 억제할 수 있다.

[0095] <제4 실시 형태>

[0096] 메모리 셀 트랜지스터가 열화되면, 터널 절연막에 트랩된 전자가 증가한다. 이를 방지하면, 트랩된 전자가 터널 절연막으로부터 빠지기 때문에 메모리 셀 트랜지스터의 임계값 전압이 낮아진다. 즉, 메모리 셀 트랜지스터가 열화되면, 데이터 유지 특성이 열화된다. 따라서, 제4 실시 형태에서는, 판독 동작을 행하기 전에 블록이 열화되었는지의 여부를 판정하고, 열화된 블록에 대해서는, 판독 전압을 낮게 하여 판독 동작을 행하도록 하고 있다.

[0097] 도 14는, 열화 전에서의 다치(4치) 데이터를 유지하는 메모리 셀 트랜지스터 MT의 임계값 전압 분포를 나타내는 그래프이다. 횡축은 메모리 셀 트랜지스터 MT의 임계값 전압 V_{th} , 종축은 셀 수를 나타내고 있다.

[0098] 이 예에서는, 임계값 전압의 마이너스측에 1개의 분포, 플러스측에 3개의 분포를 할당하고 있다. 이 분포는 임계값 전압이 낮은 쪽부터 순서대로 "E", "A", "B", "C"로 한다. "E"와 "A"를 판정하는 판독 전압을 V_{cgra} , "A"와 "B"를 판정하는 판독 전압을 V_{cgrb} , "B"와 "C"를 판정하는 판독 전압을 V_{cgrc} 로 한다. 도 14에 도시한 바와 같이, 열화 전의 메모리 셀 트랜지스터 MT에서는, 각 임계값 분포와 판독 전압과의 간격을 넓힘으로써, 데이터 유지 특성의 마진을 확보하고 있다. 이와 같이, 열화 전의 블록에 대해서는, 판독 전압을 V_{cgra} , V_{cgrb} 및 V_{cgrc} 를 이용하여 판독 동작을 행한다.

[0099] 도 15는, 본 발명의 제4 실시 형태에 따른 메모리 시스템(1)의 판독 동작을 나타내는 플로우차트이다. 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 판독 커맨드를 발행하고, 또한, 어드레스를 보낸다. 메모리 시스템(1)은, 이들 판독 커맨드 및 어드레스를 받는다(단계 S40).

[0100] 다음으로, 상태 기계(18)는, 어드레스에 대응하는 블록으로부터, 열화된 블록인지의 여부를 나타내는 플래그를 판독한다(단계 S41). 그리고, 상태 기계(18)는, 이 플래그를 이용하여, 상기 블록이 열화되었는지의 여부를 판정한다(단계 S42). 블록이 열화되지 않은 경우, 로우 디코더(11)는, 판독 전압 V_{cgra} , V_{cgrb} 및 V_{cgrc} 를 이용하여, 상기 블록에 대하여 데이터의 판독을 실행한다(단계 S44).

[0101] 한편, 단계 S42에서 블록이 열화되었다고 판정된 경우, 로우 디코더(11)는, 판독 전압 V_{cgra} , V_{cgrb} 및 V_{cgrc} 보다 낮은 열화 판독 전압을 이용하여, 상기 블록에 대하여 데이터의 판독을 실행한다(단계 S43). 판독 전압의 감소 폭은, 메모리 셀 트랜지스터 MT의 특성에 기초하여 결정되며, 예를 들면, 열화된 셀 트랜지스터 MT의 임계값 전압이 시간과 함께 어느 정도 저하될지를 산출하여 설정된다.

[0102] 이상 기술한 바와 같이 본 실시 형태에 의하면, 열화된 블록에 대해서는, 판독 전압을 내려서 판독 동작을 행하므로, 메모리 셀 트랜지스터 MT로부터 판독되는 데이터의 신뢰성을 향상시키는 것이 가능하게 된다.

[0103] <제5 실시 형태>

[0104] 제5 실시 형태는, 메모리 셀 트랜지스터 MT의 셀 전류를 측정함으로써, 이 메모리 셀 트랜지스터 MT를 포함하는 블록이 열화되었는지의 여부를 판정하고, 블록이 열화된 경우에, 그 블록을 사용 금지하도록(배드 블록(bad block)화하도록) 되어 있다. 도 16은, 본 발명의 제5 실시 형태에 따른 메모리 시스템(1)의 블록의 사용 금지 설정 동작을 나타내는 플로우차트이다.

[0105] 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 열화 판정 커맨드를 발행한다. 열화 판정 커맨드를 수신하면(단계 S50), 상태 기계(18)는, 1개의 블록 내의 전체 메모리 셀 트랜지스터 MT에 대하여 셀 전류를 측정한다(단계 S51). 그리고, 상태 기계(18)는, 각 셀 전류를 평가함으로써, 측정 대상의 메모리 셀 트랜지스터

MT가 열화되었는지의 여부를 판정한다.

- [0106] 다음으로, 상태 기계(18)는, 블록의 전체 메모리 셀 트랜지스터 MT의 수에 대하여 열화된 셀의 수가 소정 비율(예를 들면, 80%)을 초과하였는지의 여부를 판정한다(단계 S52). 이 소정 비율은, 열화된 블록을 판정하는 기준으로 되고, 임의로 설정 가능하다. 소정 비율을 초과한 경우, 상태 기계(18)는, 상기 블록의 사용을 금지한다(단계 S53). 구체적으로는, 상태 기계(18)는, 블록에 배드 블록 마크를 기입한다. 이 배드 블록 마크는, 상태 기계(18)가 식별할 수 있는 것이면 어떤 마크이어도 된다. 예컨대, 배드 블록은 블록 내의 전체 셀에 "0" 데이터를 기입하도록 한다. 이후, 상태 기계(18)는, 배드 블록화된 블록을 사용하지 않도록 한다.
- [0107] 한편, 단계 S52에서 소정 비율을 초과하지 않았다고 판정된 경우, 상태 기계(18)는, 상기 블록에 대하여 배드 블록 마크를 기입하지 않는다. 이어서, 상태 기계(18)는, 전체 블록에 대하여 셀 전류의 측정이 완료될 때까지, 단계 S51~S53까지의 동작을 반복한다(단계 S54).
- [0108] 이상 전술한 바와 같이 본 실시 형태에 의하면, 블록이 열화되었는지의 여부를 판정하고, 열화된 블록을 사용 금지하도록(배드 블록화하도록) 하고 있다. 이것에 의해, 데이터 유지 특성, 기입 특성 및 소거 특성 등이 열화된 메모리 셀 트랜지스터 MT를 사용하지 않으므로, 결과적으로 메모리 시스템(1)의 신뢰성을 향상시킬 수 있다.
- [0109] <제6 실시 형태>
- [0110] 제6 실시 형태는, 메모리 셀 트랜지스터 MT가 열화되었는지의 여부를 판정하는 방법으로서, 블록의 전체 데이터를 소거하기 위해 행한 소거 처리의 횟수(소거 루프 횟수)를 이용하도록 하고 있다. 메모리 셀 트랜지스터 MT가 열화되면, 이것의 데이터가 소거되기 어렵게 되는 것은 전술한 바와 같다. 어떤 블록의 전체 데이터를 소거할 때에, 1회째의 소거 처리에서 전체 데이터를 소거할 수 없던 경우에는 소거할 수 있을 때까지 소거 처리를 반복하여 행한다. 즉, 수회 소거 처리를 반복하였는지에 의해 셀의 열화 정도를 알 수 있다.
- [0111] 도 17은, 열화된 블록을 판정하기 위한 판정 동작을 나타내는 플로우차트이다. 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 열화 판정 커맨드를 발행한다. 열화 판정 커맨드를 수신하면(단계 S60), 상태 기계(18)는, 임의의 블록의 소거 루프 횟수를 판독한다(단계 S61). 소거 루프 횟수는, 각 블록의 소거 동작시에 상태 기계(18)가 계측한다. 블록마다의 소거 루프 횟수는, 상태 기계(18) 자신이 저장하고 있어도 되며, 메모리 셀 어레이(10)의 임의의 영역에 저장하도록 하여도 된다.
- [0112] 다음으로, 상태 기계(18)는, 소거 루프 횟수가 소정값(예를 들면, 2회)을 초과하였는지의 여부를 판정한다(단계 S62). 이 소정값은, 열화된 블록을 판정하는 기준으로 되고, 메모리 셀 트랜지스터 MT의 특성에 기초하여 결정된다. 소정값을 초과한 경우, 상태 기계(18)는, 상기 블록 내의 용장부에, 열화된 블록인 것을 나타내는 플래그를 기입한다(단계 S63). 한편, 단계 S62에서 소정값을 초과하지 않았다고 판정된 경우, 상태 기계(18)는, 상기 블록에 대하여 플래그를 기입하지 않는다. 이어서, 상태 기계(18)는, 전체 블록에 대하여 열화 판정이 완료될 때까지, 단계 S61~S63까지의 동작을 반복한다(단계 S64).
- [0113] 이상 전술한 바와 같이 본 실시 형태에 의하면, 블록의 전체 데이터를 소거하기 위해서 행한 소거 처리의 횟수(소거 루프 횟수)를 이용함으로써, 블록이 열화되었는지의 여부를 판정하는 것이 가능하게 된다. 그리고, 블록이 열화되었는지의 여부를 나타내는 플래그를 이용하여, 제1, 제3 및 제4 실시 형태에서 각각 설명한 기입 동작, 소거 동작 및 판독 동작을 행할 수 있다. 또한, 본 실시 형태에 제5 실시 형태를 적용함으로써, 열화된 블록의 사용을 금지하도록 하여도 된다.
- [0114] <제7 실시 형태>
- [0115] 제7 실시 형태는, 블록이 열화되었는지의 여부를 판정하는 방법으로서, 메모리 셀 트랜지스터 MT에 데이터를 기입(프로그램)하기 위해 행한 기입 처리의 횟수(프로그램 루프 횟수)를 이용하도록 하고 있다. 메모리 셀 트랜지스터 MT가 열화되면, 기입하기 쉽게 되는 것은 전술한 바와 같다. 어떤 셀에 데이터를 기입할 때에 몇 번이나 기입을 행하고(예를 들면, 10회), 어떤 워드선 WL에 접속된 모든 셀(1 페이지)에 데이터가 기입되었다고 판정되면 기입 동작이 종료한다. 즉, 프로그램 루프 횟수가 어느 정도 감소하였는지에 따라 셀 열화의 정도를 알 수 있다.
- [0116] 도 18은, 열화된 블록을 판정하기 위한 판정 동작을 나타내는 플로우차트이다. 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 열화 판정 커맨드를 발행한다. 열화 판정 커맨드를 수신하면(단계 S70), 상태 기계(18)는, 임의의 블록의 프로그램 루프 횟수를 판독한다(단계 S71). 프로그램 루프 횟수는, 각 블록에 포함되는

페이지에의 기입 동작시에 상태 기계(18)가 예측한다. 페이지마다의 프로그램 루프 횟수는, 상태 기계(18) 사진이 저장하고 있어도 되고, 메모리 셀 어레이(10)의 임의의 영역에 저장하도록 하여도 된다.

[0117] 다음으로, 상태 기계(18)는, 프로그램 루프 횟수가 소정값(예를 들면 10회) 이하인지의 여부를 판정한다(단계 S72). 이 소정값은, 열화된 블록을 판정하는 기준으로 되고, 메모리 셀 트랜지스터 MT의 특성에 기초하여 결정된다. 프로그램 루프 횟수가 소정값 이하인 경우, 상태 기계(18)는, 상기 블록 내의 용장부에, 열화된 블록인 것을 나타내는 플래그를 기입한다(단계 S73). 한편, 단계 S72에서 소정값을 초과하고 있다고 판정된 경우, 상태 기계(18)는, 상기 블록에 대하여 플래그를 기입하지 않는다. 이어서, 상태 기계(18)는, 전체 블록에 대하여 열화 판정이 완료될 때까지, 단계 S71~S73까지의 동작을 반복한다(단계 S74).

[0118] 이상 기술한 바와 같이 본 실시 형태에 의하면, 메모리 셀 트랜지스터 MT에 데이터를 기입하기 위해 행한 프로그램 루프 횟수를 이용함으로써, 이 메모리 셀 트랜지스터 MT를 포함하는 블록이 열화되었는지의 여부를 판정하는 것이 가능하게 된다. 그리고, 블록이 열화되었는지의 여부를 나타내는 플래그를 이용하여, 제1, 제3 및 제4 실시 형태에서 각각 설명한 기입 동작, 소거 동작 및 판독 동작을 행할 수 있다. 또한, 본 실시 형태에 제5 실시 형태를 적용함으로써, 열화된 블록의 사용을 금지하도록 하여도 된다.

[0119] <제8 실시 형태>

[0120] 제8 실시 형태는, 메모리 셀 트랜지스터의 열화에 수반하는 설정 변경을 호스트 컨트롤러(2)에서 제어하는 구성에 대하여 나타내고 있다. 도 19는, 열화된 블록을 판정하기 위한 판정 동작을 나타내는 플로우차트이다. 또한, NAND 스트링 내에 데이터가 기입되어 있는 셀이 있으면 그 영향으로 셀 전류가 감소된다. 열화 블록 판정 동작을 행하는 경우에는, 미리 블록의 데이터를 소거해 둔다.

[0121] 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 열화 판정 커맨드를 발행한다. 열화 판정 커맨드를 수신하면(단계 S80), 상태 기계(18)는, 1개의 블록 내의 전체 메모리 셀 트랜지스터 MT에 대하여 셀 전류를 측정한다(단계 S81). 그리고, 상태 기계(18)는, 각 셀 전류를 평가함으로써, 측정 대상의 메모리 셀 트랜지스터 MT가 열화되었는지(열화된 셀인지)의 여부를 판정한다.

[0122] 다음으로, 상태 기계(18)는, 블록의 전체 메모리 셀 트랜지스터 MT의 수에 대하여 열화된 셀의 수가 소정 비율(예를 들면, 80%)을 초과하였는지의 여부를 판정한다(단계 S82). 이 소정 비율은, 열화된 블록을 판정하는 기준으로 되고, 임의로 설정 가능하다. 소정 비율을 초과한 경우, 상태 기계(18)는, 열화된 블록인 것을 나타내는 상태 정보를 생성하고, 이 상태 정보를 호스트 컨트롤러(2)에 출력한다(단계 S83). 한편, 단계 S82에서 소정 비율을 초과하지 않았다고 판정된 경우, 상태 기계(18)는, 상기 블록에 대하여 상태 정보를 생성하지 않는다. 이어서, 상태 기계(18)는, 전체 블록에 대하여 셀 전류의 측정이 완료될 때까지, 단계 S81~S83까지의 동작을 반복한다(단계 S84).

[0123] 호스트 컨트롤러(2)는, 상태 정보를 이용함으로써, 열화된 블록을 인식할 수 있다. 그리고, 호스트 컨트롤러(2)는, 제1, 제3 및 제4 실시 형태에서 각각 설명한 기입 동작, 소거 동작 및 판독 동작이 실행될 때에, 기입 전압, 소거 전압 및 판독 전압의 설정을 변경하도록 메모리 시스템(1)에 지시한다. 메모리 시스템(1)에서는, 호스트 컨트롤러(2)에 의해 지시된 기입 전압, 소거 전압 및 판독 전압을 이용하여, 기입 동작, 소거 동작 및 판독 동작을 실행한다.

[0124] 본 실시 형태에서는, 호스트 컨트롤러(2)에서 설정 변경을 행하도록 하고 있기 때문에, 각각의 제품의 사용에 따라서 설정 변경을 행하는 것이 가능하게 된다. 또한, 열화 판정의 방법으로서, 제6 및 제7 실시 형태를 이용하도록 하여도 된다.

[0125] <제9 실시 형태>

[0126] 제9 실시 형태는, 메모리 시스템(1)이 유저 혹은 호스트 컨트롤러(2)에 대하여 블록이 열화되었는지의 여부를 나타내는 정보를 출력하도록 하고 있다. 도 20은, 메모리 시스템(1)의 열화 블록 정보 출력 동작을 나타내는 플로우차트이다. 블록이 열화되었는지의 여부를 나타내는 플래그를 블록의 용장 영역에 저장할 때까지의 동작은, 제1, 제6 및 제7 실시 형태와 동일하다.

[0127] 우선, 호스트 컨트롤러(2)는, 메모리 시스템(1)에 대하여 플래그 판독 커맨드를 발행한다. 플래그 판독 커맨드를 수신하면(단계 S90), 상태 기계(18)는, 각 블록에 저장되고, 블록이 열화되었는지의 여부를 나타내는 플래그를 판독한다(단계 S91).

[0128] 다음으로, 상태 기계(18)는, 전체 블록으로부터 판독한 복수의 플래그로 이루어진 플래그 정보를 생성하고, 이

플래그 정보를 호스트 컨트롤러(2)에 출력한다(단계 S92). 호스트 컨트롤러(2)는, 플래그 정보를 이용함으로써, 열화된 블록을 인식할 수 있다. 이 후, 호스트 컨트롤러(2)는, 열화되지 않은 블록을 사용하여, 기입 동작 등을 메모리 시스템(1)에 지시하는 것이 가능하게 된다.

[0129] 또한, 메모리 셀 어레이(10)에 포함되는 전체 블록 중 소정 비율 이상(예를 들면, 전체 블록의 80% 이상)이 열화된 경우에, 유저 혹은 호스트 컨트롤러(2)에 메모리의 교환을 재촉하도록 경고를 발행하게 하여도 된다. 도 21은, 메모리의 교환을 재촉하는 취지의 경고 출력 동작을 나타내는 플로우차트이다.

[0130] 우선, 상태 기계(18)는, 각 블록에 저장되고, 블록이 열화되었는지의 여부를 나타내는 플래그를 판독한다(단계 S100). 이어서, 상태 기계(18)는, 이들 플래그를 이용하여, 메모리 셀 어레이(10)에 포함되는 전체 블록 중 소정 비율 이상(예를 들면, 전체 블록의 80% 이상)의 블록이 열화되었는지의 여부를 판정한다(단계 S101). 소정 비율 이상의 블록이 열화되어 있는 경우, 상태 기계(18)는, 유저 혹은 호스트 컨트롤러(2)에, 메모리의 교환을 재촉하는 취지의 경고를 출력한다(단계 S102).

[0131] 유저는, 이 경고에 기초하여 메모리의 수명이 짧은 것을 인식하고, 메모리에 저장한 데이터를 판독할 수 없게 되기 전에, 데이터를 다른 메모리에 카피하는 등의 조치가 가능하게 된다. 이 경고 출력 동작은, 블록의 열화 판정 동작마다 행하도록 하여도 되고, 호스트 컨트롤러(2)로부터 커맨드를 받은 경우에 행하도록 하여도 된다.

[0132] 또한, 전술한 상태 정보 혹은 플래그 정보를 간이 신뢰성 시험용으로서 이용하는 것도 가능하다. 통상의 불휘발성 반도체 메모리의 신뢰성 시험은, 기입 및 소거 스트레스를 부여한 후에, 디스터브 평가, 데이터 유지 평가 등 매우 광범위한 평가를 행할 필요가 있다. 그러나, 본 실시 형태의 열화 판정에서는, 단순한 플래그 판독에 의해 판정 가능하기 때문에, 이들 열화 판정 방법을 출하 테스트 등에 통합하는 것도 가능하다.

[0133] 본 발명은, 전술한 실시 형태에 한정되는 것은 아니며, 그 사상을 벗어나지 않는 범위 내에서, 구성 요소를 변형하여 구체화할 수 있다. 또한, 본 발명은 NAND 플래시 메모리에 한하지 않고, 터널 절연막을 이용하여 전하 축적층에 전자를 주입하는 타입, 예를 들면, NOR형, AND형 플래시 메모리 등의 불휘발성 반도체 메모리 전반에 적용할 수 있다. 또한, 전술한 실시 형태에서, 컨트롤러로서 설명하였던 상태 기계(18)는 하드웨어 로직으로 구성하여도 되며, 마이크로컴퓨터로 구성하여도 된다.

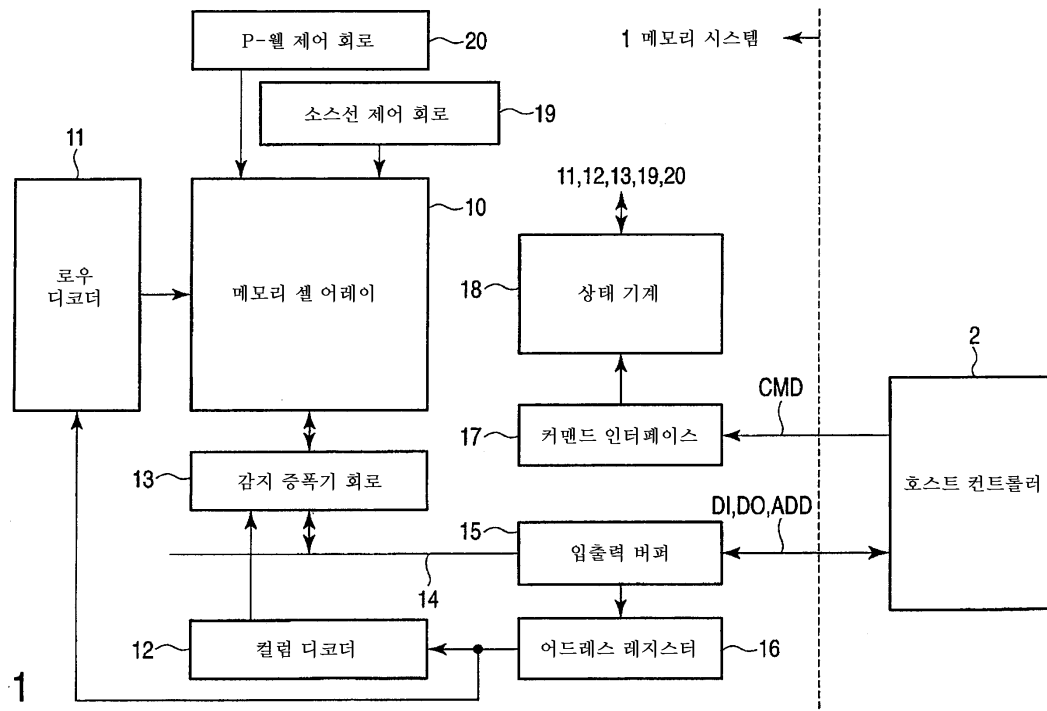
[0134] 당업자들이라면 본 발명의 추가 이점과 변형예들을 쉽게 알 수 있을 것이다. 또한, 본 발명은 광의의 면에서 본 명세서에 기술된 특정 세부 사항이나 대표 실시예들에 국한되지 않는다. 따라서, 첨부된 청구범위 및 그 균등물에 의해 규정되는 바와 같은 본 발명의 일반 개념의 사상과 범주를 벗어나지 않고서 다양한 변경을 행할 수 있을 것이다.

부호의 설명

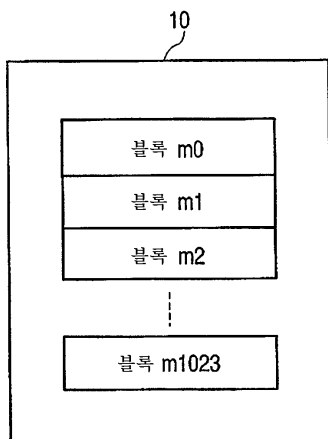
- [0135] 1: 메모리 시스템
- 10: 메모리 셀 어레이
- 11: 로우 디코더
- 12: 컬럼 디코더
- 13: 감지 증폭기 회로

도면

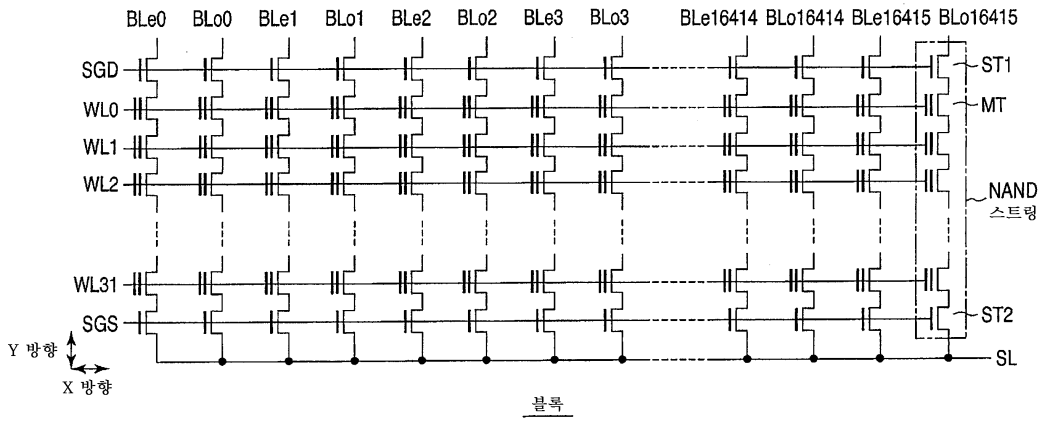
도면1



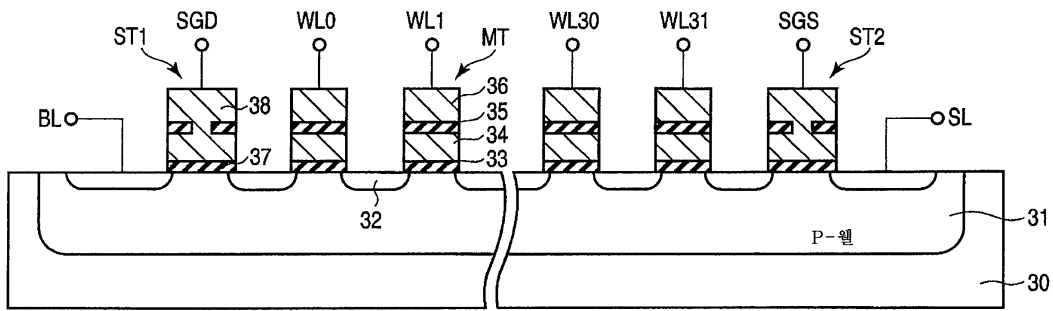
도면2



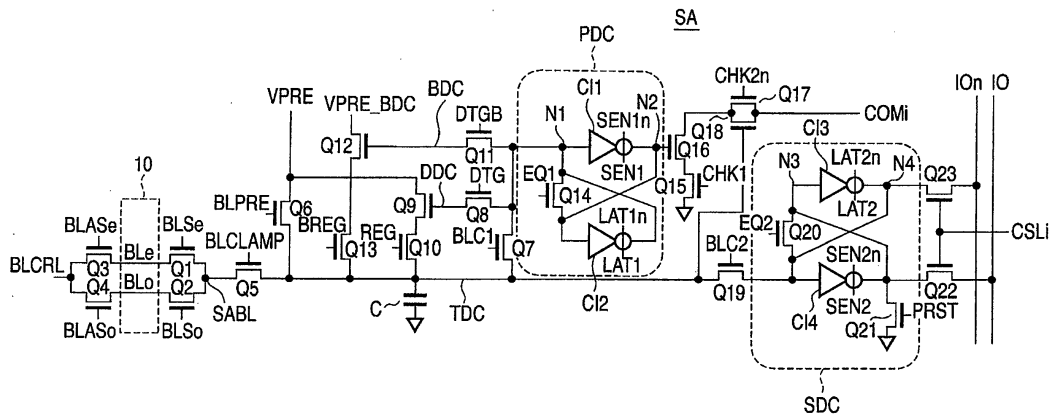
도면3



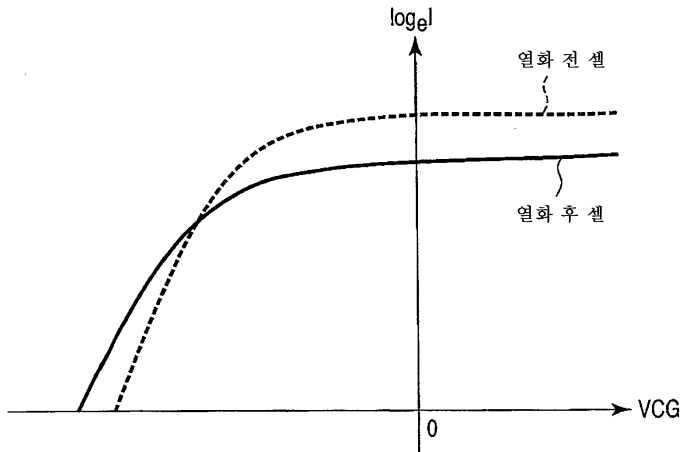
도면4



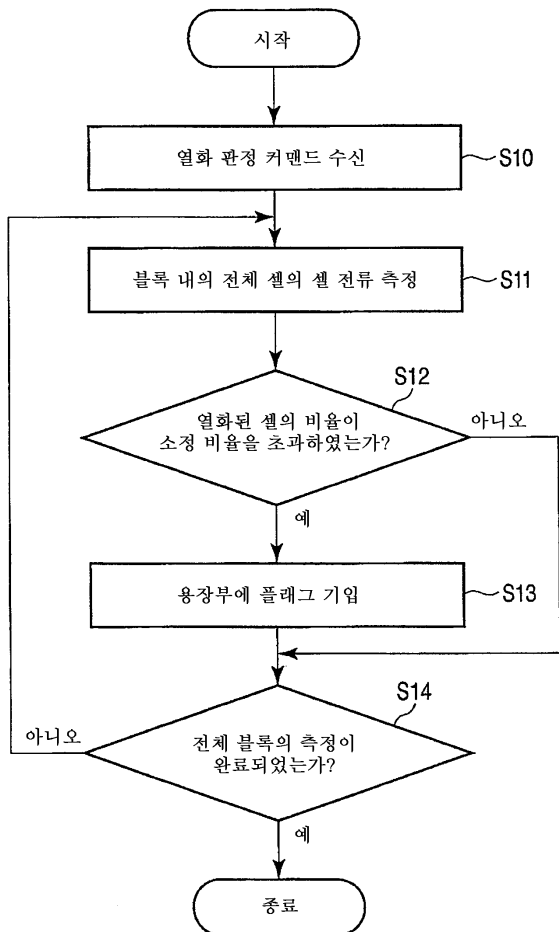
도면5



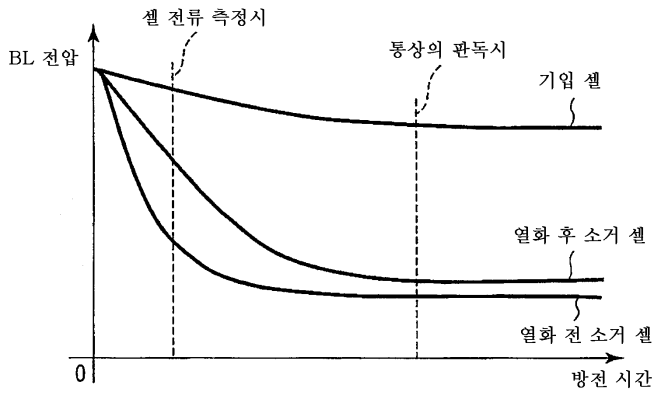
도면6



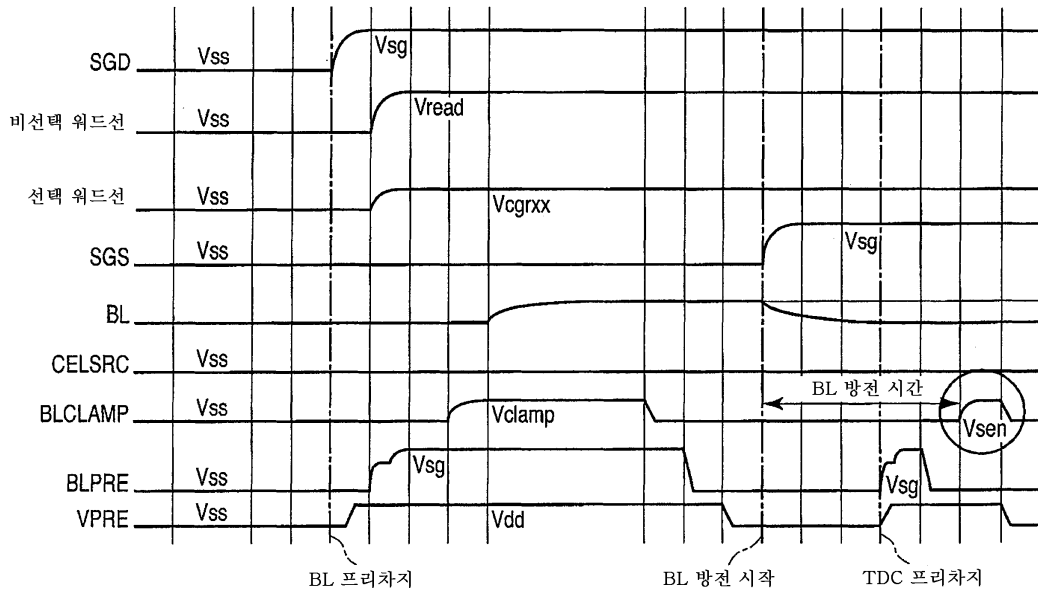
도면7



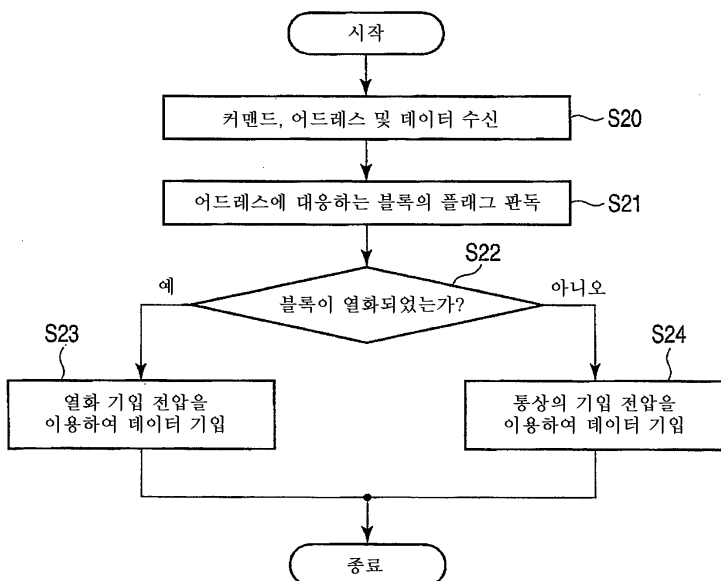
도면8



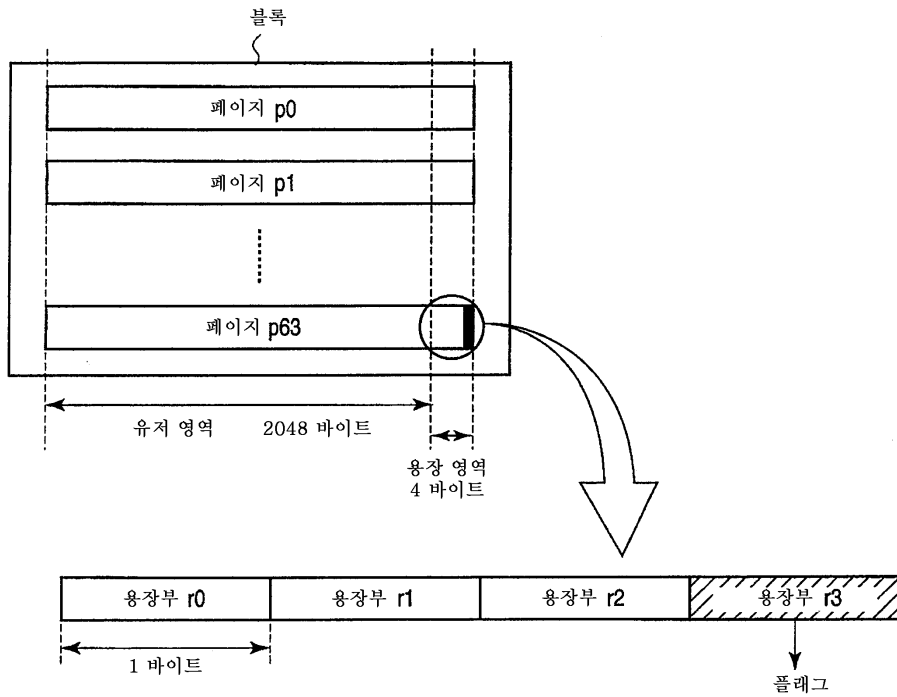
도면9



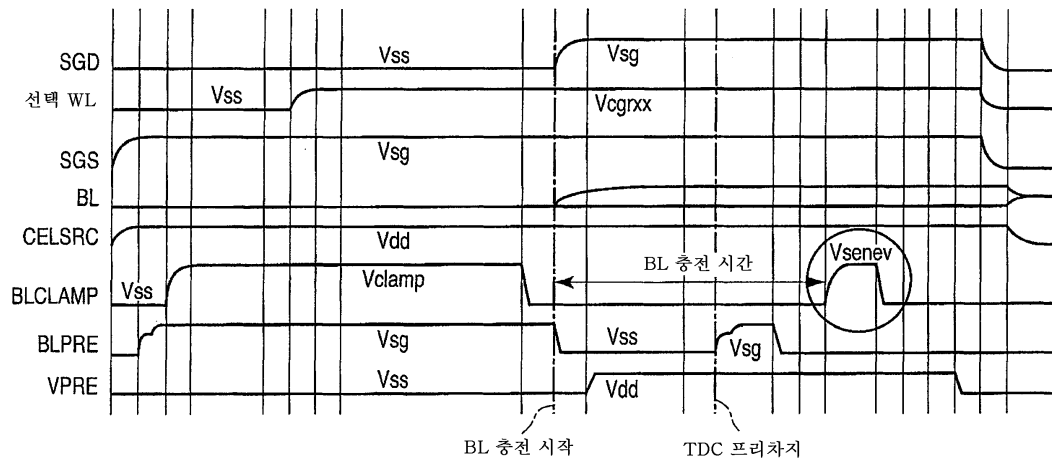
도면10



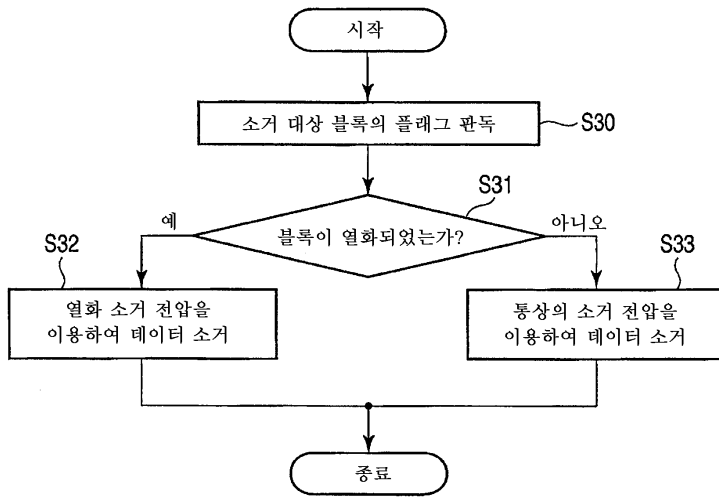
도면11



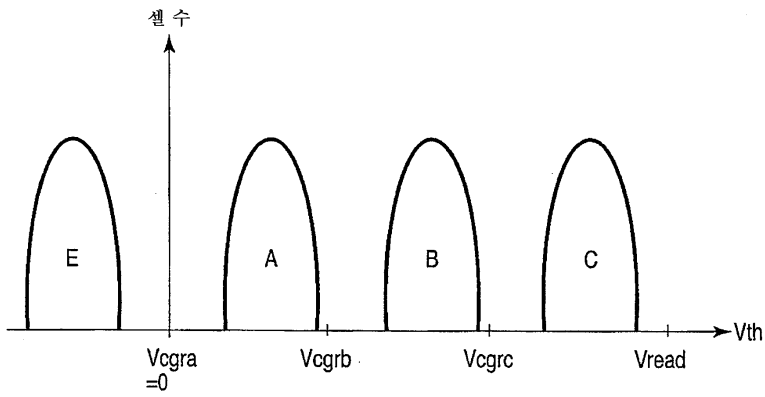
도면12



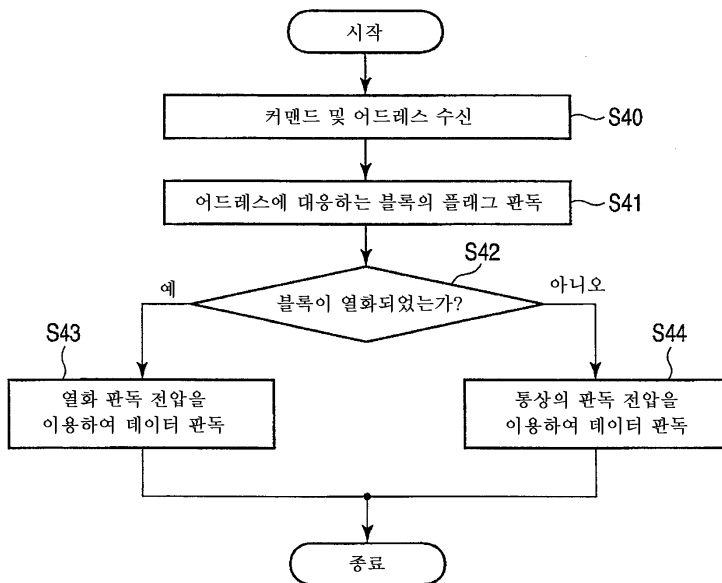
도면13



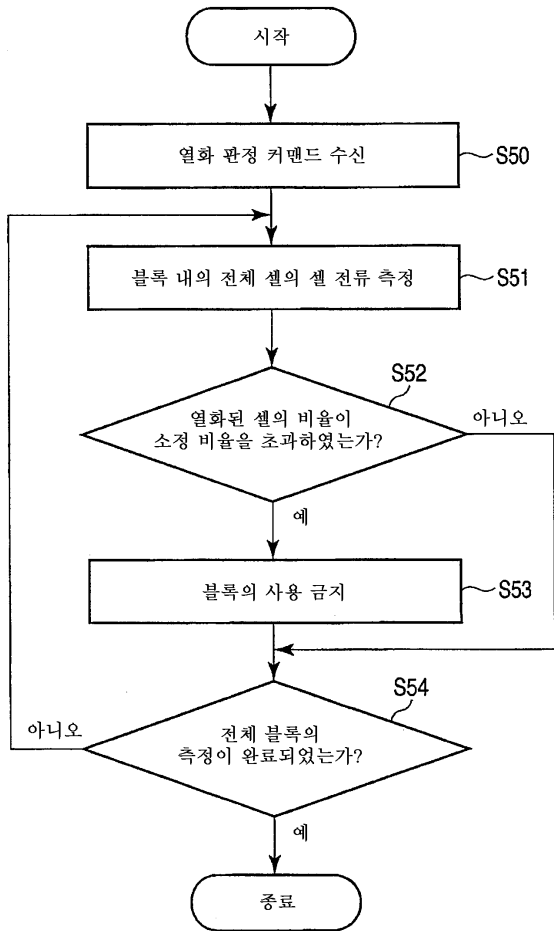
도면14



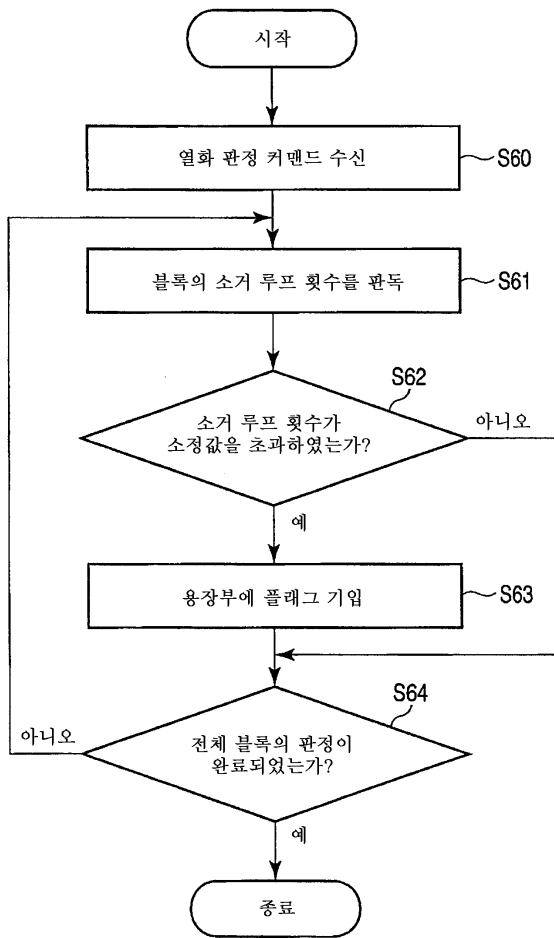
도면15



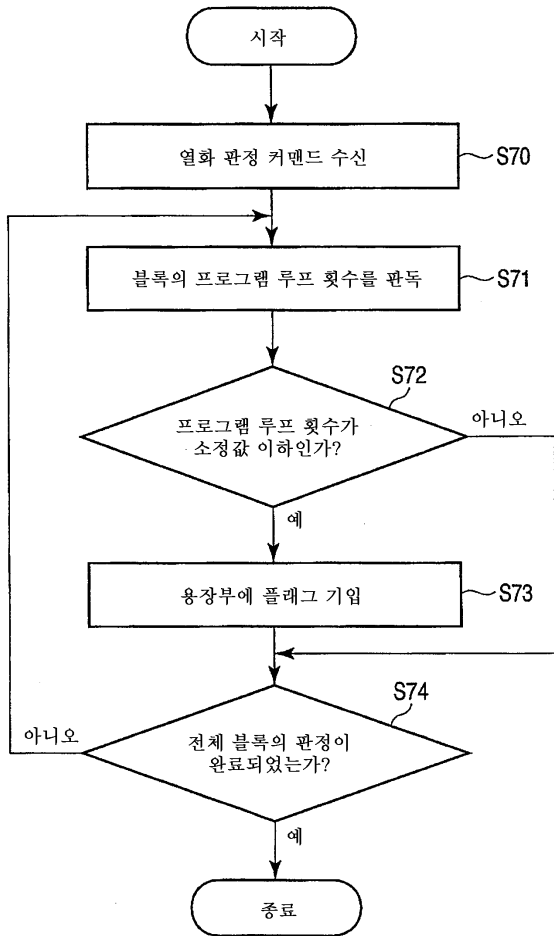
도면16



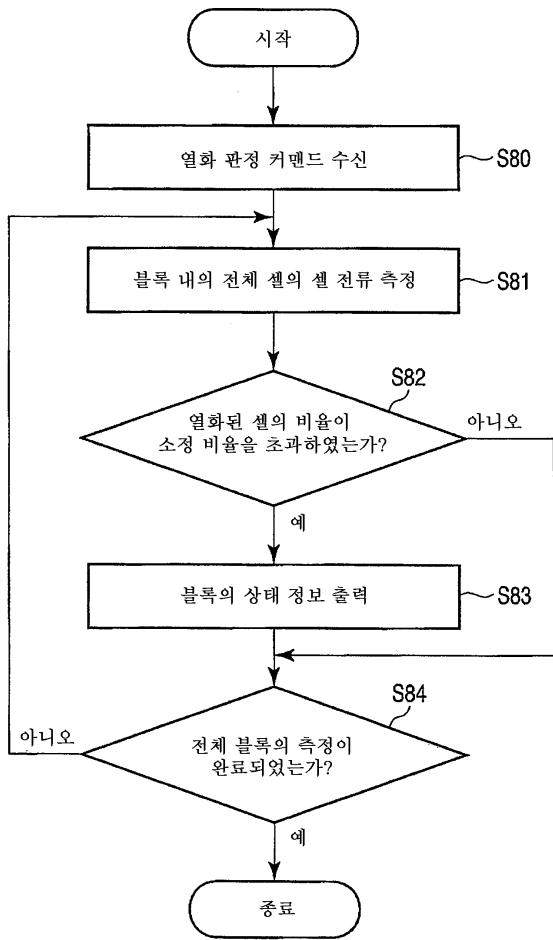
도면17



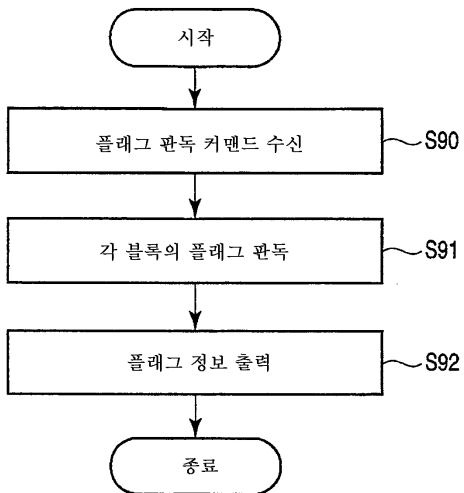
도면18



도면19



도면20



도면21

