



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월24일
(11) 등록번호 10-0859486
(24) 등록일자 2008년09월16일

(51) Int. Cl.

H01L 27/04 (2006.01)

(21) 출원번호 10-2006-0090065
(22) 출원일자 2006년09월18일
심사청구일자 2006년09월18일
(65) 공개번호 10-2008-0025507
(43) 공개일자 2008년03월21일

(56) 선행기술조사문헌

KR1020020037808 A
KR1020060078002 A*
KR1020060131187 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

동부일렉트로닉스 주식회사
서울 강남구 대치동 891-10

(72) 발명자

김산홍
경기 부천시 원미구 중동 1172 보람마을
1112-2303

(74) 대리인

강용복, 김용인

전체 청구항 수 : 총 6 항

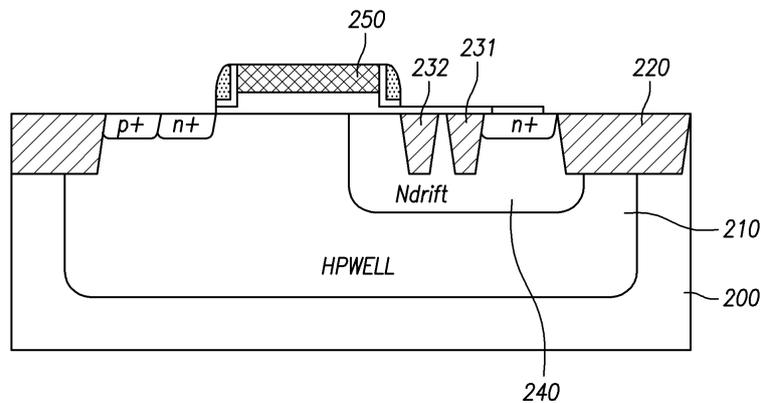
심사관 : 배진용

(54) 고전압용 정전기 방전 보호 소자 및 그 제조 방법

(57) 요약

본 발명은 반도체 기판에 구비된 다수의 소자 분리막 사이에 불순물을 주입하여 형성된 웰 영역과; 상기 웰 영역의 상부 일측에 형성된 드리프트 영역과; 상기 반도체 기판의 상측에서 상기 드리프트 영역의 일측에 중첩하여 형성된 게이트 패턴과; 상기 드리프트 영역내에서, 상기 소자 분리막들 사이에서 상기 게이트 패턴에 근접하게 구비되고, 상기 소자 분리막과 깊이가 동일하게 형성된 하나 이상의 (Shallow Trench Isolation);를 포함하는 고전압용 정전기 방전 보호 소자 및 그 제조 방법에 관한 것이다.

대표도 - 도3



특허청구의 범위

청구항 1

반도체 기판에 구비된 다수의 소자 분리막들 사이에 불순물을 주입하여 형성된 웰 영역;

상기 웰 영역의 상부 일측에 형성된 드리프트 영역;

상기 반도체 기판의 상측에서 상기 드리프트 영역의 일측에 중첩하여 형성된 게이트 패턴; 및

상기 드리프트 영역내에서, 상기 다수의 소자 분리막들 사이에서 상기 게이트 패턴에 근접하게 구비되고, 상기 다수의 소자 분리막들과 깊이가 동일하게 형성된 하나 이상의 STI(Shallow Trench Isolation)를 포함하여 이루어지는 고전압용 정전기 방전 보호 소자.

청구항 2

제 1 항에 있어서,

상기 웰 영역이 P-웰인 경우, 상기 드리프트 영역은 N형 도펀트를 주입하여 형성된 N 드리프트 영역인 것을 특징으로 하는 고전압용 정전기 방전 보호 소자.

청구항 3

제 1 항에 있어서,

상기 웰 영역이 N-웰인 경우, 상기 드리프트 영역은 P형 도펀트를 주입하여 형성된 P 드리프트 영역인 것을 특징으로 하는 고전압용 정전기 방전 보호 소자.

청구항 4

삭제

청구항 5

반도체 기판에 대해 불순물을 주입하여 웰 영역을 구비하는 단계;

상기 반도체 기판에 다수의 트렌치를 형성하는 단계;

실리콘 산화물을 이용하여 상기 다수의 트렌치를 매립하여 다수의 소자 분리막과 하나 이상의 STI를 형성하는 단계;

상기 웰 영역에 도펀트를 주입하여 드리프트 영역을 형성하는 단계; 및

상기 STI에 근접하는 게이트 패턴을 구비하는 단계;를 포함하되,

상기 STI는 상기 드리프트 영역내에서, 상기 소자 분리막들 사이에서 상기 게이트 패턴에 근접하게 구비되고, 상기 소자 분리막과 깊이가 동일하게 형성되는 것을 특징으로 하는 고전압용 정전기 방전 보호 소자의 제조방법.

청구항 6

삭제

청구항 7

제 5 항에 있어서,

상기 웰 영역이 P-웰인 경우, 상기 드리프트 영역은 N형 도펀트를 주입하여 형성된 N 드리프트 영역인 것을 특징으로 하는 고전압용 정전기 방전 보호 소자의 제조방법.

청구항 8

제 5 항에 있어서,

상기 웰 영역이 N-웰인 경우, 상기 드리프트 영역은 P형 도펀트를 주입하여 형성된 P 드리프트 영역인 것을 특징으로 하는 고전압용 정전기 방전 보호 소자의 제조방법.

청구항 9

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 고전압용 정전기 방전 보호 소자에 관한 것으로서, 특히 공정 단계를 간소화하게 제작하여 ESD(electro static discharge) 기능을 가지는 고전압용 정전기 방전 보호 소자 및 그 제조 방법에 관한 것이다.
- <17> 종래의 고전압용 소자는 DENMOS(Drain Extended NMOS)를 기본적인 소자로 사용하며, 이와 같은 DENMOS는 고전압용 소자로서 사용하기 위해서 동작 전압영역보다 높은 항복전압을 가져야 하기 때문에 통상적인 NMOS 구조의 드레인 활성 영역에 상대적으로 낮은 $1E16 \sim 5E17 \text{ atoms/cm}^3$ 의 농도를 가지는 드리프트(drift) 영역을 형성하게 하여 줌으로써 고전압용 회로에 사용하고 있다. 고전압에서 동작하기 위해서 만들어지는 DENMOS의 구조는 높은 항복 전압을 가지게 되지만 낮은 농도를 가지는 드리프트 영역으로 인하여 정전기 방전 상황에서 원하지 않는 방전 전류를 단락(shunt) 시키는 효율이 떨어진다. 또한, 비교적 100nsec 이하의 짧은 시간에 발생하는 정전기 상황에서는 고전압용 소자인 DENMOS는 기생(parasitic) NPN-BJT가 형성되어 순간적으로 1 ~ 2A 이상의 전류를 흘러 줄 수 있도록 설계되어야 한다. 그러나, 전류의 방향이 채널을 형성하는 표면으로 흐를 수밖에 없는 구조이기 때문에, ESD 스트레스 전류에 의한 전류 편재화(current localization) 현상이 필연적으로 발생하게 된다.
- <18> 따라서, 이러한 문제를 해결하기 위해 도 1에 도시된 종래에 3중으로 불순물을 확산한 TDDNMOS(Thriple diffused Drain NMOS)를 구현하는바, P웰이 형성된 반도체 기판(21)상의 소정 영역에 다수의 소자 분리막(22)이 형성되고, 소자 분리막(22) 사이의 반도체 기판(21) 상부에 게이트(23)가 형성된다. 소자 분리막(22) 사이의 반도체 기판(201)상에 고농도 P형 불순물 이온 주입 공정에 의해 웰 픽업 영역(24)이 형성되고, 소자 분리막(22)과 게이트(23)사이의 반도체 기판(21)상에 고농도 N형 불순물 이온 주입 공정에 의해 소스 활성 영역(25)이 형성된다. 그리고, 게이트(23)와 소자 분리막(22) 사이에 3중으로 N형 불순물 이온 주입 공정이 실시되어 드레인(Drain)이 형성되는데, 드레인은 저농도의 드레인 드리프트 영역(26) 내부에 고농도의 드레인 활성 영역(27)이 형성되고, 드레인 활성 영역(27)을 완전히 포함하며 드레인 드리프트 영역(26) 내부에 한정되도록 불순물 영역(28)이 형성된다.
- <19> 그리고, 소스 활성 영역(25)은 드레인 활성 영역(27)과 동시에 불순물 주입 공정으로 형성되고, 소스 활성 영역(25)의 불순물 농도는 드레인 활성 영역(27)의 불순물 농도와 동일하며, 채널을 형성하는 게이트(23) 하부의 P웰은 드레인 드리프트 영역(26)보다 낮은 농도의 도즈량으로 불순물을 주입하여 형성한다. 이렇게 형성된 게이트(23), 웰 픽업 영역(24) 및 소스 활성 영역(25)을 함께 접지 라인(Vss line)에 연결하고, 드레인을 파워 라인(power line) 또는 개별 입출력 패드에 연결하여 TDDNMOS 소자를 구현한다.
- <20> 그러나, 이와 같은 종래의 TDDNMOS는 추가적인 주입(Implant) 공정을 이용하여 전류의 방향을 수직으로 흐르게 하는 구조로 구현되어 열 폭주 전류(thermal runaway current)를 향상시켜 주는 방법은 추가적인 주입 공정 및 마스크 단계가 적용되어야 하기 때문에 생산 원가의 증가를 가져올 수밖에 없다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명은 상술한 종래 기술의 문제점을 해결하기 위하여 창안된 것으로서, 추가적인 주입 공정 및 마스크 단계 등이 없이 ESD(electro static discharge) 기능을 가지는 고전압용 정전기 방전 보호 소자의 제조 방법을 제공하는 것을 목적으로 한다.
- <22> 본 발명의 다른 목적은 추가적인 주입 공정 및 마스크 단계 등이 없이 간소하게 제조된 ESD 기능을 가지는 고전

압용 정전기 방전 보호 소자를 제공하는 데 있다.

발명의 구성 및 작용

- <23> 이와 같은 목적을 달성하기 위한 본 발명은 반도체 기판에 구비된 다수의 소자 분리막 사이에 불순물을 주입하여 형성된 웰 영역과; 상기 웰 영역의 상부 일측에 형성된 드리프트 영역과; 상기 반도체 기판의 상측에서 상기 드리프트 영역의 일측에 중첩하여 형성된 게이트 패턴과; 상기 드리프트 영역내에서, 상기 소자 분리막들 사이에서 상기 게이트 패턴에 근접하게 구비되고, 상기 소자 분리막과 깊이가 동일하게 형성된 하나 이상의 (Shallow Trench Isolation);를 포함하는 고전압용 정전기 방전 보호 소자에 관한 것이다.
- <24> 또한, 본 발명은 반도체 기판에 대해 불순물을 주입하여 웰 영역을 구비하는 단계와; 상기 반도체 기판에 다수의 트렌치를 형성하는 단계와; 실리콘 산화물을 이용하여 상기 다수의 트렌치를 매립하여 다수의 소자 분리막과 하나 이상의 STI를 형성하는 단계와; 상기 웰 영역에 도펀트를 주입하여 드리프트 영역을 형성하는 단계와; 상기 STI에 근접하는 게이트 패턴을 구비하는 단계;를 포함하되, 상기 STI는 상기 드리프트 영역내에서, 상기 소자 분리막들 사이에서 상기 게이트 패턴에 근접하게 구비되고, 상기 소자 분리막과 깊이가 동일하게 형성되는 것을 특징으로 하는 고전압용 정전기 방전 보호 소자의 제조방법에 관한 것이다.
- <25> 이하, 본 발명에 따른 고전압용 정전기 방전 보호 소자를 도 2 내지 도 8을 참조하여 자세히 설명한다.
- <26> 먼저, 도 2에 도시된 바와 같이 본 발명의 일실시예에 따른 고전압용 정전기 방전 보호 소자는 반도체 기판(100)상에 산화막을 형성하고 반도체 기판(100)에 대해 불순물을 주입하여 HP-웰(well) 영역 또는 HN-웰 영역에 해당하는 웰 영역(110)을 구비하고, 반도체 기판(100)에 형성된 드리프트 영역(140)에 하나의 STI(Shallow Trench Isolation: 130)를 소자 분리막(120)과는 별도로 게이트 패턴(150)에 근접하여 구비할 수 있다.
- <27> 이와 같은 본 발명의 일실시예에 따른 고전압용 정전기 방전 보호 소자를 제조하기 위해 먼저, 반도체 기판(100)상에 산화막을 형성하고 반도체 기판(100)에 포토 레지스트 패턴(미도시)을 구비하여 식각 공정을 수행하면 다수의 트렌치가 형성된다.
- <28> 이와 같이 형성된 다수의 트렌치에 대해 SiO₂ 등의 실리콘 산화물을 이용하여 다수의 트렌치를 매립하여, 활성 영역을 정의하는 다수의 소자 분리막(120)과 STI(130)를 형성한다.
- <29> 소자 분리막(120)과 STI(130)를 형성한 후, 소자 분리막(120)을 제외한 반도체 기판(100)의 웰(110)의 상측에 P형 도펀트 또는 N형 도펀트를 주입하여 드리프트(drift) 영역(140)을 형성하고 산화막(110)과 소자 분리막(140)상에 게이트 패턴(150)을 형성한다. 여기서, 드리프트 영역(140)은 이후 형성될 소스 영역의 깊이보다 더 깊게 형성하여, 소스 영역과 드리프트 영역(140)이 서로 비대칭이 될 수 있다.
- <30> 게이트 산화막과 폴리 실리콘 등으로 이루어진 게이트 패턴(150)을 덮도록 산화물로 이루어진 캡핑층(미도시)을 형성하고, 이와 같이 형성된 캡핑층 상에 소정의 포토레지스트 패턴(미도시)을 구비하며, 포토레지스트 패턴을 마스크로 사용하여 기판에 도펀트를 이온 주입하여, 스스로 형성될 영역에 얇게 n+ 도펀트와 p+ 도펀트가 도핑된 소스 영역을 형성하고 드레인으로 형성될 영역에 얇게 일부 도핑된 n+ 영역을 형성한다.
- <31> 이후, 게이트 패턴(150)의 전면에 실리콘 질화막을 증착하고, 에치백 공정을 통해 게이트 패턴(150)의 측면에 질화막의 스페이서를 형성한다. 물론, 캡핑층에 대해 실리콘사이드 공정을 수행하여 캡핑층의 일부 영역을 실리콘사이드화할 수 있다.
- <32> 또한, 본 발명의 다른 실시예에 따른 고전압용 정전기 방전 보호 소자는 본 발명의 일실시예에 따른 고전압용 정전기 방전 보호 소자와 유사하지만, 반도체 기판(200)에 형성된 드리프트 영역(240)에 하나 이상, 즉 두 개의 STI(231,232)를 소자 분리막(220)과는 별도로 게이트 패턴(250)에 근접하여 구비할 수 있다.
- <33> 본 발명은 도 2와 도 3에 도시된 바와 같이 DENMOS의 구조의 드레인 활성영역과 드리프트 영역 사이에 STI를 적어도 하나 이상으로 구비하여 ESD 특성을 개선하는 고전압용 정전기 방전 보호 소자의 구조를 제시함에 있다.
- <34> 도 4a는 항복(breakdown) 상황에서 종래에 정전기 방전 보호 소자의 임팩트 이온화(impact ionization)을 도시하는 도면이고, 도 4b는 항복 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 도면으로서, 이와 같은 고전압용 정전기 방전 보호 소자는 도 4b에 도시된 바와 같이 STI(130) 영역 외부에 공핍 영역(depletion region)이 형성되고 그 내부에서 임팩트 이온화가 발생하는 정도가 도 4a에 도시된 임팩트 이온화가 발생하는 정도와 동일하게 발생하는 것을 알 수 있다.

- <35> 이와 같은 특징으로 인해, 도 5에 도시된 바와 같이 종래에 정전기 방전 보호 소자의 전류-전압 특성과 동일한 전류-전압 특성이 있는 것을 알 수 있다.
- <36> 그러나, ESD 상황 하에서는 항복 전압보다 더 높은 전압이 인가되기 때문에, 도 6a에 도시된 ESD 상황에서 종래에 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 바와 같이 임팩트 이온화가 발생하는 영역이 드리프트 영역에서 드레인 활성영역까지 확장할 수 있다. 또한, 이와 같은 ESD에 의한 소자의 파괴 현상은 내부 온도의 상승에 기인한 것으로서, 도 7a에 도시된 바와 같이 ESD 상황에서 종래에 정전기 방전 보호 소자의 드리프트 영역과 드레인 활성영역이 만나는 부분에서 가장 큰 온도 분포를 가지게 된다.
- <37> 따라서, 본 발명은 이러한 드리프트 영역과 드레인 활성영역이 만나는 부분에 적어도 하나의 STI(130)를 형성하여, 도 6b에 도시된 ESD 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 임팩트 이온화와 도 7b에 도시된 ESD 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 온도 분포에서처럼 소자에서 온도 상승에 의한 파괴가 일어나는 영역을 없애고 전류의 흐름을 측면 방향이 아닌 수직 방향으로 전환하여 줌으로써 ESD 특성을 개선할 수 있다.
- <38> 또한, 도면 8에서와 같이 본 발명에서의 구조가 동일한 ESD 전류에 대해서 종래의 DENMOS 등의 정전기 방전 보호 소자 구조에서보다 더 낮은 소자 내부 온도를 가지기 때문에 더 개선된 ESD 특성을 가질 수 있는 것을 알 수 있다.
- <39> 본 발명에서 제시하는 드레인 활성영역과 드리프트 영역 사이에 적어도 하나의 STI를 형성하는 고전압용 정전기 방전 보호 소자를 이용하여 ESD 보호회로를 구성할 경우, 종래에 추가적인 마스크 이용 공정 등의 다수의 공정이 필요 없으므로 비용을 절감하여 고전압용 정전기 방전 보호 소자를 구현할 수 있고, 열 손상(thermal damage)이 큰 드레인 활성영역과 드리프트 영역에 형성된 STI에 의해 소자 표면에 전류가 집중하는 것을 수직 방향으로 바꾸어 줄 수 있다.
- <40> 본 발명의 기술사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 전술한 실시예들은 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다.
- <41> 또한, 본 발명의 기술분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시가 가능함을 이해할 수 있을 것이다.

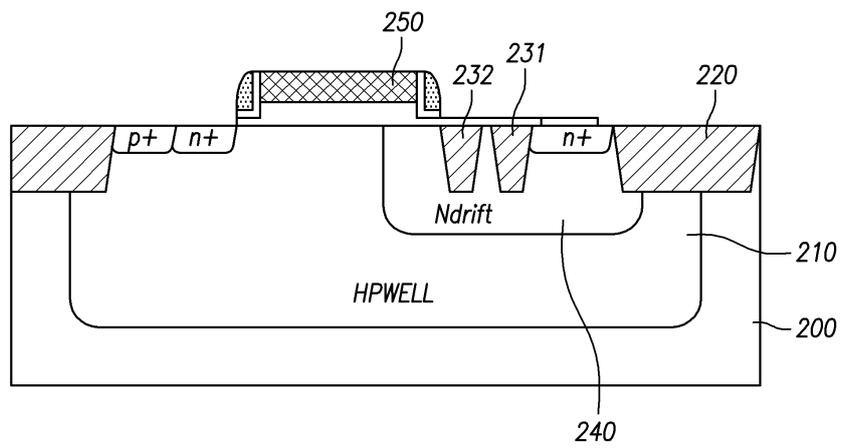
발명의 효과

- <42> 상기한 바와 같이 본 발명은 열 손상(thermal damage)이 큰 드레인 활성영역과 드리프트 영역에 형성된 STI에 의해 소자 표면에 전류가 집중하는 것을 수직 방향으로 바꾸어 주고, 종래에 추가적인 마스크 이용 공정 등의 다수의 공정이 필요 없으므로 비용을 절감하여 고전압용 정전기 방전 보호 소자를 구현할 수 있다.

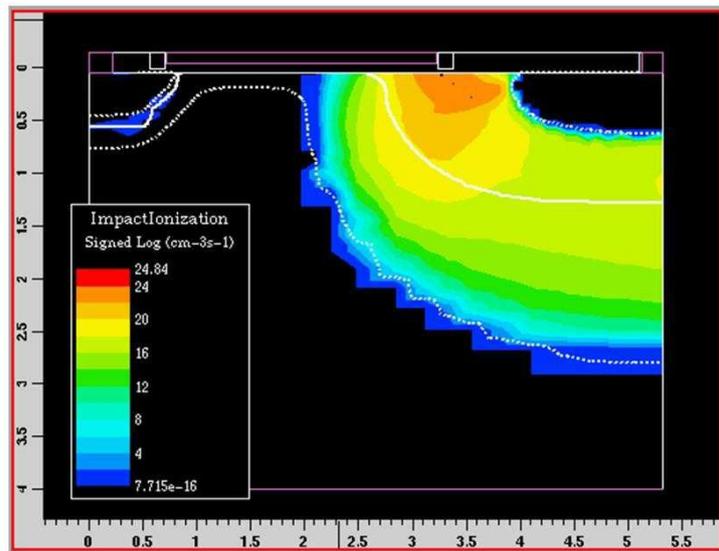
도면의 간단한 설명

- <1> 도 1은 종래에 3중으로 불순물을 확산한 TDDNMOS(Thriple diffused Drain NMOS)의 단면도.
- <2> 도 2는 본 발명의 일실시예에 따른 고전압용 정전기 방전 보호 소자의 단면도.
- <3> 도 3은 본 발명의 다른 실시예에 따른 고전압용 정전기 방전 보호 소자의 단면도.
- <4> 도 4a는 항복 상황에서 종래에 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 도면.
- <5> 도 4b는 항복 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 도면.
- <6> 도 5는 종래에 정전기 방전 보호 소자 및 본 발명에 따른 고전압용 정전기 방전 보호 소자의 전류-전압 그래프.
- <7> 도 6a는 ESD 상황에서 종래에 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 도면.
- <8> 도 6b는 ESD 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 임팩트 이온화를 도시하는 도면.
- <9> 도 7a는 ESD 상황에서 종래에 정전기 방전 보호 소자의 내부 온도를 도시하는 도면.
- <10> 도 7b는 ESD 상황에서 본 발명의 고전압용 정전기 방전 보호 소자의 내부 온도를 도시하는 도면.
- <11> 도 8은 동일한 ESD 전류에 대해서 종래의 정전기 방전 보호 소자와 본 발명에 따른 정전기 방전 보호 소자의 각 내부 온도를 도시한 도면.

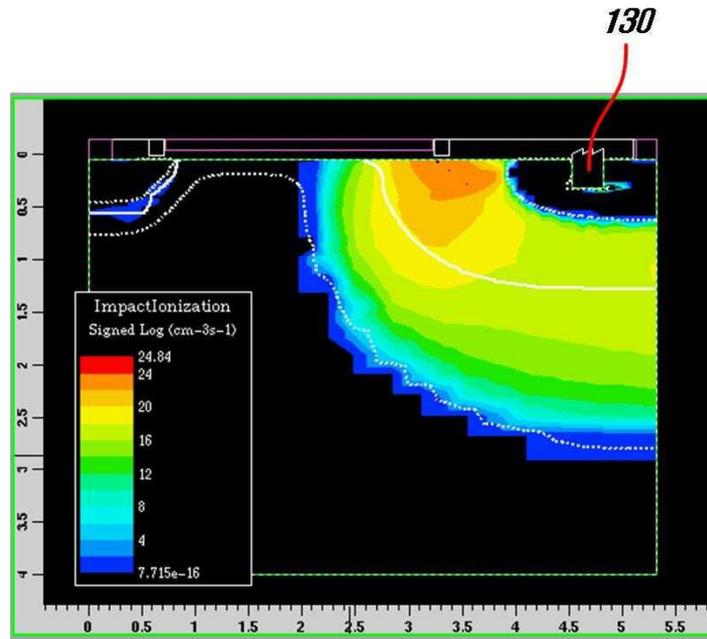
도면3



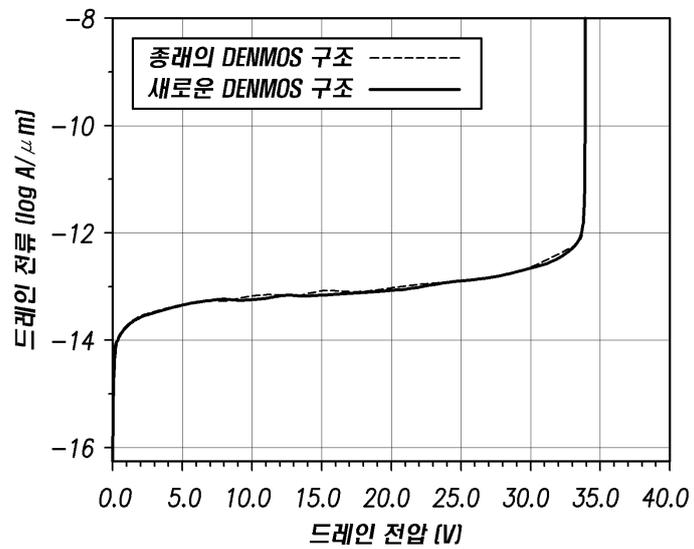
도면4a



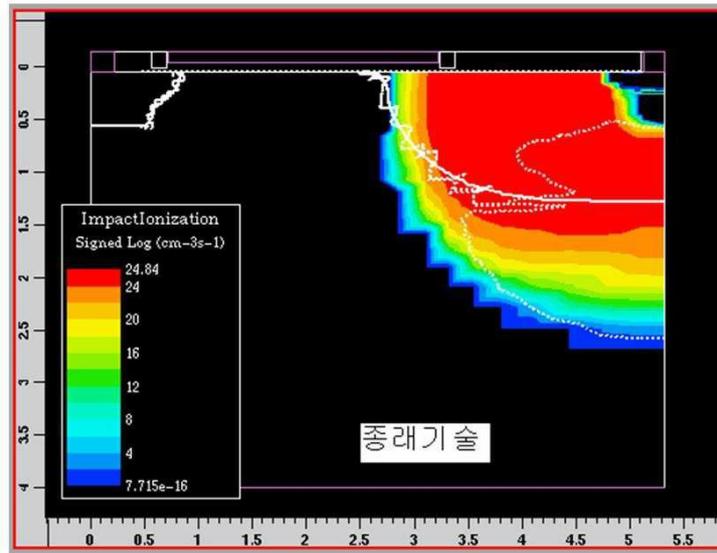
도면4b



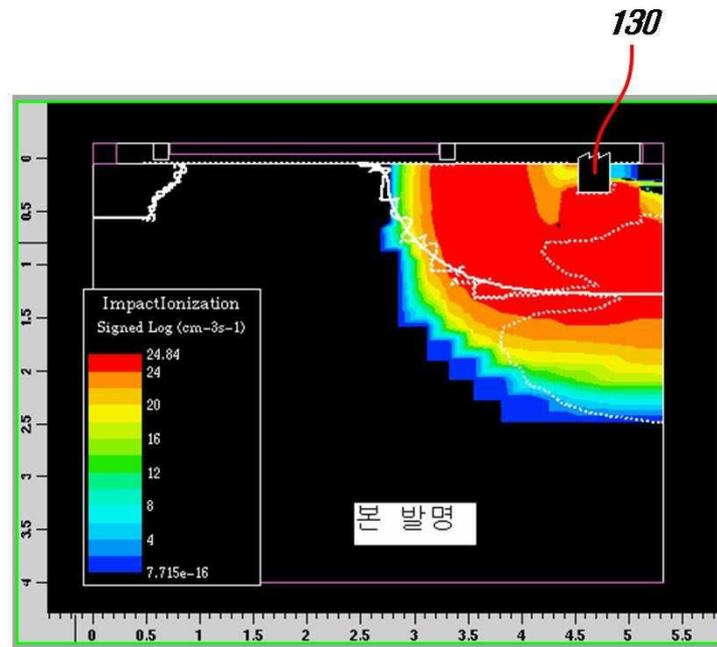
도면5



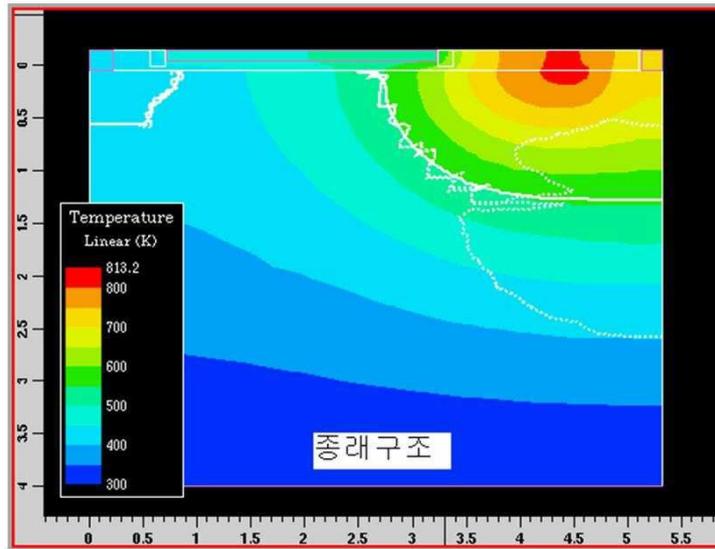
도면6a



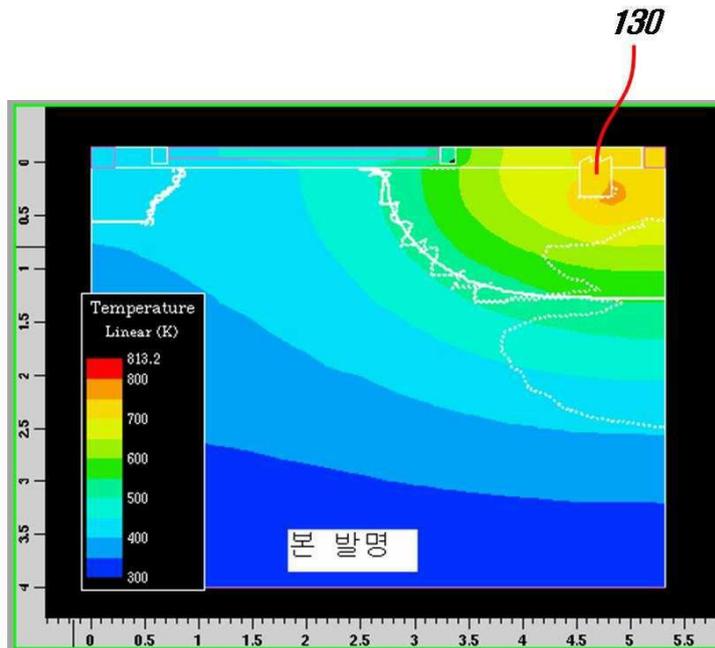
도면6b



도면7a



도면7b



도면8

