

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P5106813

※申請日期：P5.3.1

※IPC 分類：H01L 25/04, 15/18, 23/32, 23/12

**一、發明名稱：**(中文/英文)

半導體裝置及其製造方法

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司

SONY CORPORATION

代表人：(中文/英文)

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都品川區北品川六丁目七番 35 號

7-35, KITASHINAGAWA 6-CHOME, SHINAGAWA-KU, TOKYO,

JAPAN

國 籍：(中文/英文)

日本 JAPAN

**三、發明人：**(共 2 人)

姓 名：(中文/英文)

1. 波多野 正喜

HATANO, MASAKI

2. 高岡 裕二

TAKAOKA, YUJI

國 籍：(中文/英文)

1. 日本 JAPAN

2. 日本 JAPAN

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 日本；2005年03月16日；特願 2005-075165

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法，其係裝載數個半導體晶片構成一個封裝形態之所謂系統封裝，詳而言之係使用半導體基板進行數個半導體晶片間之電性連接之構造者。

### 【先前技術】

近年來，隨著電子機器之多功能化，其使用之半導體晶片亦被要求多功能化。然而，一旦以在一個晶片上形成大規模之功能系統之系統單晶片(SoC：System on Chip)來實現多功能化，則有需要大規模之晶片開發、開發期間長、成本高等之問題。因此，提案系統級封裝(SiP：System in Package)，其係將數個半導體晶片裝載於介質基板上，將其作為一個封裝零件。

例如於專利文獻1揭示：使用矽介層基板使數個晶片倒裝晶片連接而平置裝載之構造之SiP。

(專利文獻1)日本特開2004-79745號公報。

關於此參照圖16進行說明，則矽介層基板53係具有表層布線層50及貫通通道部56。表層布線層50具有：連接數個晶片間用之細微布線(例如次微米序(submicron order)之線間之布線)、晶片連接用之狹間距(例如60 μm間距以下)之墊。貫通通道部56係於貫通矽介層基板53之厚度方向形成之貫通通道之內壁面，介由絕緣膜例如以電鍍法充填其貫通通道之方式形成之導體部，擔負將轉換(再配置)為連接有

機介層基板57用之較粗之間距(例如100 μm間距以上)之墊49拉出至矽介層基板53下面(晶片裝載面之相反面)之作用。

於矽介層基板53之表層布線層50，介由焊錫凸塊51、51將數個半導體晶片2a、2b倒裝晶片連接裝載於矽介層基板53上，半導體晶片2a、2b與矽介層基板53之間充增有底部填充樹脂材54。

矽介層基板53係介由拉出至下面側之墊49、焊錫凸塊58及有機介層基板57之平台59，電性連接有機介層基板57而裝載，矽介層基板53與有機介層基板57之間充填有底部填充樹脂材55。

另外，於專利文獻2揭示使用不具有貫通通道部之矽介層基板之SiP。此係如圖17所示，數個半導體晶片62a、62b係介由焊錫凸塊64連接於矽介層基板61，矽介層基板61係介由焊錫凸塊65，將與半導體晶片62a、62b之裝載面相同之面側連接有機介層基板63。

(專利文獻2)日本特開平8-250653號公報。

(發明所欲解決之問題)

於上述專利文獻1，貫通矽介層基板53正反面之貫通通道之形成及充填其貫通通道之導體56之形成為必要，需要形成其貫通通道用之矽蝕刻或以電鍍析出貫通通道內之導體56之成本或時間，作為其結果，有半導體裝置整體之製造成本提高之問題。

另外，於矽介層基板53，除配合半導體晶片2a、2b之設計規則之細微設計規則之晶片晶連接布線層50之外，將符

合有機介層基板57之設計規則之較粗間距之墊49拉出至下面側，矽介層基板53之平面方向大小易變大，此亦為成本高之主要原因。

另外，於專利文獻2，在矽介層基板61中與半導體晶片62a、62b裝載面相同之面側，拉出與有機介層基板63連接用之墊，半導體晶片62a、62b係經過形成於矽介層基板61之布線後，連接於有機介層基板63之構成。因此，半導體晶片62a、62b與有機介層基板63間之布線長度容易變長，容易導致半導體晶片62a、62b與有機介層基板63間之信號傳送延遲。

再者，於矽介層基板61，除連接半導體晶片62a、62b間之布線外，亦形成將半導體晶片62a、62b連接於外部(該情況為有機介層基板63)用之布線，故藉由其拉出外部用之布線，晶片間連接布線之迴繞布置之自由度變小，連接晶片間之布線長度容易變長，亦容易導致半導體晶片62a、62b間之信號傳送延遲。

本發明係有鑑於上述之問題，作為其目的係提供一種半導體裝置及其製造方法，其價格便宜且可抑制信號傳送之延遲。

### 【發明內容】

本發明為解決前述問題，採用以下之構成。

亦即，本發明用之半導體裝置具備：數個半導體晶片、半導體基板，其在相同面側形成電性連接該等數個半導體晶片用之晶片間連接布線，與連接於該晶片間連接布線之數

個晶片連接用墊、布線基板，其具有以比晶片連接用墊大之間距配置之數個平台；數個半導體晶片係介由第1連接端子將其主面連接於晶片連接用墊，裝載於半導體基板，於半導體晶片之主面，在不朝向半導體基板相合之部份形成外部連接用墊，該外部連接用墊係介由第2連接端子連接布線基板之平台。

另外，本發明之半導體裝置係具備：數個半導體晶片、半導體基板，其在相同面側形成與電性連接該等數個半導體晶片間用之晶片間連接布線，與連接該晶片間連接布線之數個晶片連接用墊；數個半導體晶片係介由連接端子將其主面連接於晶片接連用墊，裝載於半導體基板，於半導體晶片之主面，在不朝向半導體基板相合之部份，形成以比晶片連接用墊大之間距配置之數個外部連接用墊。

另外，本發明之半導體裝置之製造方法係具有以下步驟：於半導體基板，在相同面側形成晶片間連接布線及與該晶片間連接布線連接之數個晶片連接用墊之步驟、於半導體晶片之主面中不朝向半導體基板相合之部份，形成以較晶片連接用墊大之間距配置之數個外部連接用墊之步驟、於布線基板形成與外部連接用墊等間距之平台之步驟、介由第1連接端子，使數個半導體晶片之主面連接於半導體基板之晶片連接用墊，將數個半導體晶片裝載於半導體基板之步驟、介由第2連接端子連接半導體晶片之外部連接用墊與布線基板之平台之步驟。

上述數個半導體晶片係介由形成於半導體基板之晶片間

連接布線相互電性連接；再者，半導體晶片係對著布線基板不經由半導體基板而直接連接。

上述半導體基板僅具有擔負連接數個半導體晶片間之功能。於上述布線基板中，在與半導體晶片連接之平台之形成面之相反面側，形成符合所謂母板之布線板之設計規則之平台，布線基板係作為介層，擔負連接半導體晶片與其母板之間之功能。

形成於半導體晶片主面之細微且窄間距之電極墊，係作為配合母板之設計規則之大小及間距之外部連接用墊，而拉出(再配置)。

於半導體基板，無需形成與布線基板連接用之符合其布線基板之設計規則之大小及間距之墊，亦即，僅於半導體基板，形成與半導體晶片連接用之大小及間距更細微之晶片連接用墊即可，故可謀求半導體基板之平面方向大小之小型化，謀求降低半導體基板所需之成本。

半導體晶片係無需經由半導體基板，呈介由從半導體晶片直接拉出之外部連接用墊連接外部(布線基板)之構成，故與經由半導體基板將半導體晶片連接於布線基板之上述專利文獻2相比，可縮短半導體晶片與布線基板間之布線長度，降低半導體晶片與布線基板間之信號傳送延遲。

再者，僅在半導體基板形成晶片間連接布線，不形成連接半導體晶片與布線基板用之布線，故不受連接半導體晶片與布線基板之布線之阻礙，可將晶片間連接布線集中於某區域形成於半導體基板，可縮短該晶片間連接布線之布

線長度，藉此可降低半導體晶片間之信號傳送延遲。

另外，若將半導體基板配置在形成於布線基板中凹處內，則可抑制半導體裝置整體厚度之增加。再者，若供應樹脂材於其凹處內，將半導體基板固定於布線基板，則介由上述第1連接端子、第2連接端子，可分散施加於接合部之應力，提高其接合部之接合可靠性。

另外，接合半導體晶片與半導體基板前，若預先將半導體基板配置在形成於布線基板中之凹處內，則既存之實裝裝置可採用例如：使用真空吸著具將半導體晶片逐一拾取、裝載於半導體基板之與既存之裝載方法相同之方法，不易導致成本高或實裝效率降低。

根據本發明，半導體基板係僅具有電性連接數個半導體晶片間之功能，不具有為使半導體晶片之電極墊與外部連接而擴大拉出用之功能。因此，不需形成貫通半導體基板正反面之貫通孔及充填其貫通孔之導體，可謀求削減其等之加工成本及所需時間。其結果，可降低半導體裝置整體所需成本。再者，半導體晶片係不經由半導體基板，介由從半導體晶片直接拉出之外部連接用墊與外部(布線基板)連接之構成，故可縮短半導體晶片與布線基板間之布線長度，降低半導體晶片與布線基板間之信號傳送延遲。再者，僅於半導體基板形成晶片間連接布線，不形成連接半導體晶片與布線基板用之布線，故不被連接半導體晶片與布線基板用之布線阻礙，可將晶片間連接布線集中於某區域形成於半導體基板，而可縮短該晶片間連接布線之布線長



度，藉此可降低半導體晶片間之信號傳送延遲。

### 【實施方式】

以下，參照圖面詳細說明有關適用本發明之具體實施型態。又，本發明並不限定於以下之實施型態，依據本發明之技術性思想可做各種之變形。

#### [第1實施型態]

圖1係表示有關本發明之第1實施型態之半導體裝置1之部份剖面立體圖，圖2係表示其半導體裝置1之剖面圖。

半導體裝置1具備：半導體基板3、半導體晶片2a、2b，其裝載於該半導體基板3、布線基板7，其與半導體晶片2a、2b連接。

於半導體基板3，於相同面側形成電性連接半導體晶片2a、2b用之晶片間連接布線4，與連接於該晶片間連接布線4之數個晶片連接用墊5。

半導體晶片2a、2b係介由第1連接端子8、9，將其主面(積體電路形成面)連接於半導體基板3之晶片連接用墊5。藉此，半導體晶片2a、2b係介由形成於半導體基板3之晶片間連接布線4相互電性連接。於該半導體晶片2a、2b與半導體基板3之接合部充填底部填充樹脂材14，保護其接合部。

於半導體晶片2a、2b之主面中，在不朝向半導體基板3相合之部份形成數個外部連接用墊13。於布線基板7形成數個平台6。該等外部連接用墊13間之間距及平台6間之間距係比半導體基板3之晶片連接用墊5間之間距(第1連接端子8、9間之間距)大。外部連接用墊13與平台6係介由第2連接

端子12連接，藉此電性連接半導體晶片2a、2b與布線基板7。於該半導體晶片2a、2b與布線基板7之接合部充填底部填充樹脂材15，保護其接合部。

其次，說明有關其半導體裝置1之製造方法之一例。

半導體基板3係例如為矽基板，如圖3所示，於其一面側，形成晶片間連接布線4及連接其之數個晶片連接用墊5。該等晶片間連接布線4及晶片連接用墊5係使用一般之半導體晶圓製程之技術及設備形成。晶片間連接布線4係例如為多層，於各層之間介在絕緣層。作為晶片間連接布線4及晶片連接用墊5之材料，例舉如銅、鋁等，作為絕緣層之材料係例如半導體基板3為矽之情況，可用氧化矽、氮化矽形成，或使用如聚醯亞胺之樹脂材料亦可。又，晶片間連接布線4亦可為單層。晶片間連接布線4之線間(最小線寬)係次微米( $0.1\ \mu\text{m}\sim 1\ \mu\text{m}$ )程度，晶片連接用墊5間之間距係數 $\mu\text{m}\sim 60\ \mu\text{m}$ 程度。如此之設計規則之布線及墊可容易以一般之半導體製程形成矽基板之半導體基板3。

又，半導體基板3不限於矽基板，亦可為鍺、化合物半導體等之半導體基板。於本實施型態，由於以矽晶片作為裝載於半導體基板3之半導體晶片2a、2b，故為使其與線膨脹係數一致，使用矽基板做為半導體基板3。半導體基板3與裝載其之半導體晶片2a、2b之線膨脹係數若相同或相近，則二者接受溫度圈時，可抑制於二者之接合部作用之應力，提高接合可靠性。因此，半導體基板3與半導體晶片2a、2b使用相同材料或線膨脹係數相近之材料為佳。

其次如圖4所示，於晶片連接用墊5之上形成第1連接端子9。第1連接端子9例如以電鍍法或印刷法等形成之半球狀之焊錫凸塊。作為第1連接端子9，亦可使用焊錫以外之金屬或合金，再者其形狀亦可為柱狀。

形成第1連接端子9後，將半導體基板3之背面(晶片間連接布線4、晶片連接用墊5及第1連接端子9之形成面之相反面)使用背部研磨機研削背面，進行薄型化。再者，使用切割鋸或雷射等方法，沿著厚度方向切斷，進行個片化。

其次，對上述半導體基板3，如圖5所示介由第1連接端子8、9接合數個(於本實施型態係例如二個)半導體晶片2a、2b。

各半導體晶片2a、2b中，於主面(積體電路形成面)側分別形成布線10及連接於該布線10之數個墊11，半導體晶片2a、2b之電極墊(未圖示)係介由布線10再配置於更加擴大間距之墊11。該等布線10及墊11係以與形成於半導體基板3之晶片間連接布線4及晶片連接用墊5相同之步驟形成，半導體晶片2a、2b側之墊11與半導體基板3側之墊5分別以相同之間距配置相同數量。

於半導體晶片2a、2b之墊11上，形成與形成於上述半導體基板3之晶片連接用墊5上之第1連接端子9相同之第1連接端子(例如焊錫凸塊)8，以將該等連接端子8、9彼此互相相合之狀態，用將該等連接端子8、9加熱熔融之方式接合連接端子8、9彼此，藉此半導體晶片2a、2b之布線10與半導體基板3之晶片間連接布線4電性連接。因此，通過半導

體基板3之晶片間連接布線4，二個半導體晶片2a、2b間電性連接。

於半導體基板3與各半導體晶片2a、2b之間，介由第1連接端子8、9以包覆接合部份之方式充填底部填充樹脂材14，保護其接合部份遠離應力或垃圾、水分等。底部填充樹脂材14係例如將液狀或膏狀之熱硬化性樹脂，以將半導體基板3置於下，半導體晶片2a、2b置於上之狀態，供應於半導體基板3與各半導體晶片2a、2b之間後，藉由熱硬化形成。

另外，於各半導體晶片2a、2b，除於與半導體基板3連接用之墊11以外，亦在與該墊11相同之面側形成數個外部連接用墊13。外部連接用墊13係與上述墊11同時製入，與布線10連接。外部連接用墊13係於半導體晶片2a、2b中不朝向半導體基板3相合之部份，具體而言係靠近半導體晶片2a、2b之外緣部份，以比墊11大之大小及間距(例如100 μm以上之間距)配置。該外部連接用墊13係介由如圖6所示之布線基板7與第2連接端子12而接合。

布線基板7係例如玻璃環氧布線基板等之有機布線機基板。於布線基板7之另一邊表面，形成數個平台6。平台6係以與形成於半導體晶片2a、2b之外部連接用墊13相同之間距，配置相同數量。布線基板7中，於其平台形成面之相反面，以比平台6大之間距形成數個平台17。平台6與平台17係介由充填形成於布線基板中之通路之導電體18及布線19電性連接。平台17係將平台6之間距更加擴大而再配置之

平台。平台6、17、導電體18、布線19係例如銅等金屬材料組成。布線19為多層構造，各層間介在絕緣層。

布線19之線間或平台6、17之間距係採用一般之有機布線基板之設計規則。例如，平台6、17之間距為100 μm以上。又，作為布線基板7，其他亦可使用氧化鋁等之陶瓷布線基板。

於布線基板7之中央部份，將平面尺寸比半導體基板3之平面尺寸大之凹處16貫通布線基板7之厚度方向作為貫通孔而形成。該凹處16可用例如工作機械、雷射、蝕刻等方法形成。

於布線基板7之平台6上，例如形成焊錫凸塊作為第2連接端子12。以例如使用錫球裝載機之轉印法等，於平台6上裝載錫球後，藉由迴焊形成半球狀。此外，亦可以電鍍或印刷法等形成柱狀之金屬凸塊作為第2連接端子12。

將半導體基板3位於布線基板7之凹處16內，且在第2連接端子12與半導體晶片2a、2b之外部連接用墊13相合之狀態，藉由加熱熔融第2連接端子12，介由第2連接端子12接合半導體晶片2a、2b之外部連接用墊13與布線基板7之平台6。藉此，可獲得如圖1、2所示之半導體裝置1。

二個半導體晶片2a、2b係介由形成於半導體基板3之晶片間連接布線4相互電性連接，再者，半導體晶片2a、2b係對著布線基板7不經由半導體基板3而直接連接。

布線基板7中，在與半導體晶片2a、2b接合之面之相反面側，形成符合所謂母板之布線板之設計規則之平台17，布

線基板7係作為介層，擔負連接半導體晶片2a、2b與其母板之間之功能。半導體基板3僅具有擔負連接二個半導體晶片2a、2b間之功能。

形成於半導體晶片2a、2b之主面之細微且窄間距之電極墊係介由布線10，拉出(再配置)作為符合母板之設計規則之大小及間距之墊13。

於布線基板7之平台17形成例如錫球、金屬墊等之連接端子，介由其連接端子連接形成於母板之平台及布線。於母板，除該半導體裝置1以外亦裝載其他多種零件(半導體裝置、電阻、電容器、連接器等)，其等零件與半導體裝置1通過形成於母板之布線電性連接。

又，作為半導體裝置之構成，亦可為如圖15所示之無布線基板7之構成。亦即，半導體晶片2a、2b之外部連接用墊13介由錫球或金屬凸塊等之連接端子直接裝載於母板亦可。然而，形成於半導體晶片2a、2b之外部連接用墊13由於受到半導體晶片大小之限制，故無法擴大大小及間距至該程度，故有可能無法與設計規則較粗略之母板相對應。因此，將半導體晶片2a、2b之外部連接用墊13介由布線基板7，再配置於更加擴大之間距17之構成，可避免於母板側進行需要額外成本之細微加工，故佳。

又，不限於上述製造例，如圖7所示，將第1連接端子8及第2連接端子12全部分別形成於半導體晶片2a、2b之墊11、13上，且亦可介由第1連接端子8接合半導體晶片2a、2b與半導體基板3(圖8)，及介由第2連接端子12進行半導體

晶片 2a、2b 與布線基板 7 之接合。

如以上所述，於本實施型態之半導體裝置 1，半導體基板 3 僅具有電性連接數個半導體晶片 2a、2b 之功能，不具有為了使半導體晶片 2a、2b 之電極墊與外部連接而擴大拉出用之功能。因此，如圖 16 所示之以往之例，不需形成貫通半導體基板 3 正反面之貫通孔及充填其貫通孔之導體，可謀求削減其等之加工成本及所需時間。其結果，可降低半導體裝置 1 整體之成本。

另外，不需為與布線基板 7 連接用，而於半導體基板 3 形成符合其布線基板 7 之設計規則、大小及間距更加擴大之墊；亦即，僅於半導體基板 3 形成與半導體晶片 2a、2b 連接用之大小及間距更細微之墊即可，故可謀求半導體基板 3 之平面方向之大小之小型化。其將降低半導體基板 3 所需成本。

再者，半導體晶片 2a、2b 係不需經由形成於半導體基板 3 之布線，呈介由直接從半導體晶片 2a、2b 拉出之外部連接用墊 13，連接布線基板 7 之構成，故如圖 17 所示，比起經由半導體基板 61 將半導體晶片 62a、62b 連接於布線基板 63 之以往之例，可縮短半導體晶片 2a、2b 與布線基板 7 間之布線長度，可降低半導體晶片 2a、2b 與布線基板 7 間之信號傳送延遲。

再者，於如上述之本實施型態之半導體基板 3，僅形成晶片間連接布線 4，未形成連接半導體晶片 2a、2b 與布線基板 7 用之布線，故不受連接半導體晶片 2a、2b 與布線基板 7 用

之布線之阻礙，可集中於某區域形成晶片間連接布線4，可縮短該晶片間連接布線4之布線長度，藉此亦可降低半導體晶片2a、2b間之信號傳送延遲。

[第2實施型態]

其次，圖9係表示有關本發明之第2實施型態之半導體裝置21之部份剖面立體圖，圖10係表示其半導體裝置21之部份圖。又，與上述第1實施型態相同構成之部份賦與相同之符號，省略其詳細說明。

有關於本實施型態之半導體裝置21係具備：半導體基板3、數個半導體晶片2a、2b，其裝載於該半導體基板3、布線基板27，其與半導體晶片2a、2b連接。

於半導體基板3，在同一面側形成電性連接半導體晶片2a、2b間用之晶片連接布線4，與連接於該晶片間連接布線4之數個晶片連接用墊5。

半導體晶片2a、2b係介由第1連接端子8、9，將其主面(積體電路形成面)連接於半導體基板3之晶片連接用墊5。藉此，半導體晶片2a、2b介由形成於半導體基板3之晶片間連接布線4互相電性連接。

半導體晶片2a、2b之主面中，在不與半導體基板3相合之部份形成數個外部連接用墊13。於布線基板27形成數個平台6。其等外部連接用墊13間之間距及平台6間之間距係比半導體基板3之晶片連接用墊5間之間距(第1連接端子8、9間之間距)大。外部連接用墊13與平台6係介由第2連接端子12連接，藉此，電性連接半導體晶片2a、2b與布線基板27。



於半導體晶片2a、2b與半導體基板3之間，及半導體晶片2a、2b與布線基板27之間充填底部填充樹脂材24，保護半導體晶片2a、2b與半導體基板3之接合部，及半導體晶片2a、2b與布線基板27之接合部。

使半導體基板3從凹處26露出，配置於其凹處26內，該凹處係將晶片連接用墊5及形成此之第1連接端子9形成於布線基板27者。凹處26形成作為有底之凹穴於凹處26之內壁面，與半導體基板3之底面及側面間充填樹脂材，介由該樹脂材半導體基板3固定於凹處26。其樹脂材亦可係將上述底部填充樹脂材24流入半導體晶片2a、2b與半導體基板3之間，及半導體晶片2a、2b與布線基板27之間時，兼供應至凹處26內之方式，亦可於填充底部填充樹脂材24之前，將凹處26供應用之樹脂材另外供應至凹處26。

如此於本實施型態，半導體基板3係呈埋入布線基板27內與布線基板27一體化之構造。因此，與半導體晶片2a、2b及半導體基板3，僅以介由第2連接端子12接合之接合部支撐布線基板7之構造之上述第1實施型態相比，可分散施加於介由第2連接端子12連接之接合部之應力(特別係，藉由線膨脹係數大之有機布線基板27接受溫度圈形成之收縮所產生之應力)，可提高其接合部之連接可靠性。再者，藉由將半導體基板3支撐於布線基板27之凹處26內，在介由細微大小之第1連接端子8、9連接之半導體晶片2a、2b與半導體基板3之接合部，亦可避免過多之應力作用，提高其接合部之接合可靠性。其結果，半導體晶片2a、2b、半導體基

板3及布線基板27互相之接合可靠性可比第1實施型態高。

此外所獲得之效果與上述第1實施型態相同。

參照圖11、圖12說明有關該第2實施型態之半導體裝置21之製造例。

如圖11所示，於布線基板27之中央部份，平面尺寸比半導體基板3之平面尺寸大一些之凹處26，形成作為有底之凹穴。該凹處26係可例如以工作機械、雷射、蝕刻等方法形成。

於其凹處26之底面及內壁面供應液狀或膏狀之樹脂材後，如圖12所示將半導體基板3配置於凹處26內，例如使樹脂材熱硬化，將半導體基板3對著布線基板27固定。或者，先將半導體基板3配置於凹處26內後，亦可於半導體基板3與凹處26之縫隙間供應樹脂材使其硬化。

在其狀態，半導體基板3之晶片連接用墊5係位於較布線基板27中平台6之形成面稍微上方，介由第1連接端子8、9於其晶片連接用墊5接合半導體晶片2a、2b。另外，於此同時介由第2連接端子12，接合半導體晶片2a、2b之外部連接用墊13與布線基板27之平台6。又，若適當設定第1、第2連接端子8、9、12之高度，則半導體基板3之晶片連接用墊5係與布線基板27中平台6之形成面對齊或稍微進入凹處26亦可。

如此，接合半導體晶片2a、2b與半導體基板3前，若先將半導體基板3埋入布線基板27使其固定，則既存之實裝裝置，可例如使用真空吸著具逐一拾取半導體晶片2a、2b裝

載半導體基板3。

先接合半導體晶片2a、2b與半導體基板3之後，一旦將其接合體對著布線基板27接合，則於數個半導體晶片2a、2b側進行真空吸著之際，為防止由晶片間之間隙之氣漏形成之吸著不良或於吸著狀態之偏斜，有必需統一數個半導體晶片2a、2b間厚度之問題。

如上述，若先將半導體基板3埋入布線基板27，則可對著其半導體基板3，使用既存之真空吸著具逐一拾取半導體晶片2a、2b，使用既存之裝載方式裝載。

#### [第3實施型態]

其次，圖13係表示有關本發明之第3實施型態之半導體裝置31。又，與上述第1、第2實施型態相同構成之部份賦與相同之符號，省略其詳細之說明。

有關本實施型態之半導體裝置31係具備：半導體基板3、數個半導體晶片2a、2b，其裝載該半導體基板3、布線基板37，其連接半導體晶片2a、2b。

於半導體基板3，在同一面側形成電性連接半導體晶片2a、2b間用之晶片間連接布線4，與連接於該晶片間連接布線4之數個晶片連接用墊5。

半導體晶片2a、2b係介由第1連接端子8、9，將其主面(積體電路形成面)連接於半導體基板3之晶片連接用墊5。藉此，半導體晶片2a、2b介由形成於半導體基板3之晶片間連接布線4互相電性連接。

半導體晶片2a、2b之主面中，於不朝向半導體基板3相合

之部份形成數個外部連接用墊13。於布線基板37形成數個平台6。其等外部連接用墊13間之间距，及平台6間之间距係比半導體基板3之晶片連接用墊5間之间距(第1連接端子8、9間之间距)大。外部連接用墊13與平台6係介由第2連接端子38連接，藉此電性連接半導體晶片2a、2b與布線基板37。

半導體晶片2a、2b與半導體基板3之間，及半導體晶片2a、2b與布線基板37之間充填有底部填充樹脂材36，保護半導體晶片2a、2b與半導體基板3之接合部，及半導體晶片2a、2b與布線基板37之接合部。

於本實施型態，半導體基板3係不配置於布線基板37內，裝載布線基板37中平台6之形成面上。因此，如上述第1、第2實施型態，無需於布線基板17、27形成凹處16、26，可削減為此之加工成本及加工時間。然而，與將半導體基板3配置於布線基板7、27內之上述第1、第2實施型態相比，不利於半導體裝置整體之薄型化。

另外，需將半導體晶片2a、2b之外部連接用墊13，與布線基板37之平台6之間之距離變大之部份，及將連接其等之第2連接端子38之大小變大，為配合此，外部連接用墊13及平台6之大小及间距亦變大。反而言之，比起第3實施型態，第1、第2實施型態可縮小第2連接端子12、外部連接用墊13及平台6之大小及间距，可抑制平面方向中之尺寸增加。

裝載半導體基板3之半導體晶片不限於二個，亦可為三個

以上。例如於圖14，例示將四個半導體晶片70a~70d裝載於半導體基板3。於數個半導體晶片70a~70d之中，例如某半導體晶片係作為記憶元件發揮功能，其他之半導體晶片係作為邏輯元件發揮功能。於其等數個半導體晶片70a~70d，亦可包含不直接與外部之布線基板連接之半導體晶片70b。僅需至少一個之半導體晶片與外部之布線基板連接即可。

### 【圖式簡單說明】

圖1係關於本發明之第1實施型態之半導體裝置之部份剖面立體圖。

圖2係關於該第1實施型態之半導體裝置之剖面圖。

圖3係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其一)。

圖4係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其二)。

圖5係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其三)。

圖6係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其四)。

圖7係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其五)。

圖8係關於該第1實施型態之半導體裝置之製造步驟剖面圖(其六)。

圖9係關於本發明之第2實施型態之半導體裝置之部份剖

面立體圖。

圖 10 係關於該第 2 實施型態之半導體裝置之剖面圖。

圖 11 係關於該第 2 實施型態之半導體裝置之製造步驟剖面圖(其一)。

圖 12 係關於該第 2 實施型態之半導體裝置之製造步驟剖面圖(其二)。

圖 13 係關於本發明之第 3 實施型態之半導體裝置剖面圖。

圖 14 係表示於半導體基板上裝載數個半導體晶片之變形例之平面圖。

圖 15 係本發明之變形例形成之半導體裝置之剖面圖。

圖 16 係第 1 以往之例之半導體裝置之剖面圖。

圖 17 係第 2 以往之例之半導體裝置之剖面圖。

#### 【主要元件符號說明】

1	半導體裝置
2a、2b	半導體晶片
3	半導體基板
4	晶片間連接布線
5	晶片連接用墊
6	平台
7	布線基板
8	第 1 連接端子
9	第 1 連接端子
12	第 2 連接端子
13	外部連接用墊

16	凹處
21	半導體裝置
26	凹處
31	半導體裝置

## 五、中文發明摘要：

本發明提供一種半導體裝置及其製造方法，其價格便宜且可抑制信號傳送之遲延。本發明具備：數個半導體晶片2a、2b；半導體基板3，其於同一面側形成電性連接半導體晶片2a、2b間用之晶片間連接布線4與連接於該晶片間連接布線4之晶片連接用墊5；布線基板7，其具有平台6；半導體晶片2a、2b係將其主面介由第1連接端子8、9連接於晶片連接用墊5裝載於半導體基板3，於半導體晶片2a、2b之主面，於不向半導體基板3相合之部份形成外部連接用墊13，該外部連接墊13係介由第2連接端子12連接布線基板7之平台6。

## 六、英文發明摘要：



## 十、申請專利範圍：

1. 一種半導體裝置，其特徵係具備：

數個半導體晶片；

半導體基板，其於同一面側形成電性連接前述數個半導體晶片間用之晶片間連接布線、與連接於該晶片間連接布線之數個晶片連接用墊；

布線基板，其具有以較前述晶片連接用墊大之間距所配置之數個平台；

前述數個半導體晶片係介由第1連接端子將其主面連接於前述晶片連接用墊，裝載於前述半導體基板；

前述半導體晶片之前述主面中，於不向半導體基板相合之部份形成外部連接用墊，前述外部連接用墊係介由第2連接端子與前述布線基板之前述平台連接。

2. 如請求項1之半導體裝置，其中

前述半導體基板係位於形成於前述布線基板之凹處內。

3. 如請求項2之半導體裝置，其中

以包圍前述半導體基板之方式充填樹脂材於前述凹處內，介由前述樹脂材接合前述半導體基板與前述布線基板。

4. 一種半導體裝置，其特徵係具備：

數個半導體晶片；

半導體基板，其於同一面側形成電性連接前述數個半導體晶片間用之晶片間連接布線、與連接於該晶片間連

接布線之數個晶片連接用墊；

前述數個半導體晶片係介由連接端子將其主面連接於前述晶片連接用墊，裝載於前述半導體基板；

前述半導體晶片之前述主面中，於不向半導體基板相合之部份，形成以較前述晶片連接用墊大之間距所配置之數個外部連接用墊。

5. 一種半導體裝置之製造方法，其特徵在於具有以下步驟：

於半導體基板，於同一面側形成與晶片間連接用布線及該晶片間連接布線連接之數個晶片連接用墊之步驟；

於半導體晶片之主面中不向前述半導體基板相合之部份，形成以較前述晶片連接用墊大之間距所配置之數個外部連接用墊之步驟；

於布線基板形成與前述外部連接用墊等間距之平台之步驟；

於前述半導體基板之前述晶片連接用墊，介由第1連接端子連接數個前述半導體晶片之前述主面，將數個前述半導體晶片裝載於前述半導體基板之步驟；

介由第2連接端子，連接前述半導體晶片之前述外部連接用墊與前述布線基板之前述平台之步驟。

6. 如請求項5之半導體裝置之製造方法，其中

於將前述半導體晶片裝載於前述半導體基板之前，使前述晶片連接用墊露出於前述布線基板中之前述平台之形成面側，將前述半導體基板裝載於前布線基板上或配置於前述布線基板中之後，使前述數個半導體晶片連接於前述晶片連接用墊。

十一、圖式：

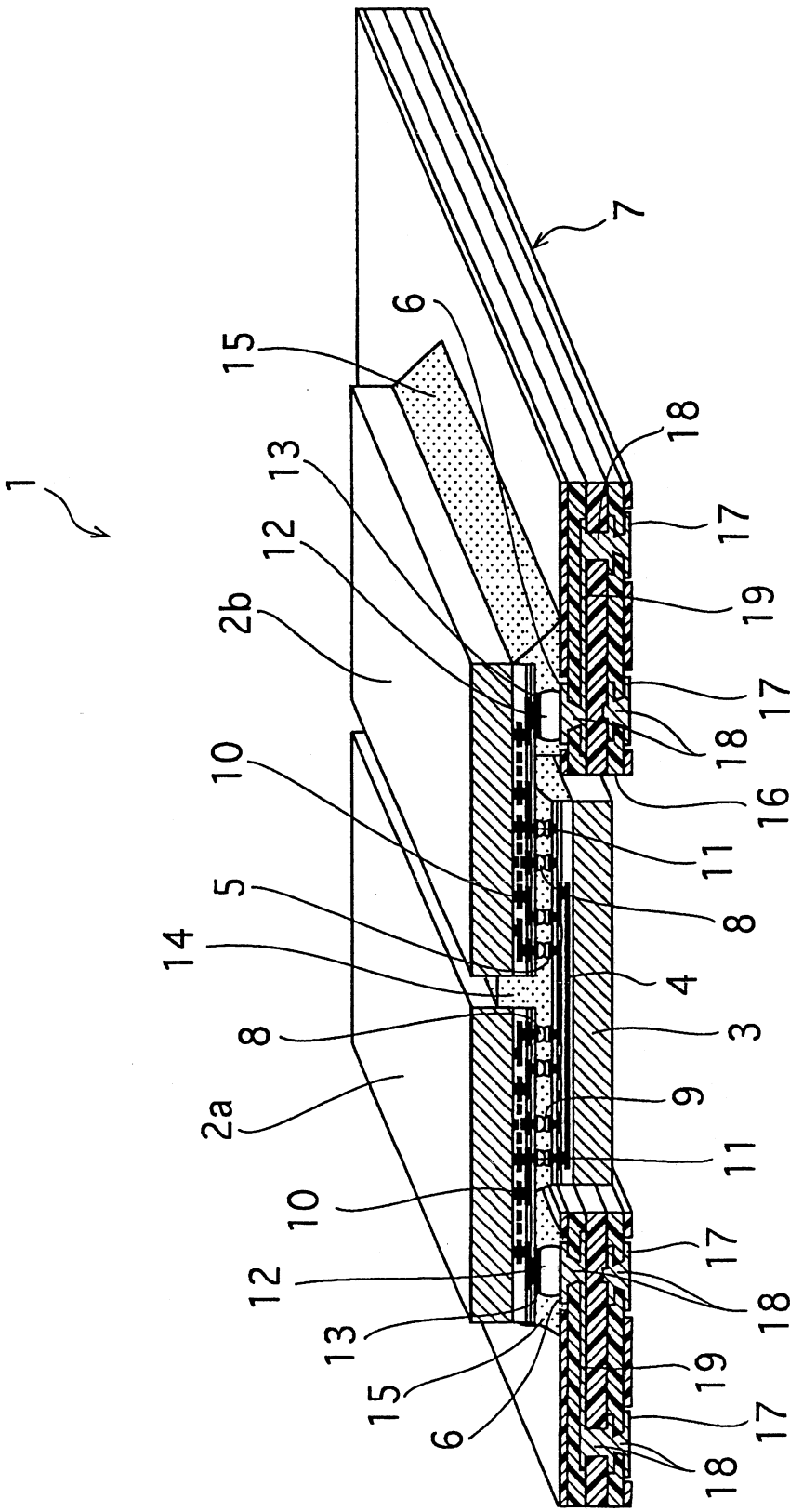


圖 1

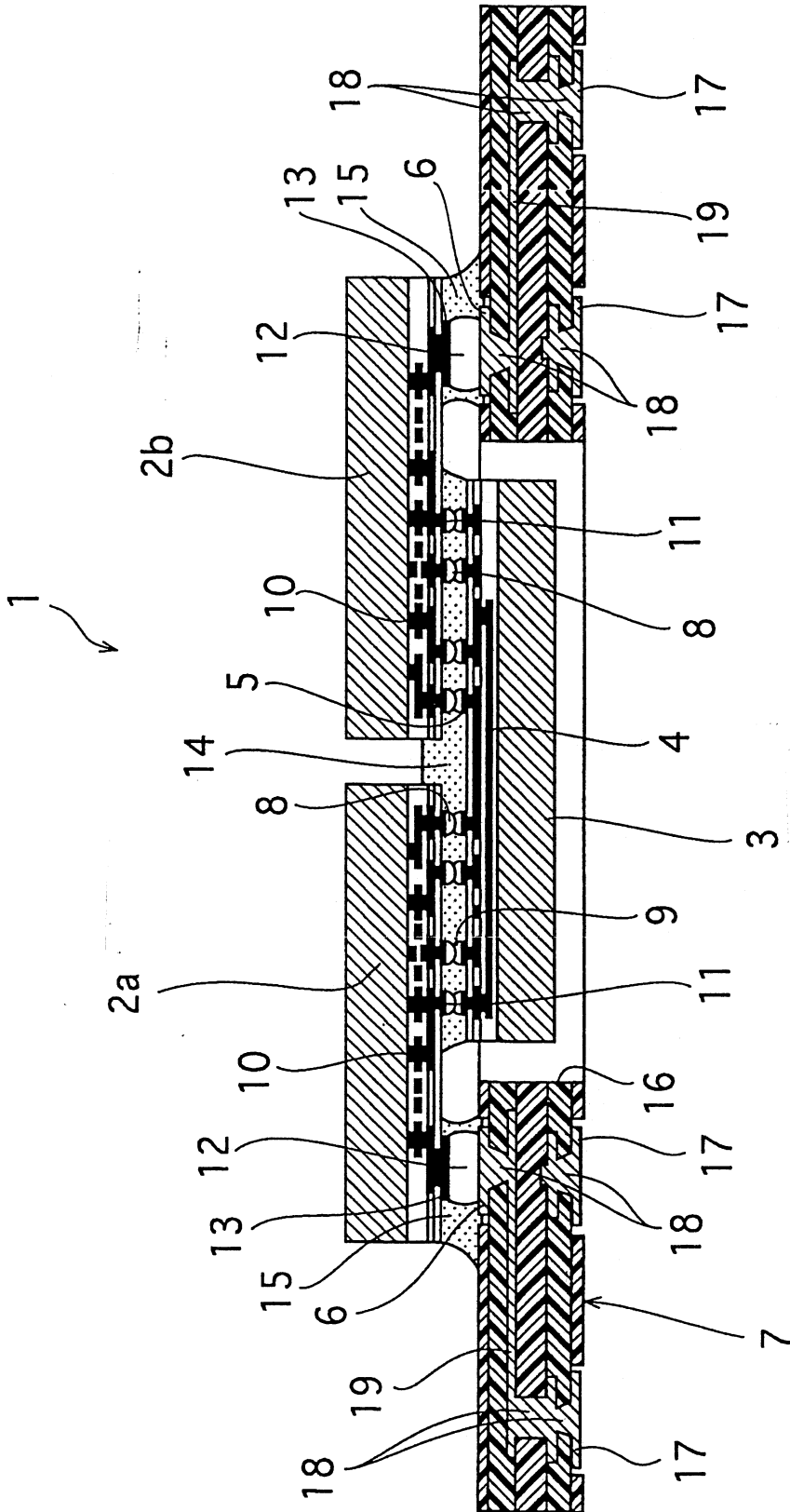


圖 2

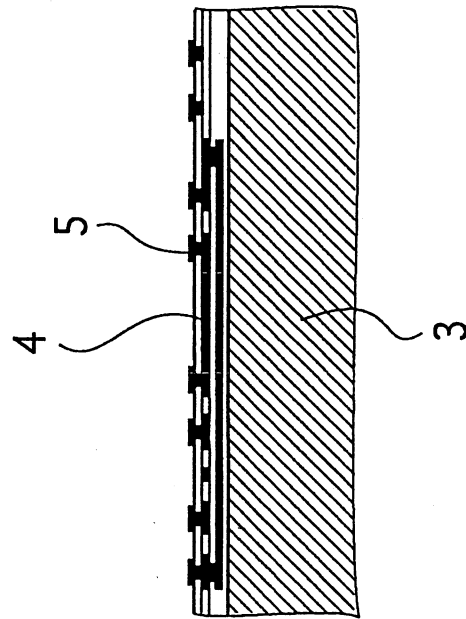


圖 3

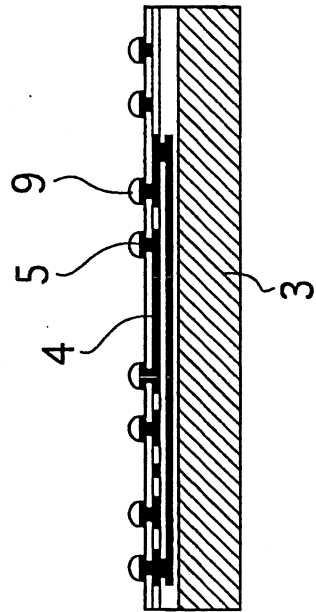


圖 4

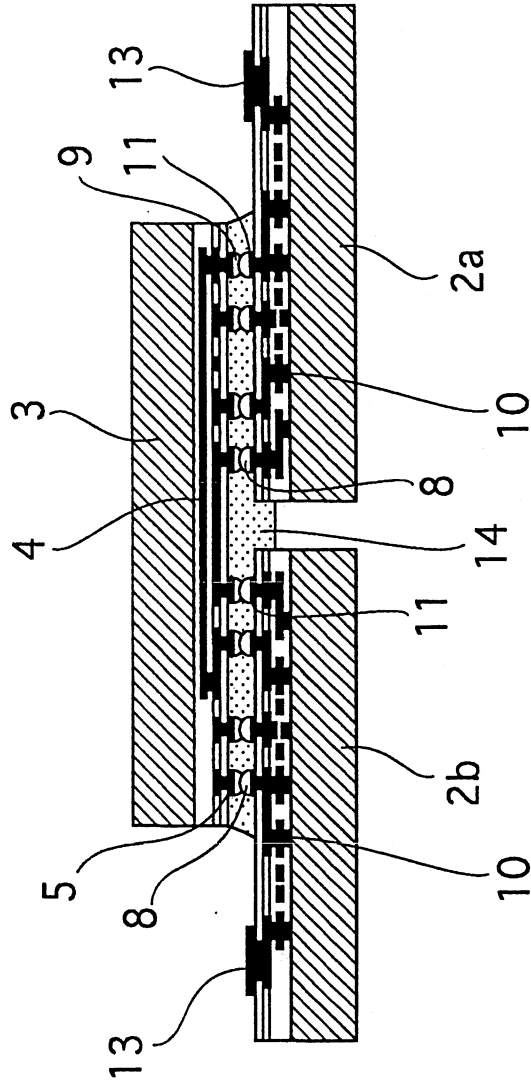


圖 5

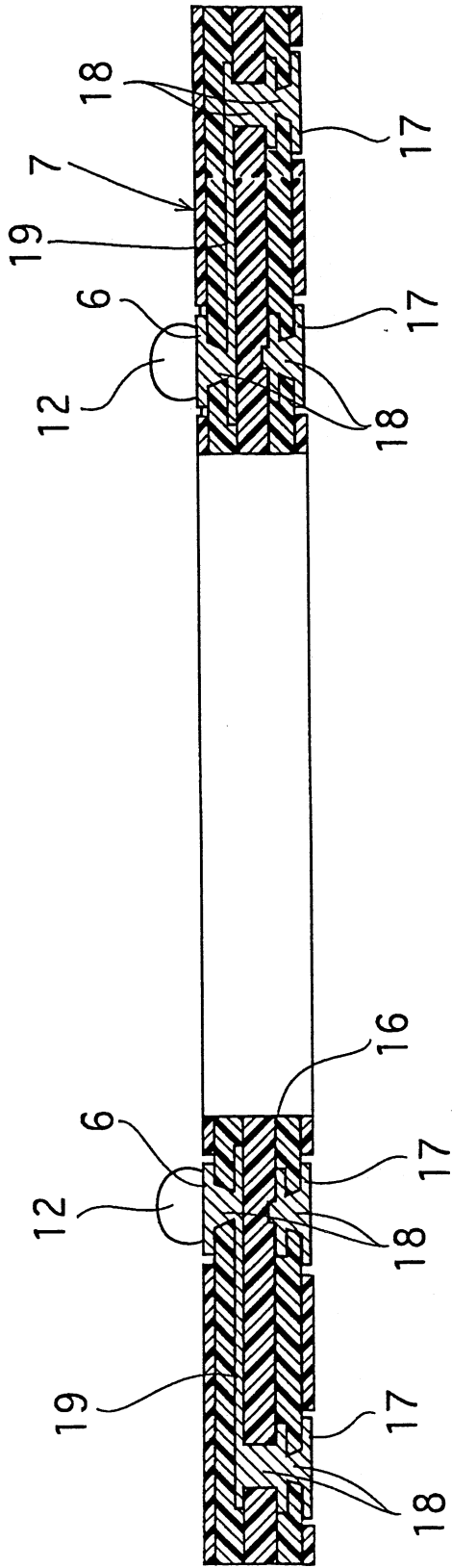


圖6



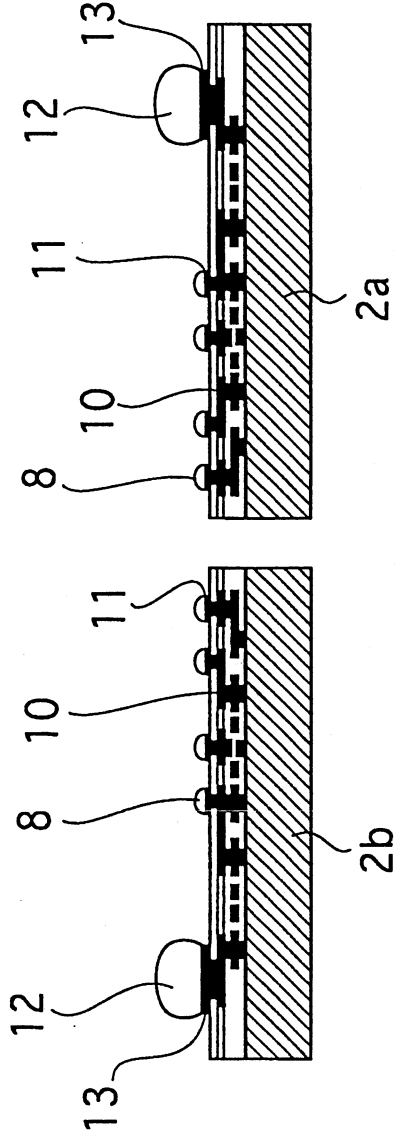


圖 7

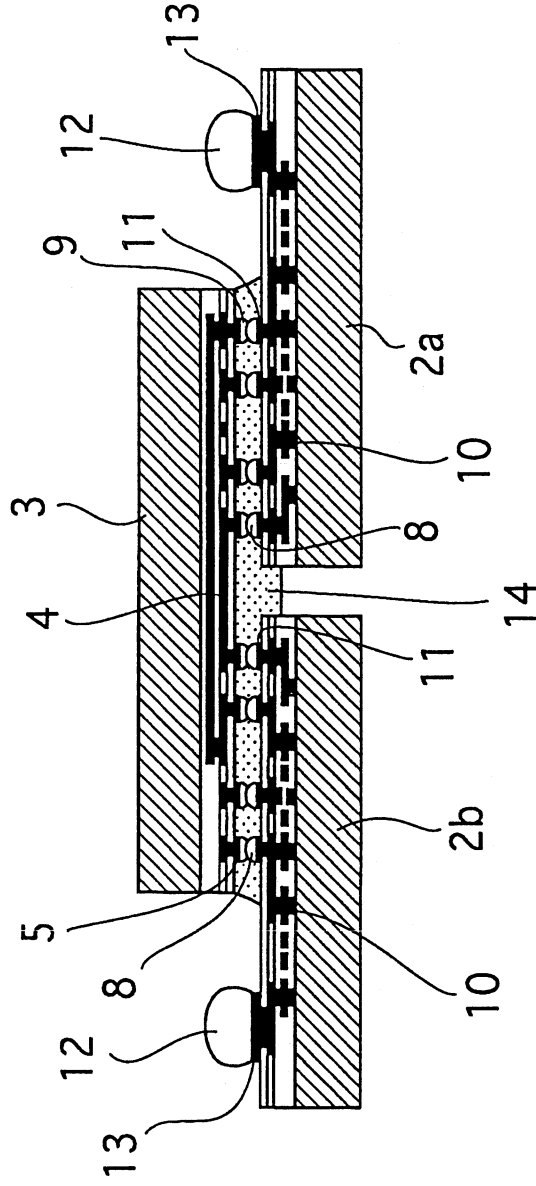


圖 8

21 ↗

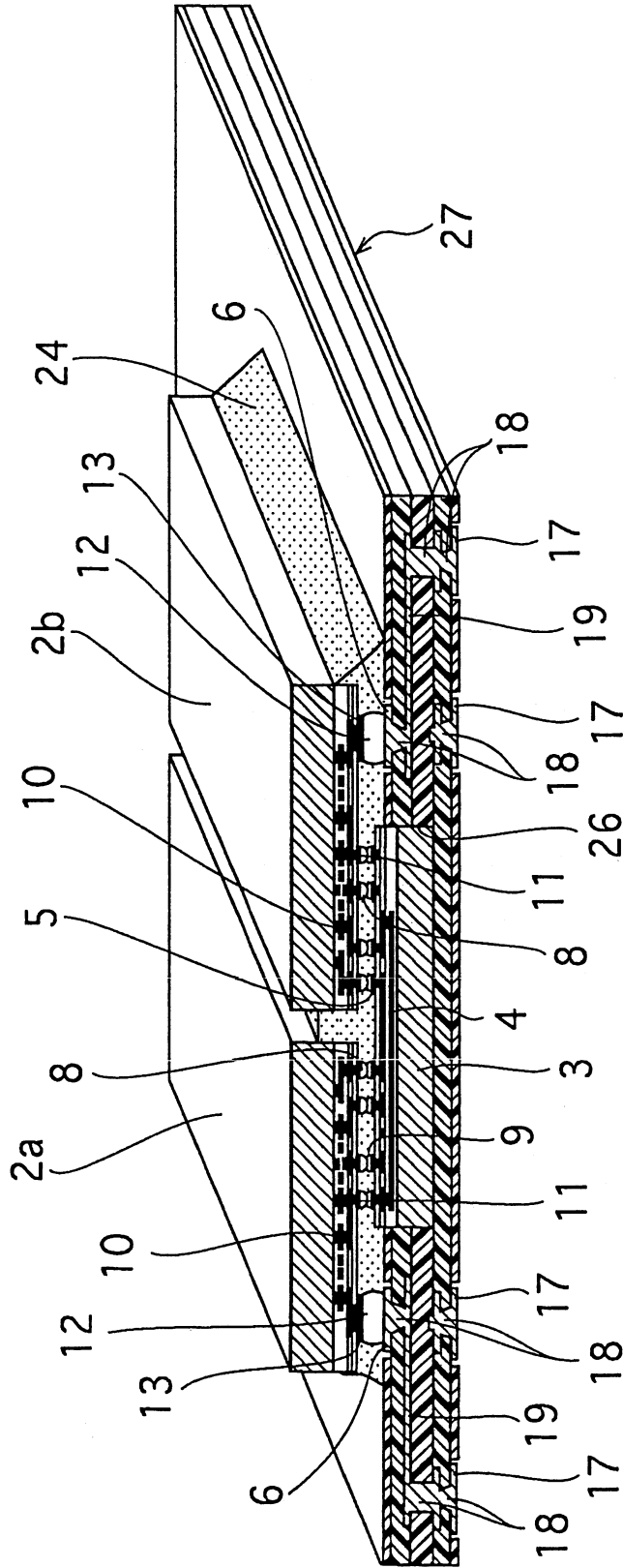


圖 9

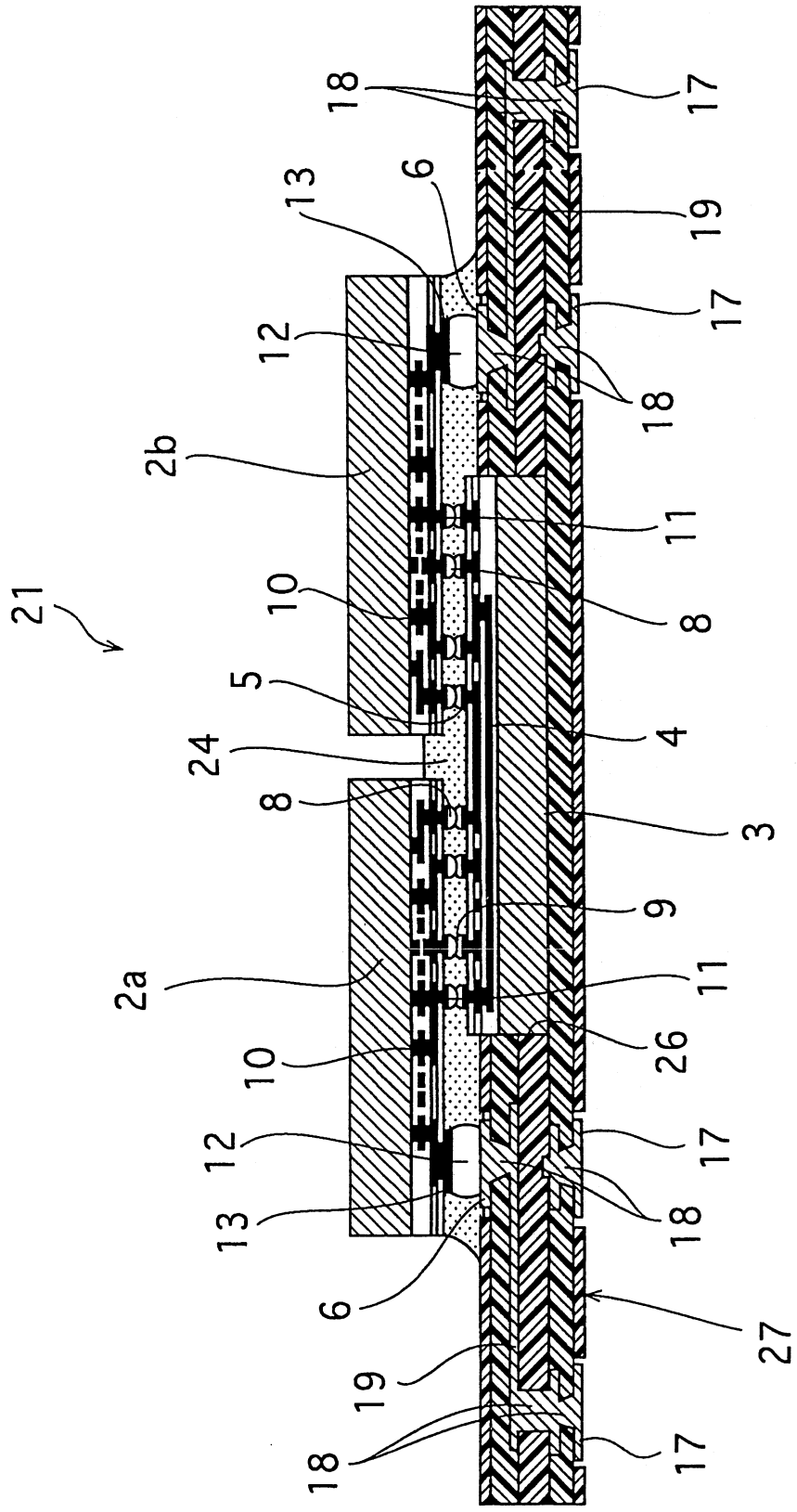


圖 10

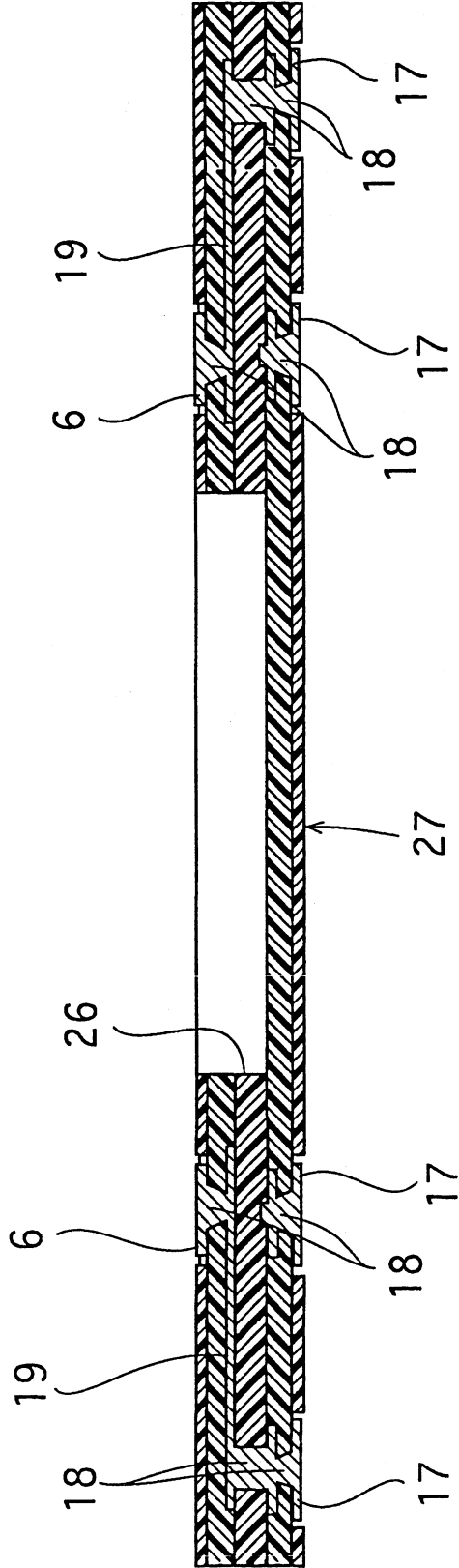


圖 11

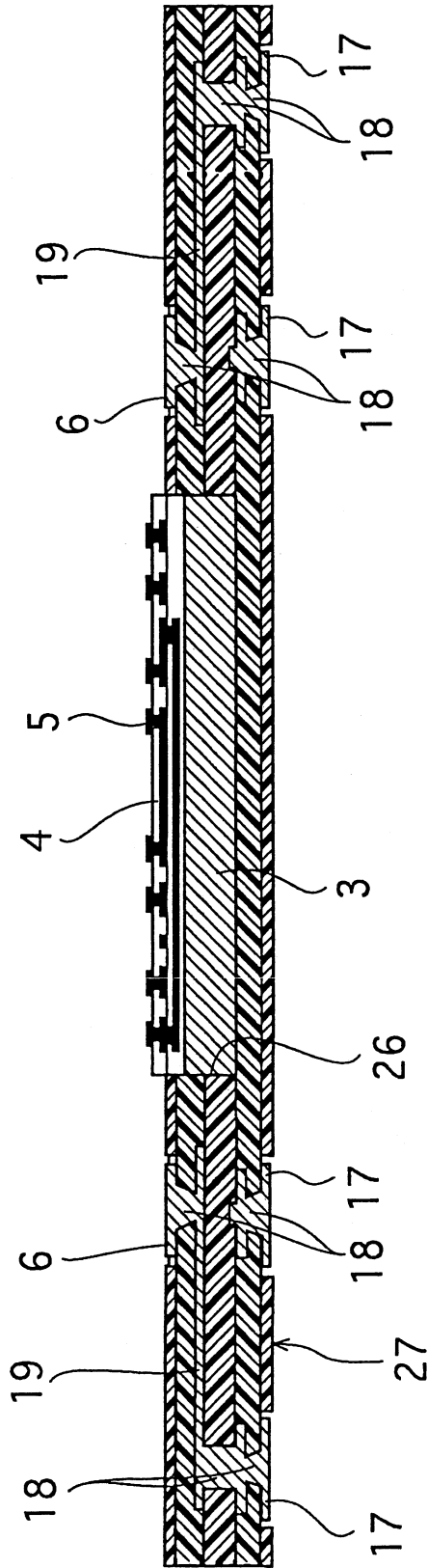


圖 12

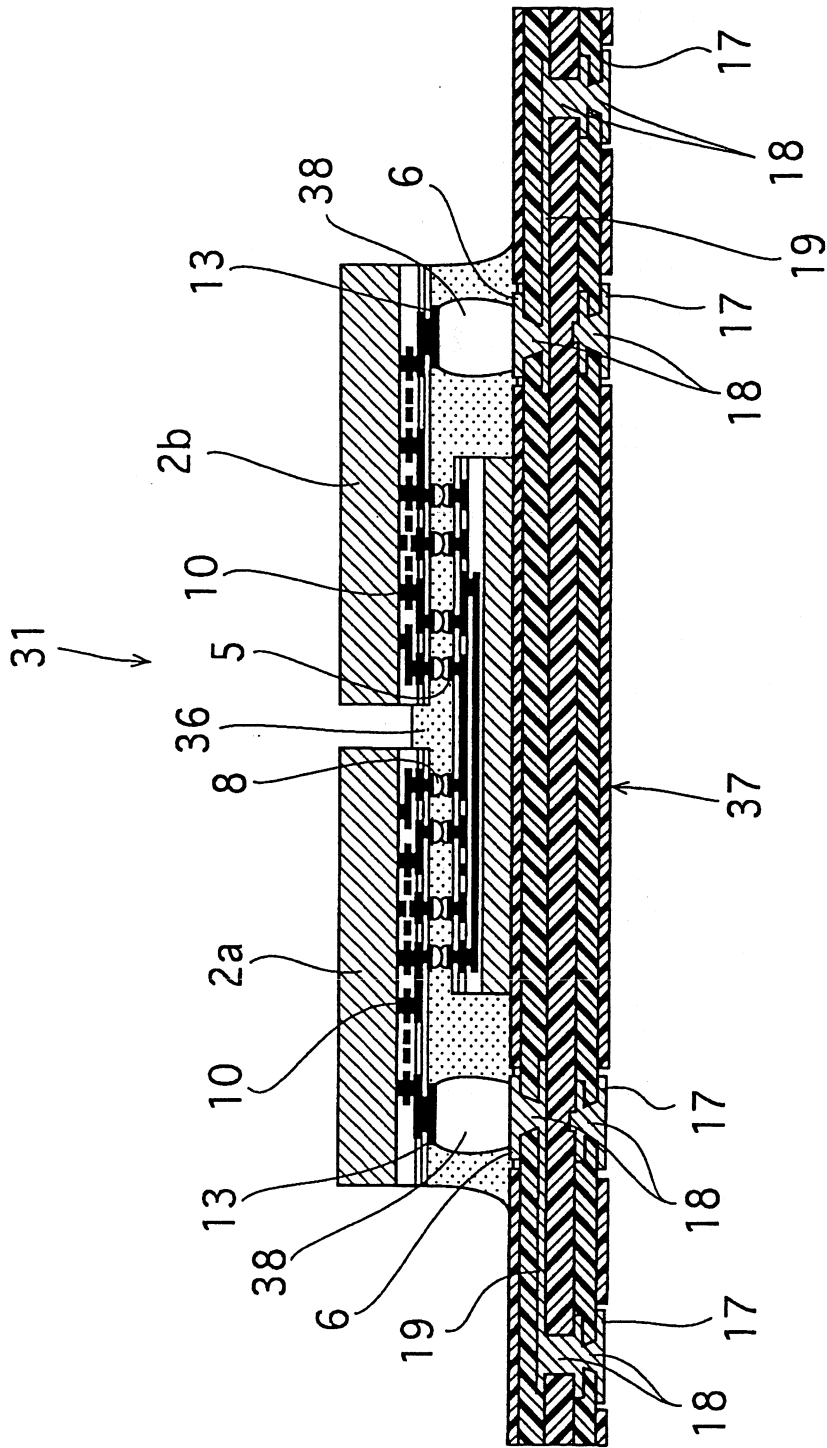


圖 13

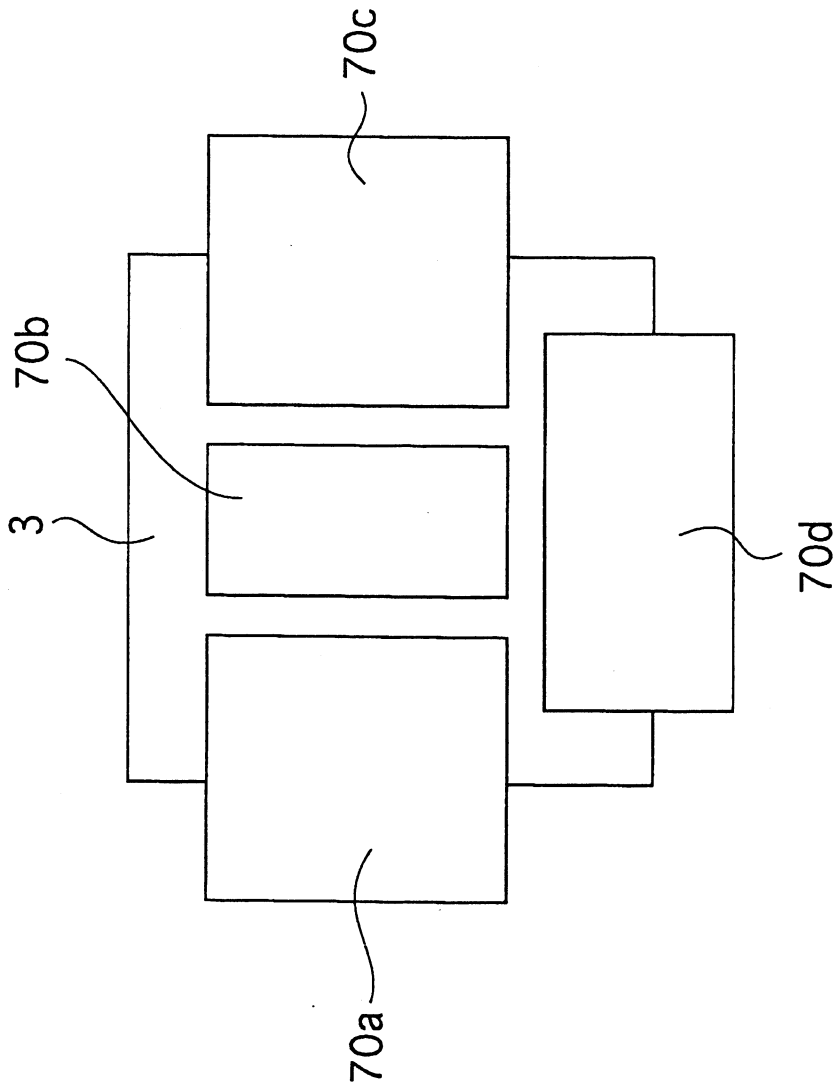


圖 14



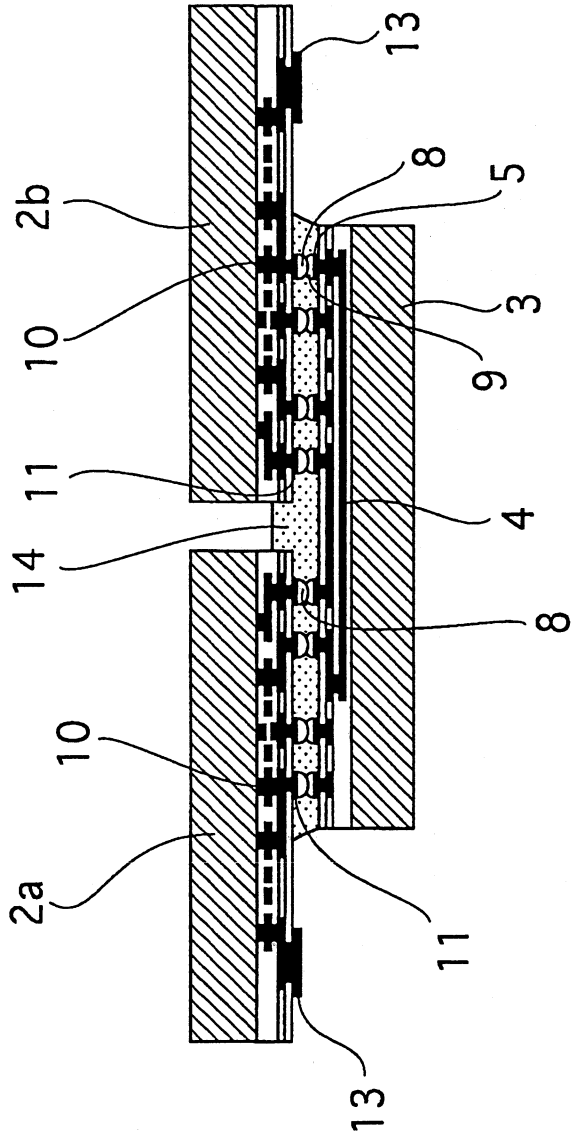


圖 15

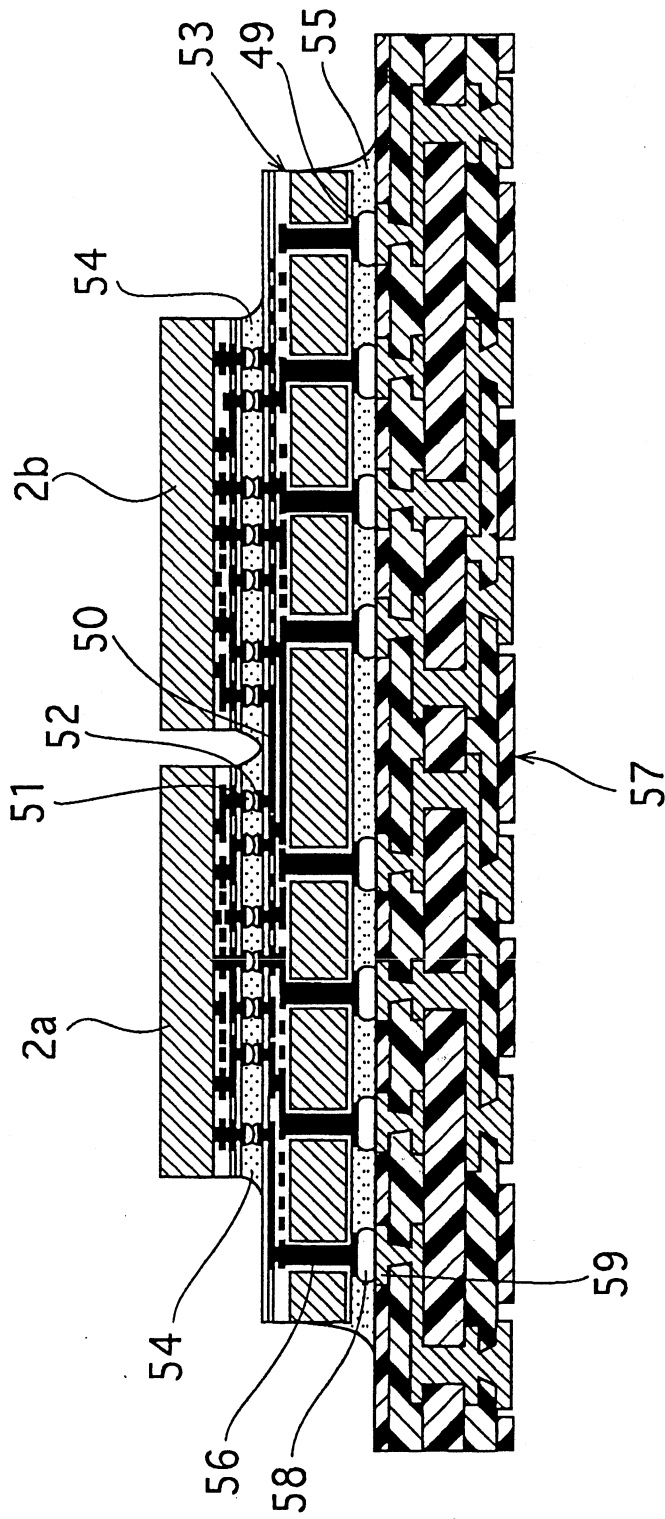


圖 16

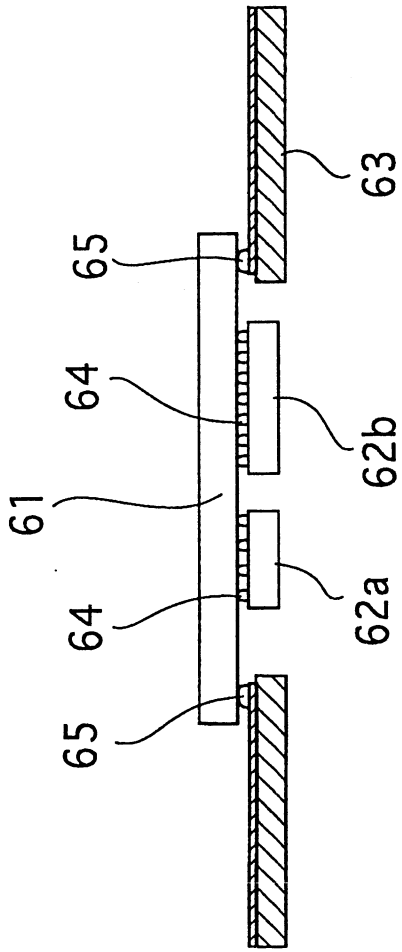


圖 17

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

1、2a、2b	半導體晶片
3	半導體基板
4	晶片間連接布線
5	晶片連接用墊
6	平台
7	布線基板
8	第1連接端子
9	第1連接端子
10	布線
11	墊
12	第2連接端子
13	外部連接用墊
15	底部填充樹脂材
16	凹處
17	平台
18	導體
19	布線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)