



(12)发明专利

(10)授权公告号 CN 108336198 B

(45)授权公告日 2019.08.02

(21)申请号 201711429144.9

H01L 33/32(2010.01)

(22)申请日 2017.12.26

H01L 33/00(2010.01)

(65)同一申请的已公布的文献号

申请公布号 CN 108336198 A

(56)对比文件

CN 104022197 A,2014.09.03,

CN 103824912 A,2014.05.28,

CN 101540364 A,2009.09.23,

(43)申请公布日 2018.07.27

(73)专利权人 华灿光电(浙江)有限公司

地址 322000 浙江省金华市义乌市苏溪镇

徐丰村(浙江四达工具有限公司内)

审查员 李介胜

(72)发明人 苏晨 王慧 肖扬 吕蒙普

胡加辉 李鹏

(74)专利代理机构 北京三高永信知识产权代理

有限责任公司 11138

代理人 徐立

(51)Int.Cl.

H01L 33/06(2010.01)

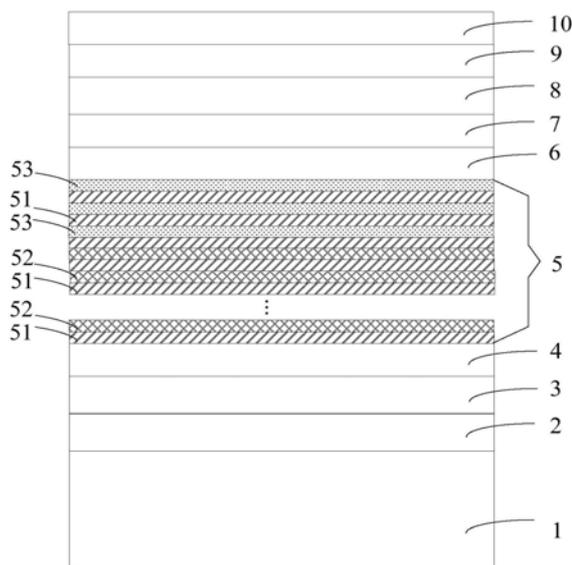
权利要求书1页 说明书6页 附图2页

(54)发明名称

一种发光二极管外延片及其制造方法

(57)摘要

本发明公开了一种发光二极管外延片及其制造方法,属于半导体技术领域。发光二极管外延片的多量子阱层包括多个周期交替生长的量子阱层和量子垒层,多量子阱层中最靠近插入层的1~5个量子垒层为第一量子垒层,第一量子垒层中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19} / \text{cm}^3$,Mg可以提高空穴的迁移能力,同时还可以拉高多量子阱层中靠近P型层处的导带能级,阻挡电子向P型层迁移,改善电子和空穴的有效分布,提高电子和空穴的复合效率,从而提高LED的发光效率。每个第一量子垒层的厚度为3~20nm,电子阻挡层的厚度为0~30nm。由于空穴的浓度增加,可以减少对电子的阻挡,从而可以减小电子阻挡层的厚度,减小引入电子阻挡层造成的阻碍空穴注入的影响。



1. 一种发光二极管外延片,所述发光二极管外延片包括衬底、以及依次层叠在所述衬底上的缓冲层、GaN层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层和P型接触层,所述多量子阱层包括多个周期交替生长的量子阱层和量子垒层,其特征在于,

所述多量子阱层中最靠近所述插入层的1~5个量子垒层为第一量子垒层,所述第一量子垒层中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,每个所述第一量子垒层的厚度为3~20nm,所述电子阻挡层的厚度为0~30nm;

所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,3个所述第一量子垒层的厚度均为12nm,所述电子阻挡层的厚度为20nm;

或者,所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,按照距离所述插入层由远到近的方向,3个所述第一量子垒层的厚度依次为8nm、16nm和12nm,所述电子阻挡层的厚度为0。

2. 根据权利要求1所述的发光二极管外延片,其特征在于,所述插入层为掺Mg的AlGaIn层,所述插入层中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。

3. 根据权利要求1所述的发光二极管外延片,其特征在于,所述电子阻挡层为AlGaIn层,或所述电子阻挡层为AlGaIn/GaN、AlGaIn/InGaIn、AlInGaIn/GaN或AlGaIn/InAlN超晶格结构。

4. 一种发光二极管外延片的制造方法,其特征在于,所述制造方法包括:

提供一衬底;

在衬底上依次生长缓冲层、GaN层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层和P型接触层,所述多量子阱层包括多个周期交替生长的量子阱层和量子垒层,所述多量子阱层中最靠近所述插入层的1~5个量子垒层为第一量子垒层,所述第一量子垒层中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,每个所述第一量子垒层的厚度为3~20nm,所述电子阻挡层的厚度为0~30nm;

所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,3个所述第一量子垒层的厚度均为12nm,所述电子阻挡层的厚度为20nm;

或者,所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,按照距离所述插入层由远到近的方向,3个所述第一量子垒层的厚度依次为8nm、16nm和12nm,所述电子阻挡层的厚度为0。

5. 根据权利要求4所述的制造方法,其特征在于,所述插入层为掺Mg的AlGaIn层,所述插入层中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。

6. 根据权利要求4所述的制造方法,其特征在于,所述电子阻挡层为AlGaIn层,或所述电子阻挡层为AlGaIn/GaN、AlGaIn/InGaIn、AlInGaIn/GaN或AlGaIn/InAlN超晶格结构。

一种发光二极管外延片及其制造方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种发光二极管外延片及其制造方法。

背景技术

[0002] LED(Light Emitting Diode,发光二极管)作为信息光电子新兴产业中极具影响力的新产品,具有体积小、使用寿命长、颜色丰富多彩、能耗低等特点,广泛应用于照明、显示屏、信号灯、背光源、玩具等领域。

[0003] 现有LED包括衬底和设置在衬底上的外延层,外延层包括依次层叠设置在衬底上的缓冲层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层以及P型接触层。其中,电子阻挡层的厚度为40~100nm。N型层和P型层多采用GaN材料制成,N型层中电子和P型层中的空穴在有源层复合发光。

[0004] 在实现本发明的过程中,发明人发现现有技术至少存在以下问题:

[0005] 由于在GaN材料中电子和空穴的迁移率相差近一个数量级,多数LED器件会在多量子阱有源层与P型层之间引入电子阻挡层来阻挡电子迁移,但由于材料间的极化及应力的作用,引入电子阻挡层会产生一个高的价带带阶阻碍空穴注入,除此之外,多数的多量子阱层中的量子垒层为本征垒层,本征垒层的价带能级明显高于掺杂的量子阱层的能带,空穴同样无法有效迁移。

发明内容

[0006] 为了解决现有技术中空穴的迁移能力低的问题,本发明实施例提供了一种发光二极管外延片及其制造方法。所述技术方案如下:

[0007] 一方面,本发明提供了一种发光二极管外延片,所述发光二极管外延片包括衬底、以及依次层叠在所述衬底上的缓冲层、GaN层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层和P型接触层,所述多量子阱层包括多个周期交替生长的量子阱层和量子垒层,

[0008] 所述多量子阱层中最靠近所述插入层的1~5个量子垒层为第一量子垒层,所述第一量子垒层中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,每个所述第一量子垒层的厚度为3~20nm,所述电子阻挡层的厚度为0~30nm;

[0009] 所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,3个所述第一量子垒层的厚度均为12nm,所述电子阻挡层的厚度为20nm;

[0010] 或者,所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,按照距离所述插入层由远到近的方向,3个所述第一量子垒层的厚度依次为8nm、16nm和12nm,所述电子阻挡层的厚度为0。

[0011] 进一步地,所述插入层为掺Mg的AlGaN层,所述插入层中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。

[0012] 进一步地,所述电子阻挡层为AlGaN层,或所述电子阻挡层为AlGaN/GaN、AlGaN/

InGaN、AlInGaN/GaN或AlGaN/InAlN超晶格结构。

[0013] 另一方面,本发明提供了一种发光二极管外延片的制造方法,所述制造方法包括:

[0014] 提供一衬底;

[0015] 在衬底上依次生长缓冲层、GaN层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层和P型接触层,所述多量子阱层包括多个周期交替生长的量子阱层和量子垒层,其特征在于,

[0016] 在衬底上依次生长缓冲层、GaN层、N型层、多量子阱层、插入层、低温P型层、电子阻挡层、高温P型层和P型接触层,所述多量子阱层包括多个周期交替生长的量子阱层和量子垒层,所述多量子阱层中最靠近所述插入层的1~5个量子垒层为第一量子垒层,所述第一量子垒层中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,每个所述第一量子垒层的厚度为3~20nm,所述电子阻挡层的厚度为0~30nm;

[0017] 所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,3个所述第一量子垒层的厚度均为12nm,所述电子阻挡层的厚度为20nm;

[0018] 或者,所述多量子阱层中最靠近所述插入层的3个量子垒层为第一量子垒层,按照距离所述插入层由远到近的方向,3个所述第一量子垒层的厚度依次为8nm、16nm和12nm,所述电子阻挡层的厚度为0。

[0019] 进一步地,所述插入层为掺Mg的AlGaIn层,所述插入层中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。

[0020] 进一步地,所述电子阻挡层为AlGaIn层,或所述电子阻挡层为AlGaIn/GaN、AlGaIn/InGaIn、AlInGaIn/GaN或AlGaIn/InAlN超晶格结构。

[0021] 本发明实施例提供的技术方案带来的有益效果是:

[0022] 通过在多量子阱层中最靠近电子阻挡层的1~5个量子垒层中掺杂Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,掺入少量的Mg可以提高空穴的迁移能力,同时还可以拉高多量子阱层中靠近P型层处的导带能级,阻挡电子向P型层迁移,改善电子和空穴的有效分布,提高电子和空穴的复合效率,从而提高LED的发光效率。且由于空穴的浓度增加,需要阻挡的电子数量减少,从而可以减小电子阻挡层的厚度,使得电子阻挡层的厚度为0~30nm,与现有技术中电子阻挡层的厚度为40~100nm相比,本发明中电子阻挡层的厚度大大减小,甚至可以去除电子阻挡层,不但减少了引入电子阻挡层造成的阻碍空穴注入的影响,而且大大降低了LED整体厚度。且多量子阱层中最靠近电子阻挡层的1~5个量子垒层的厚度分别为3~20nm,通过调节多量子阱层中最靠近电子阻挡层的1~5个量子垒层的厚度,可以调整电子在多量子阱层中的分布,从而提高电子和空穴的复合发光效率。

附图说明

[0023] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0024] 图1是本发明实施例提供的一种发光二极管外延片的结构示意图;

[0025] 图2是本发明实施例提供的一种发光二极管外延片的制造方法的流程图。

具体实施方式

[0026] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0027] 实施例一

[0028] 本发明实施例提供了一种发光二极管外延片,图1是本发明实施例提供的一种发光二极管外延片的结构示意图,如图1所示,该发光二极管外延片包括衬底1、以及依次层叠在衬底1的缓冲层2、GaN层3、N型层4、多量子阱层5、插入层6、低温P型层7、电子阻挡层8、高温P型层9、P型接触层10。多量子阱层5包括多个周期交替生长的量子阱层51和量子垒层52。

[0029] 多量子阱层5中最靠近插入层6的1~5个量子垒层为第一量子垒层53,也即多量子阱层5包括1~5个第一量子垒层53,每个第一量子垒层53中均掺杂有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,每个第一量子垒层53的厚度为3~20nm,电子阻挡层8的厚度为0~30nm。

[0030] 本发明实施例通过在多量子阱层中靠近电子阻挡层的1~5个量子垒层中掺杂Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$,掺入少量的Mg可以提高空穴的迁移能力,同时还可以拉高多量子阱层中靠近P型层处的导带能级,阻挡电子向P型层迁移,改善电子和空穴的有效分布,提高电子和空穴的复合效率,从而提高LED的发光效率。且由于空穴的浓度增加,需要阻挡的电子数量减少,从而可以减小电子阻挡层的厚度,使得电子阻挡层的厚度为0~30nm,与现有技术中电子阻挡层的厚度为40~100nm相比,本发明中电子阻挡层的厚度大大减小,甚至可以去除电子阻挡层,不但减少了引入电子阻挡层造成的阻碍空穴注入的影响,而且大大降低了LED整体厚度。且多量子阱层中靠近电子阻挡层的1~5个量子垒层的厚度分别为3~20nm,通过调节多量子阱层中靠近电子阻挡层的1~5个量子垒层的厚度,可以调整电子在多量子阱层中的分布,从而提高电子和空穴的复合发光效率。

[0031] 进一步地,插入层6为掺Mg的AlGaN层,插入层6中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。通过在插入层6中掺入少量的Mg,Mg可以提高空穴的注入,同时还可以拉高插入层6的导带能级,阻挡电子向低温P型层7迁移,提高电子和空穴的复合效率。

[0032] 优选地,插入层6的厚度为3~20nm。若插入层6的厚度低于3nm,则无法起到阻挡电子的作用,若插入层6的厚度高于20nm,则会影响空穴的有效注入。

[0033] 在本实施例中,每个第一量子垒层53的厚度可以根据实际情况设置为相同,或不同。通过调节每个第一量子垒层53的厚度,即可改变多量子阱层5中的载流子的分布,从而提高电子和空穴的复合效率。

[0034] 其中,多量子阱层5可以为包括8~10个周期交替生长的InGaN量子阱层和GaN量子垒层,其中每个InGaN量子阱层的厚度为2.5nm,每个GaN量子垒层的厚度为12nm。

[0035] 可选地,如图1所示,多量子阱层5中最靠近插入层6的3个量子垒层为第一量子垒层53,也即,多量子阱层5包括3个第一量子垒层,3个第一量子垒层53的厚度均为12nm,3个第一量子垒层53中均掺有Mg,且Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。此时电子阻挡层8的厚度为20nm。通过设置3个第一量子垒层53的厚度配合3个第一量子垒层53中Mg的掺杂浓度,可以使得电子阻挡层8的厚度为20nm,相比于现有技术中电子阻挡层8的厚度为40~100nm而言,电子阻挡层8的厚度大大减小,从而减少了引入电子阻挡层8造成的阻碍空穴注入的影响,降低了LED的整体厚度。

[0036] 此时,3个第一量子垒层53的厚度均为12nm,在生长3个第一量子垒层53的过程中

无需改变每个第一量子垒层53的厚度,便于发光二极管的制作。

[0037] 可选地,电子阻挡层8可以为AlGaIn层,或电子阻挡层8为AlGaIn/GaN、AlGaIn/InGaIn、AlInGaIn/GaN或AlGaIn/InAlN超晶格结构。

[0038] 优选地,多量子阱层5中最靠近插入层6的3个量子垒层为第一量子垒层53,也即多量子阱层5包括3个第一量子垒层,按照距离插入层由远到近的方向,3个第一量子垒层53的厚度依次为8nm、16nm和12nm,也即3个第一量子垒层53中,距离插入层6最近的1个第一量子垒层53的厚度为12nm,距离插入层6最远的1个第一量子垒层53的厚度为8nm,处在中间的1个第一量子垒层53的厚度为16nm。此时电子阻挡层8的厚度可以为0。也即该发光二极管外延片可以不设置电子阻挡层8,通过调整第一量子垒层的厚度,配合第一量子垒层中Mg的掺杂浓度,从而消除了引入电子阻挡层8造成的阻碍空穴注入的影响,大大降低了LED整体厚度。

[0039] 可选地,衬底1可以为蓝宝石衬底,厚度为630-650um。缓冲层2可以为ALN缓冲层,厚度为5~40nm。GaN层3的厚度为1um,N型层4为掺Si的GaN层,厚度为2um。

[0040] 可选地,低温P型层7为GaN层,生长厚度为30nm,高温P型层9为GaN层,厚度为20nm。P型接触层10为重掺杂Mg的GaN层,厚度为1.5nm。

[0041] 实施例二

[0042] 本发明实施例提供了一种发光二极管外延片的制造方法,适用于实施例一提供的一种发光二极管外延片,图2是本发明实施例提供的一种发光二极管外延片的制造方法的流程图,如图2所示,该制造方法包括:

[0043] 步骤201、对衬底进行预处理。

[0044] 可选地,衬底为蓝宝石,厚度为630~650um。

[0045] 在本实施例中,采用Veeco K465i or C4MOCVD (Metal Organic Chemical Vapor Deposition,金属有机化合物化学气相沉淀)设备实现LED的生长方法。采用高纯H₂(氢气)或高纯N₂(氮气)或高纯H₂和高纯N₂的混合气体作为载气,高纯NH₃作为N源,三甲基镓(TMGa)及三乙基镓(TEGa)作为镓源,三甲基铟(TMIn)作为铟源,硅烷(SiH₄)作为N型掺杂剂,三甲基铝(TMAI)作为铝源,二茂镁(CP₂Mg)作为P型掺杂剂。反应室压力为100~600torr。

[0046] 具体地,该步骤201包括:

[0047] 在氢气气氛下,高温处理衬底5~6min。其中,反应室温度为1000~1100℃,反应室压力控制在200~500torr。

[0048] 步骤202、在衬底上生长缓冲层。

[0049] 具体地,将蓝宝石衬底在PVD (Physical Vapor Deposition,物理气相沉淀)溅射炉内溅射一层5~40nm厚的ALN缓冲层。

[0050] 步骤203、在缓冲层上生长GaN层。

[0051] 在缓冲层生长结束后,将溅射有ALN缓冲层的衬底放入MOCVD设备内,将反应室温度升高至1040°,生长厚度为1-2um的高温不掺杂的GaN层。

[0052] 步骤204、在GaN层上生长N型层。

[0053] 在本实施例中,N型层为掺Si的GaN层,厚度为2um。生长N型层时,反应室温度为1000~1100℃,反应室压力控制在200~300torr。

[0054] 步骤205、在N型层上生长多量子阱层。

[0055] 在本实施例中,生长多量子阱层之前可以先生长应力释放层。

[0056] 具体地,应力释放层包括3个周期交替生长的InGaN阱层和GaN垒层,其中InGaN阱层的厚度为2nm,生长温度为850~900℃,生长压力为250torr。GaN垒层的厚度为30~50nm,生长温度为850~900℃,生长压力为250torr。

[0057] 应力释放层还包括6个周期交替生长的InGaN阱层和GaN垒层,其中InGaN阱层的厚度为2nm,生长温度为800~850℃,生长压力为250torr。GaN垒层的厚度为10~20nm,生长温度为800~850℃,生长压力为250torr。

[0058] 由于多量子阱层中包括InGaN量子阱层和GaN量子垒层,在GaN材料中生长高组分的InGaN量子阱层,会面临较高的晶格失配,从而影响多量子阱层的晶体质量,通过在生长多量子阱层之前生长应力释放层,可以使晶格弛豫到比较适合生长高组分InGaN量子阱层的状态。

[0059] 具体地,在生长完应力释放层之后生长多量子阱层,多量子阱层包括8-10个周期交替生长的InGaN量子阱层和GaN量子垒层,其中InGaN量子阱层的厚度为2.5nm,生长温度为780~820℃,生长压力为250torr。GaN量子垒层的厚度为12nm,生长温度为800~900℃,生长压力为250torr。在生长GaN量子垒层的最靠近插入层的3个量子垒层时,3个量子垒层均为第一量子垒层,3个第一量子垒层的厚度均为12nm,且3个第一量子垒层中均掺有Mg,Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。通过调整第一量子垒层的厚度,配合第一量子垒层中Mg的掺杂浓度,从而消除了引入电子阻挡层造成的阻碍空穴注入的影响,大大降低了LED整体厚度。

[0060] 此时,3个第一量子垒层的厚度均为12nm,在生长3个第一量子垒层的过程中无需改变每个第一量子垒层的厚度,便于发光二极管的制作。

[0061] 步骤206、在多量子阱有源层上生长插入层。

[0062] 在本实施例中,插入层为掺Mg的AlGaIn层,插入层中Mg的掺杂浓度为 $10^{17} \sim 10^{19}/\text{cm}^3$ 。插入层厚度为3~20nm。在生长插入层时,生长温度为800~900℃,生长压力为250torr。

[0063] 步骤207、在插入层上生长低温P型层。

[0064] 可选地,低温P型层为GaN层,厚度为30nm。生长温度为700~900℃,生长压力为150~250torr。

[0065] 步骤208、在低温P型层上生长电子阻挡层。

[0066] 可选地,电子阻挡层为AlGaIn层,厚度为20nm。生长温度为900~1000℃,生长压力为100~600torr。

[0067] 步骤209、在电子阻挡层上生长高温P型层。

[0068] 可选地,高温P型层为GaN层,厚度为20nm。生长温度为980℃,生长压力为100~600torr。

[0069] 步骤210、在高温P型层上生长P型接触层。

[0070] 可选地,P型接触层为重掺杂Mg的GaN层,厚度为1.5nm。生长温度为700~800℃,生长压力为300~600torr。

[0071] 在结束氮化镓基发光二极管外延片的生长之后,将反应室的温度降至

[0072] 800℃,在纯氮气氛围进行退火处理10min,然后降至室温,结束外延工艺

[0073] 生长。

[0074] 实施例三

[0075] 本发明实施例提供了一种氮化镓基发光二极管外延片的制造方法,在本实施例中,多量子阱层包括8-10个周期交替生长的InGaN量子阱层和GaN量子垒层,其中InGaN量子阱层的厚度为2.5nm,生长温度为780~820℃,生长压力为250torr。GaN量子垒层的厚度为12nm,生长温度为800~900℃,生长压力为250torr。在生长GaN量子垒层的最靠近插入层的3个量子垒层时,3个量子垒层均为第一量子垒层,按照距离插入层由远到近的方向,3个第一量子垒层的厚度依次为8nm、16nm和12nm,3个第一量子垒层中均掺有Mg,Mg的掺杂浓度为 $10^{17}\sim 10^{19}/\text{cm}^3$ 。此时电子阻挡层的厚度可以为0,也即在制作发光二极管外延片时可以不生长电子阻挡层,通过调整第一量子垒层的厚度,配合第一量子垒层中Mg的掺杂浓度,从而消除了引入电子阻挡层造成的阻碍空穴注入的影响,大大降低了LED整体厚度。

[0076] 以上仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

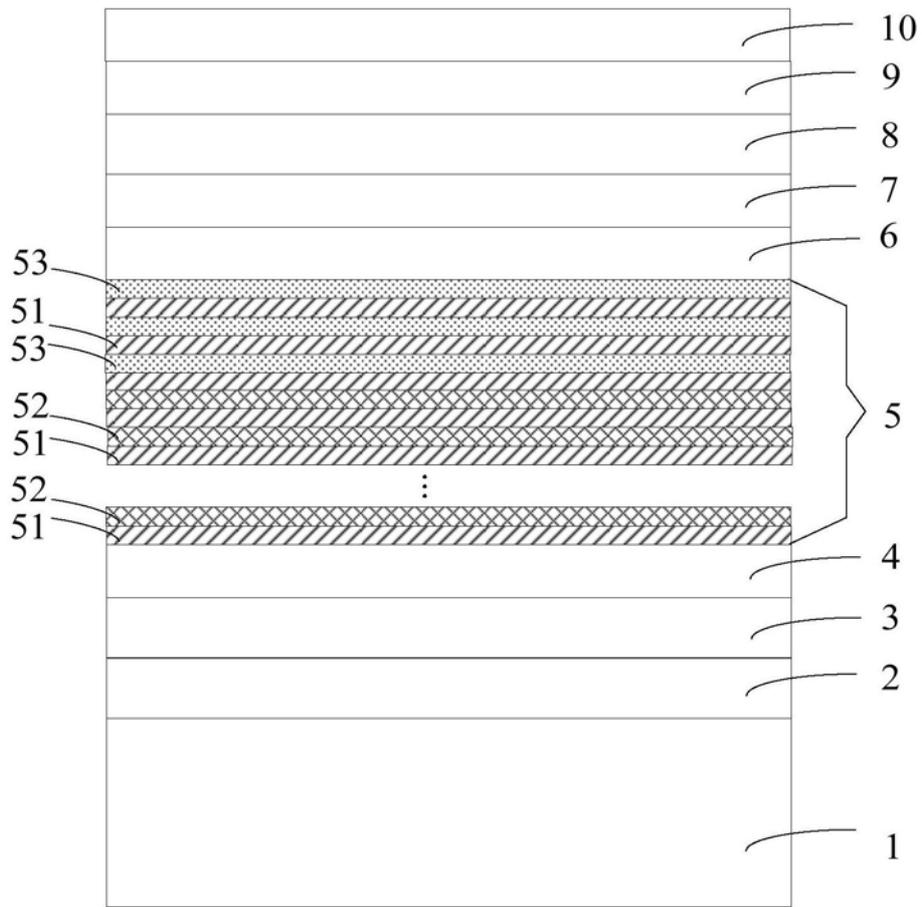


图1

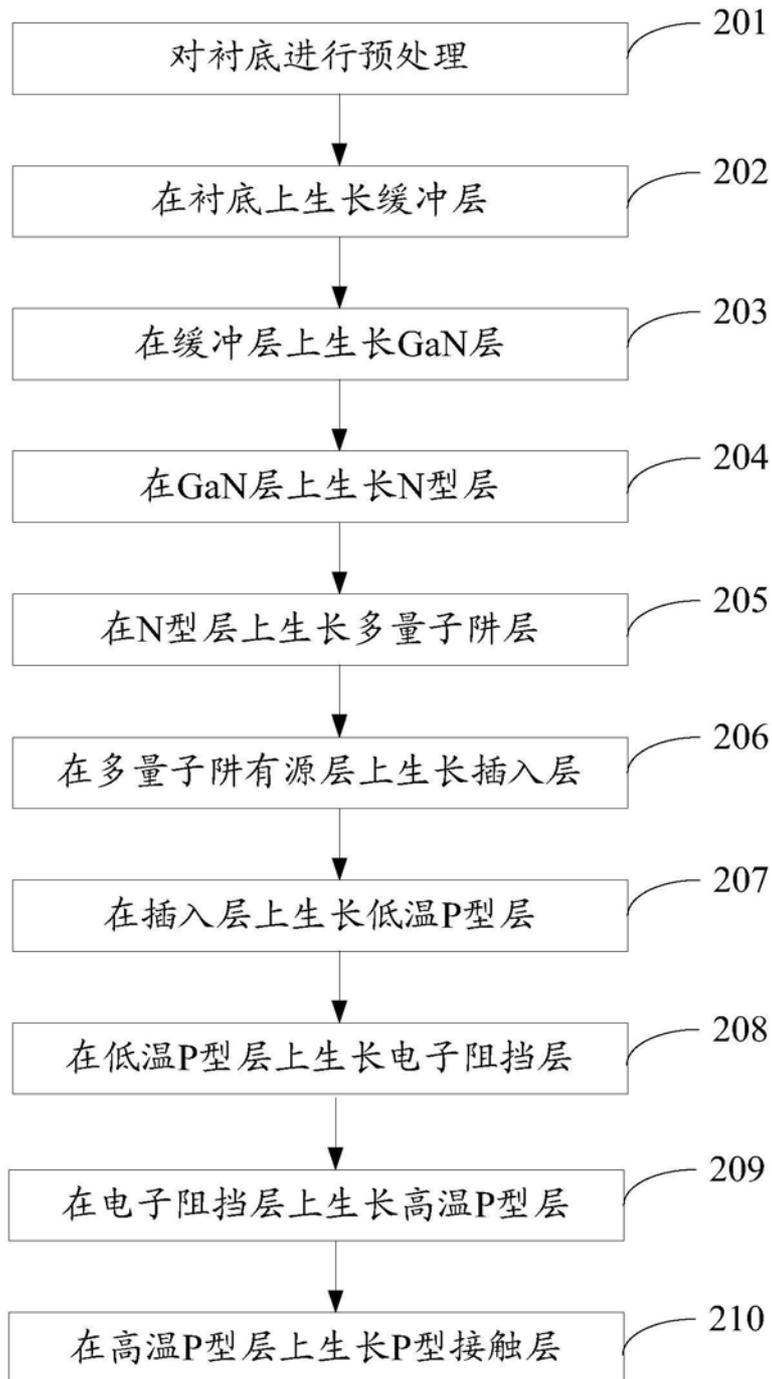


图2