



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I553655 B

(45)公告日：中華民國 105 (2016) 年 10 月 11 日

(21)申請案號：104106268

(22)申請日：中華民國 104 (2015) 年 02 月 26 日

(51)Int. Cl. : G11C8/08 (2006.01)

G11C11/401 (2006.01)

(30)優先權：2014/12/31 美國

14/586,995

(71)申請人：南亞科技股份有限公司(中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

桃園市龜山區華亞科技園區復興三路 669 號

(72)發明人：許庭碩 HSU, TINGSHUO (TW)；陳至仁 CHEN, CHIHJEN (TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 5955914

US 8797106B2

US 2008/0137429A1

US 2011/0085389A1

US 2013/0070540A1

審查人員：蔡明宏

申請專利範圍項數：18 項 圖式數：5 共 21 頁

(54)名稱

動態隨機存取記憶體字元線控制電路、動態隨機存取記憶體模組及動態隨機存取記憶體字元線電壓控制方法

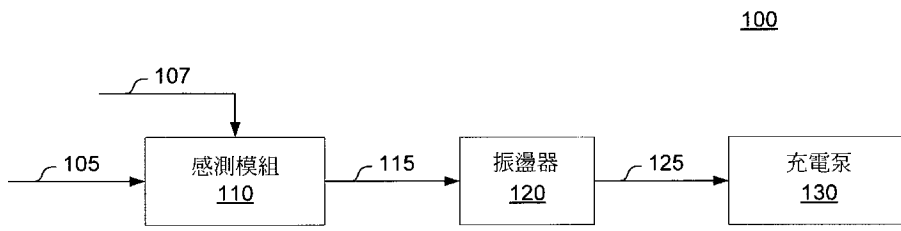
DRAM WORDLINE CONTROL CIRCUIT, DRAM MODULE AND METHOD OF CONTROLLING DRAM WORDLINE VOLTAGE

(57)摘要

本發明提供一種動態隨機存取記憶體(DRAM)字元線電壓控制電路，包括感測模組、振盪器及充電泵。感測模組係用以接收第一控制信號及對應於字元線電壓信號的回授信號，並根據產生第一控制信號及對應於字元線電壓信號的回授信號產生第二控制信號。振盪器電性連接至感測模組，用以接收第二控制信號並當第二控制信號被致能時輸出振盪信號。充電泵電性連接至振盪器，用以當振盪器輸出振盪信號時增加字元線電壓信號一電壓值。

A DRAM wordline voltage control circuit includes a sensing module, an oscillator and a charging pump. The sensing module is configured to receive a first control signal and a feedback signal corresponding to a wordline voltage signal, and generate a second control signal according to the first control signal and the feedback signal corresponding to the wordline voltage signal. The oscillator is electrically connected with the sensing module. The oscillator is configured to receive the second control signal and output an oscillating signal when the second control signal is enabled. The charging pump is electrically connected with the oscillator. The charging pump is configured to increase a voltage value of the wordline voltage signal when the oscillator outputs the oscillating signal.

指定代表圖：



符號簡單說明：

- 100 . . . DRAM 字元線電壓控制電路
- 105 . . . 第一控制信號
- 107 . . . 回授信號
- 110 . . . 感測模組
- 115 . . . 第一控制信號
- 120 . . . 振盪器
- 125 . . . 第二控制信號
- 130 . . . 充電泵

第 1 圖

104106 268
104.2.26

【發明摘要】

G11C 8/08

(2006.01)

G11C 14/01

(2006.01)

【中文發明名稱】 動態隨機存取記憶體字元線控制

電路、動態隨機存取記憶體模組及動態隨機存取記憶體字

元線電壓控制方法

公告本

【英文發明名稱】 DRAM WORDLINE CONTROL

CIRCUIT, DRAM MODULE AND METHOD OF

CONTROLLING DRAM WORDLINE VOLTAGE

【中文】

本發明提供一種動態隨機存取記憶體(DRAM)字元線電壓控制電路，包括感測模組、振盪器及充電泵。感測模組係用以接收第一控制信號及對應於字元線電壓信號的回授信號，並根據產生第一控制信號及對應於字元線電壓信號的回授信號產生第二控制信號。振盪器電性連接至感測模組，用以接收第二控制信號並當第二控制信號被致能時輸出振盪信號。充電泵電性連接至振盪器，用以當振盪器輸出振盪信號時增加字元線電壓信號一電壓值。

【英文】

A DRAM wordline voltage control circuit includes a sensing module, an oscillator and a charging pump. The sensing module is configured to receive a first control signal and a feedback signal corresponding to a wordline voltage signal, and

generate a second control signal according to the first control signal and the feedback signal corresponding to the wordline voltage signal. The oscillator is electrically connected with the sensing module. The oscillator is configured to receive the second control signal and output an oscillating signal when the second control signal is enabled. The charging pump is electrically connected with the oscillator. The charging pump is configured to increase a voltage value of the wordline voltage signal when the oscillator outputs the oscillating signal.

【指定代表圖】：第〔1〕圖

【代表圖之符號簡單說明】

100：DRAM字元線電壓控制電路

105：第一控制信號

107：回授信號

115：第一控制信號

125：第二控制信號

110：感測模組

120：振盪器

130：充電泵

【發明說明書】

【中文發明名稱】 動態隨機存取記憶體字元線控制
電路、動態隨機存取記憶體模組及動態隨機存取記憶體字
元線電壓控制方法

【英文發明名稱】 DRAM WORDLINE CONTROL
CIRCUIT, DRAM MODULE AND METHOD OF
CONTROLLING DRAM WORDLINE VOLTAGE

【技術領域】

【0001】 本發明是關於動態隨機存取記憶體(DRAM)模
組，特別是關於一種DRAM字元線控制電路。

【先前技術】

【0002】 藉由低成本及高密度的優勢，DRAM被廣泛地
使用於各式電子產品(例如：筆記型電腦、平板電腦及智慧
型手機)。然而，爲了維持存取其中的資料，DRAM需要頻
繁地(每秒數百次)被更新。因此，包含DRAM模組的電子產
品將需要額外的功耗。

【0003】 爲了達到行動裝置對低功耗的要求，如何降低
DRAM模組的功耗實屬當前重要研發課題之一。

【發明內容】

【0004】 根據本發明之一實施例，本揭露內容係關於一
種DRAM字元線電壓控制電路。DRAM字元線電壓控制電
路包括感測模組、振盪器以及充電泵。感測模組係用以接收

第一控制信號及對應於字元線電壓信號的回授信號，並根據第一控制信號及對應於字元線電壓信號的回授信號產生第二控制信號。振盪器電性連接至感測模組。振盪器係用以接收第二控制信號，並當第二控制信號被致能時輸出振盪信號。充電泵電性連接至振盪器。充電泵係用以當振盪器輸出振盪信號時增加字元線電壓信號之一電壓。

【0005】 根據本發明之一實施例，本揭露內容係關於一種DRAM字元線電壓控制方法，包含以下步驟：接收第一控制信號及對應於字元線電壓信號的回授信號；依據第一控制信號及對應於字元線電壓信號的回授信號，產生第二控制信號；接收第二控制信號，並於第二控制信號被致能時輸出振盪信號；以及當振盪器輸出振盪信號時，增加字元線電壓信號的電壓值。

【0006】 依據本發明之另一實施例，本揭露內容係關於一種DRAM模組。DRAM模組包括感測模組、振盪器及充電泵。感測模組用以接收第一控制信號及對應於字元線電壓信號的回授信號，並依據第一控制信號及對應於字元線電壓信號的回授信號產生第二控制信號。振盪器電性連接至感測模組。振盪器係用以接收第二控制信號並於第二控制信號被致能時輸出一振盪信號。充電泵電性連接至振盪器。充電泵係用以當振盪器輸出振盪信號時增加字元線電壓信號之電壓值。

【0007】 藉由本發明所揭露之技術，DRAM字元線電壓控制電路的功耗可被降低25.8%。如此一來，DRAM中

IDD6的功耗亦可有效地被降低。

【0008】 以下將以實施方式對上述之說明作詳細的描述，並對本發明之技術方案提供進一步的解釋。

【圖式簡單說明】

【0009】 爲了讓本發明之上述和其他目的、特徵、優點與實施例更明顯易懂，所附圖示之說明如下：

第1圖係依照本發明一實施例所繪製的DRAM字元線電壓控制電路之示意圖；

第2圖係依照本發明一實施例所繪製的DRAM字元線電壓控制電路之示意圖；

第3圖係字元線電壓及傳統DRAM字元線電壓控制電路中用以增加字元線電壓之電壓值的振盪器輸出信號之示意圖；

第4圖係依照本發明一實施例所繪製的第一控制信號、字元線電壓及用以增加字元線電壓之電壓值的振盪器輸出信號之示意圖；以及

第5圖係依照本發明一實施例所繪製的DRAM字元線控制方法之流程圖。

【實施方式】

【0010】 下文係舉實施例配合所附圖式作詳細說明，但所提供之實施例並非用以限制本發明所涵蓋的範圍，而結構操作之描述非用以限制其執行之順序，任何由元件重新組合

之結構，所產生具有均等功效的裝置，皆為本發明所涵蓋的範圍。此外，圖式僅以說明為目的，並未依照原尺寸作圖。為使便於理解，下述說明中相同元件將以相同之符號標示來說明。

【0011】 關於本文中所使用之『第一』、『第二』、...等，並非特別指稱次序或順位的意思，亦非用以限定本發明，其僅僅是為區別以相同技術用語描述的元件或操作而已。

【0012】 另外，關於本文中所使用之『耦接』或『連接』，均可指二或多個元件相互直接作實體或電性接觸，或是相互間接作實體或電性接觸，亦可指二或多個元件相互操作或動作。

【0013】 請參照第1圖。第1圖係根據本揭露內容一實施例所繪示的DRAM字元線電壓控制電路100之示意圖。在此實施例中，DRAM字元線電壓控制電路100係置於DRAM模組(未繪示)中。DRAM字元線電壓控制電路100包括感測模組110、振盪器120及充電泵130。

【0014】 感測模組110係用以接收第一控制信號105及對應於字元線電壓信號(未繪示)的回授信號107，並根據第一控制信號105及對應於字元線電壓信號的回授信號107產生第二控制信號115。

【0015】 振盪器120電性連接至感測模組110。振盪器120用以接收第二控制信號115，並當第二控制信號115被致能時輸出一振盪信號125。振盪信號125可以是週期脈

波，但不以此為限。

【0016】 充電泵130電性連接至振盪器120。充電泵130用以當振盪器120輸出振盪信號125時增加上述字元線電壓信號之電壓值。

【0017】 在本揭露內容一實施例中，感測模組110進一步用以當第一控制信號105被致能且對應於字元線電壓信號的回授信號107小於一臨界電壓時，致能第二控制信號115。臨界電壓可以是3.2伏特，但不以此為限。因此，當第一控制信號105被致能，且對應於字元線電壓信號的回授信號107小於臨界電壓時，由振盪器120接收的第二控制信號115被致能。如此一來，振盪器120輸出振盪信號125，且充電泵130增加字元線電壓信號之電壓值。

【0018】 在本揭露內容一實施例中，第一控制信號於至少一個DRAM更新週期的期間被致能。在本揭露內容另一實施例中，第一控制信號被致能長達至少一個DRAM更新週期中的一段期間。如此一來，倘若於至少一個DRAM更新週期的期間，對應於字元線電壓信號的回授信號107小於臨界電壓，則感測模組110致能第二控制信號115，且充電泵130增加字元線電壓信號之電壓值。

【0019】 在本揭露內容一實施例中，第一控制信號105於至少一個DRAM自我更新週期的期間被禁能。在本揭露內容另一實施例中，第一控制信號105被禁能長達至少一個DRAM自我更新週期中的一段期間。因此，即使於至少一個DRAM自我更新週期的期間，對應於字元線電壓信號的

回授信號107小於臨界電壓，振盪器120亦不會輸出振盪信號，且充電泵也不會增加字元線電壓信號的電壓值。如此一來，於至少一個DRAM自我更新週期的期間中，增加字元線電壓信號電壓所需的功耗可被節約。

【0020】請參照第2圖。第2圖係依照本發明一實施例所繪製的DRAM字元線電壓控制電路110a之示意圖。與繪製於第1圖的DRAM字元線電壓控制電路110相比，DRAM字元線電壓控制電路110a進一步包括控制模組210。

【0021】控制模組210電性連接至感測模組110。控制模組210係用以產生第一控制信號105。

【0022】在本揭露內容一實施例中，控制模組210進一步用以於至少一個DRAM更新週期的期間致能第一控制信號105。在本揭露內容另一實施例中，控制模組210係用以於至少一個DRAM自我更新週期的期間禁能第一控制信號105。

【0023】請參照第3圖。第3圖係繪示字元線電壓300及傳統DRAM字元線電壓控制電路中用以增加字元線電壓300之電壓值的振盪器所輸出的信號310之示意圖。

【0024】在第3圖中時間週期5微秒至25微秒區間，振盪器輸出8次振盪信號(第3圖箭頭所指處)，且字元線電壓300的電壓值因而增加8次。

【0025】請參照第4圖。第4圖係依照本發明一實施例所繪製的第一控制信號420、字元線電壓400及用以增加字元線電壓400之電壓值的振盪器輸出的信號410之示意圖。

【0026】 在第4圖中時間週期5微秒至25微秒區間，第1控制信號於時間週期A、B間被致能(時間週期A、B區間可以是DRAM更新週期的期間或DRAM更新週期中的一段時間)。如此一來，振盪器僅輸出2次振盪信號(第4圖箭頭所指處)，且字元線電壓400的電壓值僅因而增加2次。根據實驗結果，DRAM字元線電壓控制電路的功耗可被降低25.8%。

【0027】 請參照第5圖。第5圖係依照本發明一實施例所繪製的DRAM字元線控制方法之流程圖。DRAM字元線電壓控制方法可以用第1圖的DRAM字元線電壓控制電路100實現，但不以此為限。為了方便及清楚說明起見，在此假設DRAM字元線控制方法係由第1圖的DRAM字元線電壓控制電路100實現。

【0028】 在步驟502中，感測模組110接收第一控制信號105及對應於字元線電壓信號的回授信號107。在步驟504中，感測模組110根據第一控制信號105及對應於字元線電壓信號的回授信號107產生第二控制信號115。

【0029】 在步驟506中，振盪器120接收第二控制信號115，並當第二控制信號115被致能時，輸出振盪信號125。在步驟508中，當振盪器120輸出振盪信號125時，充電泵130增加字元線電壓信號之電壓值。

【0030】 藉由本發明所揭露之技術，DRAM字元線電壓控制電路的功耗可被降低25.8%。如此一來，可有效降低DRAM模組中IDD6的功耗。

【0031】 儘管本文已參閱附圖詳細描述了本發明之說明

性實施例，但應瞭解，本發明並不限於彼等相同的實施例。在不脫離由所附申請專利範圍定義之本發明之範疇及精神的情況下，熟習此項技術者可對本發明進行各種改變及修改。

【符號說明】

【0032】 100、100a：DRAM字元線電壓控制電路

105：第一控制信號

107：回授信號

110：感測模組

115：第二控制信號

120：振盪器

125：振盪信號

130：充電泵

210：控制模組

300：字元線電壓

310：信號

400：字元線電壓

410：信號

420：第一控制信號

502~508：步驟

【發明申請專利範圍】

【第 1 項】一種動態隨機存取記憶體字元線電壓控制電路，包括：

一感測模組，用以接收一第一控制信號及對應於一字元線電壓信號之一回授信號，並依據該第一控制信號及對應於該字元線電壓信號的該回授信號產生一第二控制信號；

一振盪器，電性連接至該感測模組，該振盪器用以接收該第二控制信號並當該第二控制訊號被致能時輸出一振盪信號；

一充電泵，電性連接至該振盪器，該充電泵用以當該振盪器輸出該振盪信號時增加該字元線電壓信號之一電壓值，

其中該感測模組更用以於該第一控制信號被致能且對應於該字元線電壓信號的該回授信號小於一臨界電壓時，致能該第二控制信號。

【第 2 項】如請求項 1 所述的動態隨機存取記憶體字元線電壓控制電路，其中該第一控制信號係於至少一個動態隨機存取記憶體更新週期的期間被致能。

【第 3 項】如請求項 1 所述的動態隨機存取記憶體字元線電壓控制電路，其中該第一控制信號被致能長達至少一個動態隨機存取記憶體更新週期中的一段時間。

【第 4 項】如請求項 1 所述的動態隨機存取記憶體字元線電壓控制電路，其中該第一控制信號係於至少一個動態隨機存取記憶體自我更新週期的期間被禁能。

【第 5 項】如請求項 1 所述的動態隨機存取記憶體字元線電壓控制電路，其中該第一控制信號被禁能長達至少一個動態隨機存取記憶體自我更新週期中的一段時間。

【第 6 項】如請求項 1 所述的動態隨機存取記憶體字元線電壓控制電路，其進一步包括：

一控制模組，電性連接至該感測模組，該控制模組用以產生該第一控制信號。

【第 7 項】如請求項 4 所述的動態隨機存取記憶體字元線電壓控制電路，其中該控制模組進一步用以於至少一個動態隨機存取記憶體更新週期的期間致能該第一控制信號。

【第 8 項】如請求項 7 所述的動態隨機存取記憶體字元線電壓控制電路，其中該控制模組係用以於至少一個動態隨機存取記憶體自我更新週期的期間禁能該第一控制信號。

【第 9 項】一種控制動態隨機存取記憶體字元線電壓的方法，包括：

接收一第一控制信號及對應於一字元線電壓信號之一回授信號；

依據該第一控制信號及對應於該字元線電壓信號的該回授信號，產生一第二控制信號，更包括：

當該第一控制信號被致能且對應於該字元線電壓信號的該回授信號小於一臨界電壓時，致能該第二控制信號；

接收該第二控制信號，並當該第二控制信號被致能時，輸出一振盪信號；以及

當該振盪器輸出該振盪信號時，增加該字元線電壓信號之一電壓值。

【第 10 項】如請求項 9 所述的方法，其中該第一控制信號係於至少一個動態隨機存取記憶體更新週期的期間被致能。

【第 11 項】如請求項 9 所述的方法，其中該第一控制信號係於至少一個動態隨機存取記憶體自我更新週期的期間被禁能。

【第 12 項】一種動態隨機存取記憶體模組，包括：
一感測模組，用以接收一第一控制信號及對應於一字元線電壓信號之一回授信號，並依據該第一控制信號及對應於該字元線電壓信號的該回授信號產生一第二控制信號；

一振盪器，電性連接至該感測模組，該振盪器用以接收該第二控制信號，並當該第二控制信號被致能時輸出一振盪信號；以及

一充電泵，電性連接至該振盪器，該充電泵用以當該振盪器輸出該振盪信號時增加該字元線電壓信號之一電壓值。

【第 13 項】如請求項 12 所述的動態隨機存取記憶體模組，其中該感測模組進一步用以當該第一控制信號被致能且對應於該字元線電壓信號的該回授信號小於一臨界電壓時，致能該第二控制信號。

【第 14 項】如請求項 13 所述的動態隨機存取記憶體模組，其中該第一控制信號係於至少一個動態隨機存取記憶體更新週期的期間被致能。

【第 15 項】如請求項 13 所述的動態隨機存取記憶體模組，其中該第一控制信號於至少一個動態隨機存取記憶體自我更新週期的期間被禁能。

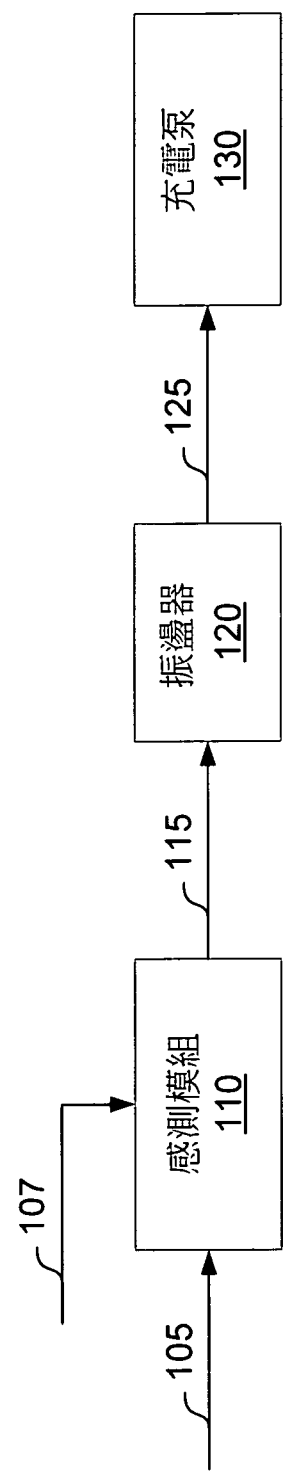
【第 16 項】如請求項 13 所述的動態隨機存取記憶體模組，其進一步包括：

一控制模組，電性連接至該感測模組，該控制模組用以產生該第一控制信號。

【第 17 項】如請求項 16 所述的動態隨機存取記憶體模組，其中該控制模組進一步用以於至少一個動態隨機存取記憶體更新週期的期間致能該第一控制信號。

【第 18 項】如請求項 16 所述的動態隨機存取記憶體模組，其中該控制模組用以於至少一個動態隨機存取記憶體自我更新週期的期間禁能該第一控制信號。

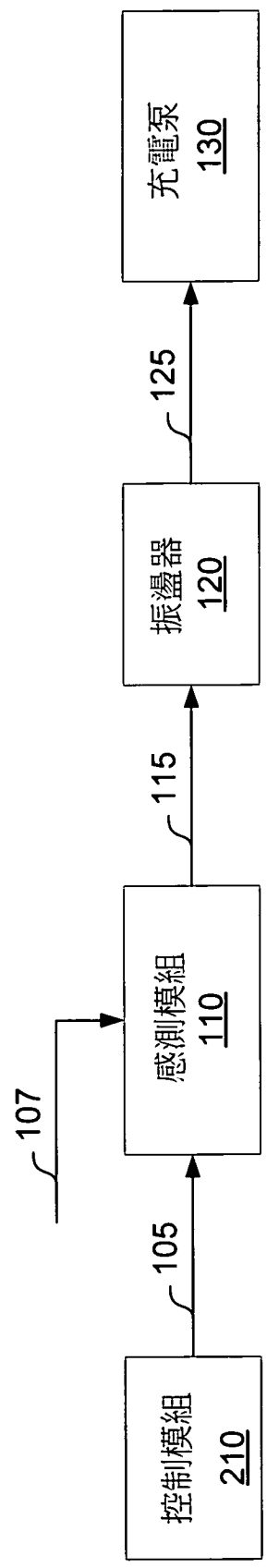
100



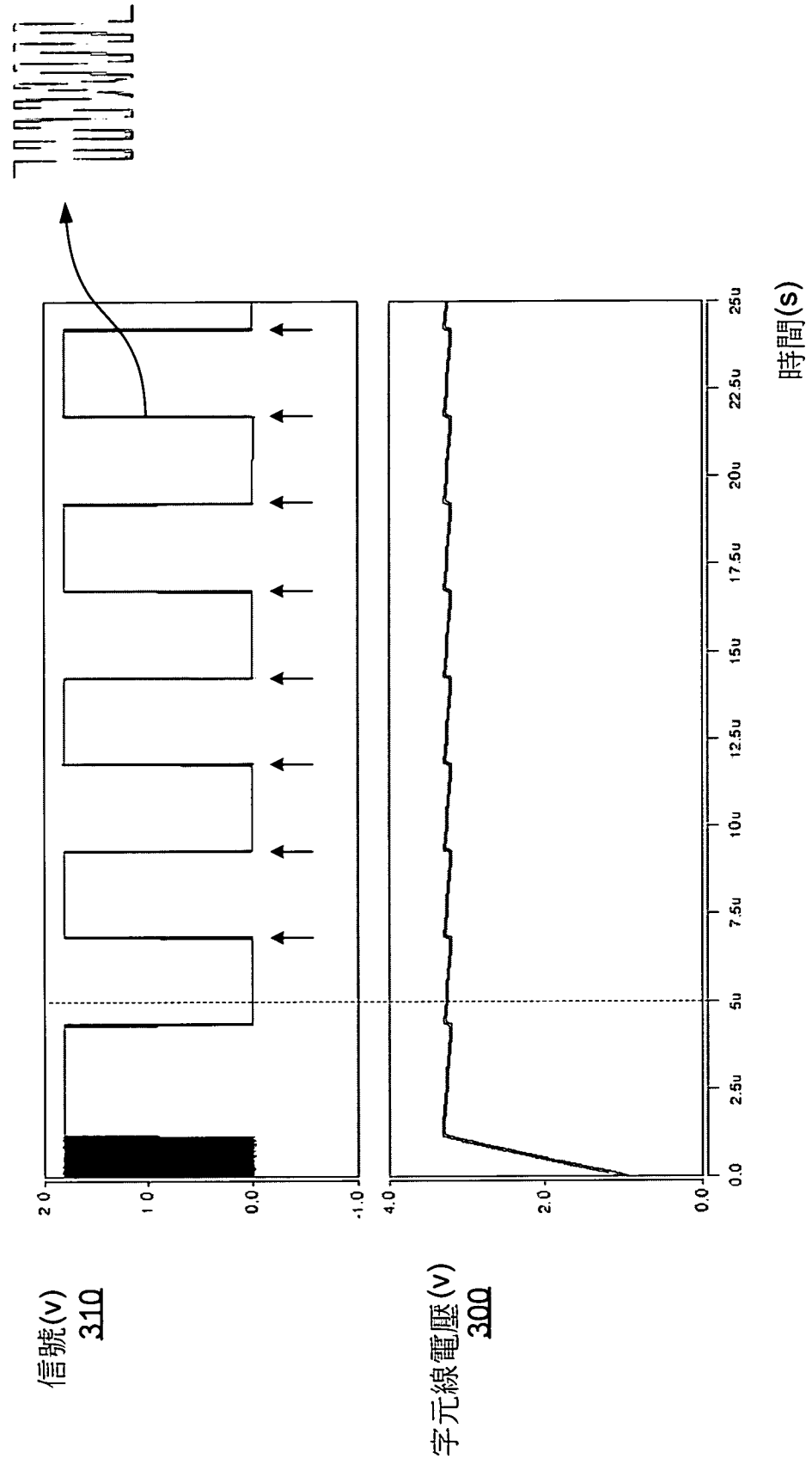
圖式

第 1 圖

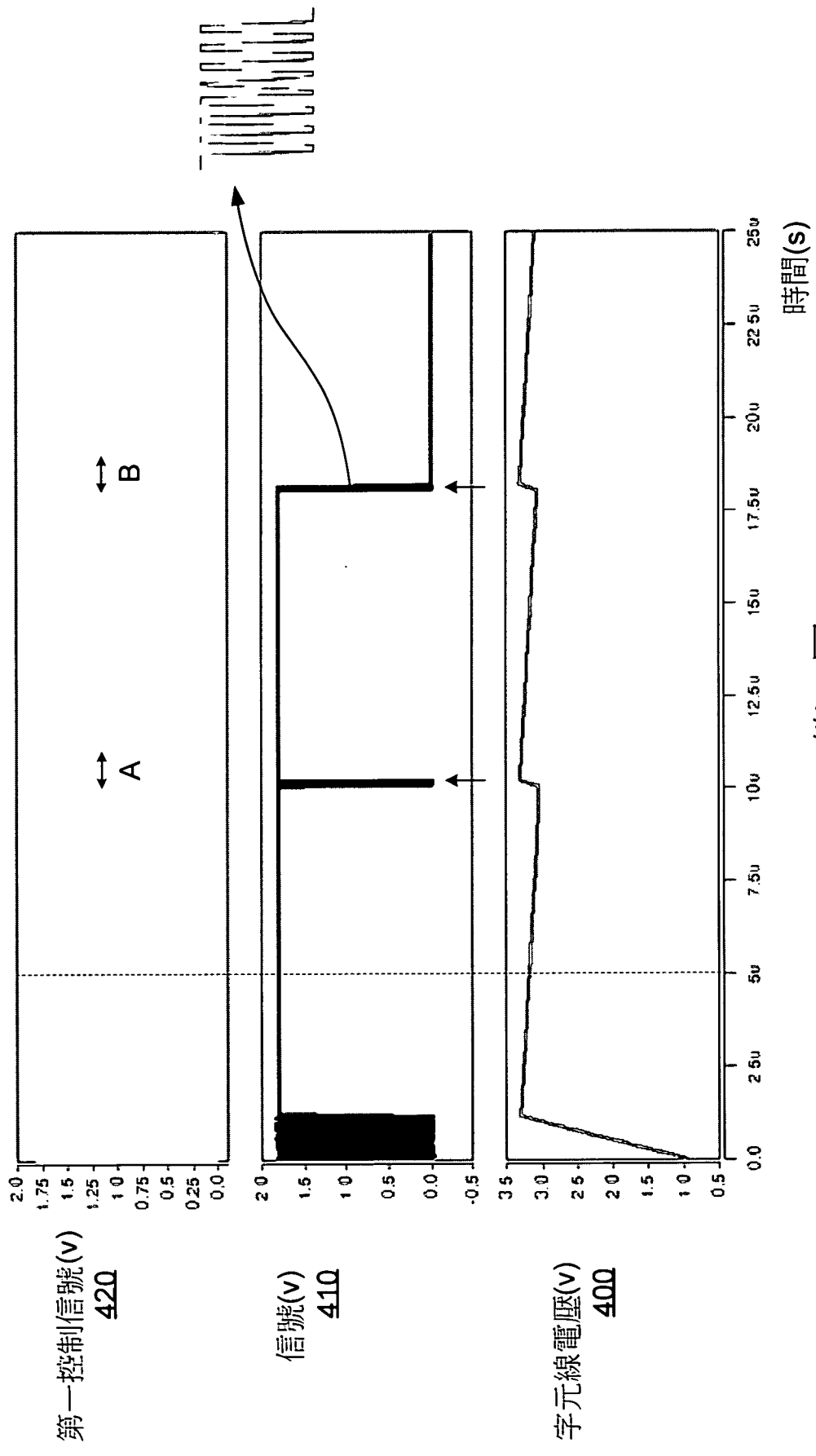
100a



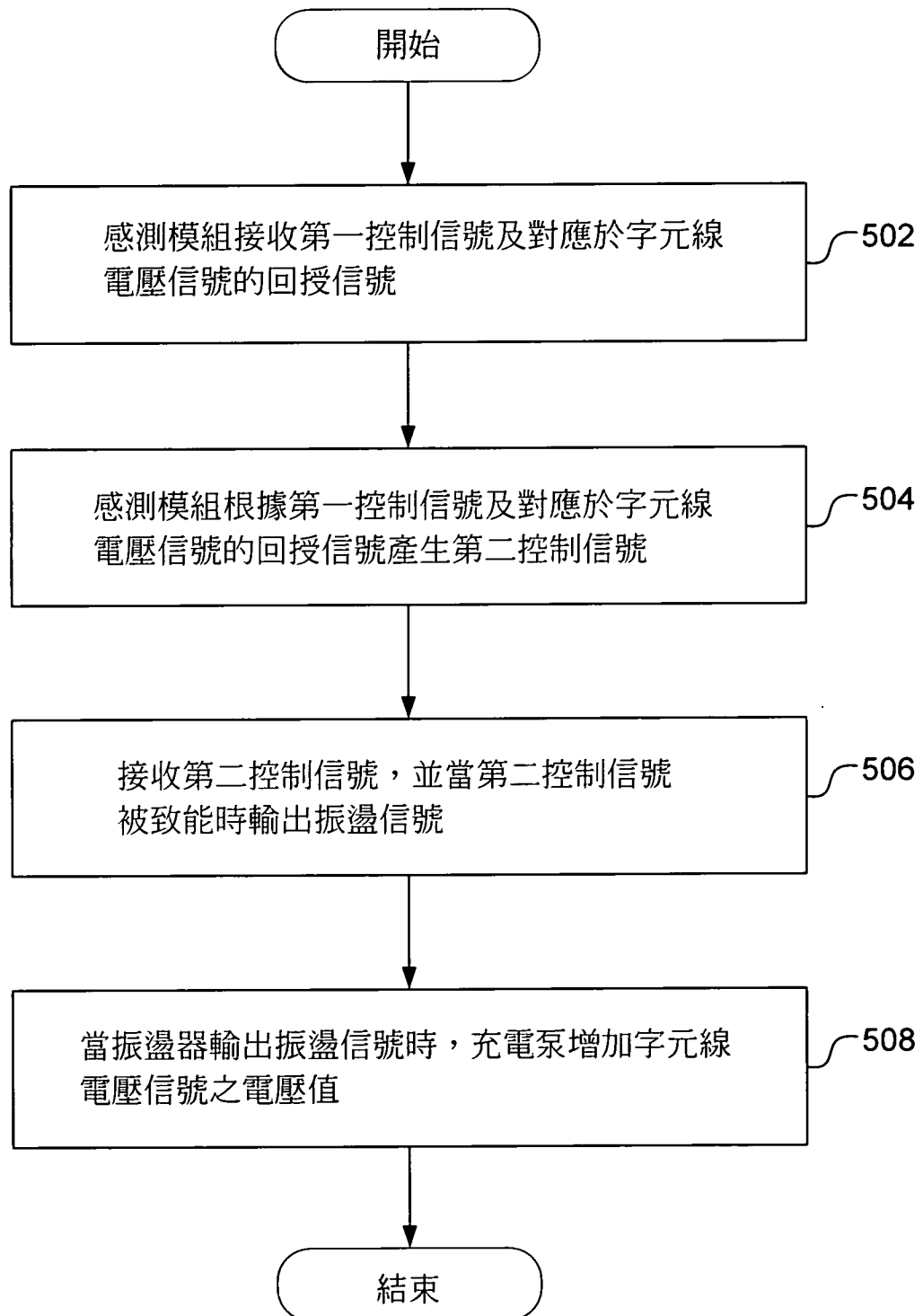
第 2 圖



第3圖



第4圖



第 5 圖