

(19) 대한민국특허청(KR)
(12) 실용신안공보(Y1)

(51) Int. Cl.⁶
G06F 15/16

(45) 공고일자 1995년 10월 25일
(11) 공고번호 실 1995-0009411

(21) 출원번호	실 1991-0016452	(65) 공개번호	실 1993-0009447
(22) 출원일자	1991년 10월 07일	(43) 공개일자	1993년 05월 26일
(71) 출원인	금성정보통신주식회사 정장호 서울특별시 영등포구 여의도동 20번지		
(72) 고안자	김중득 서울특별시 마포구 신수동 19번지 15/7		
(74) 대리인	김영철, 황중환		

심사관 : 김연호 (책
자공보 제2219호)

(54) 시분할에 의한 다중 프로세서의 메모리 공유회로

요약

내용 없음.

대표도

도 1

명세서

[고안의 명칭]

시분할에 의한 다중 프로세서의 메모리 공유회로

[도면의 간단한 설명]

제1도는 종래의 하드웨어 메모리의 구성도.

제2도는 본 고안에 따른 시분할에 의한 다중 프로세서의 메모리 공유회로의 구성도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------------|----------------------|
| 1, 1', 10 : 클럭 발생부 | 2, 2', 20 : 어드레스 제어부 |
| 3, 3', 30 : 어드레스 래치부 | 4, 4' : 메모리 제어부 |
| 5, 5', 50 : 메모리 | 6 : CPU1 |
| 6' : CPU2 | 7, 70 : 버퍼부 |
| 40 : PAL로직 | 60 : MCPU |
| 60' : SCPU | 80 : 인터럽트부 |
| AB : 어드레스 버스 | PB : 패러렐 버스 |
| DB : 데이터 버스 | |

[고안의 상세한 설명]

본 고안은 다중 프레스싱에 관한 것으로 특히, 시분할 방식에 의해 여러 프로그램을 순차적으로 수행하는 시분할에 의한 다중 프로세서의 메모리 공유회로에 관한 것이다.

다중 프레스싱이란 둘 이상의 CPU가 하나의 시스템을 구성하는 형태로서 2개이상의 하드웨어 프로세서로 구성되어 각 처리기들이 기억장치를 공유하거나, 직접 한 처리기에서 다른 처리기로 메시지를 보냄으로써 통신이 일어난다.

본 고안에서는 이러한 다중 프로세서를 교환기 하드웨어 메모리에 적당하도록 시분할 방식에 의하여 여러 프로그램들을 동시에 수행할 수 있도록 설계한 것으로, 각 처리기는 한번에 하나의 프로그램만 수행하며 여러 프로그램에 대한 입·출력 작업을 병렬적으로 수행함으로써 외부 및 내부의 데이터 처리가 가능하도록 하였다.

제1도는 종래의 하드웨어 메모리의 구성도로서 도시하는 바와같이 점선 A, ..., A'를 기준으로 하나의 모듈이 대칭상태로 구성되어 있다.

이하 제1도를 참조하여 종래의 하드웨어 메모리 회로의 동작을 설명한다.

클럭발생부(1, 1')에서 카운터에 의한 클럭을 발생하여 메모리에 액세스하기 위한 어드레스 클럭을 발생시켜 어드레스 래치부(3, 3')와 어드레스 제어부(2, 2')에 공급한다. 어드레스 제어부(2, 2')에서는 클럭발생부(1, 1')로부터 공급되는 클럭에 의해 메모리 된 어드레스를 제어하며 어드레스 래치부(3, 3')에서는 상기 클럭발생부(1, 1')로부터의 클럭과 CPU(6, 6')로부터의 어드레스를 래치하고 메모리 제어부(4, 4')에서는 프로세서의 메모리를 액세스하는 카운터클럭과 CPU(6, 6')로부터의 어드레스를 제어하기 위한 제어신호를 발생하고, 메모리 제어부(4, 4')에서 공급되는 카운터 클럭신호에 의해 메모리(5, 5')에서는 램(RAM)을 이용하여 데이터를 저장하고, 버퍼부(7)에서는 PB(페럴럴 버스)를 통하여 입력되는 외부데이터와 CPU(6, 6')로부터 외부 모듈로 전송되는 데이터를 일시적으로 저장하는 기능을 한다.

상술한 종래의 하드웨어 메모리에서는 CPU에서 액세스하는 메모리를 구성하는데 있어서 CPU의 시분할이 이루어지 않아 CPU내의 사용자 프로그램이나 데이터를 처리하는데 많은 시간이 소요되고 수행시 혼란이 있으며, 프로세서의 메모리를 구성하는 회로부가 너무 많아서 하드웨어를 집적화시켜 설계할수 없는 문제점이 있었다.

본 고안은 상술한 문제점을 해결하기 위하여 안출한 것으로 메모리의 직접 접근 장치들과 주변 장치들의 동작을 시간에 따라 적절히 분배시킴으로써 여러사용자 프로그램이 메모리내에 동시에 존재할때 이들 프로그램의 수행이 교대로 이루어져 소요시간을 줄일수 있고, 종래의 하드웨어 메모리에 비해 구성회로를 간단히 설계하여 집적화된 하드웨어 메모리 회로를 구성하는데 목적이 있다.

상기와 같은 목적을 달성하기 위하여 본 고안은 전체 시스템을 시분할적으로 제어하는 MCPU(주 CPU)와 외부 가입자와의 데이터 전송을 제어하는 SCPU(부 CPU)와, 시분할에 의해서 각각 다른 주기를 갖는 클럭들을 발생시키는 클럭발생부와, 상기의 시분할 클럭에 의한 카운터 어드레스로 메모리에 액세스하는 어드레스를 제어하는 어드레스 제어부와, 상기의 카운터 클럭과 CPU버스로부터 출력되는 어드레스를 래치하는 어드레스 래치부와 외부 모듈 및 가입자로부터 액세스되는 데이터를 저장하는 메모리와, 시스템으로 입력되는 외부 데이터를 일시적으로 저장하는 버퍼와, 상기의 메모리와 버퍼를 제어하여 외부 모듈로부터 상기의 MCPU 및 SCPU로 전송되는 데이터를 제어하는 PAL로직과 외부 모듈로부터 프로세서에 데이터가 액세스되면 상기의 클럭발생부로부터 MCPU 및 SCPU에 인터럽트를 걸어주는 인터럽트부를 구비한 것을 특징으로 하는 시분할에 의한 다중 프로세서의 메모리 공유회로를 제공한다.

제2도는 본 고안에 따른 시분할에 의한 다중 프로세서의 메모리 공유회로의 구성도로서, 외부 모듈 및 외부가입자로부터 액세스되는 데이터를 저장하고 프로세서의 CPU가 제어한 데이터를 외부 모듈로 전송하기 위한 메모리 공유회로이다.

이하 제2도를 참조하여 본 고안의 동작을 상세히 설명한다.

주기억 장치에 저장된 프로그램의 수행을 교대로 하기 위하여 프로그램들사이의 스위칭이 필요하며 클럭이 이 스위칭을 제어하게 된다.

제2도에서 클럭발생부(10)에서 시분할된 여러 주기의 클럭을 발생시켜 메모리의 어드레스(20)를 시간적으로 할당하며, 어드레스 제어부(20)에서는 이러한 메모리의 어드레스 주기를 다시 시분할하여 카운터 클럭과 MCPU(60)로부터 어드레스 래치부(30)로 공급되는 MCPU어드레스 및 SCPU(60)로부터 어드레스 래치부(30)로 공급되는 SCPU어드레스를 제어해준다. 어드레스 래치부(30)에서는 메모리(50)를 액세스하는 신호를 래치하기 위하여 상기의 어드레스 제어부(20)로부터 제어되는 카운터 클럭과 MCPU(60)로부터 공급되는 MCPU어드레스 및 SCPU(60')로부터 공급되는 SCPU어드레스를 래치한다. MCPU(60)에서는 CPU가 메모리를 액세스할때 다른 CPU의 메모리 액세스를 막기 위하여 시분할에 의하여 어드레스를 제어할뿐 아니라 CPU메모리의 임의의 어드레스에 플래그(flag)레지스터를 할당한다. 외부 모듈로부터 메모리에 액세스하는 데이터가 있으면 상기의 클럭이 프로세서의 MCPU(60 및 SCPU(60'))에 인터럽트를 걸어 외부모듈로부터 입력된 데이터를 시분할하여 처리하게 된다.

상기의 MCPU(60) 및 SCPU(60')의 어드레스는 메모리(50)에 액세스 되는 어드레스를 다시 시분할한 것이므로 메모리(50)로부터 데이터를 판독 및 기록하지 못한 경우가 발생하면 시분할 명령 모드에서 대기(wait)상태로 전환되어 상기의 데이터를 다음 시간대에 판독 및 기록할 수 있게 된다.

버퍼(70)에서는 외부 모듈로부터 액세스 되는 데이터를 임시저장하여 프로세서의 MCPU(60), SCPU(60'), 메모리(50)와 데이터를 주고 받게 되며, PAL로직(Programmable Array Logic : 40)에서는 상기의 버퍼(70)와 메모리(50)를 제어하여 MCPU(60)와 SCPU(60')가 메모리를 액세스할 수 있도록 하였다.

상술한 바와같이 본 고안의 다중 프로세서의 메모리 공유회로에서는 메모리를 액세스하는 어드레스를 시간적으로 배분시켜 메모리에 데이터를 저장하게 하고 외부 모듈로부터 메모리에 액세스하는 데이터도 프로세서 내부에서 클럭에 의하여 MCPU 및 SCPU에 인터럽트를 걸어주어 외부 데이터를 시분할시켜 처리하여 줌으로써 프로세서의 메모리 회로에 저장된 프로그램을 순차적으로 실행시킬 수 있고 종래의 하드웨어 메모리 회로에 비해 간단하게 회로를 구성함으로써 하드웨어 설계를 집적화시킬 수 있다.

(57) 청구의 범위

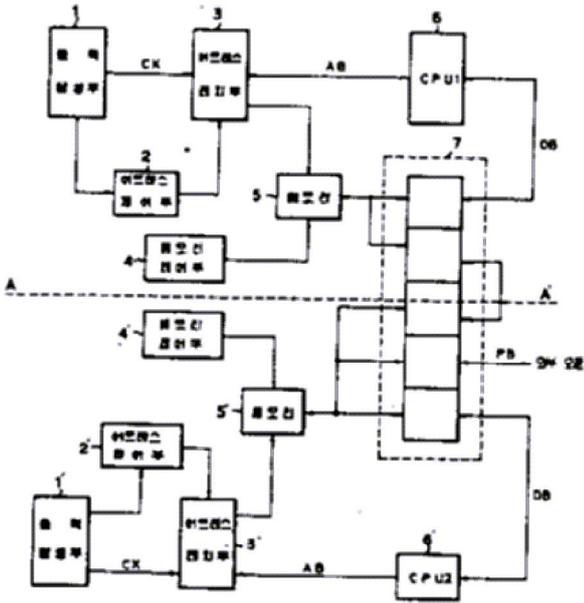
청구항 1

시분할에 의한 다중프로세서의 메모리 공유회로에 있어서, 메모리를 액세스할시 임의의 어드레스에 플래그(flag)레지스터를 할당하여 액세스하는 어드레스를 시분할에 의한 제어하는 MCPU(60)와, 가입자와의 데이터 전송을 제어하는 SCPU(60')와, 시분할되어 각각 다른 주기를 갖는 클럭을 발생하여 어드레스제어부(20)및 인터럽트부(80)에 인가하는 클럭 발생부(10)와, 상기 클럭발생부(10)에서 공되도는 시분할된 클럭으로 메모리에 액세스하기 위한 어드레스를 제어하는 어드레스 제어부(20)와, 상기 어드레스

제어부(20)로부터 공급되는 카운터 클럭과가 상기 MCPU(60) 및 SCPU(60')로부터 CPU버스로 공급되는 어드레스를 래치하는 어드레스 래치부(30)와, 외부 모듈 및 가입자로부터 액세스되는 데이터를 저장하는 메모리(50)와, 시스템으로 입력되는 외부 데이터를 일시적으로 저장하여 완충시키는 버퍼(70)와, 상기의 메모리(50)와 상기 버퍼(70)를 제어하여 외부 모듈로부터 상기 MCPU(60) 및 SCPU(60')로 전송되는 데이터를 제어하는 PAL로직(40)과, 외부모듈로부터 프로세서에 데이터가 액세스되면 상기의 클럭 발생부(10)로부터 상기의 MCPU(60) 및 SCPU(60')에 인터럽트를 걸어주는 인터럽트부(80)를 구비하는 것을 특징으로 하는 시분할에 의한 다중프로세서의 메모리공유회로.

도면

도면1



도면2

