



(12)发明专利申请

(10)申请公布号 CN 110581107 A

(43)申请公布日 2019.12.17

(21)申请号 201910484072.0

(22)申请日 2019.06.04

(30)优先权数据

10-2018-0066049 2018.06.08 KR

(71)申请人 三星电子株式会社

地址 韩国京畿道

(72)发明人 沈钟辅 金知晔 赵汉济 韩相旭

(74)专利代理机构 中科专利商标代理有限责任公司 11021

代理人 倪斌

(51)Int.Cl.

H01L 23/31(2006.01)

H01L 23/528(2006.01)

H01L 21/48(2006.01)

H01L 21/56(2006.01)

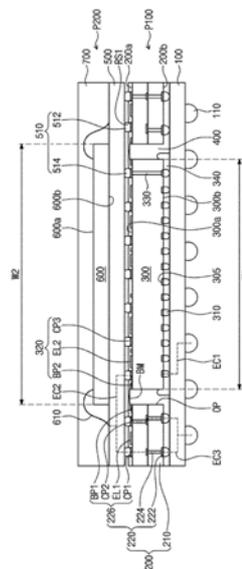
权利要求书3页 说明书9页 附图23页

(54)发明名称

半导体封装及其制造方法

(57)摘要

一种半导体封装包括：下基板；连接基板，耦合到下基板，所述连接基板具有围绕空腔的横向部分以及横向部分的顶表面上的第一导电图案；下基板上的下半导体芯片，所述下半导体芯片位于连接基板的空腔中，所述下半导体芯片包括下半导体芯片的顶表面上的第二导电图案；接合构件，将第一导电图案和第二导电图案彼此连接；以及第一导电图案和第二导电图案上的顶部封装。



1. 一种半导体封装,包括:  
下基板;  
连接基板,耦合到所述下基板,所述连接基板包括:  
围绕空腔的横向部分,和  
所述横向部分的顶表面上的第一导电图案;  
所述下基板上的下半导体芯片,所述下半导体芯片位于所述连接基板的所述空腔中,  
所述下半导体芯片包括所述下半导体芯片的顶表面上的第二导电图案;  
接合构件,将所述第一导电图案和所述第二导电图案彼此连接;以及  
所述第一导电图案和所述第二导电图案上的顶部封装。
2. 根据权利要求1所述的半导体封装,其中,所述顶部封装包括:  
上基板;  
所述上基板上的上半导体芯片;以及  
所述上基板的底表面上的连接端子。
3. 根据权利要求2所述的半导体封装,其中,所述连接端子位于所述下半导体芯片上。
4. 根据权利要求2所述的半导体封装,其中,所述连接端子包括:  
第一连接端子,耦合到所述第一导电图案;以及  
第二连接端子,耦合到所述第二导电图案。
5. 根据权利要求4所述的半导体封装,其中,所述第二连接端子通过所述第二导电图案、所述接合构件和所述连接基板电耦合到所述下基板。
6. 根据权利要求2所述的半导体封装,其中,所述连接端子与所述下半导体芯片电绝缘。
7. 根据权利要求2所述的半导体封装,其中,所述上半导体芯片的宽度大于所述下半导体芯片的宽度。
8. 根据权利要求1所述的半导体封装,其中,所述下半导体芯片的所述顶表面是非有源表面。
9. 根据权利要求1所述的半导体封装,其中,所述连接基板的所述横向部分的所述顶表面和所述下半导体芯片的所述顶表面位于相同的高度。
10. 根据权利要求1所述的半导体封装,其中,所述接合构件包括:  
接合线;或者  
所述第一导电图案和所述第二导电图案之间的第三导电图案。
11. 根据权利要求1所述的半导体封装,还包括下模制构件,所述下模制构件在所述下基板上掩埋所述下半导体芯片和所述连接基板,  
其中所述下模制构件暴露所述第一导电图案和所述第二导电图案。
12. 根据权利要求1所述的半导体封装,其中,所述下半导体芯片还包括过孔,所述过孔穿透所述下半导体芯片并将所述第二导电图案电连接到所述下基板。
13. 根据权利要求1所述的半导体封装,其中,所述下基板包括再分布层,所述再分布层直接耦合到所述下半导体芯片的下芯片焊盘和所述连接基板的基板焊盘。
14. 一种半导体封装,包括:  
连接基板,包括:

- 围绕空腔的横向部分，  
所述横向部分的顶表面上的第一导电图案，和  
穿过所述横向部分并连接到所述第一导电图案的过孔；  
所述空腔内的半导体芯片，包括：  
所述半导体芯片的非有源表面上的第二导电图案，所述半导体芯片和所述第二导电图案彼此电绝缘，和  
面对所述非有源表面的有源表面；以及  
接合构件，将所述第一导电图案和所述第二导电图案彼此电连接。
15. 根据权利要求14所述的半导体封装，其中，所述连接基板的所述横向部分的所述顶表面和所述半导体芯片的所述非有源表面彼此共面。
16. 根据权利要求14所述的半导体封装，还包括顶部封装，所述顶部封装耦合到所述第一导电图案和所述第二导电图案。
17. 根据权利要求16所述的半导体封装，其中，所述顶部封装包括在所述顶部封装下方的第一连接端子和第二连接端子，  
其中所述第一连接端子耦合到所述第一导电图案，以及  
其中所述第二连接端子耦合到所述第二导电图案。
18. 根据权利要求16所述的半导体封装，其中，所述顶部封装的宽度与所述连接基板的宽度相同。
19. 根据权利要求16所述的半导体封装，还包括在所述连接基板下方的附加基板，  
其中所述连接基板和所述半导体芯片耦合到所述附加基板，以及  
其中所述半导体芯片的所述有源表面面对所述附加基板。
20. 根据权利要求19所述的半导体封装，其中，所述半导体芯片还包括穿过所述半导体芯片的芯片过孔，所述芯片过孔将所述第二导电图案电连接到所述附加基板。
21. 根据权利要求14所述的半导体封装，还包括：模制构件，覆盖所述连接基板的所述横向部分的所述顶表面和所述半导体芯片的所述非有源表面，所述模制构件暴露所述第一导电图案和所述第二导电图案。
22. 一种制造半导体封装的方法，所述方法包括：  
提供下半导体芯片，所述下半导体芯片包括所述下半导体芯片的非有源表面上的第一导电图案；  
提供连接基板，所述连接基板包括所述连接基板中的空腔和所述连接基板的顶表面上的第二导电图案；  
将所述下半导体芯片和所述连接基板设置在下基板上，以将所述下半导体芯片置于所述连接基板的所述空腔中；  
将所述第一导电图案和所述第二导电图案彼此接合；  
提供顶部封装，所述顶部封装包括所述顶部封装的底表面上的多个连接端子；以及  
将所述顶部封装安装在所述下半导体芯片和所述连接基板上，以将所述多个连接端子耦合到所述第一导电图案和所述第二导电图案。
23. 根据权利要求22所述的方法，其中，提供所述下半导体芯片包括：  
在所述下半导体芯片的所述非有源表面上设置导电层；以及

图案化所述导电层。

24. 根据权利要求22所述的方法, 其中, 将所述第一导电图案和所述第二导电图案接合包括:

形成模制构件以覆盖所述连接基板和所述下半导体芯片;

对所述模制构件执行蚀刻工艺以形成暴露所述第一导电图案和所述第二导电图案的第一凹陷; 以及

将所述第一导电图案和所述第二导电图案彼此引线接合。

25. 根据权利要求22所述的方法, 其中, 将所述第一导电图案和所述第二导电图案接合包括:

形成模制构件以覆盖所述连接基板和所述下半导体芯片;

图案化所述模制构件以形成第二凹陷, 同时暴露所述第一导电图案和所述第二导电图案; 以及

用导电材料填充所述第二凹陷以形成第三导电图案。

## 半导体封装及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年6月8日在韩国知识产权局提交的题为“半导体封装及其制造方法”的韩国专利申请No.10-2018-0066049的优先权,该申请通过引用整体并入本文。

### 技术领域

[0003] 本公开涉及一种半导体封装及其制造方法。

### 背景技术

[0004] 半导体封装用以实现合格用于电子产品中的集成电路芯片。在一种类型的半导体封装中,半导体芯片安装在印刷电路板上,并且使用接合线或凸块将半导体芯片电连接到印刷电路板。随着近来电子工业的发展,半导体封装得以多样的开发以实现小尺寸、轻重量和/或低制造成本的目标。此外,许多种类的半导体封装还包括例如大容量存储器件。

### 发明内容

[0005] 根据一些示例实施例,一种半导体封装可以包括:下基板;连接基板,耦合到下基板,所述连接基板具有围绕空腔的横向部分以及横向部分的顶表面上的第一导电图案;下基板上的下半导体芯片,所述下半导体芯片位于连接基板的空腔中,所述下半导体芯片包括下半导体芯片的顶表面上的第二导电图案;接合构件,将第一导电图案和第二导电图案彼此连接;以及第一导电图案和第二导电图案上的顶部封装。

[0006] 根据一些示例实施例,一种半导体封装可以包括:连接基板,包括连接基板中的空腔以及连接基板的顶表面上的第一导电图案;半导体芯片,位于空腔中并且包括第二导电图案,所述半导体芯片具有其上设置有第二导电图案的非有源表面和面对非有源表面的有源表面;以及接合构件,将第一导电图案和第二导电图案彼此电连接。半导体芯片和第二导电图案可以彼此电绝缘。连接基板还可以包括穿透连接基板并连接到第一导电图案的过孔。

[0007] 根据一些示例实施例,一种制造半导体封装的方法可以包括:提供下半导体芯片,所述下半导体芯片包括下半导体芯片的非有源表面上的第一导电图案;提供连接基板,所述连接基板包括连接基板中的空腔以及连接基板的顶表面上的第二导电图案;将下半导体芯片和连接基板设置在下基板上,以将下半导体芯片置于连接基板的空腔中;将第一导电图案和第二导电图案彼此接合;提供顶部封装,所述顶部封装包括顶部封装的底表面上的多个连接端子;以及将顶部封装安装在下半导体芯片和连接基板上,以将连接端子耦合到第一导电图案和第二导电图案。

### 附图说明

[0008] 通过参考附图详细描述示例性实施例,特征对于本领域技术人员将变得清楚,在附图中:

- [0009] 图1示出了根据一些示例实施例的半导体封装的横截面图。
- [0010] 图2示出了第一导电图案、第二导电图案和接合构件的平面图。
- [0011] 图3至图5示出了根据一些示例实施例的半导体封装的横截面图。
- [0012] 图6至图12示出了根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。
- [0013] 图13至图15示出了根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。
- [0014] 图16至图23示出了根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。

### 具体实施方式

- [0015] 下面参考附图描述根据示例实施例的半导体封装。图1示出了根据一些示例实施例的半导体封装的横截面图。
- [0016] 参考图1,可以提供底部封装P100。底部封装P100可以包括下基板100、连接基板200、下半导体芯片300和下模制构件400。
- [0017] 例如,下基板100可以是或可以包括在其顶表面上设置有信号图案的印刷电路板(PCB)。在另一示例中,下基板100可以具有电介质层和布线层的交替结构。
- [0018] 外部端子110可以设置在下基板100下方,例如,设置在下基板100背对下半导体芯片300的底表面上。外部端子110可以包括焊球或焊料凸块,并且基于外部端子110的类型,底部封装P100可以包括球栅阵列(BGA)类型、精细球栅阵列(FBGA)类型和接点栅格阵列(LGA)类型中的一种。
- [0019] 连接基板200可以设置在下基板100上。连接基板200可以安装在下基板100的顶表面上,例如,安装在与下基板100的底表面相对的表面上。例如,连接基板200可以通过焊料凸块或焊球安装在下基板100上。连接基板200可以通过下基板100电连接到外部端子110。在本说明书中,短语“电连接/耦合”可以包括“直接或间接电连接/耦合”。
- [0020] 连接基板200可以包括穿透连接基板200的开口OP,即空腔OP。例如,开口OP可以成形如开放孔,例如空腔,将连接基板200的底表面200b和顶表面200a相互连接。例如,如图1所示,开口OP可以穿过连接基板200的整个厚度,因此连接基板200的横向部分可以围绕开口OP,例如,用以提供容纳下面更详细说明的下半导体芯片300的空间。
- [0021] 连接基板200可以包括基层210和基层210中的导电构件220。例如,基层210可以包括氧化硅。导电构件220可以占据连接基板200的外侧(例如,外围侧),并且开口OP可以占据连接基板200的内侧(例如,中心侧)。例如,如图1所示,开口OP可以穿过基层210的整个厚度,并且导电构件220可以位于基层210围绕开口OP的部分(例如,基层210围绕开口OP的横向部分)内和该部分的表面上。例如,连接基板200的基层210可以围绕开口OP的整个周边(图2)。导电构件220可以包括连接基板焊盘222,连接基板过孔224和第一导电图案226。
- [0022] 连接基板焊盘222可以设置在连接基板200的下部,例如,设置在连接基板200的底表面200b上。连接基板200可以通过设置在连接基板焊盘222上的焊球或焊料凸块电连接到下基板100。连接基板过孔224可以穿透基层210并且与连接基板焊盘222具有电连接。第一导电图案226可以设置在连接基板200的上部,例如,设置在连接基板200的顶表面200a上。

第一导电图案226可以包括其上安装有下述顶部封装P200的第一焊盘CP1、耦合到连接基板过孔224的第二焊盘CP2、第一电线EL1和第一接合焊盘BP1。第一电线EL1、第一焊盘CP1、第二焊盘CP2和第一接合焊盘BP1可以构成电路。如图1所示,顶部封装P200也可以安装在第二焊盘CP2上。例如,底部封装P100可以被配置为使得第一焊盘CP1具有与第二焊盘CP2相同的功能。然而,本公开的示例实施例不限于此。

[0023] 下半导体芯片300可以设置在下基板100上。如图1所示,下半导体芯片300可以位于连接基板200的开口OP中(例如,在开口OP内)。当在平面图中观察时,下半导体芯片300可以具有比开口OP的平面形状小的平面形状。例如,下半导体芯片300可以与开口OP的内侧壁间隔开,例如,连接基板200可以围绕下半导体芯片300的周边(图2)。

[0024] 下半导体芯片300可以具有面对下基板100的底表面300b以及与底表面300b相对的顶表面300a。下半导体芯片300的底表面300b可以是有源表面,下半导体芯片300的顶表面300a可以是非有源表面。下半导体芯片300可以安装在下基板100的顶表面上。例如,下半导体芯片300可以是倒装接合到下基板100。下半导体芯片300可以具有第一电路EC1,第一电路EC1通过设置在下芯片焊盘305上的下芯片端子310(例如,焊球或焊料凸块)电连接到下基板100。焊剂340可以填充下半导体芯片300和下基板100之间的空间。下半导体芯片300可以是例如逻辑芯片或存储器芯片。逻辑芯片可以包括逻辑部分和存储器部分。存储器芯片可以是或可以包括例如动态随机存取存储器(DRAM)、NAND闪存、NOR闪存、相变随机存取存储器(PRAM)、电阻随机存取存储器(ReRAM)和磁阻随机存取存储器(MRAM)中的一种或多种。下半导体芯片300可以电连接到外部端子110。图1仅示出了一个下半导体芯片300,但是下半导体芯片300可以设置为多个。

[0025] 下半导体芯片300在作为下半导体芯片300的非有源表面的顶表面300a上可以包括第二导电图案320。下半导体芯片300的顶表面300a可以位于与连接基板200的顶表面200a的高度相同的高度处,例如,顶表面300a和200a可以共面。第二导电图案320可以包括其上安装有顶部封装P200的第三焊盘CP3、第二电线EL2和第二接合焊盘BP2。第二电线EL2可以重新分布第三焊盘CP3和第二接合焊盘BP2之间的电连接。第二导电图案320可以与下半导体芯片300没有直接电连接,例如,下半导体芯片300和第二导电图案320可以经由非有源顶表面300a而彼此电绝缘。

[0026] 例如,下半导体芯片300可以包括穿过其中的芯片过孔330。芯片过孔330可以从下半导体芯片300的顶表面300a朝向底表面300b延伸。芯片过孔330可以耦合到第三焊盘CP3之一。芯片过孔330还可以耦合到下基板100。在这种情况下,芯片过孔330可以将第二导电图案320电连接到下基板100。在该配置中,芯片过孔330可以不耦合到下半导体芯片300的第一电路EC1,或者可以与下半导体芯片300的第一电路EC1电绝缘,例如,下半导体芯片300的第一电路EC1和芯片过孔330可以延伸穿过下半导体芯片300的相对端。在另一示例中,与图1不同,下半导体芯片300可以不包括芯片过孔330。

[0027] 可以提供接合构件BM。接合构件BM可以将连接基板200上的第一结合焊盘BP1和下半导体芯片300上的第二结合焊盘BP2彼此电连接。在一些示例实施例中,接合构件BM可以是或可以包括接合线。第二电线EL2和第三焊盘CP3可以通过第一接合焊盘BP1和第二接合焊盘BP2以及接合构件BM电连接到连接基板200和下基板100。

[0028] 图2是用于说明图1所示的第一导电图案226、第二导电图案320和接合构件BM的平

面图,其中部分地示出了下半导体芯片300和连接基板200。参考图2,连接基板200的第一焊盘CP1、第二焊盘CP2和第一接合焊盘BP1可以通过第一电线EL1彼此电连接。下半导体芯片300的第三焊盘CP3和第二接合焊盘BP2可以通过第二电线EL2彼此电连接。第一接合焊盘BP1和第二接合焊盘BP2可以通过接合构件BM彼此电连接。为了便于描述,图2随意地示出了焊盘CP1、CP2和CP3以及接合焊盘BP1和BP2的布置,但是本公开不限于此,例如,一个附加的第二焊盘CP2可以位于图2的右侧,与第一焊盘CP1相邻并通过第一电线EL1与第一焊盘CP1连接(如图1所示)。

[0029] 再次参考图1,下模制构件400可设置在下基板100上。下模制构件400可以填充连接基板200和下半导体芯片300之间的空间。下模制构件400可以覆盖下半导体芯片300的顶表面300a和连接基板200的顶表面200a。下模制构件400可以覆盖第一电线EL1、第二电线EL2、第一接合焊盘BP1、第二接合焊盘BP2和接合构件BM。下模制构件400中可以具有第一凹陷RS1,第一凹陷RS1暴露连接基板200的第一焊盘CP1和第二焊盘CP2以及下半导体芯片300的第三焊盘CP3。下模制构件400可以包括聚合物材料,例如Ajinomoto堆积膜(ABF)®、环氧基聚合物或热固性树脂。

[0030] 在一些示例实施例中,下模制构件400可以暴露下半导体芯片300的顶表面300a。图3图示了示出根据一些示例实施例的半导体封装的横截面图。如图3所示,下模制构件400可以暴露下半导体芯片300的顶表面300a上的第二电线EL2和第三焊盘CP3。在这种情况下,下模制构件400可以掩埋接合构件BM和下半导体芯片300的第二接合焊盘BP2。

[0031] 再次参考图1,可以在底部封装P100上设置顶部封装P200。顶部封装P200可以包括上基板500、上半导体芯片600、上模制构件700和连接端子510。

[0032] 例如,上基板500可以是或可以包括在其顶表面上设置有信号图案的印刷电路板(PCB)。在另一示例中,上基板500可以具有电介质层和布线层的交替结构。上基板500的宽度可以大于下半导体芯片300的宽度W1,如图1所示。上基板500的宽度可以与下基板100的宽度相同或者小于下基板100的宽度,但是示例实施例不限于此。顶部封装P200的宽度(可以与上基板500的宽度相同)可以与连接基板200的宽度(可以与下基板100的宽度相同)相同。

[0033] 上半导体芯片600可以设置在上基板500上。上半导体芯片600的宽度W2可以大于下半导体芯片300的宽度W1。当在平面图中观察时,上半导体芯片600可以与下半导体芯片300重叠并且还与连接基板200的一部分重叠,例如,上半导体芯片600可以与下半导体芯片300及下半导体芯片300周围的开口OP中的下模制构件400完全重叠。上半导体芯片600可以具有面对上基板500的底表面600b以及与底表面600b相对的顶表面600a。上半导体芯片600的顶表面600a可以是有源表面。上半导体芯片600可以安装在上基板500的顶表面上。例如,上半导体芯片600可以引线接合到上基板500。上半导体芯片600可以通过例如一根或多根接合线610电连接到上基板500。上半导体芯片600可以是例如逻辑芯片或存储器芯片。逻辑芯片可以包括逻辑部分和存储器部分。

[0034] 上模制构件700可以设置在上基板500上。上模制构件700可以覆盖上基板500的顶表面和上半导体芯片600的顶表面600a。上模制构件700可以包括聚合物材料,例如Ajinomoto堆积膜(ABF)®、环氧基聚合物或热固性树脂。

[0035] 连接端子510可以设置在上基板500下方。连接端子510可以包括焊球或焊料凸块,

并且基于连接端子510的类型,顶部封装P200可以包括球栅阵列(BGA)类型、精细球栅阵列(FBGA)类型和接点栅格阵列(LGA)类型中的一种。上半导体芯片600可以电连接到连接端子510。

[0036] 连接端子510可以包括第一连接端子512和第二连接端子514。第一连接端子512可以设置在连接基板200上。第一连接端子512可以耦合到连接基板200的第一焊盘CP1。第二连接端子514可以设置在下半导体芯片300上。第二连接端子514可以耦合到下半导体芯片300的第三焊盘CP3。上半导体芯片600可以通过上基板500电连接到第一连接端子512和第二连接端子514。上半导体芯片600可以包括第二电路EC2,第二电路EC2通过第二连接端子514、第二导电图案320、接合构件BM和第一导电图案226电连接到外部端子110,并且上半导体芯片600还可以包括第三电路EC3,第三电路EC3通过第一连接端子512和第一导电图案226电连接到外部端子110。第二电路EC2和第三电路EC3可以与下半导体芯片300的第一电路EC1没有电连接或者电绝缘,例如,第一连接端子512可以与下半导体芯片300电绝缘。

[0037] 图4和图5图示了示出根据一些示例实施例的半导体封装的横截面图。为了便于描述,省略或简化了对图4-5中与先前参考图1-3描述的附图标记相对应的元件的描述。

[0038] 参考图4,可以提供接合构件BM。接合构件BM可以将第一接合焊盘BP1和第二接合焊盘BP2彼此电连接。在一些示例实施例中,接合构件BM可以是或可以包括第三导电图案410。第三导电图案410可以设置在下模制构件400的第二凹陷RS2中。第二凹陷RS2可以位于第一接合焊盘BP1和第二接合焊盘BP2之间。例如,在下模制构件400的第二凹陷RS2中,第三导电图案410可以具有从第一接合焊盘BP1延伸到第二接合焊盘BP2的形状。

[0039] 参考图5,底部封装P100可以是扇出型面板级封装(FO-PLP)。例如,下基板100可以是再分布基板,即再分布层。下基板100可以包括例如电介质层102和导电层104。导电层104可以包括穿透电介质层102的一个或多个过孔。例如,电介质层102可以包括无机绝缘层,例如,氧化硅层或氮化硅层。在另一示例中,电介质层102可以包括聚合物材料。导电层104可以被电介质层102围绕或嵌入电介质层102中。导电层104可以重新分布下半导体芯片300的下芯片焊盘305和下基板100的外部端子110之间的电连接。底部封装P100可以通过下基板100具有扇出型结构。导电层104可以包括金属。导电层104可以连接到设置在下基板100的底表面上的基板焊盘106。钝化层108可以设置在下基板100的底表面上。钝化层108可以包括Ajinomoto堆积膜(ABF)®、有机材料、无机材料或绝缘聚合物例如环氧基聚合物。外部端子110可以设置在下基板100的底表面上。外部端子110可以置于基板焊盘106上。外部端子110可以通过基板焊盘106电连接到导电层104。

[0040] 下基板100可以直接接触连接基板200的底表面200b和下半导体芯片300的底表面300b。例如,下基板100可以与下半导体芯片300的下芯片焊盘305以及连接基板200的连接基板焊盘222直接接触。

[0041] 在根据一些示例实施例的半导体封装中,导电图案226和320可以设置在连接基板200的顶表面200a和下半导体芯片300的顶表面300a上,并且顶部封装P200可以安装在导电图案226和320上。顶部封装P200的连接端子510可以全部设置在连接基板200和下半导体芯片300上。在这种情况下,连接端子510可以具有增大的面积用于其位置,结果,顶部封装P200可以增加处于底部封装P100上的输出端子(例如,连接端子510)的数量。导电图案226和320可以重新分布顶部封装P200的电路,这可以导致顶部封装P200和底部封装P100之间

的布线自由度增加。因此,可以改善半导体封装的电特性。

[0042] 此外,可以不需要附加的基板进行底部封装P100和顶部封装P200之间的再分布,因此,半导体封装的厚度可以减小。即使没有提供用于重新分布的基板,顶部封装P200也可以通过使用具有小厚度的导电图案226和320来重新分布其电连接。因此,半导体封装可以有利于尺寸缩减。

[0043] 半导体封装总厚度的减小可以允许下半导体芯片300的厚度增加,因此,下半导体芯片300可以具有散热的优点。此外,从下半导体芯片300产生的热量可以通过导电图案226和320释放掉。结果,半导体封装可以增加散热和操作稳定性。

[0044] 图6至图12示出了根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。

[0045] 参考图6,可以提供下半导体芯片300。下半导体芯片300可以具有彼此面对的底表面300b和顶表面300a。下半导体芯片300的底表面300b可以是有源表面,下半导体芯片300的顶表面300a可以是非有源表面。下半导体芯片300可以包括设置在其底表面300b上的下芯片焊盘305。下半导体芯片300可以包括穿过其中的芯片过孔330。芯片过孔330可以从下半导体芯片300的顶表面300a朝向底表面300b延伸。下芯片端子310可以附着到下芯片焊盘305。

[0046] 参考图7,可以在下半导体芯片300的顶表面300a上形成第二导电图案320。例如,可以在下半导体芯片300的顶表面300a上形成导电层,然后可以图案化该导电层以形成第二导电图案320。在另一示例中,可以在下半导体芯片300的顶表面300a上形成阴影掩模(shadow mask),然后可以以阴影掩模的图案沉积导电材料,这可以导致形成第二导电图案320。阴影掩模的图案可以部分地暴露下半导体芯片300的顶表面300a,并且可以限定形成第二导电图案320的区域。在形成第二导电图案320之后,可以去除阴影掩模。第二导电图案320可以包括第三焊盘CP3、第二电线EL2和第二接合焊盘BP2。

[0047] 参考图8,可以将下半导体芯片300安装在下基板100上。下半导体芯片300可以以倒装接合方式安装。例如,可以在作为下半导体芯片300的非有源表面的底表面300b上涂覆焊剂340,然后可以定位下半导体芯片300使底表面300b上的下芯片端子310面对下基板100的顶表面。在该阶段,焊剂340可以突出到下半导体芯片300的侧向表面上。焊剂340可以包括树脂、活化剂和溶剂。溶剂可以包括例如二醇醚酯化合物、二醇醚化合物、酯化合物、酮化合物或环酯化合物。可以对下芯片端子310执行回流工艺,因此,下半导体芯片300可以安装在下基板100上。

[0048] 参考图9,可以提供连接基板200。连接基板200可以包括基层210和基层210中的导电构件220。导电构件220可以包括连接基板焊盘222、连接基板过孔224和第一导电图案226。第一导电图案226可以包括第一焊盘CP1、第二焊盘CP2、第一电线EL1和第一接合焊盘BP1。例如,可以蚀刻基层210,然后可以在其内部填充导电材料以形成连接基板焊盘222、连接基板过孔224和第一导电图案226。

[0049] 可以在连接基板200中形成开口OP(也称为空腔)。例如,可以去除连接基板200的一部分以形成穿透连接基板200的例如整个厚度的开口OP,例如,可以去除基层210的一部分以提供用于容纳下半导体芯片300的开口OP即空腔。开口OP可以例如通过蚀刻工艺如钻孔、激光烧蚀或激光切割形成。

[0050] 可以将连接基板200安装在下基板100上。在该阶段,连接基板200可以设置为将下半导体芯片300置于开口OP中,例如,使连接基板200的一部分围绕开口OP中的下半导体芯片300。可以回流连接基板焊盘222上的焊球或焊料凸块以将连接基板200安装在下基板100上。

[0051] 参考图10,可以形成接合构件BM。例如,连接基板200的第一接合焊盘BP1和下半导体芯片300的第二接合焊盘BP2可以以引线接合的方式彼此连接。在一些示例实施例中,可能期望连接基板200的顶表面200a与下半导体芯片300的顶表面300a处于同一高度,该配置可以容易地实现第一接合焊盘BP1和第二接合焊盘BP2之间的引线接合。

[0052] 参考图11,可以在下基板100上形成下模制构件400。下模制构件400可以填充连接基板200和下半导体芯片300之间的空间。例如,可以将绝缘物质注入到连接基板200和下半导体芯片300之间的空间中,然后可以固化绝缘物质以形成下模制构件400。绝缘物质可以覆盖连接基板200的第一导电图案226、下半导体芯片300的第二导电图案320和接合构件BM。绝缘物质可以包括绝缘聚合物或热固性树脂。

[0053] 例如,可以蚀刻下模制构件400以形成暴露第一焊盘CP1、第二焊盘CP2和第三焊盘CP3的第一凹陷RS1。在另一示例中,可以蚀刻下模制构件400以进一步暴露下半导体芯片300的顶表面300a。例如,下模制构件400可以暴露第一焊盘CP1、第二焊盘CP2、第三焊盘CP3以及位于下半导体芯片300的顶表面300a上的第二电线EL2。当下模制构件400成为进一步暴露下半导体芯片300的顶表面300a时,可以制造图3的半导体封装。下面描述下模制构件400选择性地暴露第一焊盘CP1、第二焊盘CP2、第三焊盘CP3的示例。

[0054] 参考图12,可以在下基板100的底表面上形成外部端子110。外部端子110可以包括焊球或焊料凸块。外部端子110可以通过下基板100、连接基板200的导电构件220和接合构件BM电连接到第一导电图案226和第二导电图案320。通过上述工艺可以形成底部封装P100。

[0055] 再次参考图1,可以在底部封装P100上设置顶部封装P200。顶部封装P200可以包括上基板500、上半导体芯片600、上模制构件700和连接端子510。上基板500可以是或可以包括在其顶表面上设置有信号图案的印刷电路板(PCB)。上半导体芯片600可以安装在上基板500上。上模制构件700可以覆盖上基板500的顶表面和上半导体芯片600的顶表面600a。连接端子510可以设置在上基板500下方。连接端子510可以包括第一连接端子512和第二连接端子514。第二连接端子514可以比第一连接端子512更远离上基板500的边缘下方的位置。

[0056] 底部封装P100和顶部封装P200可以彼此对准以将第一连接端子512置于第一导电图案226上并且将第二连接端子514置于第二导电图案320上。第一连接端子512和第二连接端子514可以分别与第一导电图案226和第二导电图案320接触,然后可以回流以将顶部封装P200安装在底部封装P100上。通过上述工艺,可以制造图1的半导体封装。

[0057] 图13至图15图示了示出根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。

[0058] 参考图13,可以在如参考图1至9所述制造得到的结构上形成下模制构件400。下模制构件400可以填充连接基板200和下半导体芯片300之间的空间。例如,可以将绝缘物质注入到连接基板200和下半导体芯片300之间的空间中,然后可以固化绝缘物质以形成下模制构件400。下模制构件400可以覆盖第一导电图案226和第二导电图案320。

[0059] 参考图14,可以蚀刻下模制构件400以形成第一凹陷RS1和第二凹陷RS2。第一凹陷RS1可以暴露第一焊盘CP1、第二焊盘CP2和第三焊盘CP3。当在平面图中观察时,第二凹陷RS2可以形成在连接基板200和下半导体芯片300之间,或者形成在连接基板200的第一接合焊盘BP1和下半导体芯片300的第二接合焊盘BP2之间。第二凹陷RS2可以暴露第一接合焊盘BP1和第二接合焊盘BP2各自的侧向表面。

[0060] 参考图15,可以在第二凹陷RS2中形成第三导电图案410。可以通过用导电材料填充第二凹陷RS2来形成第三导电图案410。例如,可以执行电镀工艺以用导电材料填充第二凹陷RS2。在另一示例中,可以执行印刷工艺例如喷墨印刷,以用导电材料填充第二凹陷RS2。通过上述工艺可以形成底部封装P100。

[0061] 之后,可以执行参考图1所述的工艺。例如,可以在底部封装P100上安装顶部封装P200以制造图4的半导体封装。

[0062] 图16至图23示出了根据一些示例实施例的制造半导体封装的方法中一些阶段的横截面图。

[0063] 参考图16,可以提供连接基板200。连接基板200可以包括基层210和基层210中的导电构件220。导电构件220可以包括连接基板焊盘222、连接基板过孔224和第一导电图案226。例如,可以蚀刻基层210,然后用导电材料填充蚀刻部分,以形成连接基板焊盘222、连接基板过孔224和第一导电图案226。

[0064] 参考图17,可以在连接基板200中形成开口OP。可以去除连接基板200的一部分以形成穿透连接基板200的开口OP。开口OP可以例如通过蚀刻工艺如钻孔、激光烧蚀或激光切割形成。连接基板200的去除部分可以是在后续工艺中下半导体芯片300所设置到的区域。

[0065] 连接基板200可以附着到载体基板800上。例如,载体基板800可以是绝缘基板(包括玻璃或聚合物)或导电基板(包括金属)。载体基板800的顶表面可以包括用于将载体基板800粘附到连接基板200的底表面200b的粘附构件。粘附构件可以包括例如胶带。

[0066] 参考图18,可以在载体基板800上设置下半导体芯片300,例如,设置在连接基板200的开口OP内。下半导体芯片300可以与如参考图6和7所述制造的下半导体芯片300相同。下半导体芯片300可以设置在连接基板200的开口OP中。在该阶段,下半导体芯片300可以粘附到载体基板800。下半导体芯片300可以在其下部上包括下芯片焊盘305。例如,下半导体芯片300的底表面300b可以对应于与载体基板800接触的有源表面。

[0067] 参考图19,可以形成接合构件BM。例如,连接基板200的第一接合焊盘BP1和下半导体芯片300的第二接合焊盘BP2可以以引线接合的方式彼此连接。

[0068] 参考图20,可以在载体基板800上形成下模制构件400。下模制构件400可以填充连接基板200和下半导体芯片300之间的空间。例如,可以将绝缘物质注入到连接基板200和下半导体芯片300之间的空间中,然后可以固化绝缘物质以形成下模制构件400。下模制构件400可以覆盖连接基板200的第一导电图案226和下半导体芯片300的第二导电图案320。

[0069] 参考图21,可以在连接基板200上设置支撑基板910。支撑基板910可以是例如绝缘基板如玻璃。可以使用胶层920将支撑基板910粘附到下模制构件400的顶表面。胶层920可以是例如树脂膜。

[0070] 可以去除载体基板800。可以如虚线所示去除载体基板800,以暴露下半导体芯片300的底表面300b和连接基板200的底表面200b。可以通过施加剪切应力或通过化学处理粘

附构件来去除载体基板800。

[0071] 参考图22,可以在下半导体芯片300的底表面300b和连接基板200的底表面200b上形成下基板100。例如,可以在下半导体芯片300的底表面300b上和连接基板200的底表面200b上形成电介质层102、导电层104和基板焊盘106,从而可以制造下基板100。可以在下半导体芯片300的底表面300b上和连接基板200的底表面200b上形成电介质材料层(例如,氧化硅层),然后图案化电介质材料层以形成电介质层102的一部分。下芯片焊盘305和连接基板焊盘222可以通过电介质层102暴露。可以在电介质层102的底表面上形成导电材料层,然后图案化导电材料层以形成导电层104和基板焊盘106。导电层104可以电连接到下半导体芯片300和连接基板200。可以在导电层104的底表面上形成电介质材料层,然后图案化电介质材料层以形成电介质层102的其他部分。在该阶段,基板焊盘106可以通过电介质层102暴露。

[0072] 可以在暴露的基板焊盘106上形成外部端子110。外部端子110可以包括焊球或焊料凸块。

[0073] 参考图23,可以去除支撑基板910。例如,可以通过施加剪切应力或通过化学处理胶层920来去除支撑基板910。可以如虚线所示去除支撑基板910,以暴露下模制构件400的顶表面。

[0074] 可以蚀刻下模制构件400以形成暴露第一焊盘CP1、第二焊盘CP2和第三焊盘CP3的第一凹陷RS1。通过上述工艺可以制造底部封装P100。

[0075] 之后,可以执行参考图1所述的工艺。例如,可以在底部封装P100上安装顶部封装P200以制造图5的半导体封装。

[0076] 作为总结和回顾,一些示例实施例提供了具有改善电特性的半导体封装及其制造方法。一些示例实施例还提供了紧凑大小的半导体封装及其制造方法。一些示例实施例还提供了具有改善热稳定性的半导体封装及其制造方法。

[0077] 也即,根据一些示例实施例的半导体封装可以被配置为使得顶部封装的连接端子可以全部设置在连接基板和下半导体芯片上。因此,导电图案可以重新分布顶部封装的电路,并且可以增加顶部封装和底部封装之间的布线自由度。

[0078] 另外,因为不需要附加的基板进行底部封装和顶部封装之间的再分布,所以半导体封装的厚度可以减小。结果,半导体封装可以具有整体减小的大小。此外,半导体封装总厚度的减小可以允许下半导体芯片具有增加的厚度,因此下半导体芯片可以有利地散热。此外,从下半导体芯片产生的热量可以通过导电图案释放掉,从而增加散热。

[0079] 本文已经公开了示例实施例,并且尽管采用了特定术语,但是这些术语仅用于且应被解释为一般性、描述性含义,而不是为了限制的目的。在一些情况下,在提交本申请时本领域普通技术人员应清楚,结合特定实施例描述的特征、特性和/或元件可以单独使用或者与结合其它实施例描述的特征、特性和/或元件组合使用,除非另外具体指出。因此,本领域技术人员将理解,在不脱离如所附权利要求中阐述的本发明的精神和范围的前提下,可以进行形式和细节上的各种改变。

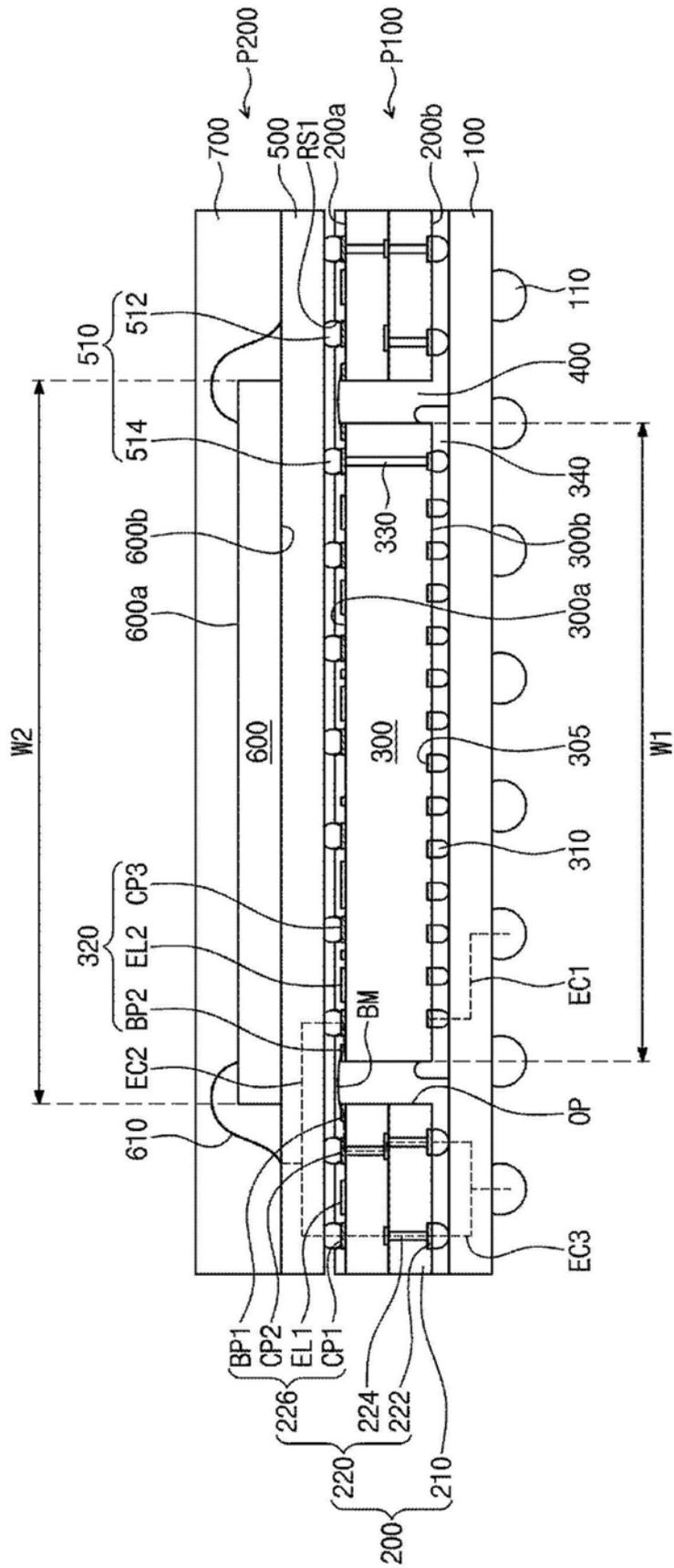


图1

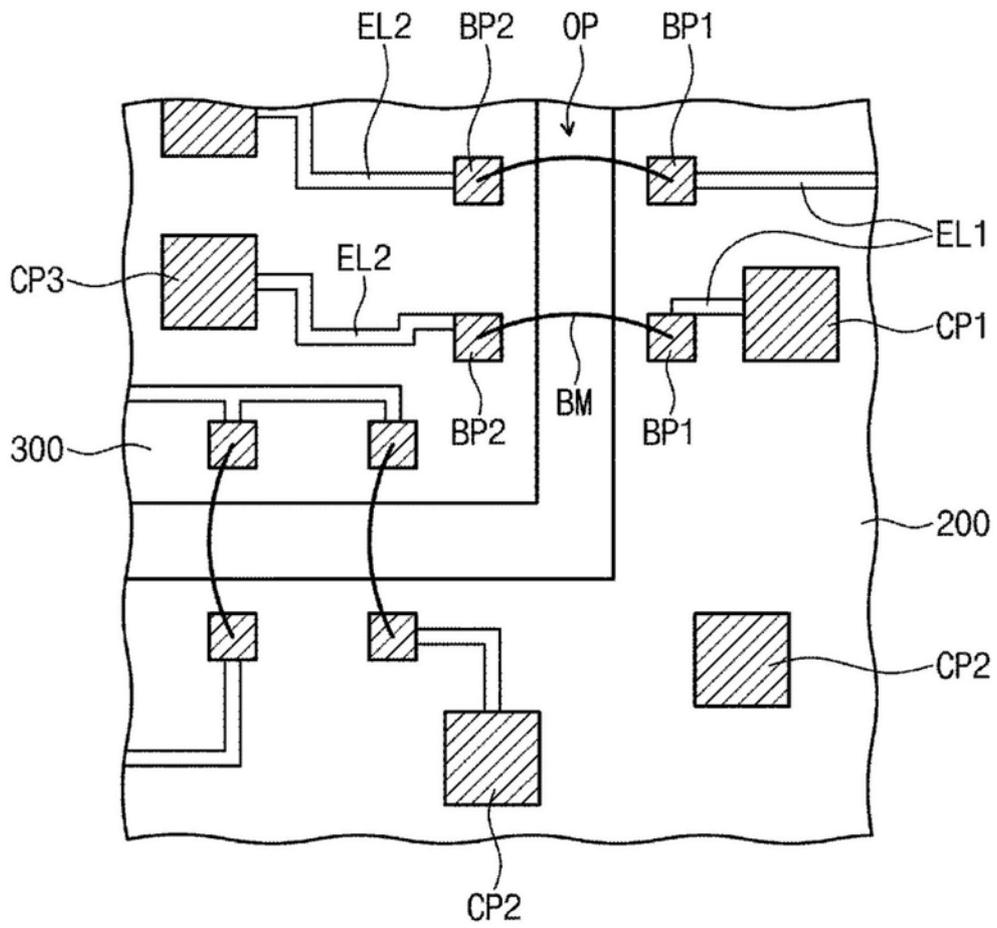


图2

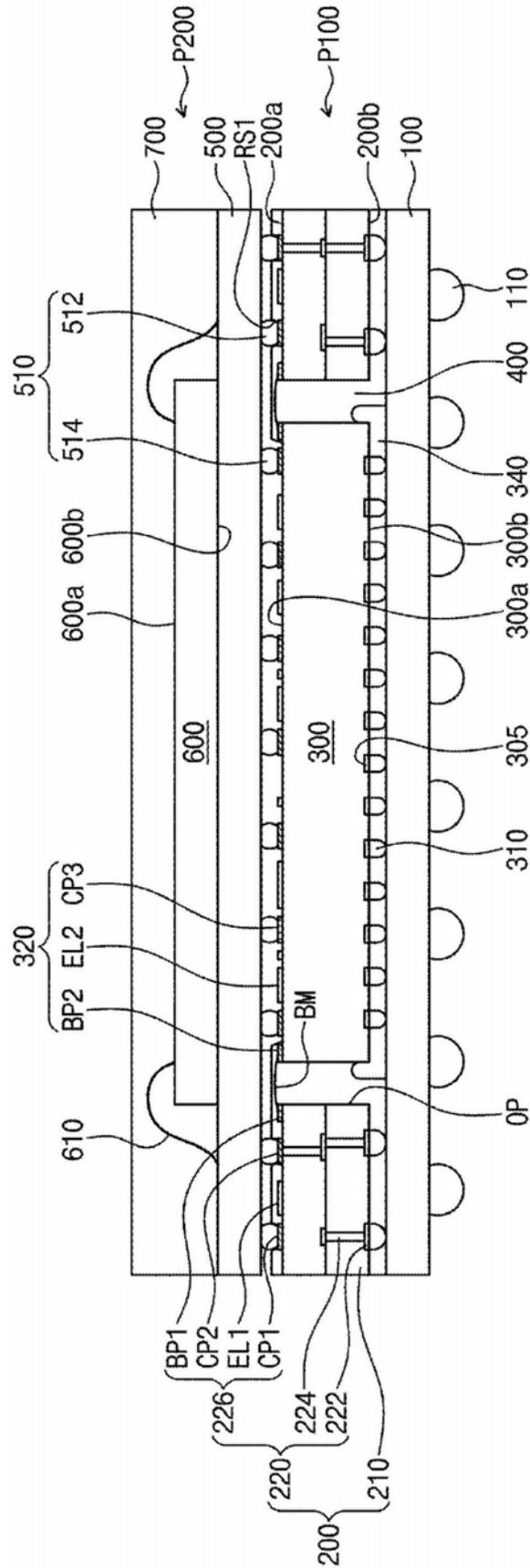


图3

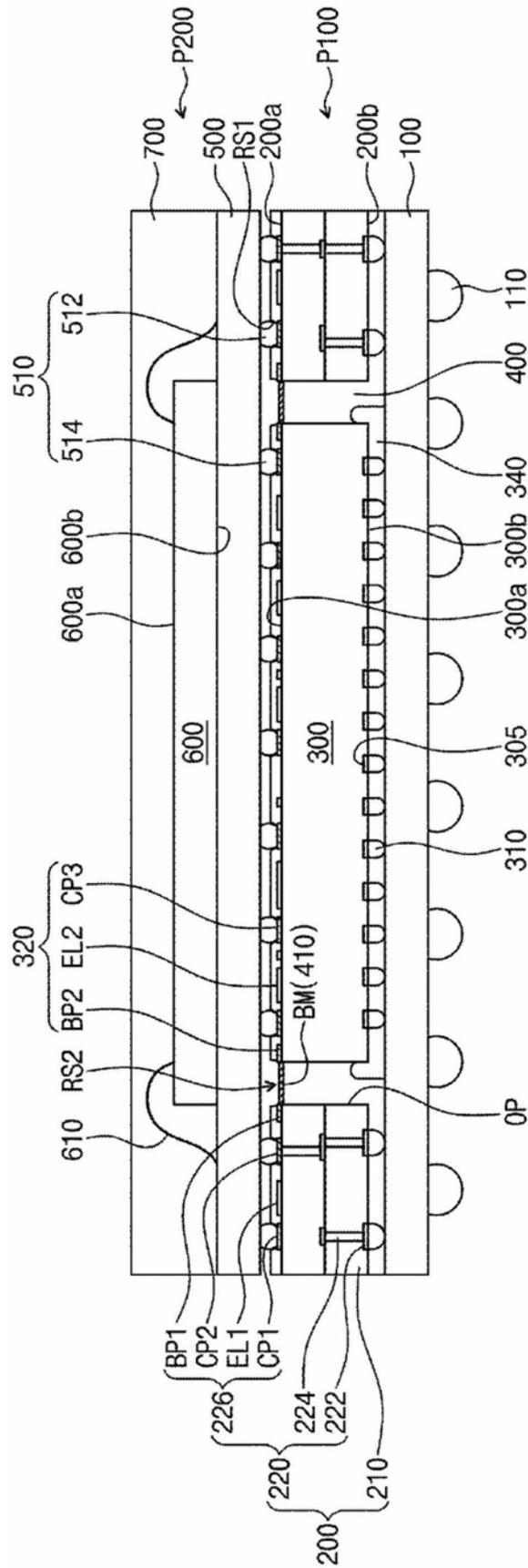


图4

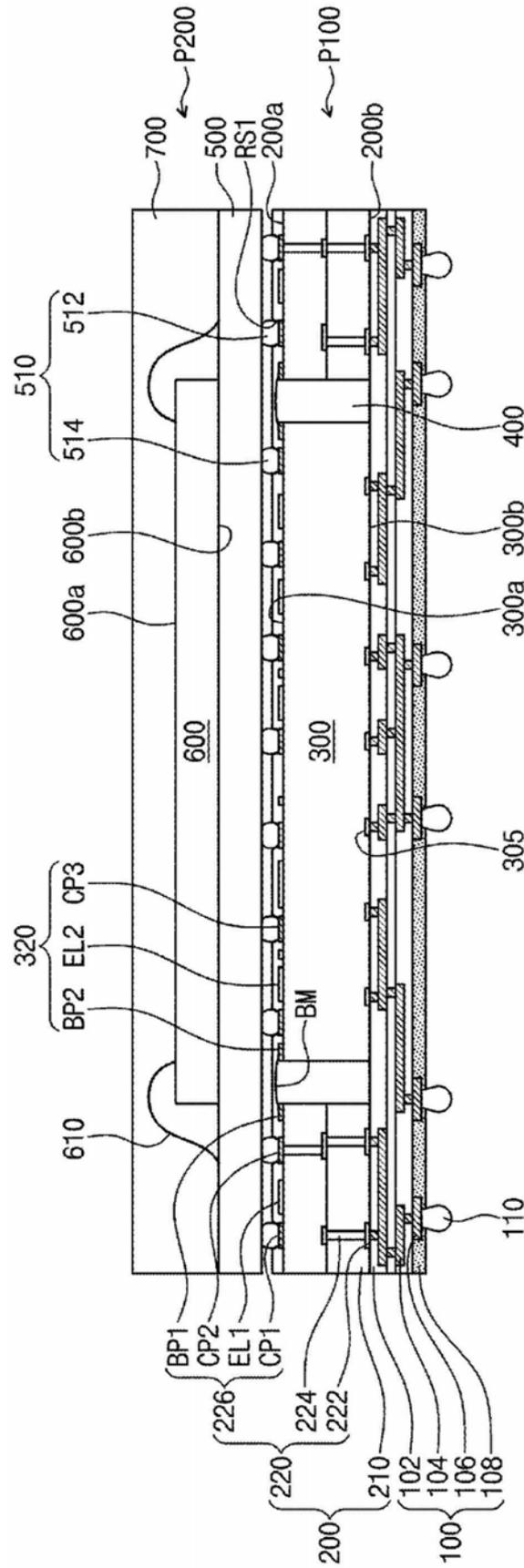


图5

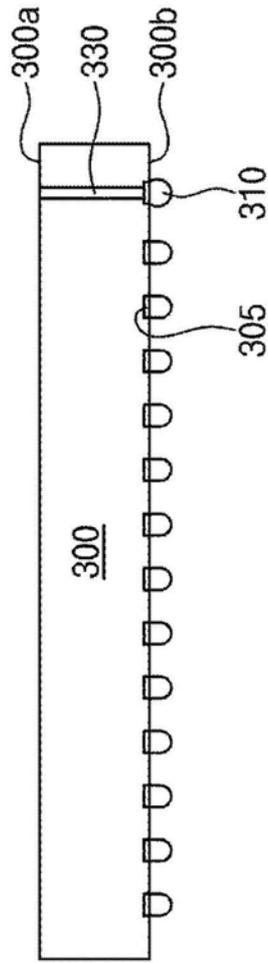


图6

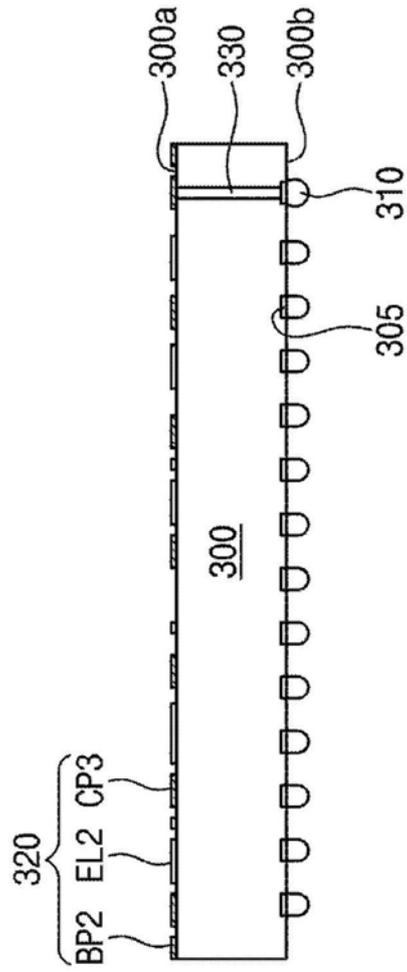


图7

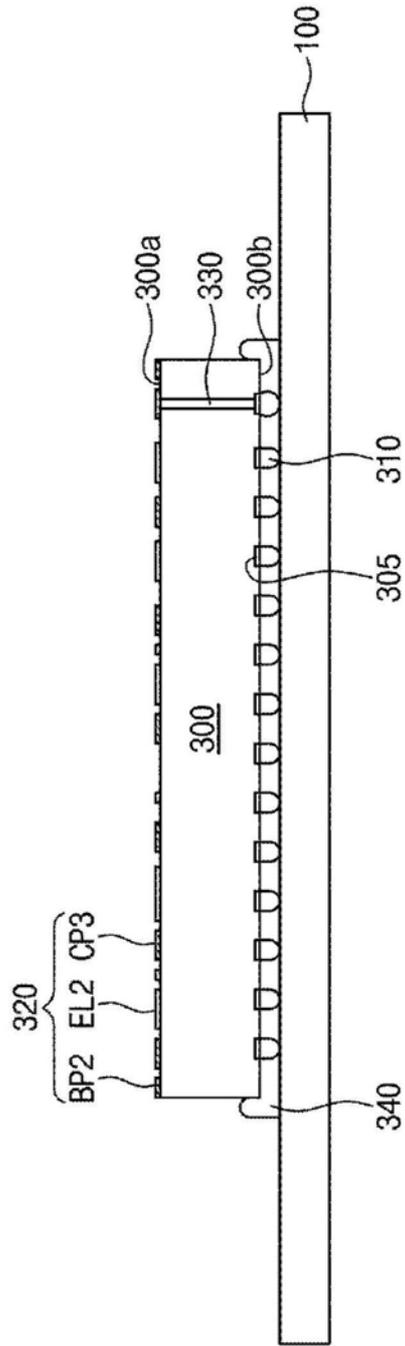


图8

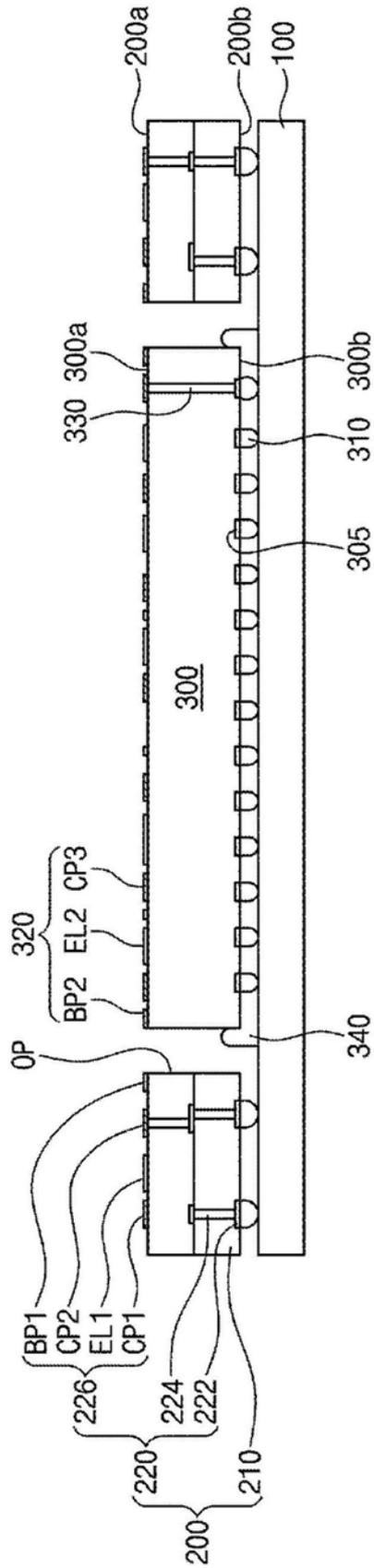


图9

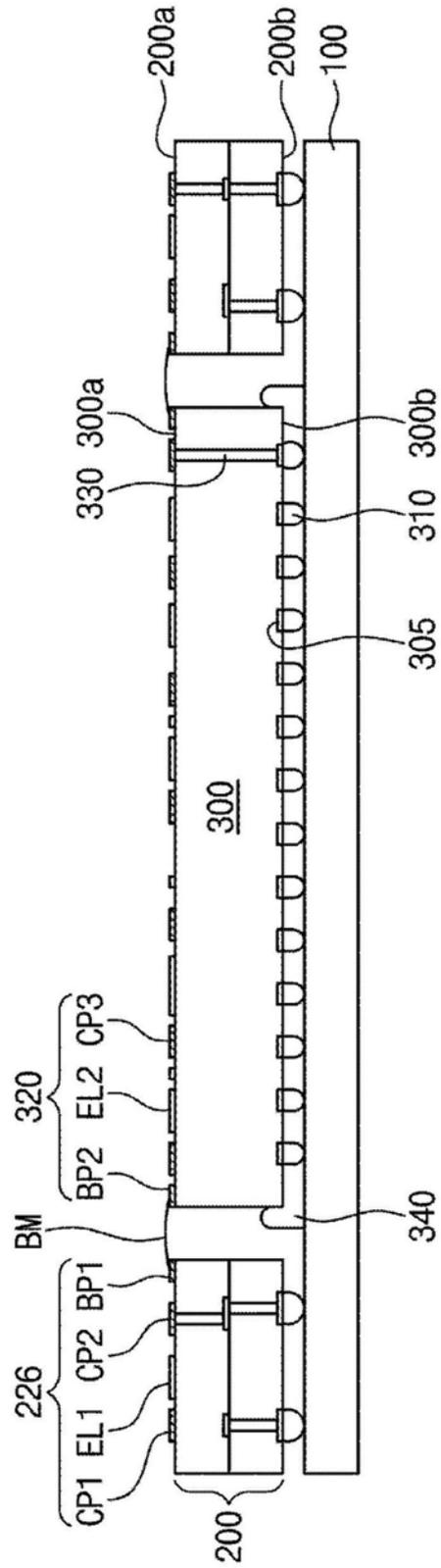


图10

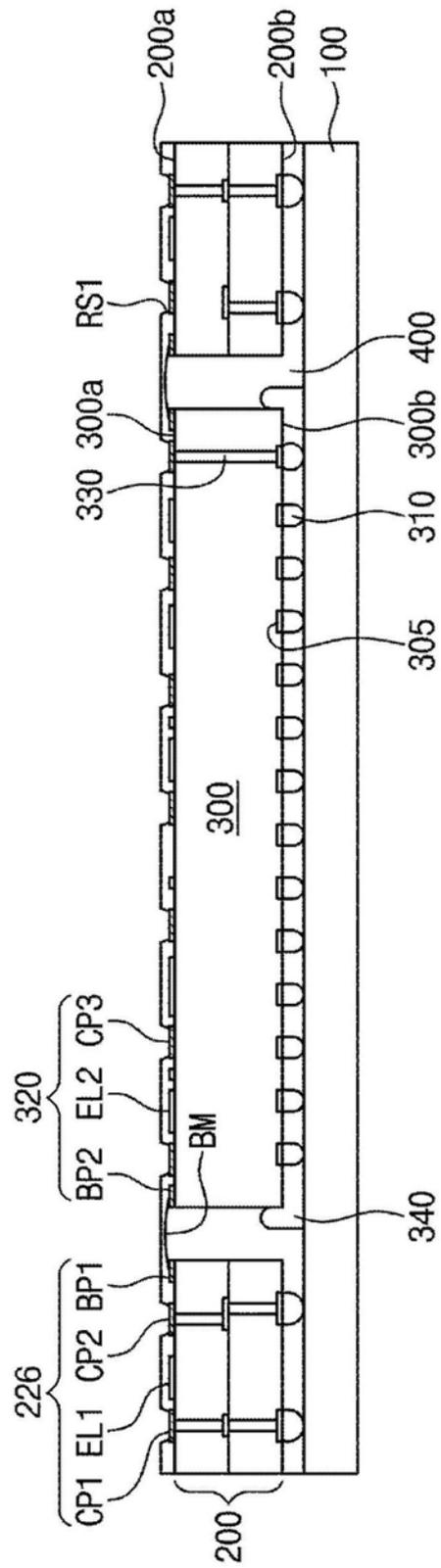


图11

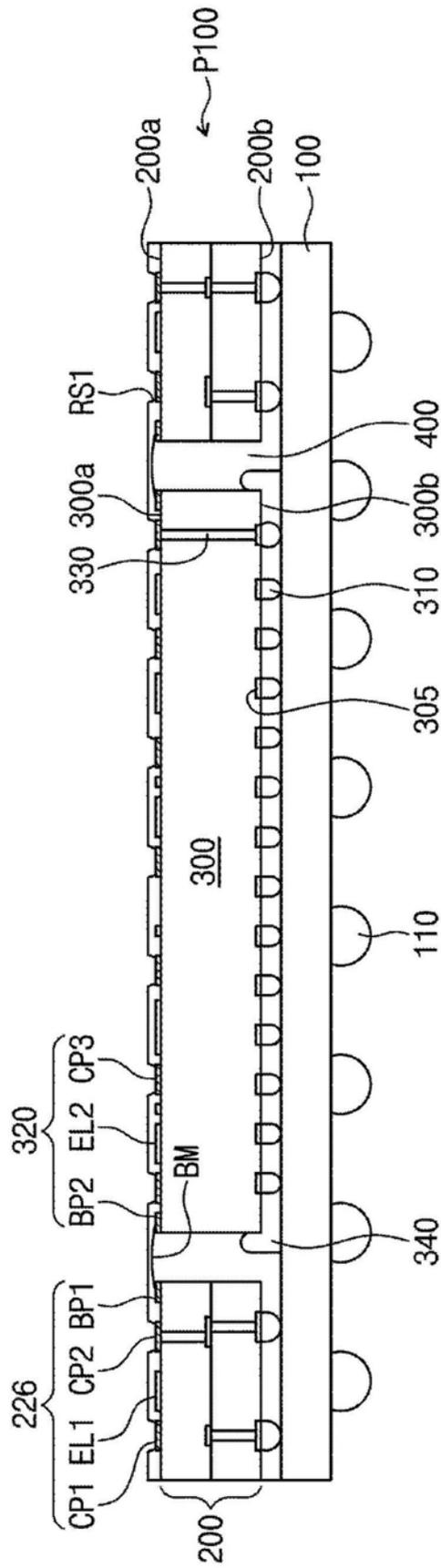


图12

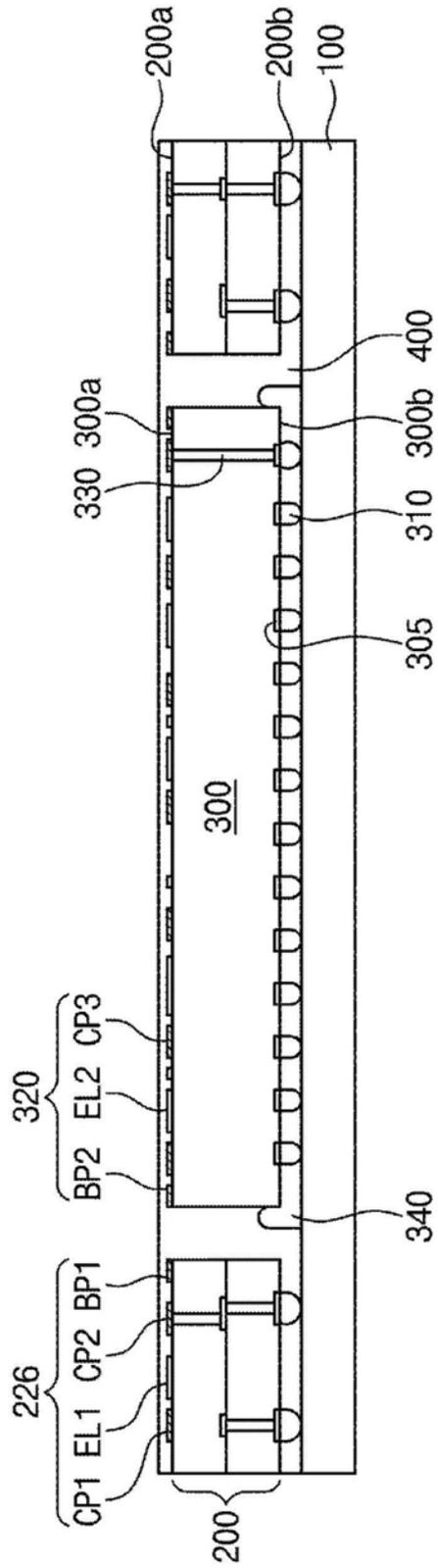


图13

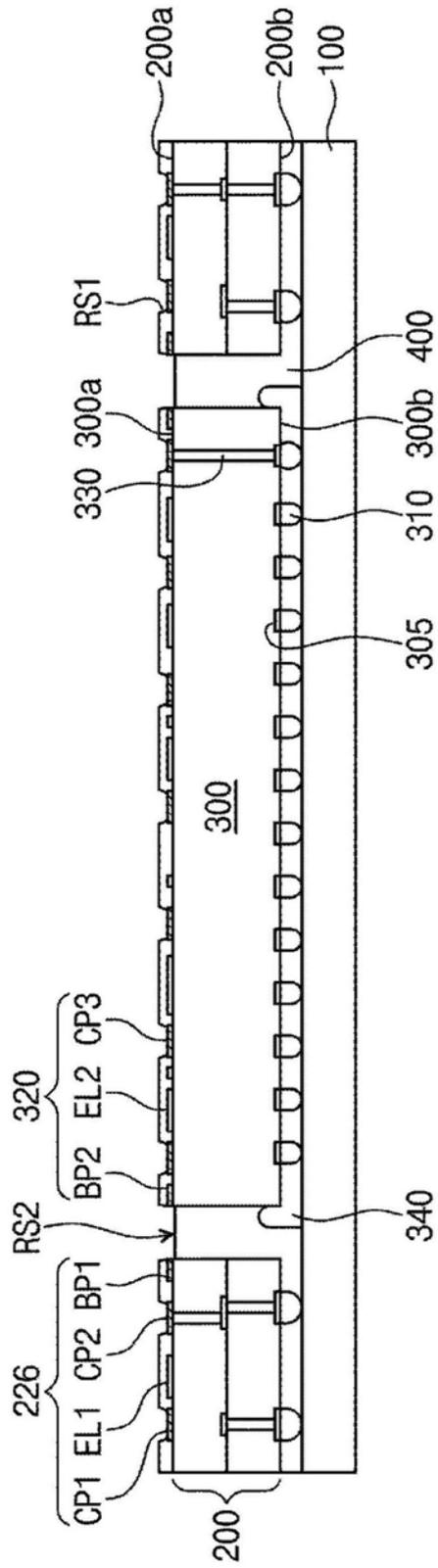


图14

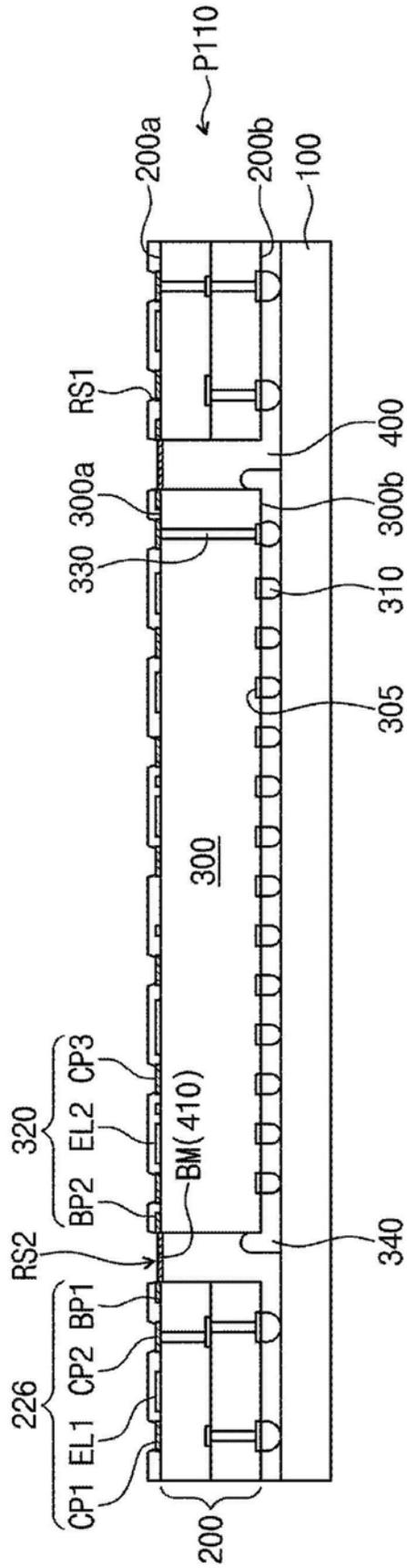


图15

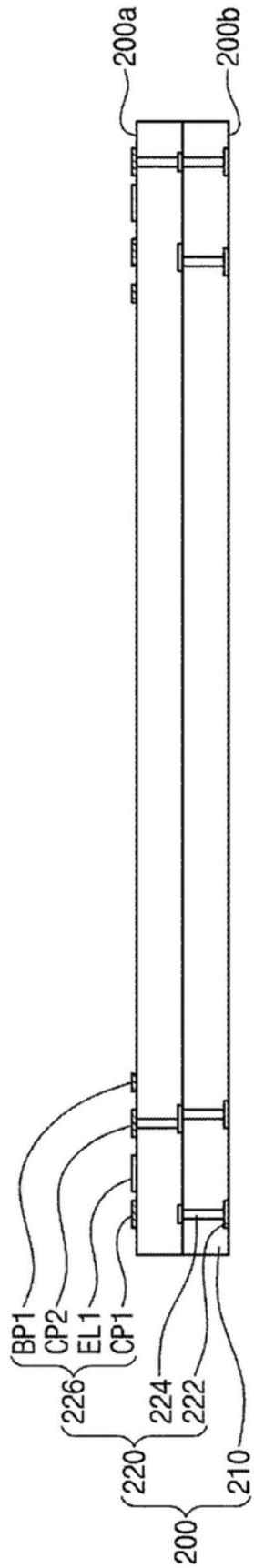


图16

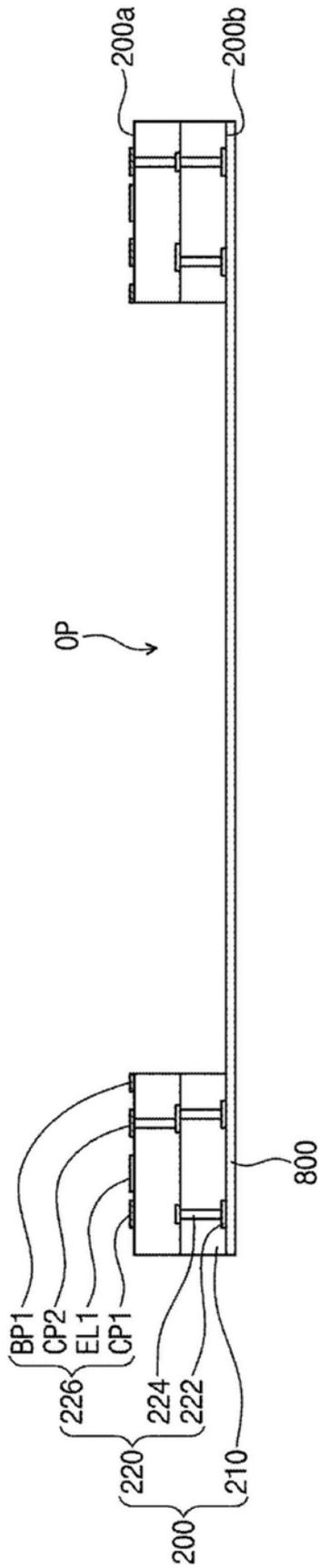


图17

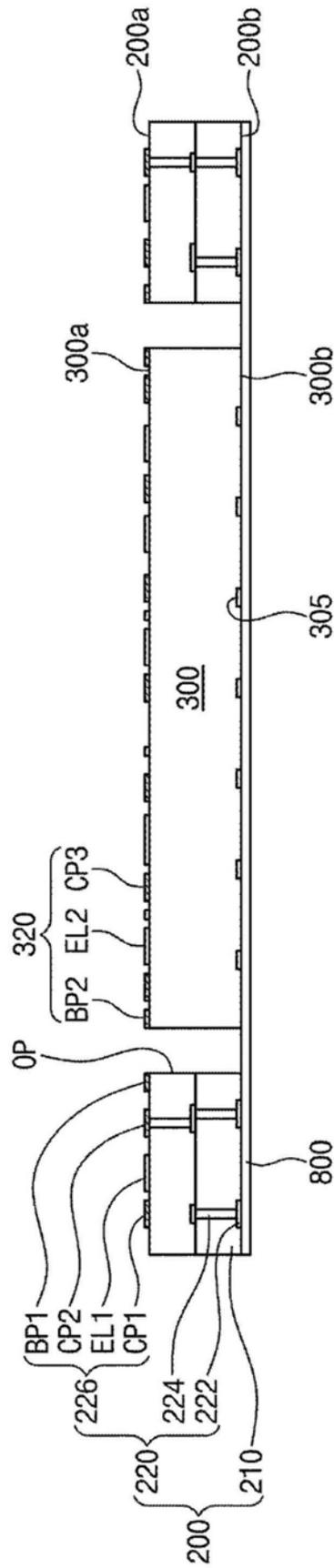


图18

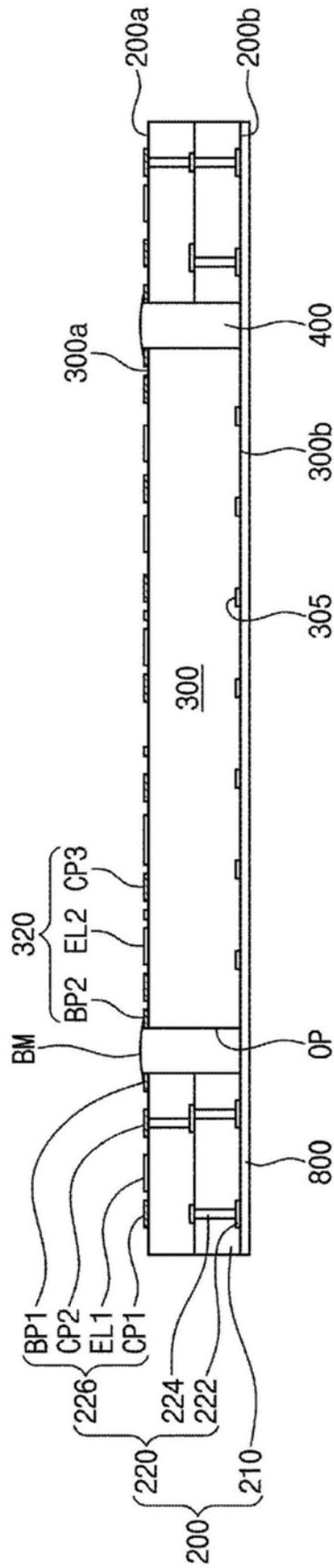


图19

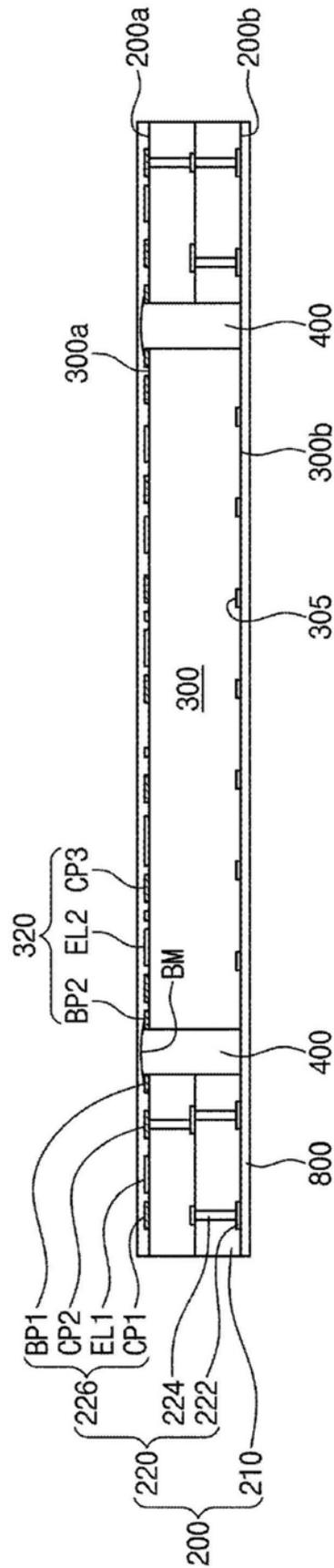


图20

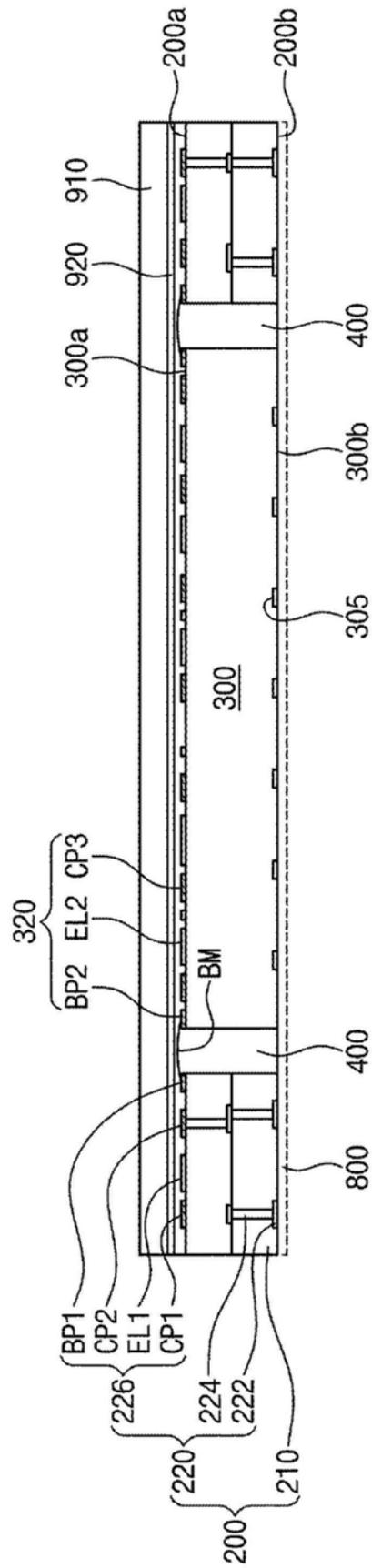


图21

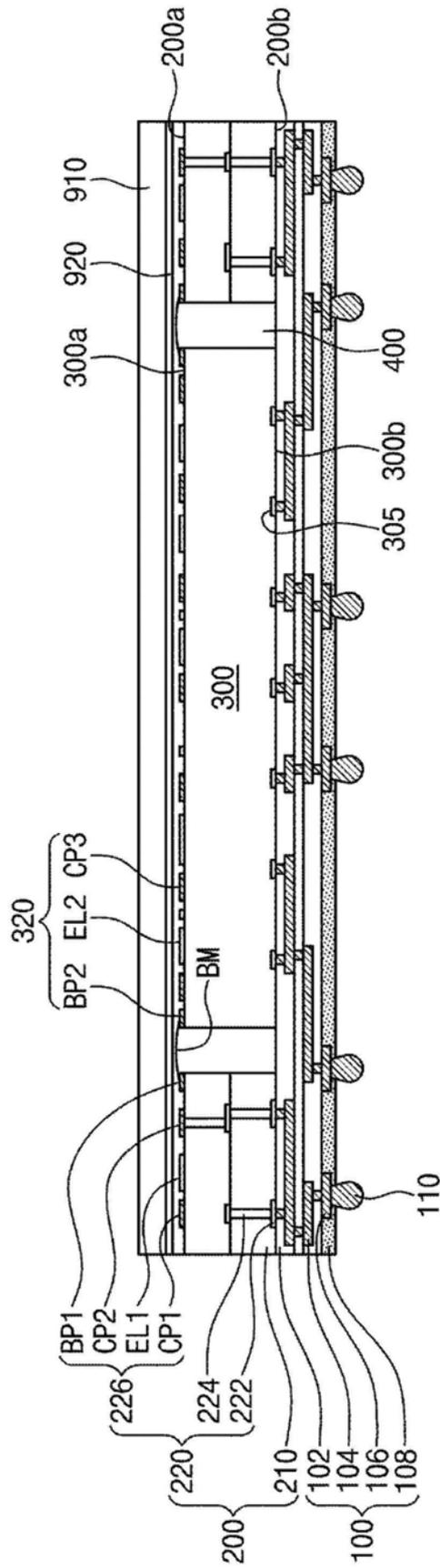


图22

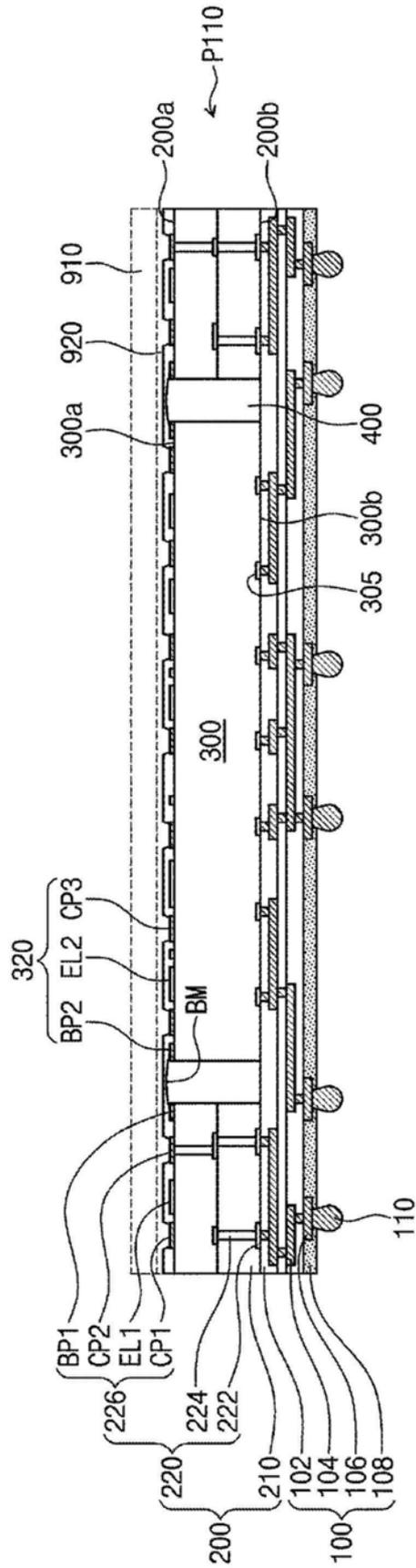


图23