

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7551772号
(P7551772)

(45)発行日 令和6年9月17日(2024.9.17)

(24)登録日 令和6年9月6日(2024.9.6)

(51)国際特許分類	F I
H 1 0 B 43/27 (2023.01)	H 1 0 B 43/27
H 1 0 B 43/50 (2023.01)	H 1 0 B 43/50
H 0 1 L 21/336 (2006.01)	H 0 1 L 29/78 3 7 1
H 0 1 L 29/788 (2006.01)	H 0 1 L 21/90 A
H 0 1 L 29/792 (2006.01)	

請求項の数 16 (全23頁) 最終頁に続く

(21)出願番号	特願2022-562605(P2022-562605)	(73)特許権者	595168543 マイクロン テクノロジー, インク . アメリカ合衆国, アイダホ州 8 3 7 1 6 - 9 6 3 2 , ボイズ, サウス フェデ ラル ウェイ 8 0 0 0
(86)(22)出願日	令和3年2月24日(2021.2.24)	(74)代理人	100121083 弁理士 青木 宏義
(65)公表番号	特表2023-521874(P2023-521874 A)	(74)代理人	100138391 弁理士 天田 昌行
(43)公表日	令和5年5月25日(2023.5.25)	(74)代理人	100074099 弁理士 大菅 義之
(86)国際出願番号	PCT/US2021/070187	(72)発明者	ホサイン エス エム イスティアケ アメリカ合衆国 アイダホ州 8 3 7 1 6 ボイズ イースト プロスペリティ スト リート 6 8 6 7
(87)国際公開番号	WO2021/212129		
(87)国際公開日	令和3年10月21日(2021.10.21)		
審査請求日	令和4年12月7日(2022.12.7)		
(31)優先権主張番号	16/851,638		
(32)優先日	令和2年4月17日(2020.4.17)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 アレイ領域および非アレイ領域にピラーを含む電子デバイス、ならびに関連するシステムおよび方法

(57)【特許請求の範囲】

【請求項 1】

ソースに隣接する下段デッキおよび上段デッキであって、前記下段デッキおよび前記上段デッキのそれぞれが、交互する導電性材料と誘電性材料との階層を含み、前記下段デッキおよび前記上段デッキのそれぞれが、アレイ領域と1つまたは複数の非アレイ領域を含む、下段デッキおよび上段デッキと、

前記アレイ領域の前記下段デッキおよび前記上段デッキ内にあるメモリピラーであって、前記メモリピラーが前記ソースに動作可能に結合されるように構成される、メモリピラーと、

前記1つまたは複数の非アレイ領域の前記上段デッキ内にあるダミーピラーであって、前記ダミーピラーが前記ソースから電氣的に分離されるように構成される、ダミーピラーと、

前記1つまたは複数の非アレイ領域の前記上段デッキおよび前記下段デッキ内にある別の導電性材料であって、前記上段デッキの上面から前記ソースの下面へ延びる、前記別の導電性材料と

を備える、電子デバイス。

【請求項 2】

前記メモリピラーが、前記上段デッキおよび前記下段デッキを通して延びる、請求項1に記載の電子デバイス。

【請求項 3】

前記メモリピラーが、チャンネル材料および1つまたは複数のセル材料を含む、請求項1に記載の電子デバイス。

【請求項4】

前記メモリピラーが、前記上段デッキ、前記下段デッキ、および前記ソースを通して延びる、請求項1に記載の電子デバイス。

【請求項5】

前記ダミーピラーが、前記上段デッキを通して延びる、請求項1に記載の電子デバイス。

【請求項6】

前記ダミーピラーが、前記下段デッキを通して延びることがない、請求項1に記載の電子デバイス。

【請求項7】

前記上段デッキの前記メモリピラーおよび前記ダミーピラーが、同一ピッチを含む、請求項1に記載の電子デバイス。

【請求項8】

前記ダミーピラーの一部が、前記別の導電性材料を取り巻く、請求項1から7のいずれか一項に記載の電子デバイス。

【請求項9】

前記階層の前記導電性材料が、前記ソースに動作可能に結合される、請求項1から7のいずれか一項に記載の電子デバイス。

【請求項10】

前記階層の前記誘電性材料が、前記ダミーピラーの導電性材料を、前記ソースから電気的に分離する、請求項1から7のいずれか一項に記載の電子デバイス。

【請求項11】

システムであって、
 入力デバイスと、
 出力デバイスと、
 前記入力デバイスおよび前記出力デバイスに動作可能に結合されるプロセッサデバイスと、

前記プロセッサデバイスに動作可能に結合され、請求項1から7のいずれか一項に記載の前記電子デバイスを備える、システム。

【請求項12】

前記アレイ領域の前記下段デッキおよび前記上段デッキにおける前記メモリピラーが、互いに実質的に位置が揃っている、請求項11に記載のシステム。

【請求項13】

前記電子デバイスが三次元NANDメモリデバイスを含む、請求項11または12に記載のシステム。

【請求項14】

電子デバイスを形成する方法であって、
 交互する窒化物材料と誘電性材料との階層を含む下段デッキを形成することであって、前記下段デッキが、アレイ領域と1つまたは複数の非アレイ領域を含む、形成することと、
 前記下段デッキの前記アレイ領域にピラー開口部を形成することであって、前記ピラー開口部を前記下段デッキの前記1つまたは複数の非アレイ領域に形成することなく、ピラー開口部を形成することと、

前記下段デッキの前記アレイ領域にある前記ピラー開口部内にセル膜材料を形成することと、

交互する窒化物材料と誘電性材料との階層を含む上段デッキを前記下段デッキに隣接して形成することであって、前記上段デッキが、アレイ領域と1つまたは複数の非アレイ領域を含む、形成することと、

前記上段デッキの前記アレイ領域と前記1つまたは複数の非アレイ領域にピラー開口部

10

20

30

40

50

を形成することと、

前記上段デッキの前記アレイ領域と前記1つまたは複数の非アレイ領域にある前記ピラー開口部内にセル膜材料を形成することであって、前記上段デッキの前記アレイ領域内の前記セル膜材料が、前記下段デッキの前記アレイ領域内の前記セル膜材料の上に重なり、前記上段デッキの前記1つまたは複数の非アレイ領域内の前記セル膜材料が、前記下段デッキの前記1つまたは複数の非アレイ領域内の前記交互する窒化物材料と誘電性材料との階層の上に重なる、形成することと、

前記上段デッキおよび前記下段デッキの前記1つまたは複数の非アレイ領域に空隙を形成することと、

前記空隙に導電性材料を形成することと、

前記階層の前記誘電性材料間に空間を形成するために前記階層の前記窒化物材料を除去することと、

前記空間に別の導電性材料を形成することとを含む、方法。

【請求項15】

前記下段デッキの前記アレイ領域にある前記ピラー開口部内にセル膜材料を形成すること、および前記上段デッキの前記アレイ領域にある前記ピラー開口部内にセル膜材料を形成することが、前記上段デッキを通して、前記下段デッキを通して、前記下段デッキの下にあるソースを通して延びる前記セル膜材料を形成することを含む、請求項14に記載の方法。

【請求項16】

請求項14または15に記載の方法であって、

前記下段デッキの前記アレイ領域にある前記ピラー開口部内にセル膜材料を形成すること、および前記上段デッキの前記アレイ領域にある前記ピラー開口部内にセル膜材料を形成することが、前記電子デバイスの前記アレイ領域内の前記上段デッキ内および前記下段デッキ内にメモリピラーを形成することを含み、

前記上段デッキの前記1つまたは複数の非アレイ領域内の前記ピラー開口部内にセル膜材料を形成することが、前記電子デバイスの前記非アレイ領域の前記上段デッキにダミーピラーを形成することを含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

[関連する出願へのクロスリフェレンス]

本出願は、2020年4月17日に提出された米国特許出願番号16/851,638であって、2022年7月12日発行の現在の米国特許番号11,387,245に対する特許協力条約第8条に基づく利益を主張する、日本国を指定し且つ2021年10月21日に国際特許公開WO2021/212129として英語で公開された出願日2021年2月24日の国際特許出願PCT/US2021/070187の国内段階移行である。

【0002】

本明細書で開示される実施形態は、電子デバイスおよび電子デバイス製作に関する。より詳細には、本開示の実施形態は、アレイ領域および非アレイ領域にピラーを含む電子デバイス、ならびに関連する電子システムおよび方法に関する。

【背景技術】

【0003】

メモリデバイスは、電子システムのためのデータ記憶装置を実現する。Flashメモリデバイスは、様々なメモリセルデバイスのタイプのうちの1つであり、現代のコンピュータおよび他の電気的なデバイスにおいて多数の用途がある。従来型のFlashメモリデバイスは、行列に配列された多数の電荷記憶デバイス(例えば、不揮発性のメモリセルなどのメモリセル)を有するメモリアレイを含む。FlashメモリのNANDアーキテ

10

20

30

40

50

クチャタイプでは、列方向に配列されたメモリセルは直列に結合され、列の第1のメモリセルは、データ線（例えば、ビット線）に結合される。垂直方向のメモリデバイスのタイプである、三次元NAND（3D NAND）のメモリデバイスでは、メモリセルが水平なアレイに行列様式で配列されるだけでなく、水平なアレイの階層が互いに積層されて（例えば、垂直方向に積層される）、三次元アレイのメモリセルを実現する。階層は、導電性材料を絶縁性の（例えば、誘電性の）材料とともに交互に含む。導電性材料は、例えばメモリセルのアクセス線（例えば、ワード線）のための制御ゲートとして機能する。垂直構造（例えば、チャンネル領域を含むピラー）は、メモリセルの垂直ストリングに沿って延びる。ストリングのドレイン端部は、垂直構造（例えば、ピラー）の上部および底部のうちの1つに隣接し、ストリングのソース端部は、ピラーの上部および底部のもう一方に隣接する。ドレイン端部は、ビット線に動作可能に接続され、ソース端部はソース線に動作可能に接続される。3D NANDのメモリデバイスはまた、垂直ストリングのメモリセルが書き込み、読み出し、および消去動作のために選択され得るように、例えばアクセス線（例えば、ワード線）とデバイスの他の導電性構造との間に電気的な接続を含む。ストリングドライバは、垂直ストリングのメモリセルに書き込みするために、またはメモリセルから読み出しするために、アクセス線（例えば、ワード線）電圧を駆動する。

10

【0004】

3D NANDのメモリデバイスのメモリ密度が大きくなると、形成される階層の数（例えば、交互する誘電性材料と導電性材料との数）が増加する。しかしながら、3D NANDのメモリデバイスでは、階層の数が増加すると、ピラー曲がりが見られる。

20

【0005】

サマリ

したがって、電子デバイスが開示される。電子デバイスは、ソースに隣接する下段デッキおよび上段デッキを備える。下段デッキおよび上段デッキのそれぞれは、交互する導電性材料と誘電性材料との階層を含む。下段デッキおよび上段デッキのそれぞれはまた、アレイ領域と1つまたは複数の非アレイ領域を含む。メモリピラーは、アレイ領域の下段デッキおよび上段デッキ内にあり、メモリピラーはソースに動作可能に結合されるように構成される。ダミーピラーは、1つまたは複数の非アレイ領域の上段デッキ内にあり、ダミーピラーはソースから電気的に分離されるように構成される。別の導電性材料は、1つまたは複数の非アレイ領域の上段デッキおよび下段デッキ内にある。

30

【0006】

したがって、別の電子デバイスが開示される。電子デバイスは、アレイ領域内にメモリピラー、および交互する導電性材料と誘電性材料とを含む複数のデッキを含む。メモリピラーは、複数のデッキの第1のデッキと第2のデッキ内にある。ダミーピラーは、電子デバイスの非アレイ領域の第2のデッキ内にあり、ダミーピラーは第1のデッキにはない。ソースは、第1のデッキの下にあり、メモリピラーに動作可能に結合され、ダミーピラーから電気的に分離される。別の導電性材料は、1つまたは複数の非アレイ領域の第1のデッキおよび第2のデッキ内にある。

【0007】

したがって、電子デバイスを形成する方法が開示される。特許請求の方法は、交互する窒化物材料と誘電性材料との階層を含む下段デッキを形成することを含む。下段デッキは、アレイ領域と1つまたは複数の非アレイ領域を含む。ピラー開口部は、ピラー開口部を下段デッキの1つまたは複数の非アレイ領域に形成することなく、下段デッキのアレイ領域に形成される。セル膜材料は、下段デッキのアレイ領域にあるピラー開口部内に形成される。上段デッキは形成され、下段デッキに隣接して、交互する窒化物材料と誘電性材料との階層を含む。上段デッキはアレイ領域と1つまたは複数の非アレイ領域を含む。ピラー開口部は、上段デッキのアレイ領域と1つまたは複数の非アレイ領域に形成される。セル膜材料は、上段デッキのアレイ領域と1つまたは複数の非アレイ領域にあるピラー開口部内に形成される。上段デッキのアレイ領域内のセル膜材料は、下段デッキのアレイ領域のセル膜材料の上に重なる。上段デッキの1つまたは複数の非アレイ領域内のセル膜材料

40

50

は、下段デッキの1つまたは複数の非アレイ領域内の交互する窒化物材料と誘電性材料との階層の上に重なる。空隙は、上段デッキおよび下段デッキの1つまたは複数の非アレイ領域に形成され、導電性材料は空隙に形成される。階層の窒化物材料は、階層の誘電性材料間に空間を形成するために除去される。別の導電性材料が、その空間に形成される。

【0008】

したがって、電子デバイスを形成する別の方法が開示される。方法は、下段デッキおよび上段デッキを含む電子機器構造体を形成することを含む。下段デッキおよび上段デッキのそれぞれは、交互する窒化物材料と誘電性材料との階層を含む。メモリピラーは、電子機器構造体のアレイ領域内の上段デッキおよび下段デッキに形成される。ダミーピラーは、電子機器構造体の非アレイ領域の上段デッキに形成される。ダミーピラーの一部、上段デッキの交互する窒化物材料と誘電性材料の一部、および下段デッキの交互する窒化物材料と誘電性材料の一部は、空隙を形成するために、非アレイ領域から除去される。空隙は、非アレイ領域の上段デッキの上面から、下段デッキの下にあるソース内に延びる。導電性材料は、その空隙に形成される。階層の窒化物材料は、誘電性材料間に空間を形成するために除去される。別の導電性材料が、誘電性材料間の空間に形成される。

10

【0009】

したがって、入力デバイス、出力デバイス、プロセッサデバイス、およびメモリデバイスを含むシステムが開示される。メモリデバイスは、アレイ領域と1つまたは複数の非アレイ領域を含む。上段ピラーは、アレイ領域の上段デッキおよび1つまたは複数の非アレイ領域の上段デッキにある。下段ピラーは、アレイ領域の下段デッキのみにある。導電性材料は、1つまたは複数の非アレイ領域の上段デッキおよび下段デッキ内にある。プロセッサデバイスは、入力デバイスおよび出力デバイスに動作可能に結合され、メモリデバイスは、プロセッサデバイスに動作可能に結合される。

20

【図面の簡単な説明】

【0010】

【図1】本開示の実施形態による、下段デッキおよび上段デッキにピラーを含む電子機器構造体の断面図である。

【図2】本開示の実施形態による、電子機器構造体を形成する様々な段階における、電子機器構造体の断面図である。

【図3】本開示の実施形態による、電子機器構造体を形成する様々な段階における、電子機器構造体の断面図である。

30

【図4】本開示の実施形態による、下段デッキと上段デッキにピラーを含む電子デバイスの断面図である。

【図5A】図4の電子デバイスの下段デッキを上から見下ろした図である。

【図5B】図4の電子デバイスの上段デッキを上から見下ろした図である。

【図6】本開示の実施形態による、1つまたは複数の電子デバイスを含むメモリアレイのブロック図である。

【図7】本開示の実施形態による、電子デバイスのうちの1つまたは複数を含むシステムのブロック図である。

【発明を実施するための形態】

40

【0011】

複数のデッキを含む電子デバイス（例えば、装置、マイクロ電子デバイス、半導体デバイス、メモリデバイス）が開示され、この電子デバイスのデッキのすべての部分より少ない部分には、ピラーが存在する。ピラーは、電子デバイスのアレイ領域（例えば、アクティブ領域）および電子デバイスの非アレイ領域（例えば、非アクティブ領域、周辺領域）の上段デッキに存在する。ピラーは、電子デバイスの非アレイ領域の下段デッキには存在しない。ピラーは、電子デバイスのアレイ領域および非アレイ領域の上段デッキに存在する。アレイ領域のピラーは、メモリピラー（例えば、チャンネルピラー）として構成され、非アレイ領域のピラーはいわゆる「ダミーピラー」として構成される。非アレイ領域の上段デッキにあるピラーは、非アレイ領域にある接点の近くにある。非アレイ領域の上段デ

50

ッキにあるピラーは、ピラーを含む電子デバイスのアレイ領域に対してピラー曲がりの低減を実現する。非アレイ領域の下段デッキにはピラーが存在しないが、アレイ領域の下段デッキにはピラーが存在するという点で、電子デバイスの上段デッキおよび下段デッキのピラーは、非対称である。

【0012】

本明細書で説明される実施形態の十分な説明を与えるべく、以下の説明は、材料のタイプ、材料の厚み、プロセス条件などの具体的な詳細を与える。しかしながら、当業者であれば、本明細書で開示される実施形態は、これらの具体的な細部を採用することなく実用化され得ることを理解されよう。実際、本実施形態は、半導体業界で採用される従来の製作技法と併せて実用化してもよい。加えて、本明細書で与えられる説明は、電子デバイスの完全な説明または電子デバイスを製造するための完全なプロセスフローを形成するものではないし、以下で説明される構造体は完全な電子デバイスを形成するものではない。本明細書で説明される実施形態を理解するために必要なプロセス行為および構造体のみを、以下で詳細に説明する。完全な電子デバイスを形成するための追加的な行為は、従来技術によって実施されてもよい。

10

【0013】

そうではないと示されない限り、本明細書で説明される材料は、スピンコーティング、ブランケットコーティング、化学気相蒸着(CVD)、原子層堆積(ALD)、プラズマ強化ALD、物理気相蒸着(PVD)(スパッタリング、蒸発、イオン化PVD、および/またはプラズマ強化CVDを含む)、またはエピタキシャル成長を含む従来技術によって形成されてもよいが、それらに限定されない。あるいは、材料は*in situ*で成長させてもよい。形成される具体的な材料に応じて、材料を蒸着または成長させるための技法は、当業者によって選択することができる。材料の除去は、エッチング(例えば、ドライエッチング、ウェットエッチング、気相エッチング)、イオンミリング、アブレーション平坦化(例えば、化学機械的な平坦化)、または文脈が特に示さない限り他の既知の方法を含む任意の適切な技法によって達成することができるが、それらに限定されない。

20

【0014】

本明細書で提示される図面は、説明目的のものに過ぎず、あらゆる特定の材料、コンポーネント、構造体、電子デバイスまたは電子システムの実際の見た目であることを意図されない。例えば、製造技法および/または製造公差の結果として、図面に描かれる形状にはばらつきがあることが見込まれる。故に、本明細書で説明される実施形態は、図示される通りの特定の形状または領域に限定されるものと解釈されてはならず、例えば製造に起因する形状のずれを含む。例えば、四角い形状として図示または説明される領域は、滑らかではない、および/または非線形な特徴を有してもよく、円形として図示または説明される領域は、一部滑らかではない、および/または線形な特徴を含んでもよい。その上、図示される鋭い角部が丸みを帯びてもよいし、その反対であってもよい。故に、図面に図示される領域は、性質として概略的であり、その形状は領域の精密な形状を図示するよう意図されておらず、本特許請求の範囲を限定するものではない。図面は、必ずしも縮尺通りではない。加えて、図面間で共通の要素には同じ符号が割り当てられる場合がある。

30

【0015】

本明細書で用いられる場合、単数形の用語「a」、「an」、および「the」は文脈が特に明記しない限り、複数形も同じように含むよう意図されている。

40

【0016】

本明細書で用いられる場合、「および/または」という用語は、関連して列挙される項目のうちの1つまたは複数の任意およびすべての組合せを含む。

【0017】

本明細書で用いられる場合、特定のパラメータについての数値に関する「約(about)」、または「およそ(approximately)」という用語は、その数値を含み、当業者が理解し得る数値からのある程度のばらつきは、特定のパラメータについての許容誤差に入る。例えば、ある数値に関する「約」または「およそ」は、その数値の95

50

． 0 パーセント～ 1 0 5 ． 0 パーセントの範囲内、その数値の 9 7 ． 5 パーセント～ 1 0 2 ． 5 パーセントの範囲内、その数値の 9 9 ． 0 パーセント～ 1 0 1 ． 0 パーセントの範囲内、その数値の 9 9 ． 5 パーセント～ 1 0 0 ． 5 パーセントの範囲内、またはその数値の 9 9 ． 9 パーセント～ 1 0 0 ． 1 パーセントの範囲内など、数値の 9 0 ． 0 パーセント～ 1 1 0 ． 0 パーセントの範囲内のさらなる数値を含んでもよい。

【 0 0 1 8 】

本明細書で用いられる場合、「アレイ領域」という用語は、メモリアレイのメモリセルを含む電子デバイスの領域を意味し、それらを含む。電子デバイスのアレイ領域には、アクティブな回路が含まれる。

【 0 0 1 9 】

本明細書で用いられる場合、「beneath（下方の）」、「below（下の）」、「lower（下段の）」、「bottom（底部の）」、「above（上の）」、「upper（上段の）」、「top（上部の）」、「front（前方の）」、「rear（後方の）」、「left（左の）」、「right（右の）」などの空間的に相対的な用語は、図面に図示されるような 1 つの要素または特徴の、別の要素または特徴に対する関係性を説明するために、説明を容易にするために使用される場合がある。そうではないと示されない限り、空間的に相対的な用語は、図面に描かれた向きに加え、材料の他の向きも包含するよう意図される。例えば、図中の材料が上下反転している場合、他の要素または特徴の「below（下の）」、または「beneath（下方の）」、または「下の（under）」、または「の底部の（on bottom of）」として説明される要素は、他の要素または特徴の「above（上の）」、または「の上部の（on top of）」方を向くことになる。故に、「below（下の）」という用語は、用語が使用される文脈に応じて上と下の両方の向きを包含ことができ、このことは当業者には明らかである。材料はそれ以外の方に向いてもよく（例えば、90度回転する、上下反転する、裏返しにする）、本明細書で使用される空間的に相対的な記述子は、それに

【 0 0 2 0 】

本明細書で用いられる場合、「構成される（configured）」という用語は、サイズ、形状、材料組成、ならびに少なくとも 1 つの構造体、および構造体と装置のうちの 1 つまたは複数の動作を容易にする少なくとも 1 つの装置、のうちの 1 つまたは複数の配置構成を指す。

【 0 0 2 1 】

本明細書で用いられる場合、「に結合される（coupled to）」という言い回しは、直接オーミック接続による、または間接的な接続による（例えば、別の構造体を用いる）電気的な接続など、互いに動作可能に接続される構造体を指す。

【 0 0 2 2 】

本明細書で用いられる場合、「デッキ」という用語は、交互する窒化物材料と誘電性材料との、または交互する導電性材料と誘電性材料との、複数の（例えば、2 つ以上の）階層を意味し、それらを含む。電子デバイスのデッキは、互いに垂直に配置される。

【 0 0 2 3 】

本明細書で用いられる場合、「電子デバイス（electronic device）」という用語は、限定はしないが、メモリデバイス、ならびに論理デバイス、プロセッサデバイス、または無線周波数（RF）デバイスなど、メモリを組み込んでもよいし組み込んでいなくてもよい半導体デバイスを含む。さらには、電子デバイスは、例えば、プロセッサとメモリを含むいわゆる「システムオンチップ」（SoC）、または論理とメモリを含む電子デバイスなど、他の機能に加えて、メモリを組み込んでもよい。電子デバイスは、交互する導電性材料と誘電性材料との階層を含む。

【 0 0 2 4 】

本明細書で用いられる場合、「電子機器構造体（electronic structure）」という用語は、交互する窒化物材料と誘電性材料との階層を伴う、電子デバイ

10

20

30

40

50

スに先立つ構造体を意味し、それらを含む。

【0025】

本明細書で用いられる場合、「水平な (horizontal)」または「横方向の (lateral)」という用語は、言及される材料または構造体が位置する基板の主表面に平行な方向を意味し、それらを含む。個々の材料または構造体の幅と長さは、水平面での寸法として定めることができる。図面に関して、「水平な」方向は、示される「Z」軸に対して垂直であってもよく、示される「X」軸および示される「Y」軸に対して平行であり得る。

【0026】

本明細書で用いられる場合、要素が別の要素に対して、「の上 (on)」または「の上 (over)」であるとして言及することは、要素が他の要素に対して、直接的にその上にあること、それに隣接すること (例えば、横方向に隣接している、それに垂直に隣接する)、下にあること (underneath)、またはそれに直接接していることを意味し、それらを含む。これはまた、要素が、他の要素が間に存在する状態で、他の要素に対して、間接的にその上にあること、それに隣接すること (例えば、横方向に隣接している、それに垂直に隣接する)、下にあること、または近くにあることも含む。これとは対照に、要素が別の要素に対して「直接的に上にある」または「直接的に隣接する」と称される場合、介在する要素は存在しない。

10

【0027】

本明細書で用いられる場合、「非アレイ領域」という用語は、アレイ領域の近くにある電子デバイスの領域を意味し、それらを含む。

20

【0028】

本明細書で用いられる場合、「選択的に除去可能 (selectively removable)」という用語は、放射 (例えば、熱) への暴露など、別の材料を同一プロセス条件に暴露した場合と比べて、プロセス条件に応答して大きな除去速度を示す材料を意味し、それらを含む。別の材料と比べて選択的に除去可能な材料は、別の材料のいずれも実質的に除去することなく、実質的に完全に除去可能である。

【0029】

本明細書で用いられる場合、「選択的にエッチング可能 (selectively etchable)」という用語は、別の材料を同一エッチングケミストリーおよび/またはプロセス条件に暴露した場合と比較して、所与のエッチングケミストリーおよび/またはプロセス条件への暴露に応答して大きなエッチング速度を示す材料を意味し、それらを含む。例えば、材料は、別の材料のエッチング速度よりも約10倍大きいエッチング速度、約20倍大きいエッチング速度、または約40倍大きいエッチング速度など、別の材料のエッチング速度よりも少なくとも約5倍大きいエッチング速度を示す場合がある。所望の材料を選択的にエッチングするための、エッチングケミストリーおよびエッチング条件は、当業者によって選択され得る。

30

【0030】

本明細書で用いられる場合、所与のパラメータ、性質、または条件に関する「実質的に (substantially)」という用語は、所与のパラメータ、性質、または条件が、許容可能な製造公差など、あるばらつきの程度によって満足されると当業者が理解し得る程度を意味し、それらを含む。例として、実質的に満足される特定のパラメータ、性質、または条件に応じて、そのパラメータ、性質、または条件は、少なくとも90.0%満足され得る、少なくとも95.0%満足され得る、少なくとも99.0%満足され得る、またはさらには少なくとも99.9%満足され得る。

40

【0031】

本明細書で用いられる場合、「基板 (substrate)」という用語は、その上にさらなる材料が形成される材料 (例えば、ベース材料) または構築物を意味し、それらを含む。基板は、電子基板、半導体基板、支持構造上のベース半導体層、電極、1つもしくは複数の材料、層、構造体、もしくは領域が形成された電子基板、または1つもしくは複

50

数の材料、層、構造体、もしくは領域が形成された半導体基板であってもよい。電子基板または半導体基板上の材料には、半導電性の材料、絶縁性の材料、導電性の材料などが含まれてもよいが、それらに限定されない。基板は、従来型のシリコン基板または半導電性の材料の層を含む他のバルク基板であってもよい。本明細書で用いられる場合、「バルク基板 (bulk substrate)」とは、シリコンウエハだけでなく、シリコンオンサファイヤ (「SOS」) 基板やシリコンオンガラス (「SOG」) 基板、ベース半導体基礎上のシリコンのエピタキシャル層、および他の半導体などの、シリコンオンインシュレータ (「SOI」) 基板、またはシリコンゲルマニウム、ゲルマニウム、ヒ化ガリウム、窒化ガリウム、リン化インジウムなどの光電子材料を意味し、それらを含む。基板は、ドーピングされてもよいし、ドーピングされなくてもよい。

10

【0032】

本明細書で用いられる場合、「垂直の (vertical)」、「長さ方向の (longitudinal)」、「水平な (horizontal)」、および「横方向の (lateral)」という用語は、構造体の主表面に関してのものであり、必ずしも地球の重力場によって定められない。「水平な (horizontal)」または「横方向の (lateral)」方向は、構造体の主表面に実質的に平行な方向であり、「垂直の (vertical)」または「長さ方向の (longitudinal)」方向は、構造体の主表面に実質的に垂直な方向である。構造体の主表面は、構造体の他の表面と比較して、比較的広い面積を有する構造体の表面によって定められる。

【0033】

個々の材料または特徴 (例えば、構造体) の高さは、垂直平面内の寸法として定めることができる。

20

【0034】

開示される装置 (例えば、デバイス、システム) および方法の実施形態の十分な説明を提供するべく、以下の説明は、材料のタイプおよび処理条件などの具体的な詳細を与える。しかしながら、当業者であれば、装置および方法の実施形態は、これらの具体的な詳細を採用することなく実用化され得ることを理解されよう。実際、装置および方法の実施形態は、当業界で採用される従来の半導体製作技法と併せて実用化してもよい。

【0035】

本明細書で説明される製作プロセスは、処理装置 (例えば、マイクロ電子デバイス、半導体デバイス、メモリデバイス) またはその構造体 (例えば、システム) について完全なプロセスフローを形成するものではない。プロセスフローの残りの部分は、当業者に既知である。したがって、本発明の装置および方法の実施形態を理解するために必要な方法および構造体のみを、本明細書で説明する。

30

【0036】

文脈が特に示さない限り、本明細書で説明される材料は、スピンコーティング、ブランケットコーティング、化学気相蒸着 (「CVD」)、原子層堆積 (「ALD」)、プラズマ強化 ALD、物理気相蒸着 (PVD) (例えば、スパッタリング)、またはエピタキシャル成長を含むあらゆる適切な技法によって形成されてもよいが、それらに限定されない。形成される具体的な材料に応じて、材料を蒸着または成長させるための技法は、当業者によって選択することができる。文脈が特に示さない限り、本明細書で説明される材料の除去は、エッチング (例えば、ドライエッチング、ウェットエッチング、気相エッチング)、イオンミリング、アブレーション平坦化、または他の既知の方法を含む任意の適切な技法によって達成することができるが、それらに限定されない。

40

【0037】

基板 115 (例えば、ベース材料) に隣接する (例えば、その上に、垂直に隣接する) デッキ 110 にピラー 105 を含む電子機器構造体 100 が、図 1 に示される。電子機器構造体 100 は、下段デッキ 110 A と上段デッキ 110 B とを含み、それぞれのデッキ 110 は、交互する窒化物材料 125 と誘電性材料 130 との階層 120 を含む。下段デッキ 110 A および上段デッキ 110 B は、互いに垂直に隣接する。図 1 には 2 つのデッ

50

キ 1 1 0 A、1 1 0 B が図示されているが、電子機器構造体 1 0 0 は、それより多くのデッキ 1 1 0 を含んでもよい。下段デッキ 1 1 0 A および上段デッキ 1 1 0 B は、互いに同じ数の階層 1 2 0 を含んでもよいし、異なる数の階層 1 2 0 を含んでもよい。図 1 の電子機器構造体 1 0 0 は 9 つの階層 1 2 0 を含むが、それより多くの階層 1 2 0 またはそれより少ない階層 1 2 0 が存在してもよい。下段デッキ 1 1 0 A および上段デッキ 1 1 0 B は、中間デッキ領域（図示せず）によって互いに分離されてもよい。窒化物材料 1 2 5 は、例えば窒化ケイ素であってもよい。以下で説明するように、窒化物材料 1 2 5 は、後に、いわゆる「リプレースメントゲート」プロセスによって、導電性材料で置換される。誘電性材料 1 3 0 は、酸化ケイ素（例えば、二酸化ケイ素（ SiO_2 ））、リンケイ酸塩ガラス、ホウケイ酸塩ガラス、ホウリンケイ酸塩ガラス、フルオロケイ酸塩ガラス、またはそれらの組合せを含む、電氣的に絶縁性の材料であってもよいが、それらに限定されない。いくつかの実施形態では、誘電性材料 1 3 0 は、二酸化ケイ素である。誘電性材料 1 3 0 は、例えば、電子デバイス 2 0 0 の導電性材料 1 9 0（図 4 参照）を電氣的に分離するように構成されてもよい。

10

【 0 0 3 8 】

下段デッキ 1 1 0 A にあるピラー 1 0 5 は、本明細書では下段ピラー 1 0 5 A と称され、上段デッキ 1 1 0 B にあるピラー 1 0 5 は、本明細書では上段ピラー 1 0 5 B と称され、「ピラー」1 0 5 という用語は、下段ピラー 1 0 5 A と上段ピラー 1 0 5 B を総称するために使用される。下段ピラー 1 0 5 A は、電子機器構造体 1 0 0 のアレイ領域 1 3 5 のみに存在する。下段ピラー 1 0 5 A は、電子機器構造体 1 0 0 の非アレイ領域 1 4 0 には存在しない。上段ピラー 1 0 5 B は、電子機器構造体 1 0 0 のアレイ領域 1 3 5 および非アレイ領域 1 4 0 に存在する。電子機器構造体 1 0 0 のアレイ領域 1 3 5 は、下段ピラー 1 0 5 A および上段ピラー 1 0 5 B を含むため、下段デッキ 1 1 0 A と上段デッキ 1 1 0 B の両方にピラー 1 0 5 を含む。電子機器構造体 1 0 0 の非アレイ領域 1 4 0 は、上段デッキ 1 1 0 B に上段ピラー 1 0 5 B を含むが、下段デッキ 1 1 0 A には下段ピラーがない。したがって、非アレイ領域 1 4 0 は、上段ピラー 1 0 5 B のみを含み、下段ピラー 1 0 5 A が存在しない（例えば、下段ピラー 1 0 5 A が実質的に存在しない、欠いている）。非アレイ領域 1 4 0 の上段ピラー 1 0 5 B は、接点 1 7 5 A の近くにある（図 4 参照）。電子機器構造体 1 0 0 の非アレイ領域 1 4 0 は、周辺領域、平面分離領域、マクロ読み出し専用メモリ（MROM）領域、命令読み出し専用メモリ（IROM）領域、ビット線出口領域、またはスクライブ領域のうちの 1 つまたは複数を含むが、それらに限定されない。非アレイ領域 1 4 0 は、図 1 ではアレイ領域 1 3 5 に横方向に隣接するものとして概略的に図示されている。しかしながら、非アレイ領域 1 4 0 の一部は、基板 1 1 5 の下または上段デッキ 1 1 0 B の上にあってもよい。図示されてはいないが、相補型金属酸化半導体（CMOS）回路は、例えば基板 1 1 5 の下に存在してもよい。図 1 の破線は、電子機器構造体 1 0 0 のアレイ領域 1 3 5 と、1 つまたは複数の非アレイ領域 1 4 0 との間の分離を示すために用いられる。

20

30

【 0 0 3 9 】

ピラー 1 0 5 は、電子機器構造体 1 0 0 のピラー開口部 1 4 5 に形成される。ピラー開口部 1 4 5 は、図 1 では様々な材料をその内部に伴って示される。アレイ領域 1 3 5 のピラー 1 0 5 A、1 0 5 B は、上段デッキ 1 1 0 B の上面から基板 1 1 5 内に延びる。ピラー 1 0 5 A、1 0 5 B は、アレイ領域 1 3 5 において、上段デッキ 1 1 0 B を通り、下段デッキ 1 1 0 A を通り、ソース 1 6 5 を通り、部分的に基板 1 1 5 内に延びる。非アレイ領域 1 4 0 のピラー 1 0 5 B は、上段デッキ 1 1 0 B の上面から上段デッキ 1 1 0 B を通って延びる。非アレイ領域 1 4 0 のピラー 1 0 5 B は、部分的に下段デッキ 1 1 0 A 内に延び得る。しかしながら、非アレイ領域 1 4 0 のピラー 1 0 5 B は、下段デッキ 1 1 0 A を通らない、またはソース 1 6 5 内へは延びない。

40

【 0 0 4 0 】

下段デッキ 1 1 0 A および上段デッキ 1 1 0 B のピラー 1 0 5 は、階層 1 2 0 の側壁にチャンネル材料およびセル材料（図 1 には、セル膜 1 5 0 としてまとめて示す）を含む。チ

50

チャネル材料は、ポリシリコンまたは当分野で知られているような他のチャネル材料であってもよい。セル材料は、誘電性材料、導電性材料などのうちの1つまたは複数であってもよい。セル材料は、酸化物材料、貯蔵材料 (storage material)、または当分野で知られているようなトンネル誘電性材料のうちの1つまたは複数を含んでもよい。単なる例として、セル材料としては、誘電性材料 (例えば、トンネル誘電性材料) を有する酸化物/窒化物/酸化物 (ONO: oxide-nitride-oxide) 構造体、電荷トラップ材料、およびチャネル材料と誘電性材料130または導電性材料190との間の電荷ブロック材料を挙げることができる (図4参照)。電荷トラップ材料は、誘電性材料と電荷ブロック材料との間に直接配置されてもよい。いくつかの実施形態では、誘電性材料は、チャネル材料と電荷トラップ材料に直接接触する。電荷ブロック材料は、直接接触してもよく、電荷トラップ材料と誘電性材料130または導電性材料190に直接隣接して配置されてもよい (図4参照)。ピラー105A、105Bには充填材料155も存在し、ピラー開口部145のセル膜150の反対部分を分離する。

10

【0041】

アレイ領域135では、ピラー105のセル膜150は、上段デッキ110Bの上面から、上段デッキ110Bを通り、下段デッキ110Aを通り、ソース165内に延びる。アレイ領域135では、ピラー105の充填材料155は、上段デッキ110Bの一部分を通り、下段デッキ110Aを通り、ソース165内と基板115の上部分内に延びる。非アレイ領域140では、ピラー105Bのセル膜150は、上段デッキ110Bの上面から、上段デッキ110Bを通り、任意選択で、下段デッキ110Aの一部分内に延びる。非アレイ領域140では、ピラー105Bの充填材料155は、上段デッキ110Bの一部分を通り、任意選択で、下段デッキ110Aの一部分内に延びる。

20

【0042】

上段デッキ110Bのピラー105Bはまた、プラグ材料160も含む。プラグ材料160は、上段ピラー105Bの充填材料155の上に位置付けられる。プラグ材料160は、先述した導電性材料のうちの1つであってもよい。プラグ材料160は、上段デッキ110Bの上で接点 (図示せず) に電氣的に接続されるなど、電子機器構造体100の他の導電性材料に動作可能に結合 (例えば、電氣的に接続) されてもよい。プラグ材料160は、下段ピラー105Aには存在しない。アレイ領域135と非アレイ領域140のピラー105Bは、非アレイ領域140のピラー105Bが任意選択で下段デッキ110Aの部分に延びる場合があることを除き、実質的に同一のものである。

30

【0043】

充填材料155は、酸化ケイ素材料 (例えば、二酸化ケイ素、リンケイ酸塩ガラス、ホウケイ酸塩ガラス、ホウリンケイ酸塩ガラス、フルオロケイ酸塩ガラス、またはそれらの組合せ)、金属酸化物材料 (例えば、二酸化チタン、酸化ハフニウム、二酸化ジルコニウム、酸化タンタル、酸化マグネシウム、酸化ハフニウムマグネシウム、酸化アルミニウム、またはそれらの組合せ)、またはそれらの組合せなどの誘電性材料であってもよい。充填材料155は、ピラー105が形成されるピラー開口部145を、実質的に完全に充填してもよい。

【0044】

電子機器構造体100はまた、基板115に隣接して (例えば、基板115上に垂直に隣接して) ソース165を含む。ソース165は、金属 (例えば、タングステン、チタン、ニッケル、タンタル、コバルト、白金、ロジウム、ルテニウム、イリジウム、アルミニウム、銅、モリブデン、銀、金、またはそれらの組合せ)、金属合金、金属含有材料 (例えば、窒化金属、ケイ化金属、金属カーバイド、金属酸化物)、窒化チタン (TiN)、窒化タンタル (TaN)、窒化タングステン (WN)、窒化チタンアルミニウム (TiAlN)、酸化イリジウム (IrOx)、酸化ルテニウム (RuOx) のうちの少なくとも1つを含む材料、その合金、導電性にドーピングされた半導体材料 (例えば、導電性にドーピングされたシリコン、導電性にドーピングされたゲルマニウム、導電性にドーピングされたシリコンゲルマニウムなど)、ポリシリコン、電氣的な導電性を示す他の材料、ま

40

50

たはそれらの組合せを含む導電性材料（例えば、電氣的に導電性の材料）から形成されるが、それらに限定されない。いくつかの実施形態では、ソース165は、ドーピングされたポリシリコンから形成される。他の実施形態では、ソース165は、ケイ化タングステンから形成される。ソース165は、アレイ領域135のピラー105A、105Bに動作可能に結合され、非アレイ領域140のピラー105Bから電氣的に分離される。セル膜150のチャンネル材料は、ソース165と電氣的に接触している。バリア材料170は、ソース165内に延びる下段ピラー105Aの一部を取り巻き、ソース165とセル膜150とを分離している。

【0045】

電子機器構造体100はまた、上段デッキ110Bの上面からソース165を通過して延びる導電性材料175も含む。導電性材料175は、上段デッキ110Bを通り、下段デッキ110Aを通り、ソース165を通過して延びる。導電性材料175は、電子機器構造体100から形成された電子デバイス200内の接点175Aとして構成されてもよい（図4参照）。導電性材料175は、例えば、ソース165およびソース165に接続された追加的なコンポーネント（例えば、導電性の内部接続、導電性のルーティング構造体）を、マイクロ電子機器構造体100から作り出された電子デバイスの他のコンポーネント（例えば、上段デッキ110Bの垂直方向に上にある追加的なコンポーネント）に動作可能に結合する（例えば、電氣的に結合する、電氣的に接続する）ための、内部接続として機能してもよい。単なる例として、導電性材料175は、ソース165を、電子デバイス200の他の電氣的に導電性のコンポーネントに、電氣的に接続する。導電性材料175は、ソース165について先述した材料のうちの1つを含んでもよいが、それらに限定されない。いくつかの実施形態では、導電性材料175は、タングステンである。

【0046】

電子機器構造体100はまた、階層120の最上位階層120に隣接して（例えば、階層120上に垂直に隣接して）絶縁性材料180を含む。絶縁性材料180は、隣接するプラグ材料160を互いに分離する（例えば、電氣的に分離する）。絶縁性材料はまた、マイクロ電子機器構造体100から作り出された電子デバイスの他のコンポーネント（例えば、上段デッキ110Bの垂直方向に上にある追加的なコンポーネント）を分離する（例えば、電氣的に分離する）。

【0047】

図5Aおよび図5Bに示されるように、下段ピラー105Aと上段ピラー105Bは、下段デッキ110Aと上段デッキ110Bの両方のアレイ領域135に存在するが、非アレイ領域140の上段デッキ110Bには上段ピラー105Bのみが存在する。図5Aの上から見下ろした図に最も明瞭に示されているように、非アレイ領域140の下段デッキ110Aには、下段ピラー105Aは存在しない。図5Bの上から見下ろした図に最も明瞭に示されているように、アレイ領域135の下段ピラー105Aおよび上段ピラー105Bは、上段デッキ110Bの非アレイ領域140の上段ピラー105Bと同じピッチである。非アレイ領域140の上段ピラー105Bは、接点175の近くにあり、上段ピラー105Bのいくつかの部分は、接点175Aの側壁にある。複数の上段ピラー105Bは、接点175Aのそれぞれを取り巻いてもよい（例えば、囲む、円形に囲む）。非アレイ領域140内で上段ピラー105Bの密なパッキングにより、アレイ領域135において上段ピラー105Bに支持が与えられ、アレイ領域135でのピラー曲がりを低減する。

【0048】

したがって、電子デバイスが開示される。電子デバイスは、ソースに隣接する下段デッキおよび上段デッキを備える。下段デッキおよび上段デッキのそれぞれは、交互する導電性材料と誘電性材料との階層を含む。下段デッキおよび上段デッキのそれぞれはまた、アレイ領域と1つまたは複数の非アレイ領域を含む。メモリピラーは、アレイ領域の下段デッキおよび上段デッキ内にあり、メモリピラーはソースに動作可能に結合されるように構成される。ダミーピラーは、1つまたは複数の非アレイ領域の上段デッキ内にあり、ダミーピラーはソースから電氣的に分離されるように構成される。別の導電性材料は、1つま

たは複数の非アレイ領域の上段デッキおよび下段デッキ内にある。

【0049】

したがって、別の電子デバイスが開示される。電子デバイスは、アレイ領域内にメモリピラー、および交互する導電性材料と誘電性材料とを含む複数のデッキを含む。メモリピラーは、複数のデッキの第1のデッキと第2のデッキ内にある。ダミーピラーは、電子デバイスの非アレイ領域の第2のデッキ内にあり、ダミーピラーは第1のデッキにはない。ソースは、第1のデッキの下にあり、メモリピラーに動作可能に結合され、ダミーピラーから電氣的に分離される。別の導電性材料は、1つまたは複数の非アレイ領域の第1のデッキおよび第2のデッキ内にある。

【0050】

図1の電子機器構造体100を形成するために、図2に示されるようにソース165の導電性材料が、基板115に隣接して(例えば、その上に)形成されるが、図2は電子デバイス200を形成する初期の処理ステージにおける電子機器構造体100を図示している。ソース165は、従来技術によって、基板115に垂直に隣接して形成される。下段デッキ110Aの階層120の交互する窒化物材料125と誘電性材料130は、従来技術によってソース165に隣接して(例えば、ソース165上に垂直に隣接して)形成される。所望の数の階層120を形成した後、下段デッキ110Aの交互する窒化物材料125と誘電性材料130は、下段デッキ110Aのアレイ領域135に下段ピラー開口部145Aを形成するようにパターン化され、下段ピラー開口部145A内には、下段ピラー105Aのチャンネル材料とセル材料が形成される。下段ピラー開口部145Aは、下段デッキ110Aを通してソース165内に、また任意選択で、基板115内に延びる。下段ピラー開口部145Aは、従来技術によって、階層120、ソース165、および基板115の材料を除去することによって形成されてもよい。下段ピラー開口部145Aを形成するために、1つまたは複数のエッチングプロセスが行われてもよい。下段デッキ110Aの非アレイ領域140には、類似の開口部は形成されない。したがって、下段デッキ110Aの非アレイ領域140には、下段ピラー開口部145Aまたは下段ピラー105Aがない(例えば、含んでいない)。下段ピラー105Aは、従来のフォトリソグラフィ技法によって、アレイ領域135に選択的に形成される。チャンネル材料とセル材料は、階層120の側壁に共形的に形成され、充填材料155は、下段ピラー開口部145Aの残りの部分に形成されて、下段ピラー105Aを形成する。充填材料155は、下段ピラー開口部145Aを、実質的に完全に充填する。

【0051】

上段デッキ110Bの階層120の交互する窒化物材料125と誘電性材料130は、下段デッキ110Aに隣接して(例えば、下段デッキ110A上に垂直に隣接して)形成される。下段デッキ110Aおよび上段デッキ110Bは、互いに同じ数の階層120を含んでもよいし、異なる数の階層120を含んでもよい。上段ピラー開口部145Bは、従来技術によって、アレイ領域135および非アレイ領域140内に形成される。上段デッキ110Bのアレイ領域135および非アレイ領域140の上段ピラー開口部145Bは、実質的に同時に形成される。したがって、上段ピラー開口部145Bは、上段デッキ110Bを通して、アレイ領域135と非アレイ領域140の両方において実質的に同じ深さまで延びる。しかしながら、階層120に使用される材料および上段ピラー開口部145Bを形成するために使用されるエッチング条件に応じて、非アレイ領域140の上段ピラー開口部145Bは下段デッキ110Aの一部内に延びる場合がある。上段ピラー開口部145Bは、上段デッキ110Bに、実質的にオンピッチで形成される。チャンネル材料、セル材料、およびプラグ材料160は、アレイ領域135および非アレイ領域140内に上段ピラー105Bを形成するように、上段ピラー開口部145B内に形成される。上段ピラー105Bは、上段デッキ110Bに、実質的にオンピッチで形成される。チャンネル材料およびセル材料は、下段ピラー105Aについて上述したように上段ピラー開口部145B内に形成される。チャンネル材料とセル材料は、階層120の側壁に共形的に形成され、充填材料155は上段ピラー開口部145Bの残りの部分に形成される。充填

10

20

30

40

50

材料 155 の一部は除去され、充填材料 155 の上面に凹みができる。プラグ材料 160 は、充填材料 155 の上、および上段ピラー開口部 145 B 内部に形成される。過剰なプラグ材料 160 は、プラグ材料 160 の上面が上段デッキ 110 B の上面と実質的に同一面内になるように、従来技術によって除去されてもよい。

【0052】

アレイ領域 135 の上段ピラー 105 B は、アレイ領域 135 の下段ピラー 105 A と実質的に位置が揃っている（例えば、積層されている）。非アレイ領域 140 の上段ピラー 105 B のいくつかの場所は、電子デバイス 200 内で接点 175 A が最終的に形成される場所に相当する（図 4 参照）。非アレイ領域 140 の上段ピラー 105 B の下にはピラーがないため、上段ピラー 105 B は下段デッキ 110 A の特徴の上には積層されない。代わりに、非アレイ領域 140 の上段ピラー 105 B は、下段デッキ 110 A の階層 120 の上に形成される。したがって、非アレイ領域 140 の上段ピラー 105 B は、ソース 165 に動作可能に結合（例えば、電氣的に接続）されない、いわゆる「ダミーピラー」として構成される。非アレイ領域 140 の上段ピラー 105 B は、アレイ領域 135 のピラー 105 A、105 B への支持を与える。例えば、非アレイ領域 140 の上段ピラー 105 B は、機械的な一体性およびアレイ領域 135 の上段ピラー 105 B への支持を与える。上段ピラー 105 B を非アレイ領域 140 内に含むことによって、アレイ領域 135 のピラー 105 は、従来の電子デバイスにおけるピラーよりもかなり少ない曲がりを示す。非アレイ領域 140 の上段ピラー 105 B は、アレイ領域 135 の上段ピラー 105 B が曲がるのを、低減するか、またはかなり防ぐ。

【0053】

図 3 で示すように、空隙 185 は非アレイ領域 140 に形成され、上段デッキ 110 B と下段デッキ 110 A を通り、ソース 165 内に延びる。空隙 185 は、プラグ材料 160 およびプラグ材料 160 の下にある充填材料 155 の一部分を除去することによって、ならびに上段デッキ 110 B の隣接上段ピラー 105 B 間の交互する窒化物材料 125 と誘電性材料 130 の下にある部分を除去することによって形成される。下段デッキ 110 A 内の窒化物材料 125 と誘電性材料 130 の下にある部分もまた除去される。上段デッキ 110 B 内のプラグ材料 160、充填材料 155、窒化物材料 125、および誘電性材料 130、ならびに下段デッキ 110 A 内の窒化物材料 125 および誘電性材料 130 は、従来技術によって除去されてもよい。空隙 185 を形成するためには、単一のエッチングプロセスが使用されてもよいし、複数のエッチングプロセスが使用されてもよい。導電性材料 175 は、空隙 185 内に形成されてもよく、電子機器構造体 100 の接点を形成する。

【0054】

電子機器構造体 100 の階層 120 の窒化物材料 125 は、導電性材料 190 で置き換えられて、図 4 に示されるように、ピラー 105、デッキ 110、導電性材料 190、誘電性材料 130、セル膜 150、プラグ材料 160、導電性材料 175（接点 175 A として構成される）、ソース 165、バリア材料 170、および基板 115 を含む電子デバイス 200 を形成する。窒化物材料 125 は、階層 120 の窒化物材料 125 が階層 120 の誘電性材料 130 に対して選択的にエッチング可能なリプレースメントゲートプロセスによって置き換えられてもよい。窒化物材料 125 が除去された後、導電性材料 190 が誘電性材料 130 間の空間（図示せず）に形成される。電子デバイス 200 は、交互する導電性材料 190 と誘電性材料 130 との階層 120 ' を含み、導電性材料 190 は、階層 120 の窒化物材料 125 によって以前占められていた場所にある。電子デバイス 200 のピラー 105、デッキ 110、セル膜 150、プラグ材料 160、接点 175 A、ソース 165、バリア材料 170、および基板 115 の相対的な位置は、電子機器構造体 100 について上で考察した通りである。

【0055】

階層 120 ' の導電性材料 190 は、電氣的に導電性の材料であってもよく、タングステン、アルミニウム、銅、チタン、タンタル、白金、それらの合金、大量にドーピングされ

10

20

30

40

50

た半導体材料、ポリシリコン、導電性のケイ化物、導電性の窒化物、導電性の炭素、導電性のカーバイド、またはそれらの組合せなどが挙げられるが、それらに限定されない。いくつかの実施形態では、導電性材料 190 は、タングステンである。階層 120' の導電性材料 190 は、例えば導電性の接点構造体（例えば、接点）が電子デバイス 200 の他のコンポーネントへの電氣的なアクセスを提供するために位置付けられる、電子デバイス 200 のアクセス線（例えば、ワード線、ゲート）（図示せず）として構成されてもよい。本開示の実施形態によると、電子デバイス 200 は、複数のメモリセルを含む。階層 120' の導電性材料 190 とアレイ領域 135 のピラー 105 A、105 B のチャネル材料との交点は、それぞれのメモリセルを定め、アレイ領域 135 のピラー 105 A、105 B は、メモリセルのストリングを含む。階層 120' の誘電性材料 130 は、階層 120' のチャネル材料と導電性材料 190 との間に位置付けられてもよい。電子機器構造体 100 から電子デバイス 200 を形成するために、追加的な処理行為が、従来技術によって行われる。単なる例として、1 つまたは複数の他の導電性材料（例えば、電氣的に導電性の材料）（図示せず）は、導電性材料 190、ソース 165、または接点 175 A のうちの 1 つまたは複数に動作可能に結合（例えば、電氣的に結合、電氣的に接続）されてもよい。導電性材料は、例えば、プラグ材料 160 と接点 175 A の上に重なって接してもよい。他の導電性材料は、例えばデータ線（例えば、ビット線、選択線）として構成されてもよく、ソース 165 に電氣的に結合（例えば、電氣的に接続）するように、従来技術によって形成されてもよい。1 つまたは複数の他の導電性材料（例えば、電氣的に導電性の材料）（図示せず）は、ソース 165 に電氣的に結合（例えば、電氣的に接続）してもよい。

【0056】

したがって、電子デバイスを形成する方法が開示される。特許請求の方法は、交互する窒化物材料と誘電性材料との階層を含む下段デッキを形成することを含む。下段デッキは、アレイ領域と 1 つまたは複数の非アレイ領域を含む。ピラー開口部は、ピラー開口部を下段デッキの 1 つまたは複数の非アレイ領域に形成することなく、下段デッキのアレイ領域に形成される。セル膜材料は、下段デッキのアレイ領域にあるピラー開口部内に形成される。上段デッキは形成され、下段デッキに隣接して、交互する窒化物材料と誘電性材料との階層を含む。アレイ領域と 1 つまたは複数の非アレイ領域を含む上段デッキ。ピラー開口部は、上段デッキのアレイ領域と 1 つまたは複数の非アレイ領域に形成される。セル膜材料は、上段デッキのアレイ領域と 1 つまたは複数の非アレイ領域にあるピラー開口部内に形成される。上段デッキのアレイ領域内のセル膜材料は、下段デッキのアレイ領域のセル膜材料の上に重なる。上段デッキの 1 つまたは複数の非アレイ領域内のセル膜材料は、下段デッキの 1 つまたは複数の非アレイ領域内の交互する窒化物材料と誘電性材料との階層の上に重なる。空隙は、上段デッキおよび下段デッキの 1 つまたは複数の非アレイ領域に形成され、導電性材料は空隙に形成される。階層の窒化物材料は、階層の誘電性材料間に空間を形成するために除去される。別の導電性材料が、その空間に形成される。

【0057】

したがって、電子デバイスを形成する別の方法が開示される。方法は、下段デッキおよび上段デッキを含む電子機器構造体を形成することを含む。下段デッキおよび上段デッキのそれぞれは、交互する窒化物材料と誘電性材料との階層を含む。メモリピラーは、電子機器構造体のアレイ領域内の上段デッキおよび下段デッキに形成される。ダミーピラーは、電子機器構造体の非アレイ領域の上段デッキに形成される。ダミーピラーの一部、上段デッキの交互する窒化物材料と誘電性材料の一部、および下段デッキの交互する窒化物材料と誘電性材料の一部は、空隙を形成するために、非アレイ領域から除去される。空隙は、非アレイ領域の上段デッキの上面から、下段デッキの下にあるソース内に延びる。導電性材料は、その空隙に形成される。階層の窒化物材料は、誘電性材料間に空間を形成するために除去される。別の導電性材料が、誘電性材料間の空間に形成される。

【0058】

非アレイ領域 140 の上段デッキ 110 B にあるピラー 105 B は、アレイ領域 135 のピラー曲がりを低減するか、実質的に解消するため、階層 120、120' の数が多いデ

10

20

30

40

50

ッキ110は、アレイ領域135の上段ピラー105Bと下段ピラー105Aに大きな曲がりを生ずることなく形成することができる。ピラー曲がりの改善は、アレイ領域135と非アレイ領域140との間でピラー数の変遷が生じるダイの部分においても実現される。ピラー曲がりが低減または解消するため、アレイ領域135の上段ピラー105Bと下段ピラー105Aとの間の重なりが、改善され得る。加えて、上段デッキ110Bの上に形成される接点は、アレイ領域135の上段ピラー105Bと下段ピラー105Aに適当に重ねられてもよい。本開示の実施形態によると、電子デバイス200はまた、従来の電子デバイスよりも少なく、あまり複雑ではないプロセス行為を用いて形成されてもよい。単なる例として、空隙185を形成するための除去行為は、ソース165のわずかな部分のみを除去し、ショートを減らす。追加的に、下段ピラー105Aは、アレイ領域135

10

【0059】

追加的な処理行為は、メモリアレイまたは1つもしくは複数の電子デバイス200を含むシステムを形成するためにも行われる。電子デバイス200は、図6に概略的に示すように、メモリアレイ600に存在してもよい。メモリアレイ600は、メモリセル602および制御ロジックコンポーネント604を含む。制御ロジックコンポーネント604は、メモリセル602のメモリアレイ内の、任意のまたはすべてのメモリセルを読み出し、書き込み、またはリフレッシュするべく、メモリセル602と動作可能に相互作用するように構成されてもよい。メモリアレイ600のメモリセル602は、アクセス線に結合され、アクセス線は、メモリセル602のワード線（例えば、導電性材料190）に結合される。メモリアレイ600のメモリセルのストリングは、ソース線とデータ線（例えば、ビット線）との間で直列に結合される。メモリセルは、アクセス線とデータ線との間に位置付けられる。アクセス線は、例えば電子デバイス200の導電性材料190に電気的に接触してもよく、データ線は、電子デバイス200の電極（例えば、上部電極）に電気的に接触してもよい。データ線は、メモリセルの行または列の上に直接重なって、その上部電極に接触してもよい。アクセス線のそれぞれは、第1の方向に延びてもよく、メモリセルの行を接続してもよい。データ線のそれぞれは、第1の方向に少なくとも実質的に垂直な第2の方向に延びてもよく、メモリセルの列を接続してもよい。アクセス線とデータ線に印加される電圧は、少なくとも1つのアクセス線と少なくとも1つのビット線との交点において電場が選択的に印加されるように、制御されてもよく、メモリセルが選択的に動作できるようにしている。1つまたは複数の電子デバイス200を含むメモリアレイ600を形成するための追加的なプロセス行為は、従来技術によって行われる。

20

30

【0060】

図7は、本明細書で説明される1つまたは複数の実施形態にしたがって実装されたシステム700（例えば、電子システム）のブロック図である。システム700としては、例えば、コンピュータまたはコンピュータハードウェアコンポーネント、サーバまたは他のネットワークングハードウェアコンポーネント、携帯電話、デジタルカメラ、携帯情報端末（PDA）、ポータブルのメディア（例えば、音楽）プレーヤ、例えばiPAD（登録商標）またはSURFACE（登録商標）タブレットなどのWi-Fiまたはセルラー対応タブレット、電子書籍、ナビゲーションデバイスなどを挙げることができる。システム700は、少なくとも1つのメモリデバイス702を含み、メモリデバイス702は、先述したように1つまたは複数の電子デバイス200を含む。システム700は、システム700内でシステム機能および要求の処理を制御するために、マイクロプロセッサなどの

40

50

少なくとも1つのプロセッサ704をさらに含んでもよい。システム700のプロセッサ704および他のサブコンポーネントは、メモリセルを含んでもよい。プロセッサ704は、先述したように、任意選択で、1つまたは複数のメモリアレイ600を含んでもよい。

【0061】

様々な他のデバイスは、システム700が実施する機能に応じて、プロセッサ704に結合されてもよい。例えば、ユーザによって、情報を電子システム700に入力するための入力デバイス706、例えばマウスもしくは他のポインティングデバイス、ボタン、スイッチ、キーボード、タッチパッド、ライトペン、デジタイザおよびスタイラス、タッチスクリーン、音声認識システム、マイクロフォン、コントロールパネル、またはそれらの組合せなどは、プロセッサ704に結合されてもよい。ユーザに情報（例えば、視覚的または音響的な出力）を出力するための出力デバイス708もまた、プロセッサ704に結合されてもよい。出力デバイス708としては、LCDディスプレイ、SEDディスプレイ、CRTディスプレイ、DLPディスプレイ、プラズマディスプレイ、OLEDディスプレイ、LEDディスプレイ、三次元投影、オーディオディスプレイ、またはそれらの組合せを挙げることができる。出力デバイス708としてはまた、プリンタ、オーディオ出力ジャック、スピーカなども挙げられ得る。いくつかの実施形態では、入力デバイス706と出力デバイス708は、電子システム700に情報を入力するため、およびユーザに視覚的な情報を出力するための両方に使用することが可能な単一のタッチスクリーンデバイスを含んでもよい。1つまたは複数の入力デバイス706および出力デバイス708は、メモリデバイス702およびプロセッサ704のうちの少なくとも1つと電気的に通信することができる。少なくとも1つのメモリセルデバイス702およびプロセッサ704はまた、システムオンチップ(SoC)で使用されてもよい。

【0062】

本開示の実施形態による電子デバイス200は、マルチデッキ3D NAND Flashメモリデバイスなどの3D NAND Flashメモリデバイスなどの3D電子デバイスを含んでもよいが、それらに限定されない。本開示の実施形態にしたがって形成される電子デバイス200は、ピラー曲がりの低減または解消が望まれる、あらゆる3D電子デバイスにおいて使用されてもよい。

【0063】

したがって、入力デバイス、出力デバイス、プロセッサデバイス、およびメモリデバイスを含むシステムが開示される。メモリデバイスは、アレイ領域と1つまたは複数の非アレイ領域を含む。上段ピラーは、アレイ領域の上段デッキおよび1つまたは複数の非アレイ領域の上段デッキにある。下段ピラーは、アレイ領域の下段デッキのみにある。導電性材料は、1つまたは複数の非アレイ領域の上段デッキおよび下段デッキ内にある。プロセッサデバイスは、入力デバイスおよび出力デバイスに動作可能に結合され、メモリデバイスは、プロセッサデバイスに動作可能に結合される。

【0064】

追加的で、非限定的な、本開示の例示の実施形態を、以下で説明する。

【0065】

実施形態1：ソースに隣接する下段デッキおよび上段デッキであって、下段デッキおよび上段デッキのそれぞれが、交互する導電性材料と誘電性材料との階層を含み、下段デッキおよび上段デッキのそれぞれが、アレイ領域と1つまたは複数の非アレイ領域を含む、下段デッキおよび上段デッキと、アレイ領域の下段デッキおよび上段デッキ内にあるメモリピラーであって、メモリピラーがソースに動作可能に結合されるように構成される、メモリピラーと、1つまたは複数の非アレイ領域の上段デッキ内にあるダミーピラーであって、ダミーピラーがソースから電気的に分離されるように構成される、ダミーピラーと、1つまたは複数の非アレイ領域の上段デッキおよび下段デッキ内にある別の導電性材料とを備える、電子デバイス。

【0066】

実施形態2：メモリピラーが、上段デッキおよび下段デッキを通して延びる、実施形態

1に記載の電子デバイス。

【0067】

実施形態3：メモリピラーが、チャネル材料および1つまたは複数のセル材料を含む、実施形態1または実施形態2に記載の電子デバイス。

【0068】

実施形態4：メモリピラーが、上段デッキ、下段デッキ、およびソースを通過して延びる、実施形態1から3のいずれか一項に記載の電子デバイス。

【0069】

実施形態5：ダミーピラーが、上段デッキを通過して延びる、実施形態1から4のいずれか一項に記載の電子デバイス。

【0070】

実施形態6：ダミーピラーが、下段デッキを通過して延びることがない、実施形態1から5のいずれか一項に記載の電子デバイス。

【0071】

実施形態7：上段デッキのメモリピラーおよびダミーピラーが、同一ピッチを含む、実施形態1から6のいずれか一項に記載の電子デバイス。

【0072】

実施形態8：別の導電性材料が、上段デッキの上面からソースの下面へ延びる、実施形態1から7のいずれか一項に記載の電子デバイス。

【0073】

実施形態9：ダミーピラーの一部が、別の導電性材料を取り巻く、実施形態1から8のいずれか一項に記載の電子デバイス。

【0074】

実施形態10：階層の導電性材料が、ソースに動作可能に結合される、実施形態1から9のいずれか一項に記載の電子デバイス。

【0075】

実施形態11：階層の誘電性材料が、ダミーピラーの導電性材料を、ソースから電氣的に分離する、実施形態1から10のいずれか一項に記載の電子デバイス。

【0076】

実施形態12：電子デバイスのアレイ領域内のメモリピラーであって、電子デバイスが、交互する導電性材料と誘電性材料とを含む複数のデッキを含み、メモリピラーが複数のデッキの第1のデッキと第2のデッキ内にある、メモリピラーと、電子デバイスの非アレイ領域の第2のデッキ内のダミーピラーであって、非アレイ領域の第1のデッキにはダミーピラーがない、ダミーピラーと、第1のデッキの下にあるソースであって、ソースが、メモリピラーに動作可能に結合され、ダミーピラーから電氣的に分離される、ソースと、非アレイ領域の第1のデッキおよび第2のデッキ内にある別の導電性材料とを備える、電子デバイス。

【0077】

実施形態13：メモリピラーが、第2のデッキの上面から、ソースを通過して延びる、実施形態12に記載の電子デバイス。

【0078】

実施形態14：ダミーピラーが、第2のデッキの上面から、第2のデッキを通過して延びる、実施形態12または実施形態13に記載の電子デバイス。

【0079】

実施形態15：非アレイ領域が、周辺領域、平面分離領域、マクロ読み出し専用メモリ領域、命令読み出し専用メモリ領域、ビット線出口領域、またはスクライブ領域のうちの1つまたは複数を含む、実施形態12から14のいずれか一項に記載の電子デバイス。

【0080】

実施形態16：第2のデッキのダミーピラーの一部が、別の導電性材料を囲む、実施形態12から15のいずれか一項に記載の電子デバイス。

10

20

30

40

50

【 0 0 8 1 】

実施形態 17：デッキの交互する導電性材料が、ワード線として構成される、実施形態 12 から 16 のいずれか一項に記載の電子デバイス。

【 0 0 8 2 】

実施形態 18：ワード線が、ソースに動作可能に結合される、実施形態 17 に記載の電子デバイス。

【 0 0 8 3 】

実施形態 19：ソースの下に相補型金属酸化物半導体回路をさらに備える、実施形態 12 から 18 のいずれか一項に記載の電子デバイス。

【 0 0 8 4 】

実施形態 20：システムであって、入力デバイスと、出力デバイスと、入力デバイスおよび出力デバイスに動作可能に結合されるプロセッサデバイスと、プロセッサデバイスに動作可能に結合されるメモリデバイスであって、メモリデバイスが、アレイ領域と 1 つまたは複数の非アレイ領域を含み、メモリデバイスが、アレイ領域の上段デッキおよび 1 つまたは複数の非アレイ領域の上段デッキにある上段ピラーと、アレイ領域の下段デッキのみにある下段ピラーと、 1 つまたは複数の非アレイ領域の上段デッキおよび下段デッキ内にある導電性材料とを含む、メモリデバイスとを備える、システム。

【 0 0 8 5 】

実施形態 21： 1 つまたは複数の非アレイ領域には、下段ピラーがない、実施形態 20 に記載のシステム。

【 0 0 8 6 】

実施形態 22：アレイ領域の上段ピラーおよび下段ピラーが、互いに実質的に位置が揃っている、実施形態 20 または実施形態 21 に記載のシステム。

【 0 0 8 7 】

実施形態 23： 1 つまたは複数の非アレイ領域の下段デッキが、交互する導電性材料と誘電性材料との階層を含む、実施形態 20 から 22 のいずれか一項に記載のシステム。

【 0 0 8 8 】

実施形態 24：交互する導電性材料と誘電性材料との階層が、交互するタングステン材料と酸化物材料との階層を含む、実施形態 23 に記載のシステム。

【 0 0 8 9 】

実施形態 25：交互する導電性材料と誘電性材料との導電性材料が、メモリデバイスのソースに動作可能に結合される、実施形態 23 または実施形態 24 に記載のシステム。

【 0 0 9 0 】

実施形態 26：メモリデバイスが三次元 NAND メモリデバイスを含む、実施形態 20 から 25 のいずれか一項に記載のシステム。

【 0 0 9 1 】

実施形態 27：電子デバイスを形成する方法であって、交互する窒化物材料と誘電性材料との階層を含む下段デッキを形成することであって、下段デッキが、アレイ領域と 1 つまたは複数の非アレイ領域を含む、形成することと、下段デッキのアレイ領域にピラー開口部を形成することであって、ピラー開口部を下段デッキの 1 つまたは複数の非アレイ領域に形成することのない、ピラー開口部を形成することと、下段デッキのアレイ領域にあるピラー開口部内にセル膜材料を形成することと、交互する窒化物材料と誘電性材料との階層を含む上段デッキを下段デッキに隣接して形成することであって、上段デッキが、アレイ領域と 1 つまたは複数の非アレイ領域を含む、形成することと、上段デッキのアレイ領域と 1 つまたは複数の非アレイ領域にピラー開口部を形成することと、上段デッキのアレイ領域と 1 つまたは複数の非アレイ領域にあるピラー開口部内にセル膜材料を形成することであって、上段デッキのアレイ領域内のセル膜材料が、下段デッキのアレイ領域内のセル膜材料の上に重なり、上段デッキの 1 つまたは複数の非アレイ領域内のセル膜材料が、下段デッキの 1 つまたは複数の非アレイ領域内の交互する窒化物材料と誘電性材料との階層の上に重なる、形成することと、上段デッキおよび下段デッキの 1 つまたは複数の非

10

20

30

40

50

アレイ領域に空隙を形成することと、空隙に導電性材料を形成することと、階層の誘電性材料間に空間を形成するために階層の窒化物材料を除去することと、空間に別の導電性材料を形成することとを含む、方法。

【 0 0 9 2 】

実施形態 28：下段デッキのアレイ領域にあるピラー開口部内にセル膜材料を形成すること、および上段デッキのアレイ領域にあるピラー開口部内にセル膜材料を形成することが、上段デッキを通して、下段デッキを通して、下段デッキの下にあるソースを通して延びるセル膜材料を形成することを含む、実施形態 27 に記載の方法。

【 0 0 9 3 】

実施形態 29：下段デッキのアレイ領域にあるピラー開口部内にセル膜材料を形成すること、および上段デッキのアレイ領域にあるピラー開口部内にセル膜材料を形成することが、下段デッキのアレイ領域内のセル膜材料を上段デッキのアレイ領域内のセル膜材料と実質的に位置を揃えることを含む、実施形態 27 または実施形態 28 に記載の方法。

10

【 0 0 9 4 】

実施形態 30：空間に別の導電性材料を形成することが、空間にタングステン材料を形成することを含む、実施形態 27 から 29 のいずれか一項に記載の方法。

【 0 0 9 5 】

実施形態 31：電子デバイスを形成する方法であって、下段デッキおよび上段デッキを含む電子機器構造体を形成することであって、下段デッキおよび上段デッキのそれぞれが、交互する窒化物材料と誘電性材料との階層を含む、形成することと、電子機器構造体のアレイ領域内の上段デッキ内および下段デッキ内にメモリピラーを形成することと、電子機器構造体の非アレイ領域の上段デッキにダミーピラーを形成することと、非アレイ領域の上段デッキの上面から、下段デッキの下にあるソース内に延びる空隙を形成するために、ダミーピラーの一部、上段デッキの交互する窒化物材料と誘電性材料の一部、および下段デッキの交互する窒化物材料と誘電性材料の一部を、非アレイ領域から除去することと、空隙に導電性材料を形成することと、誘電性材料間に空間を形成するために、階層の窒化物材料を除去することと、誘電性材料間の空間に別の導電性材料を形成することとを含む、方法。

20

【 0 0 9 6 】

実施形態 32：電子機器構造体の非アレイ領域の上段デッキにダミーピラーを形成することが、非アレイ領域の上段デッキのみにダミーピラーを形成することを含む、実施形態 31 に記載の方法。

30

【 0 0 9 7 】

実施形態 33：上段デッキ内および下段デッキ内にメモリピラーを形成することが、上段デッキの上面から、下段デッキを通して、ソースを通して、ソースの下にあるベース材料内に延びるメモリピラーを形成することを含む、実施形態 31 または実施形態 32 に記載の方法。

【 0 0 9 8 】

実施形態 34：電子機器構造体の非アレイ領域の上段デッキにダミーピラーを形成することが、上段デッキの上面から上段デッキを通して延びるダミーピラーを形成することを含む、実施形態 31 から 33 のいずれか一項に記載の方法。

40

【 0 0 9 9 】

実施形態 35：ダミーピラーを形成することが、ダミーピラーを部分的にソース内に延ばすことを含む、実施形態 34 に記載の方法。

【 0 1 0 0 】

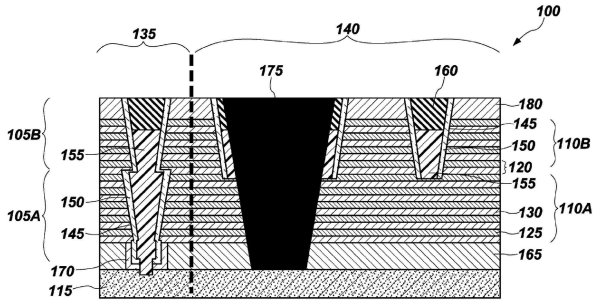
特定の例示的な実施形態を、図面と関連して説明したが、当業者であれば、本開示に包含される実施形態は、本明細書において明示的に示され説明されたこのような実施形態に限定されないことを、認識および諒解するであろう。むしろ、本明細書で説明される実施形態に対しては、この後で特許請求されるもの、その法的等価物など、本開示に包含される実施形態の範囲から逸脱することなく、多くの追加、削除、および変更が成される可能

50

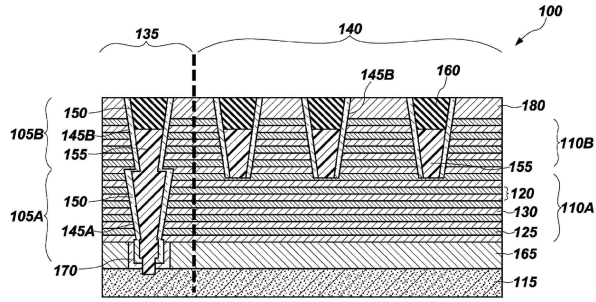
性がある。加えて、1つの開示される実施形態からの特徴は、別の開示される実施形態の特徴と組み合わせることができるが、それでもなお本開示の範囲内に包含される。

【図面】

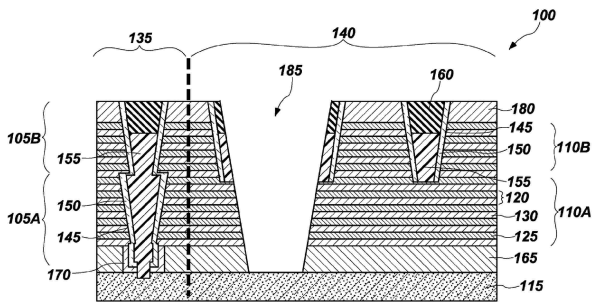
【図 1】



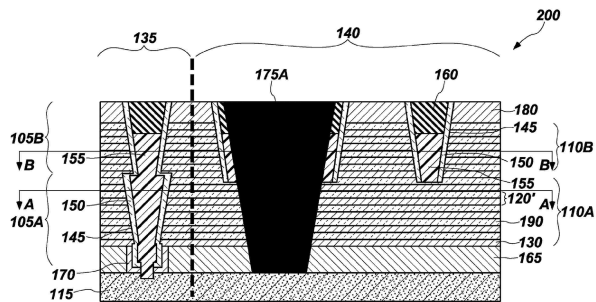
【図 2】



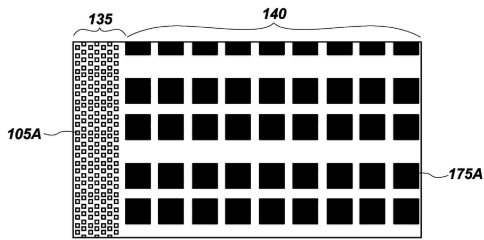
【図 3】



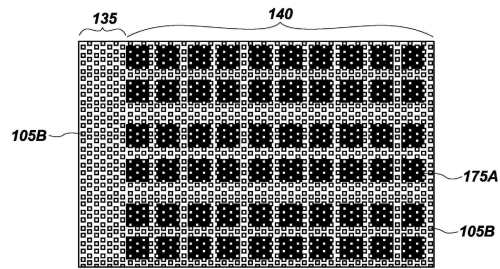
【図 4】



【図 5 A】



【図 5 B】



10

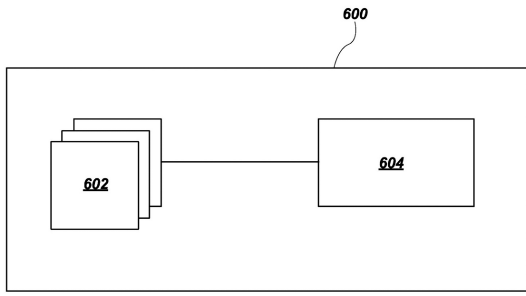
20

30

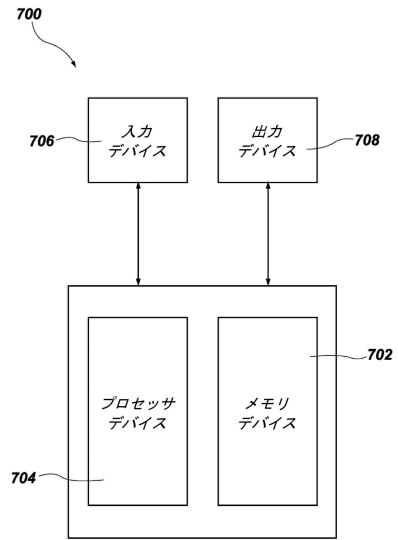
40

50

【 図 6 】



【 図 7 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 21/768(2006.01)

(72)発明者 ラーセン クリストファー ジェイ .

アメリカ合衆国 アイダホ州 8 3 7 1 2 ボイズ ノース メイプル アベニュー 1 1 8

(72)発明者 チャンドル アニルクマール

アメリカ合衆国 アイダホ州 8 3 7 1 6 ボイズ イースト オーパス ストリート 1 1 6 8

(72)発明者 マッキンゼー ウェズリー オー .

アメリカ合衆国 アイダホ州 8 3 6 8 6 ナンパ イースト ドゥーリー レーン 5 0 4

(72)発明者 ジョン トム ジェイ .

アメリカ合衆国 アイダホ州 8 3 7 1 6 ボイズ マングローブ プレイス 6 3 8 4

(72)発明者 ダヤラン アルン クマール

アメリカ合衆国 アイダホ州 8 3 7 1 6 ボイズ サウス アクシオム アベニュー 4 4 6 5

(72)発明者 モクナ ラウ プラカシュ ラウ

アメリカ合衆国 アイダホ州 8 3 7 1 6 ボイズ サウス スノードロップ プレイス 5 9 7 7

審査官 宮本 博司

(56)参考文献 米国特許出願公開第 2 0 2 0 / 0 0 7 5 6 2 7 (U S , A 1)

米国特許出願公開第 2 0 1 9 / 0 3 0 4 9 9 3 (U S , A 1)

特開 2 0 2 0 - 0 4 7 3 5 0 (J P , A)

特開 2 0 1 9 - 0 8 7 7 4 8 (J P , A)

特開 2 0 1 7 - 1 4 7 3 3 7 (J P , A)

特開 2 0 1 9 - 0 4 1 0 6 1 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 1 0 B 4 3 / 2 7

H 1 0 B 4 3 / 5 0

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2

H 0 1 L 2 1 / 7 6 8