



(21) 申請案號：107100921

(22) 申請日：中華民國 107 (2018) 年 01 月 10 日

(51) Int. Cl. : **G01R31/28 (2006.01)**

(30) 優先權：2017/01/13 美國 62/445,822

2017/08/31 美國 15/692,048

(71) 申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市新竹科學工業園區篤行一路 1 號

(72) 發明人：陳易緯 CHEN, YIWEI (TW)

(74) 代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：16 項 圖式數：6 共 28 頁

(54) 名稱

掃描鏈路

CLOCK GATING CIRCUITS AND SCAN CHAIN CIRCUITS USING THE SAME

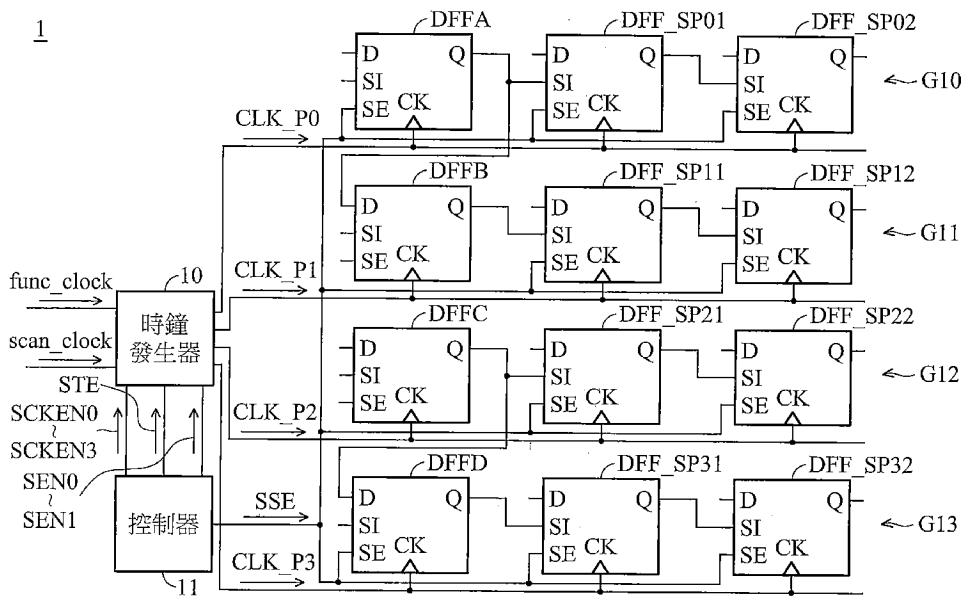
(57) 摘要

本發明提供了一種掃描鏈路。該掃描鏈路包括第一掃描觸發器、第二掃描觸發器與時鐘發生器；第一掃描觸發器與第二掃描觸發器均包括資料登錄端、掃描輸入端、時鐘端與資料輸出端；第二掃描觸發器的資料登錄端耦接第一掃描觸發器的資料輸出端。在測試模式的一個掃描位移週期內，第二時鐘使能信號的使能脈衝比第一時鐘使能信號的使能脈衝延遲，並且時鐘發生器根據掃描時鐘信號與第一時鐘使能信號產生第一時鐘信號，根據掃描時鐘信號與第二時鐘使能信號進一步產生第二時鐘信號。本發明的掃描鏈路能夠避免高峰值電流的發生且防止由時鐘偏移引起的誤差。

A scan chain circuit is provided. The scan chain circuit includes first and second scan flip-flops and a clock generator. Each of the first and second scan flip-flops has a data-in terminal, a scan-in terminal, a clock terminal, and a data-out terminal. The clock terminals of the first and second scan flip-flop receive first and second clock signals respectively. The data-in terminal of the second scan flip-flop is coupled to the data-out terminal of the first scan flip-flop. During a scan shift cycle of the test mode, an enable pulse of a second clock-enable signal is delayed from an enable pulse of a first clock-enable signal, and the clock generator generates the first clock signal according to the scan clock signal and the first clock-enable signal and further generates the second clock signal according to the scan clock signal and the second clock-enable signal.

指定代表圖：

1



第 1 圖

符號簡單說明：

1 . . . 掃描鏈路

10 . . . 時鐘發生器

11 . . . 控制器

G10-G13 . . . 掃描組

# 發明專利說明書

**【發明名稱】** 掃描鏈路

CLOCK GATING CIRCUITS AND SCAN CHAIN  
CIRCUITS USING THE SAME

**【技術領域】**

**【0001】** 本發明涉及掃描鏈路領域，特別是涉及應用于掃描鏈路的時鐘閘控電路。

**【先前技術】**

**【0002】** 對於積體電路來講，掃描鏈路應用於在測試過程期間的組合邏輯塊中檢測各種製造故障。通常，掃描鏈路由幾個串聯耦接的掃描觸發器組成。掃描鏈路可以在測試模式下在一個捕獲週期之前重複位移週期（shift cycle）來測試組合邏輯塊。在位移週期期間，所有的掃描觸發器同時被同一個時鐘信號觸發，以根據各自的測試信號工作，這將引起高峰值電流，導致積體電路的損壞。

**【發明內容】**

**【0003】** 有鑑於此，本發明特提供一種新的掃描鏈路。

**【0004】** 本發明提供掃描鏈路的一個實施例。該掃描鏈路包括第一掃描觸發器、第二掃描觸發器與時鐘發生器。第一掃描觸發器包括資料登錄端、掃描輸入端、用於接收第一時鐘信號的時鐘端與資料輸出端。第二掃描觸發器包括耦接第一掃描觸發器的資料輸出端的資料登錄端、掃描輸入端、用於接收第二時鐘信號的時鐘端與資料輸出端。時鐘發生器用於接收功能時鐘信號、掃描時鐘信號、第一時鐘使能信號、第二時

鐘使能信號與用於指示掃描鏈路是否處於測試模式的測試使能信號。在測試模式的掃描位移週期中，第二時鐘使能信號的使能脈衝比第一時鐘使能信號的使能脈衝延遲，並且時鐘發生器根據掃描時鐘信號和第一時鐘使能信號產生第一時鐘信號，更進一步地根據掃描時鐘信號與第二時鐘使能信號產生第二時鐘信號。

**【0005】** 本發明提供了掃描鏈路的另一個實施例。掃描鏈路包括多工器、第一時鐘閘控電路、第二時鐘閘控電路、第一掃描觸發器與第二掃描觸發器。多工器包括：用於接收功能時鐘信號的第一輸入端、用於接收掃描時鐘信號的第二輸入端，且第二輸入端在測試使能信號控制下傳輸功能時鐘信號或者掃描時鐘信號作為參考時鐘信號使用，測試使能信號用於指示掃描鏈路是否處於測試模式。第一時鐘閘控電路包括用於接收參考時鐘信號的時鐘輸入端、用於接收第一時鐘使能信號的時鐘使能端、用於接收第一閘控使能信號的閘控使能端、接收測試使能信號的測試使能端與輸出第一時鐘信號的時鐘輸出端。第二時鐘閘控電路包括用於接收時鐘參考信號的時鐘輸入端、接收第二時鐘使能信號的時鐘使能端、用於接收第二閘控使能信號的閘控使能端、用於接收測試使能信號的測試使能端與用於輸出第二時鐘信號的時鐘輸出端。第一掃描觸發器包括資料登錄端、掃描輸入端、用於接收第一時鐘信號的時鐘端和資料輸出端。第二掃描觸發器包括耦接第一掃描觸發器的資料輸出端的資料登錄端、掃描輸入端、接收第二時鐘信號的時鐘端與資料輸出端。

**【0006】** 本發明提供的掃描鏈路能夠避免高峰值電流的發生且防止由時鐘偏移引起的誤差。

**【圖式簡單說明】****【0007】**

第 1 圖示出了本發明提供的掃描鏈路的一典型實施例；

第 2 圖示出了本發明提供的時鐘發生器的一典型實施例；

第 3 圖示出了本發明提供的基於一典型實施例的時鐘信號和時鐘使能信號的時序示意圖；

第 4 圖示出了本發明提供的時鐘閘控電路的一典型實施例；

第 5 圖示出了基於一典型實施例的時鐘閘控電路的主信號的時序示意圖；

第 6 圖示出了本發明提供的時鐘閘控電路的另一典型實施例。

**【實施方式】**

**【0008】** 下面的描述是實施本發明的最佳實施方式，所做出的描述是為了說明本發明的基本原則且不應該做限制性理解，本發明的範圍由參考所附專利申請範圍最佳確定。

**【0009】** 請參閱第 1 圖，第 1 圖是本發明提供的掃描鏈路的一實施例，該掃描鏈路用於在測試過程中降低峰值功率。如第 1 圖所示，掃描鏈路 1 包括時鐘發生器 10、控制器 11，掃描組 G10~G13。掃描鏈路 1 可以在功能模式與測試模式兩種模式下工作。當掃描鏈路 1 在測試模式下工作時，與掃描鏈路 1 耦接的組合邏輯塊可以通過測試模式下在捕獲週期之前重複位移週期來進行測試。每個掃描組都包括若干個串聯耦接的掃描觸發器。在本實施例中，採用 G10~G13 四個掃描組作為示例，每一個掃描組都包括三個掃描觸發器。例如，掃描組 G10 包括三

個掃描觸發器 DFFA、DFF\_SP01 與 DFF\_SP02；掃描組 G11 包括三個掃描觸發器 DFFB、DFF\_SP11 與 DFF\_SP12；掃描組 G12 包括三個掃描觸發器 DFFC、DFF\_SP21 與 DFF\_SP22；掃描組 G13 包括三個掃描觸發器 DFFD、DFF\_SP31 與 DFF\_SP32。每一個掃描觸發器都包括資料登錄端 D、掃描輸入端 SI、掃描輸出端 SE、時鐘端 CK、及一個資料輸出端 Q。同一個掃描組中的掃描觸發器的時鐘端 CK 接收由時鐘發生器 10 發送的相同的時鐘信號。具體地說，掃描組 G10 包括的掃描觸發器 DFFA、DFF\_SP01 和 DFF\_SP02 的時鐘端 CK 接收時鐘信號 CKL\_P0；掃描組 G11 包括的掃描觸發器 DFFB、DFF\_SP11 與 DFF\_SP12 的時鐘端 CK 接收時鐘信號 CKL\_P1；掃描組 G12 包括的掃描觸發器 DFFC、DFF\_SP21 與 DFF\_SP22 的時鐘端 CK 接收時鐘信號 CKL\_P2；掃描組 G13 包括的掃描觸發器 DFFD、DFF\_SP31 與 DFF\_SP32 的時鐘端 CK 接收時鐘信號 CKL\_P3。

【0010】如第 1 圖所示，在同一個掃描組內，一個掃描觸發器的掃描輸入端 SI 耦接同一掃描組的前一個掃描觸發器的資料輸出端 Q 以形成該掃描組的掃描路徑。例如，在掃描組 G10 中，掃描觸發器 DFF\_SP01 的掃描輸入端 SI 耦接掃描觸發器 DFFA 的資料輸出端 Q，掃描觸發器 DFF\_SP02 的掃描輸入端 SI 耦接掃描觸發器 DFF\_SP01 的資料輸出端 Q，這樣形成掃描組 10 的經過掃描觸發器 DFFA、DFF\_SP01 與 DFF\_SP02 的掃描路徑。在本實施例中，因為有四個掃描組 G10~G13，所以為掃描組 G10~G13 分別形成四條掃描路徑。此外，一個掃描組中的一個掃描觸發器的資料登錄端 D 耦接另一組的掃

描觸發器的資料輸出端 Q 形成功能路徑。例如，掃描組 G11 中的掃描觸發器 DFFB 的資料登錄端 D 耦接掃描組 G10 中的掃描觸發器 DFFA 的資料輸出端 Q。根據這個掃描觸發器之間的連接關係，一個掃描路徑由屬於同一掃描組並接收相同時鐘信號的掃描觸發器組成，而一個功能路徑由至少兩個屬於不同掃描組且接收不同的掃描時鐘相位信號的掃描觸發器組成。在一個具體的實施例中，在一個掃描組中第一個掃描觸發器的掃描輸入端 SI，例如掃描組 G10 中的掃描觸發器 DFFA，在掃描鏈路 1 處於測試模式時接收測試輸入信號。此外，在另一個實施例中，在一個功能路徑的第一個掃描觸發器的資料登錄端 D，例如掃描觸發器 DFFA 的資料登錄端 D，在掃描鏈路 1 處於功能模式的時候接收功能資料信號。

**【0011】**根據上述實施例，對每一個掃描觸發器而言，掃描使能端 SE 接收用於指示對應的掃描路徑和對應的功能路徑中哪個是可用的掃描使能信號 SSE。例如，當掃描使能信號 SSE 指示對應的掃描路徑是可用的（例如，當掃描鏈路 1 處於測試模式中的一個掃描位移週期），掃描觸發器根據其掃描輸入端 SI 的信號工作，當掃描使能信號 SSE 指示對應的功能路徑是可用的（例如，當掃描鏈路 1 處在功能模式或者是測試模式中的一個捕獲週期中），掃描觸發器根據其資料登錄端 D 的信號工作。掃描使能信號 SSE 是由控制器 11 根據掃描鏈路 1 的工作時序生成的。

**【0012】**請參考第 1 圖，時鐘發生器 10 在功能模式時接收功能時鐘信號 func\_clock，在測試模式時接收掃描時鐘信號 scan\_clock，此外

還有時鐘使能信號 SCKEN0~SCKEN3、測試使能信號 STE 和閘控使能信號 SEN0~SEN3。測試使能信號 STE 用於指示掃描鏈路 1 是處於掃描模式還是功能模式。閘控使能信號 SEN0~SEN3 分別用於表示掃描組 G10~G13 的時間閘控是否已經啟用。當掃描鏈路 1 處於測試模式時，時鐘發生器根據掃描時鐘信號 scan\_clock、測試使能信號 STE、時鐘使能信號 SCKEN0~SCKEN3 及閘控使能信號 SEN0~SEN3 生成時鐘信號 CLK\_P0~CLK\_P3。當掃描鏈路 1 處於功能模式時，時鐘發生器 10 根據功能時鐘信號 function\_clock、測試使能信號 STE、時鐘使能信號 SCKEN0~SCKEN3 及閘控使能信號 SEN0~SEN3 生成時鐘信號 CLK\_P0~CLK\_P3。時鐘發生器 10 的信號，例如，時鐘使能信號 SCKEN0~SCKEN3、測試使能信號 STE 及閘控使能信號 SEN0~SEN3 是由控制器 11 根據掃描鏈路 1 的工作時序生成的。接下來的章節中將會描述時鐘發生器 10 是如何生成時鐘信號 CLK\_P0~CLK\_P3 的。

【0013】請參閱第 2 圖，時鐘發生器 10 包括多工器 20、多個緩衝區 21 與給掃描組提供時鐘信號的多個時鐘閘控電路。如上文所述，本實施例中有四個掃描組 G10~G13，因此時鐘發生器 10 包括四個時鐘閘控電路 CGA~CGD，四個時鐘閘控電路 CGA~CGD 分別為掃描組 G10~G13 生成時鐘信號 CLK\_P0~CLK\_P3。多工器 20 有兩個用於接收功能時鐘信號 function\_clock 和掃描時鐘信號 scan\_clock 的輸入端，和用於輸出參考時鐘信號 SCK 的輸出端。多工器 20 由測試使能信號 STE 控制，且多工器 20 選擇傳輸功能時鐘信號 function\_clock 或



者掃描時鐘信號 `scan_clock` 作為參考時鐘信號 `SCK`。當測試使能信號 `STE` 處於高電平狀態指示著掃描鏈路 1 處於測試模式，多工器 20 傳輸作為參考時鐘信號 `SCK` 的掃描時鐘信號 `scan_clock`。當測試使能信號 `STE` 處於低電平狀態指示著掃描鏈路 1 處於功能模式，多工器 20 傳輸作為參考時鐘信號 `SCK` 的功能時鐘信號 `function_clock`。參考時鐘信號 `SCK` 通過緩衝區 21 提供給時鐘閘控電路 `CGA~CGD`。

【0014】請參閱第 2 圖，時鐘閘控電路 `CGA~CGD` 的任何一個都具有時鐘輸入端 `CK`、時鐘使能端 `SE_CKEN`、閘控使能端 `EN`、測試使能端 `TE` 和時鐘輸出端 `Q`。時鐘閘控電路 `CGA~CGD` 的時鐘輸入端 `CK` 都接收由多工器 20 傳輸的參考時鐘信號 `SCK`。時鐘閘控電路 `CGA~CGD` 的測試使能端 `TE` 都接受測試使能信號 `STE`。對每一個時鐘閘控電路而言，閘控使能端 `EN` 接收對應的閘控使能信號，時鐘使能端 `SE_CKEN` 接收對應的時鐘使能信號。具體地說，時鐘閘控電路 `CGA` 的閘控使能端 `EN` 接收閘控使能信號 `SEN0`，時鐘使能端 `SE_CKEN` 接收時鐘使能信號 `SCKEN0`；時鐘閘控電路 `CGB` 的閘控使能端 `EN` 接收閘控使能信號 `SEN1`，時鐘使能端 `SE_CKEN` 接收時鐘使能信號 `SCKEN1`；時鐘閘控電路 `CGC` 的閘控使能端 `EN` 接收閘控使能信號 `SEN2`，時鐘使能端 `SE_CKEN` 接收時鐘使能信號 `SCKEN2`；時鐘閘控電路 `CGD` 的閘控使能端 `EN` 接收閘控使能信號 `SEN3`，時鐘使能端 `SE_CKEN` 接收時鐘使能信號 `SCKEN3`。時鐘閘控電路 `CGA~CGD` 分別為掃描組 `G10~G13` 生成時鐘信號 `CLK_P0~CLK_3`。

【0015】如第 3 圖所示，第 3 圖顯示了時鐘信號 `CLK_P0~CLK_3`

與時鐘使能信號 SCKEN0~SCKEN3 的設定的時刻。在本實施例中，在測試模式下的每一個掃描位移週期 P\_scan-shift 中，時鐘使能信號 SCKEN0~SCKEN3 中任一個都具有用於位移週期操作的完全使能脈衝，時鐘使能信號 SCKEN0~SCKEN3 的完全使能脈衝依次發生。具體地說，時鐘使能信號 SCKEN1 的完全使能脈衝 PUL1 比時鐘使能信號 SCKEN0 的全使能脈衝 PUL0 延遲，時鐘使能信號 SCKEN2 的完全使能脈衝 PUL2 比時鐘使能信號 SCKEN1 的全使能脈衝 PUL1 延遲，時鐘使能信號 SCKEN3 的完全使能脈衝 PUL3 比時鐘使能信號 SCKEN2 的完全使能脈衝 PUL2 延遲。通過時鐘閘控電路 CGA~CGD 的操作，回應時鐘使能信號 SCKEN0~SCKEN3。時鐘信號 CLK\_P0~CLK\_3 也是依次發生，因此，掃描組 G10~G13 的掃描路徑依次啟動。參閱第 3 圖，為了回應時鐘使能信號 SCKEN0~SCKEN3 設定的時刻，時鐘信號 CLK\_P0~CLK\_P3 的時鐘脈衝不重疊。具體的說，時鐘信號 CLK\_P1 的時鐘脈衝比時鐘信號 CLK\_P0 的時鐘脈衝延遲，時鐘信號 CLK\_P2 的時鐘脈衝比時鐘信號 CLK\_P1 的時鐘脈衝延遲，時鐘信號 CLK\_P3 的時鐘脈衝比時鐘信號 CLK\_P2 的時鐘脈衝延遲。因此，由於時鐘信號 CLK\_P0~CLK\_P3 的時序，掃描組 G10~G13 的掃描路徑不會被同時啟動。

【0016】請參閱第 3 圖，在掃描位移週期 P\_scan-shift 中最後發生的時鐘信號 CLK\_P3 的時鐘脈衝發生之後，掃描鏈路 1 將進入一個後續掃描捕獲週期 P\_scan-capture，時鐘使能信號 SCKEN0~SCKEN3 的使能脈衝在掃描捕獲週期 P\_scan-capture 內同時發生。通過時鐘閘

控電路 CGA~CGD 的操作，回應於時鐘使能信號 SCKEN0~SCKEN3，時鐘信號 CLK\_P0~CLK\_P3 中的時鐘信號在掃描捕獲週期 P\_scan-capture 內同時發生。

【0017】根據本實施例，當掃描鏈路 1 工作在功能模式下時，時鐘使能信號 SCKEN0~SCKEN3 保持在高電平。

【0018】第 4 圖是時鐘閘控電路的一個典型實施例。請參閱第 4 圖，第 4 圖提供了一個時鐘閘控電路 4。在本實施例中，時鐘閘控電路 CGA~CGD 中的任一時鐘閘控電路都可以通過時鐘閘控電路 4 來實施。因此，在第 4 圖中，參考標號“SCKENX”、“SENX”、“CGENX”、“CGQX”與“CLK\_PX”都是向時鐘閘控電路 CGA~CGD 中的其中一個發送的信號，其中，“X”是 0、1、2 或者 3 分別代表了時鐘閘控電路 CGA、CGB、CGC 或者 CGD。參閱第 4 圖，時鐘閘控電路 4 包括或閘電路 40、及閘電路 41 與 43 及鎖存電路 42。或閘電路 40 的一個輸入端耦接測試使能端 TE，以接收測試使能信號 STE，或閘電路 40 的另一個輸入端耦接閘使能端 EN，以接收對應的閘控使能信號 SENX。及閘電路 41 的一個輸入端耦接時鐘使能端 SE\_CKEN，以接收到對應的時鐘使能信號 SCKENX，及閘電路 41 的另一個輸入端耦接或閘電路 40 的輸出端。及閘電路 41 的輸出端輸出對應的使能信號 CGENX。鎖存電路 42 是脈衝下降沿觸發的鎖存電路。鎖存電路 42 的輸入端耦接及閘電路 41 的輸出端，以接收到對應的使能信號 CGENX，鎖存電路 42 的時鐘端 CK 耦接時鐘輸入端 CK，以接收到參考時鐘信號 SCK，鎖存電路 42 的輸出端 Q 輸出對應的閘控輸出信號

CGQX。及閘電路 43 的一個輸入端耦接時鐘輸入端 CK，以接收到參考時鐘信號 SCK，及閘電路 43 的另一個輸入端耦接觸發器 D 的輸出端 Q，及閘電路 43 的輸出端向對應的時鐘輸出端 Q 輸出對應的時鐘信號 CLK\_PX。

【0019】第 5 圖展示了時鐘閘控電路 4 的主要信號在掃描模式下一個掃描位移週期內的時序，在下文中，以時鐘閘控電路 CGA 的信號 SCK、SCKEN0、STE、CGEN0、CGQ0 及 CLK\_P0 為例說明，也就是說，本實施例是第 4 圖中“X”=0 的情況。在這個掃描位移週期中，測試使能信號 STE 保持在高電平。通過或閘電路 40 的邏輯運算，無論閘控使能信號 SEN0 的電平高低，或閘電路 40 的輸出端的信號都保持在高電平。及閘電路 41 回應時鐘使能信號 SCKEN0 的使能脈衝 PUL0 生成具有脈衝 PCG0 的使能信號 CGEN0。鎖存器 42 回應參考時鐘信號 SCK 脈衝的下降沿鎖存使能信號 CGEN0 以產生選通輸出信號 CGQ0。然後，及閘電路 43 進行與的邏輯運算，根據參考時鐘信號 SCK 及閘控輸出信號 CGQ0，產生一個具有時鐘脈衝 PCLK0 的時鐘信號 CLK\_P0。其他時鐘閘控電路 CGB~CGD 的工作內容與上述時鐘閘控電路 CGA 的工作相同，因此此處不再贅述。

【0020】第 6 圖展示了時鐘閘控電路另一個典型的實施例。請參閱第 6 圖，第 6 圖提供了一個時鐘閘控電路 6。在本實施例中，時鐘閘控電路 CGA~CGD 中的任一個都可以由時鐘閘控電路 6 實現。因此，在第 6 圖中，參考標號“SCKENX”，“SENX”，“CGENX”，“CGQX”及“CLK\_PX”是時鐘閘控電路 CGA~CGD 其中一個時鐘閘

控電路的信號，其中符號“X”為 0、1、2 或 3 時，分別對應時鐘選通電路 CGA，CGB，CGC 或 CGD。請參閱第 6 圖，時鐘閘控電路 6 包括反或閘電路 60 與 62、反相器 61、鎖存電路 63 及及閘電路 64。反或閘電路 60 的一個輸入端耦接測試使能端以接收測試使能信號 STE，反或閘電路 60 的另一個輸入端耦接閘控使能端 EN 來接收對應的閘控使能信號 SENX。反相器 61 的輸入端耦接時鐘使能端 SE\_CKEN 來接收對應的時鐘使能信號 SCKENX。反或閘電路 62 的一個輸入端耦接反相器 61 的輸出端，反或閘電路 62 的另一個輸入端耦接反或閘電路 60 的輸出端。反或閘電路 62 的輸出端輸出對應的使能信號 CGENX。鎖存電路 63 是脈衝下降沿觸發鎖存器。鎖存電路 63 的輸入端 D 耦接反或閘電路 62 的輸出端以接收輸出對應的使能信號 CGENX，鎖存電路 63 的時鐘端 CK 耦接時鐘輸入端 CK 以接收參考時鐘信號 SCK，鎖存電路 63 的輸出端 Q 輸出對應的閘控輸出信號 CGQX。及閘電路 64 的一個輸入端耦接時鐘輸入端 CK 以接收參考時鐘信號 SCK，及閘電路 64 的另一個輸入端耦接觸發器 D 的輸出端 Q，及閘電路 64 的輸出端向對應的時鐘輸出端 Q 輸出對應的時鐘信號 CLK\_PX。

**【0021】**時鐘閘控電路 6 的運作與時鐘閘控電路 4 的運作相似。在第 6 圖所示的實施例中，反或閘電路 60 和 62 及反相器 61 組成了一個如第 4 圖中所示的由或閘電路 40 及及閘電路 41 組成的電路等效的電路。因此，時鐘閘控電路 6 的主要信號的時序與時鐘閘控電路 4 的主要信號的時序相同，例如，如第 5 圖所示。

**【0022】**根據上述實施例可知，只有一個時鐘路徑由多工器 20 及用

於功能時鐘信號 `func_clock` 與掃描時鐘信號 `scan_clock` 的緩衝器 21 組成。當掃描鏈電路 1 在測試模式下的每一個掃描位移週期中工作時，掃描組 G10~G13 不會被同時啟動，這避免了高峯值電流的發生。此外，當掃描鏈電路 1 在功能模式下工作時，由於所有掃描觸發器通過相同的時鐘路徑接收相同的參考時鐘信號 SCK（即功能時鐘信號 `func_clock`），使得不存在由幾個時鐘路徑感應而生成的時鐘偏移，並且防止了由時鐘偏移引起的操作掃描觸發器時的誤差。

【0023】上述所示的流程圖旨在說明根據本發明的視訊編碼或解碼進程的示例。在不背離本發明精神的情況下，本領域技術人員可以修改每一步驟、重新排列這些步驟、拆分一個步驟或者合併複數個步驟以實施本發明，在本發明中，已經使用了特定的語法與語義以說明實施本發明實施例的示例，本領域技術人員在不背離本發明精神的前提下，可以透過用相等的語法與語義替換這些語法與語義來實施本發明。

#### 【符號說明】

##### 【0024】

1 ~ 掃描鏈路；

10 ~ 時鐘發生器；

11 ~ 控制器；

G10-G13 ~ 掃描組；

20 ~ 多工器；

21 ~ 緩衝區；

CGA~CGD ~ 時鐘閘控電路；

4～時鐘閘控電路；

40～或閘電路；

41 與 43～及閘電路；

42～鎖存電路；

6～時鐘閘控電路；

60 與 62～反或閘電路；

61～反相器；

63～鎖存電路；

64～及閘電路。

## 發明摘要

## 【發明名稱】掃描鏈路

CLOCK GATING CIRCUITS AND SCAN CHAIN  
CIRCUITS USING THE SAME

## 【中文】

本發明提供了一種掃描鏈路。該掃描鏈路包括第一掃描觸發器、第二掃描觸發器與時鐘發生器；第一掃描觸發器與第二掃描觸發器均包括資料登錄端、掃描輸入端、時鐘端與資料輸出端；第二掃描觸發器的資料登錄端耦接第一掃描觸發器的資料輸出端。在測試模式的一個掃描位移週期內，第二時鐘使能信號的使能脈衝比第一時鐘使能信號的使能脈衝延遲，並且時鐘發生器根據掃描時鐘信號與第一時鐘使能信號產生第一時鐘信號，根據掃描時鐘信號與第二時鐘使能信號進一步產生第二時鐘信號。本發明的掃描鏈路能夠避免高峰值電流的發生且防止由時鐘偏移引起的誤差。

## 【英文】

A scan chain circuit is provided. The scan chain circuit includes first and second scan flip-flops and a clock generator. Each of the first and second scan flip-flops has a data-in terminal, a scan-in terminal, a clock terminal, and a data-out terminal. The clock terminals of the first and second scan flip-flop receive first and second clock signals respectively. The data-in terminal of



the second scan flip-flop is coupled to the data-out terminal of the first scan flip-flop. During a scan shift cycle of the test mode, an enable pulse of a second clock-enable signal is delayed from an enable pulse of a first clock-enable signal, and the clock generator generates the first clock signal according to the scan clock signal and the first clock-enable signal and further generates the second clock signal according to the scan clock signal and the second clock-enable signal.

**【代表圖】**

**【本案指定代表圖】**：第（ 1 ）圖。

**【本代表圖之符號簡單說明】**：

1～掃描鏈路；

10～時鐘發生器；

11～控制器；

G10-G13～掃描組。

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無

## 申請專利範圍

### 1. 一種掃描鏈路，包括：

一第一掃描觸發器，包括：一資料登錄端、一掃描輸入端、接收一第一時鐘信號的一時鐘端與一資料輸出端；

一第二掃描觸發器，包括：耦接所述第一掃描觸發器的所述資料輸出端的一資料登錄端、一掃描輸入端、接收第二時鐘信號的一時鐘端與一資料輸出端；以及

一時鐘發生器，用於接收一功能時鐘信號、一掃描時鐘信號、一第一時鐘使能信號、一第二時鐘使能信號與用於指示所述掃描鏈路是否處於一測試模式的一測試使能信號；

其中，在所述測試模式下的一個掃描位移週期內，所述第二時鐘使能信號的使能脈衝比所述第一時鐘使能信號的使能脈衝延遲；以及所述時鐘發生器根據所述掃描時鐘信號與所述第一時鐘使能信號產生所述第一時鐘信號，並進一步根據所述掃描時鐘信號與所述第二時鐘使能信號產生所述第二時鐘信號。

### 2. 如申請專利範圍第 1 項所述之掃描鏈路，其中在所述測試模式下的一個掃描位移週期內，所述第二時鐘信號的時鐘脈衝比所述第一時鐘信號的時鐘脈衝延遲，且所述第一時鐘信號的所述時鐘脈衝不會與所述第二時鐘信號的所述時鐘脈衝重疊。

### 3. 如申請專利範圍第 1 項所述之掃描鏈路，其中所述掃描鏈路進一步包括：

一第三掃描觸發器，包括：一資料登錄端、耦接所述第一掃描觸發

器的所述資料輸出端的一掃描輸入端、接收所述第一時鐘信號的一時鐘端與一資料輸出端；

一第四掃描觸發器，包括：一資料登錄端、耦接所述第二掃描觸發器的所述資料輸出端的一掃描輸入端、接收所述第二時鐘信號的一時鐘端與一資料輸出端。

4. 如申請專利範圍第 1 項所述之掃描鏈路，其中所述時鐘發生器包括：

一多工器，包括：接收所述功能時鐘信號的一第一輸入端、接收所述掃描時鐘信號且在所述測試使能信號控制下傳輸作為參考時鐘信號使用的所述功能時鐘信號或所述掃描時鐘信號的一第二輸入端；

一第一時鐘閘控電路，包括：接收所述參考時鐘信號的一時鐘輸入端、接收所述第一時鐘使能信號的一時鐘使能端、接收第一閘控使能信號的一閘控使能端、接收所述測試使能信號的一測試使能端與輸出所述第一時鐘信號的一時鐘輸出端；

一第二時鐘閘控電路，包括：接收所述參考時鐘信號的一時鐘輸入端、接收所述第二時鐘使能信號的一時鐘使能端、接收第二時鐘使能信號的一閘控使能端、接收所述測試使能信號的測試使能端與輸出所述第二時鐘信號的一時鐘輸出端；

其中，在所述測試模式中，所述多工器將所述掃描時鐘信號作為所述參考時鐘信號傳輸，所述第一時鐘閘控電路根據所述參考時鐘信號生與所述第一時鐘使能信號生成所述第一時鐘信號，所述第二閘控電路根據所述參考時鐘信號與所述第二時鐘使能信號生成所述第

二時鐘信號；

所述第二時鐘信號的時鐘脈衝比所述第一時鐘信號的時鐘脈衝延遲。

5. 如申請專利範圍第 4 項所述之掃描鏈路，其中所述第一時鐘閘控電路與所述第二時鐘閘控電路均包括：

一或閘電路，包括：耦接對應的所述測試使能端的一第一輸入端、耦接對應的所述時鐘使能端的一第二輸入端與一輸出端；

一第一及閘電路，包括：耦接對應的所述時鐘使能端的一第一輸入端，耦接所述或閘的所述輸出端的一第二輸入端與一輸出端；

一鎖存電路，包括：耦接所述第一及閘電路的輸出端的一輸入端、接收所述參考時鐘信號的一時鐘端與一輸出端，其中，所述鎖存電路是脈衝下降沿觸發鎖存電路；

一第二及閘電路，包括接收所述參考時鐘信號的一第一輸入端、耦接所述鎖存電路的所述輸出端的一第二輸入端與耦接對應的所述時鐘輸出端的一輸出端。

6. 如申請專利範圍第 5 項所述之掃描鏈路，其中包括：在所述測試模式下，所述測試使能由高電平觸發。

7. 如申請專利範圍第 4 項所述之掃描鏈路，其中所述第一時鐘閘控電路與所述第二時鐘閘控電路中的每一個均包括：

一第一反或閘，包括：耦接對應的所述測試使能端的一第一輸入端、耦接對應的所述時鐘閘控使能端的一第二輸入端與一輸出端；

一反相器，包括：耦接對應的所述時鐘使能端的一輸入端與一輸出

端；

一第二反或閘，包括：耦接所述反相器的所述輸出端的一第一輸入端，耦接所述或閘的所述輸出端的一第二輸入端與一輸出端；

一鎖存電路，包括：耦接所述第一及閘的所述輸出端的一輸入端，接收所述參考時鐘信號的一時鐘端與一輸出端，其中所述鎖存電路是脈衝下降沿觸發鎖存電路；

一及閘，包括：接收所述參考時鐘信號的一第一輸入端，耦接所述鎖存電路的所述輸出端的一第二輸入端與耦接對應的所述時鐘輸出端的一輸出端。

8. 如申請專利範圍第 7 項所述之掃描鏈路，其中在所述測試模式下，所述測試使能處於高電平。

9. 一種掃描鏈路，其中包括：

一多工器，包括：接收一功能時鐘信號的一第一輸入端，接收一掃描時鐘信號並由一測試使能信號控制的一第二輸入端，所述第二輸入端發送所述功能時鐘信號或所述掃描時鐘信號以用作一參考時鐘信號，其中，所述測試使能信號用於指示所述掃描鏈路是否處於一測試模式；

一第一時鐘閘控電路，包括：接收所述參考時鐘信號的一時鐘輸入端，接收第一時鐘使能信號的一時鐘使能端，接收第一閘控使能信號的一閘控使能端，接收所述測試使能信號的一測試使能端與輸出第一時鐘信號的一時鐘輸出端；

一第二時鐘閘控電路，包括：接收所述參考時鐘信號的一時鐘輸入

端，接收第二時鐘使能信號的一時鐘使能端，接收一第二閘控使能信號的一閘控使能端，接收所述測試使能信號的一測試使能端與輸出第二時鐘信號的一時鐘輸出端；

一第一掃描觸發器，包括：一資料登錄端、一掃描輸入端，接收所述第一時鐘信號的一時鐘端與一資料輸出端；

一第二掃描觸發器，包括：耦接所述第一掃描觸發器的所述資料輸出端的一資料登錄端、一掃描輸入端、接收所述第二時鐘信號的一時鐘端與一資料輸出端。

10.如申請專利範圍第 9 項所述之掃描鏈路，其中在測試模式下的一個掃描位移週期內，所述第二時鐘信號的時鐘脈衝比所述第一時鐘信號的時鐘脈衝延遲，並且所述第一時鐘信號的時鐘脈衝不會與所述第二時鐘信號的時鐘脈衝重疊。

11.如申請專利範圍第 10 項所述之掃描鏈路，其中在測試模式下的一個掃描位移週期內，所述多工器發射作為所述參考時鐘信號的所述掃描時鐘信號，並且所述第二時鐘使能信號的使能脈衝比所述第一時鐘使能信號的使能脈衝延遲。

12.如申請專利範圍第 9 項所述之掃描鏈路，其中所述掃描鏈路進一步包括：

一第三掃描觸發器，包括：一資料登錄端、一掃描輸入端，耦接所述第一掃描觸發器的所述資料輸出端的一掃描輸入端、接收所述第一時鐘信號的一時鐘端與一資料輸出端；

一第四掃描觸發器，包括：一資料登錄端、耦接所述第二掃描觸發

器的所述資料輸出端的一掃描輸入端、接收所述第二時鐘信號的一時鐘端與一資料輸出端。

13.如申請專利範圍第 9 項所述之掃描鏈路，其中所述第一時鐘閘控電路與所述第二時鐘閘控電路中的每一個均包括：

一或閘，包括：耦接對應的所述測試使能端的一第一輸入端，耦接對應的所述時鐘閘控使能端的一第二輸入端與一輸出端；

一第一及閘，包括：耦接對應的所述時鐘使能端的第一輸入端，耦接所述或閘的所述輸出端的第二輸入端與輸出端；

一鎖存電路，包括：耦接所述第一及閘的所述輸出端的一輸入端，接收所述參考時鐘信號的一時鐘端與一輸出端，其中，所述鎖存電路是脈衝下降沿觸發鎖存電路；

一第二及閘，包括：接收所述參考時鐘信號的一第一輸入端，耦接所述鎖存電路的所述輸出端的一第二輸入端，以及耦接對應的所述時鐘輸出端的一輸出端。

14.如申請專利範圍第 13 項所述之掃描鏈路，其中在所述測試模式下的一個掃描位移週期內，所述第二時鐘使能信號的使能脈衝比所述第一時鐘使能信號的使能脈衝延遲，並且所述測試使能處於高電壓電平。

15.如申請專利範圍第 9 項所述之掃描鏈路，其中第一時鐘閘控電路與第二時鐘閘控電路中的每一個均包括：

一第一反或閘，包括：耦接對應的所述測試使能端的一第一輸入端，耦接對應的所述時鐘閘控使能端的一第二輸入端與一輸出端；

一反相器，包括：耦接對應的所述時鐘使能端的一輸入端與一輸出端；

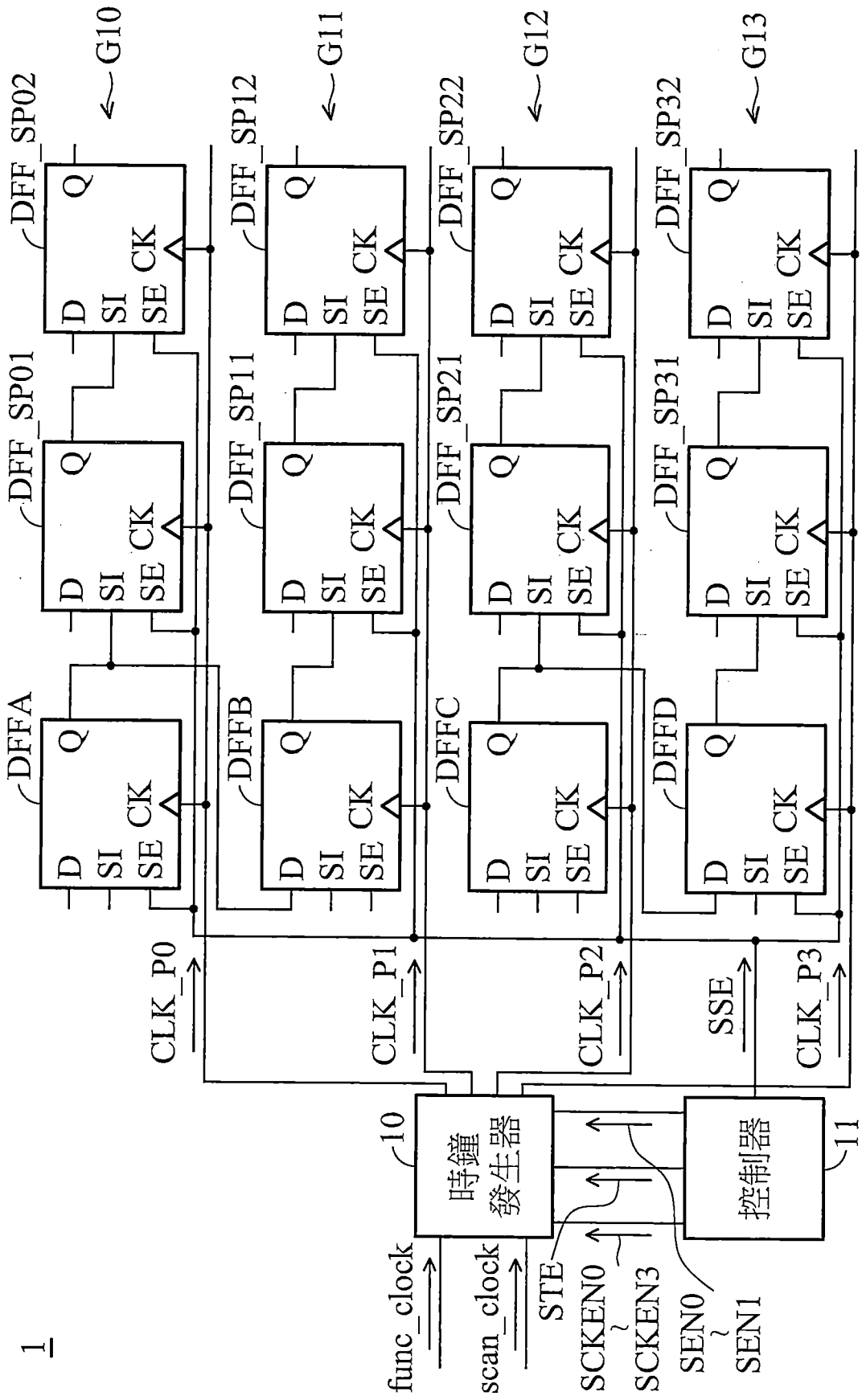
一第二反或閘，包括：耦接所述反相器的所述輸出端的一第一輸入端，耦接所述或閘的所述輸出端的一第二輸入端與一輸出端；

一鎖存電路，包括：耦接所述第一及閘的所述輸出端的一輸入端，接收所述參考時鐘信號的一時鐘端與一輸出端，其中所述鎖存電路是脈衝下降沿觸發鎖存電路；

一及閘，包括：接收所述參考時鐘信號的一第一輸入端，耦接所述鎖存電路的所述輸出端的一第二輸入端與耦接對應的所述時鐘輸出端的一輸出端。

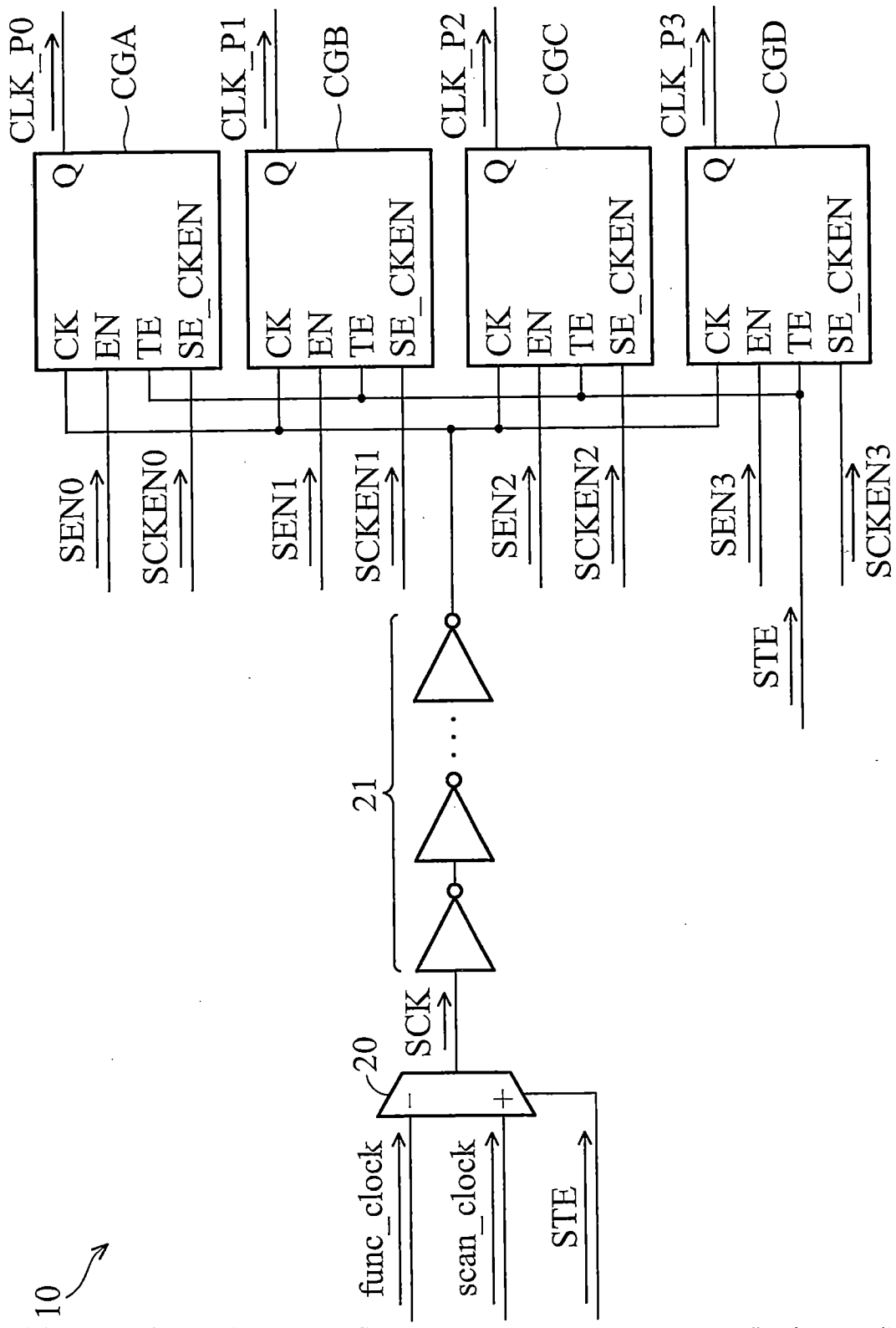
16.如申請專利範圍第 15 項所述之掃描鏈路，其中在所述測試模式下的一個掃描位移週期內，所述第二時鐘使能信號的使能脈衝比所述第一時鐘使能信號的使能脈衝延遲，並且所述測試使能處於高電壓電平。





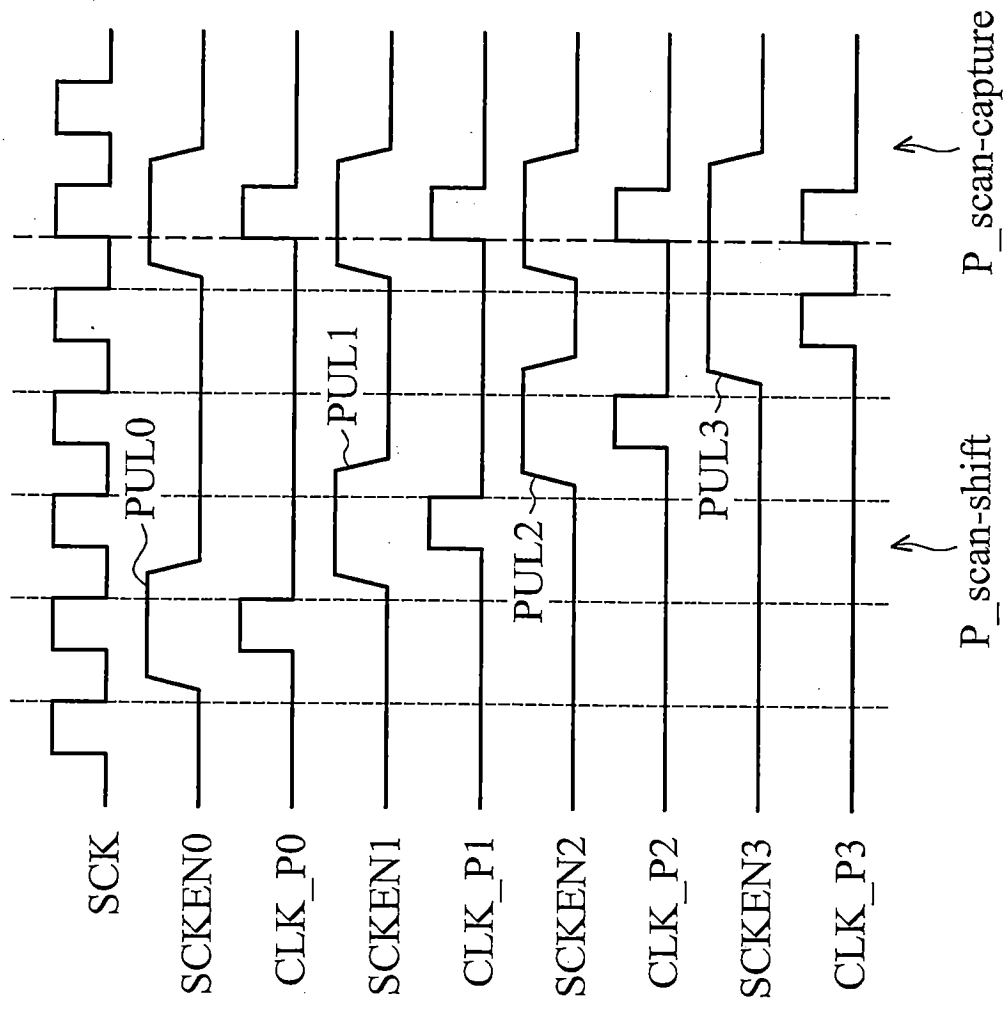
圖式

第 1 圖



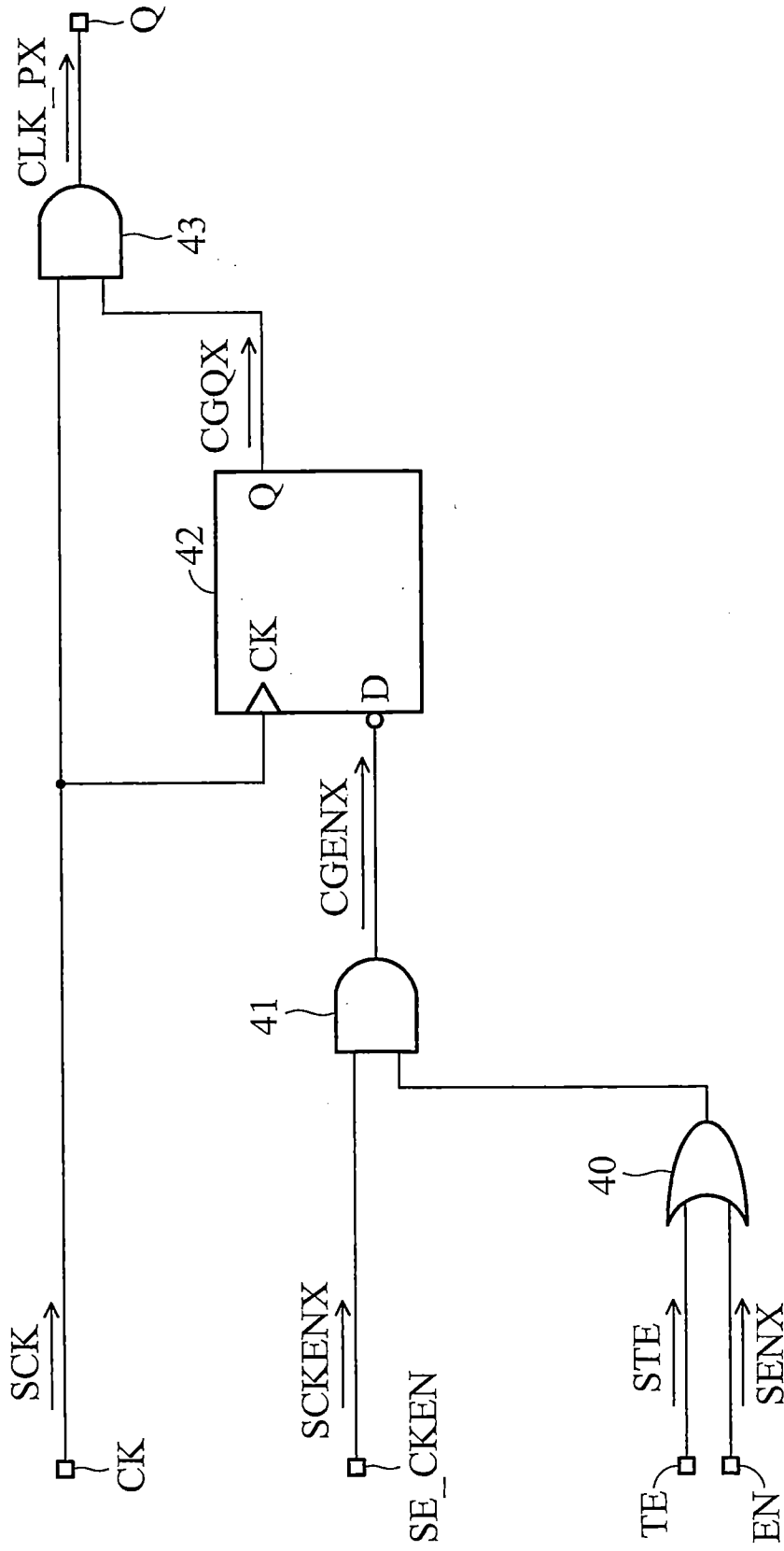
第 2 圖

10

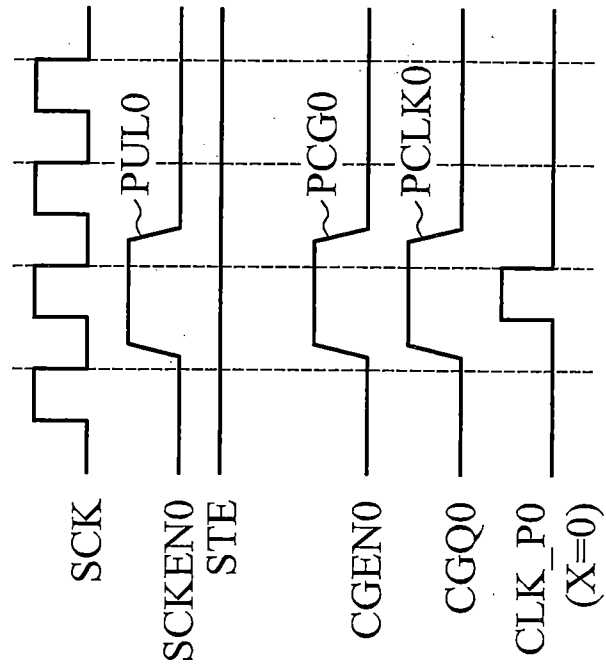


第3圖

4

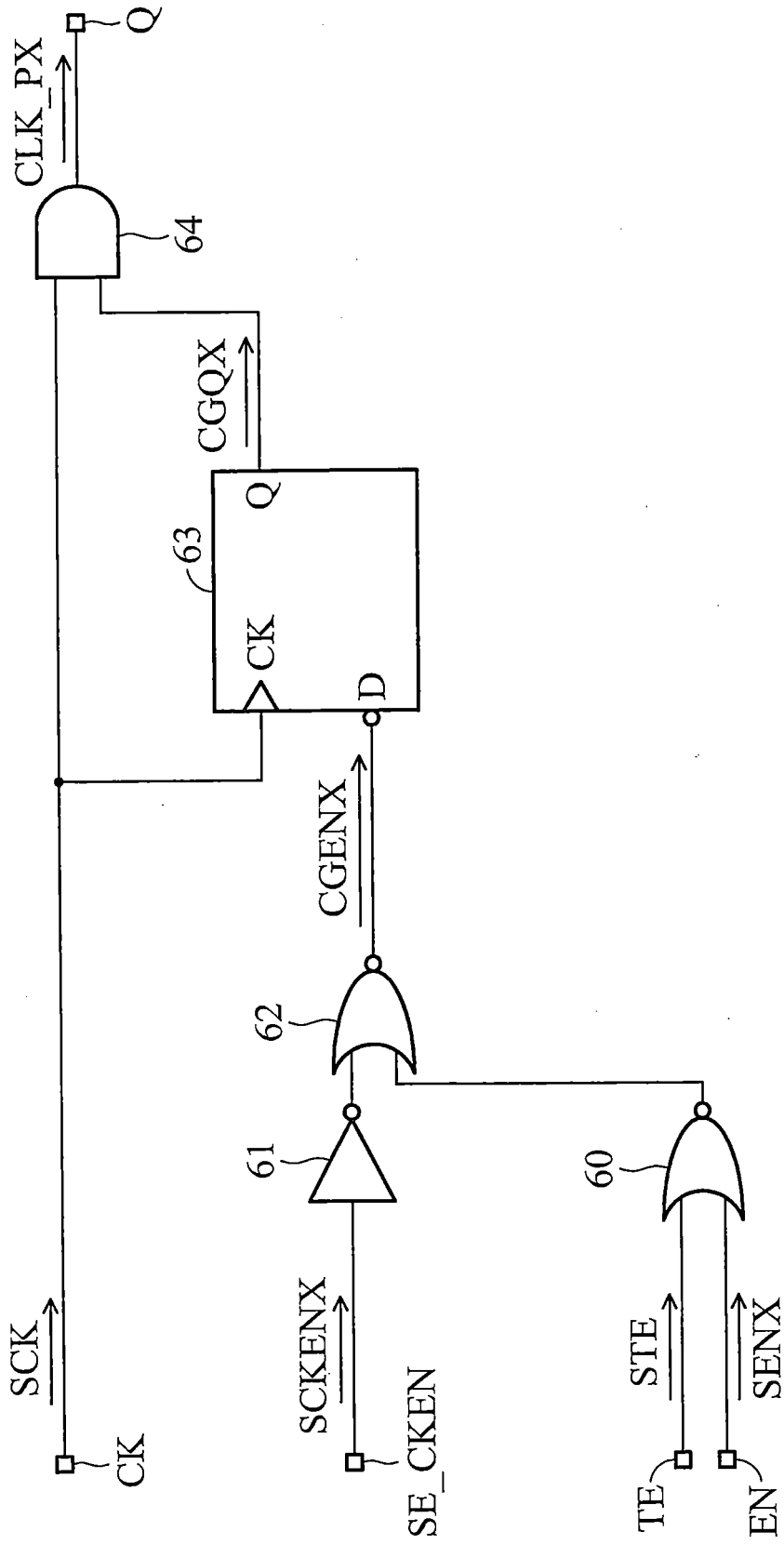


第4圖



第 5 圖

6



第6圖