



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I521662 B

(45) 公告日：中華民國 105 (2016) 年 02 月 11 日

(21) 申請案號：102105120 (22) 申請日：中華民國 102 (2013) 年 02 月 08 日  
 (51) Int. Cl. : H01L23/52 (2006.01) H01L21/768 (2006.01)  
 (30) 優先權：2012/02/15 美國 13/397,488  
 (71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING CO., LTD. (TW)  
 新竹市新竹科學工業園區力行六路 8 號  
 (72) 發明人：曾銷寫 TSENG, UWAY (TW)；蘇淑慧 SU, SHU HUI (TW)  
 (74) 代理人：洪澄文；顏錦順  
 (56) 參考文獻：  
 US 2008/0048332A1 US 2009/0212439A1  
 US 2009/0261475A1 US 2011/0281432A1  
 審查人員：趙芝婷  
 申請專利範圍項數：10 項 圖式數：5 共 27 頁

## (54) 名稱

半導體裝置及其製造方法

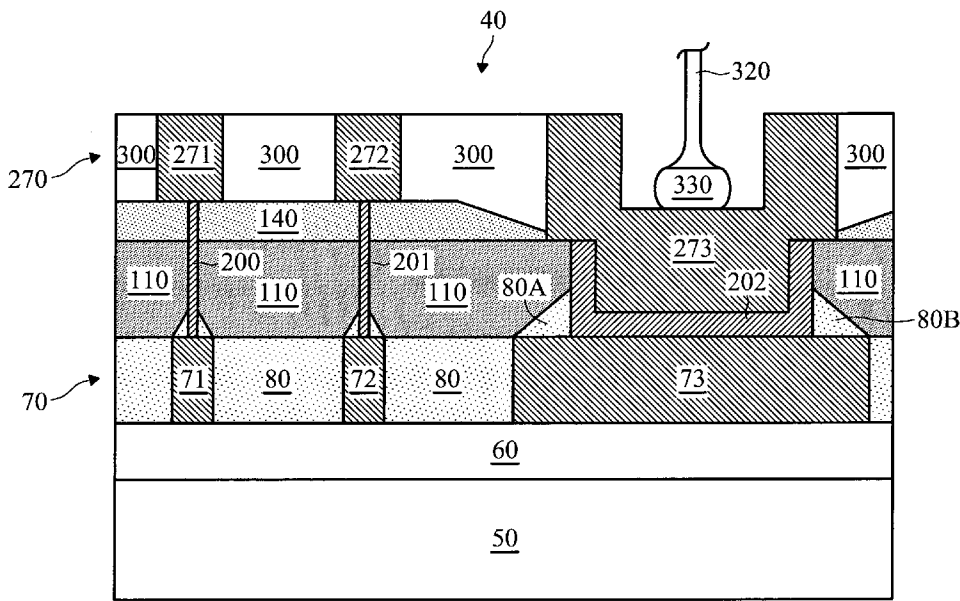
SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

## (57) 摘要

本發明揭示一種半導體裝置。半導體裝置包含一第一金屬層部件，形成於一基底上方。半導體裝置包含一介層連接窗形成於第一金屬層部件上方，介層連接窗為凹口型。半導體裝置包含一第二金屬層部件，形成於介層連接窗上方。半導體裝置包含一含氟第一介電層部件，形成於基底上方，第一介電層部件相鄰於第一金屬層部件，且部份的第一介電層部件位於第一金屬層部件上方。半導體裝置包含一無氟第二介電層部件，形成於第一介電層部件上方。第一及第二介電層部件各自與介層連接窗相鄰。本發明亦揭示一種半導體裝置之製造方法。

The present disclosure provides a semiconductor device. The semiconductor device includes a first metal layer component formed over a substrate. The semiconductor device includes a via formed over the first metal layer component. The via has a recessed shape. The semiconductor device includes a second metal layer component formed over the via. The semiconductor device includes a first dielectric layer component formed over the substrate. The first dielectric layer component is located adjacent to, and partially over, the first metal layer component. The first dielectric layer component contains fluorine. The semiconductor device includes a second dielectric layer component formed over the first dielectric layer component. The first dielectric layer component and the second dielectric layer component are each located adjacent to the via. The second dielectric layer component is free of fluorine. The present disclosure also provides a method for fabricating a semiconductor device.

指定代表圖：



第 5 圖

符號簡單說明：

- 40 . . . 半導體裝置
- 50 . . . 基底
- 60 . . . 膜層
- 70 . . . 金屬層
- 71、72、73、271、272、273 . . . 金屬部件
- 80 . . . 介電層
- 80A、80B . . . 介電層部件
- 110、140、270 . . . 介電層
- 200、201、202 . . . 介層連接窗
- 300 . . . 鈍化保護層
- 320 . . . 接線
- 330 . . . 接合球

## 發明摘要

※ 申請案號： 102105120

※ 申請日： 102. 2. -8

※IPC 分類：

H01L 23/12 (2006.01)

【發明名稱】 半導體裝置及其製造方法

H01L 21/18 (2006.01)

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

## 【中文】

本發明揭示一種半導體裝置。半導體裝置包含一第一金屬層部件，形成於一基底上方。半導體裝置包含一介層連接窗形成於第一金屬層部件上方，介層連接窗為凹口型。半導體裝置包含一第二金屬層部件，形成於介層連接窗上方。半導體裝置包含一含氟第一介電層部件，形成於基底上方，第一介電層部件相鄰於第一金屬層部件，且部份的第一介電層部件位於第一金屬層部件上方。半導體裝置包含一無氟第二介電層部件，形成於第一介電層部件上方。第一及第二介電層部件各自與介層連接窗相鄰。本發明亦揭示一種半導體裝置之製造方法。

## 【英文】

The present disclosure provides a semiconductor device. The semiconductor device includes a first metal layer component formed over a substrate. The semiconductor device includes a via formed over the first metal layer component. The via has a recessed shape. The semiconductor device includes a second metal layer component formed over the via. The semiconductor device includes a first dielectric layer

component formed over the substrate. The first dielectric layer component is located adjacent to, and partially over, the first metal layer component. The first dielectric layer component contains fluorine. The semiconductor device includes a second dielectric layer component formed over the first dielectric layer component. The first dielectric layer component and the second dielectric layer component are each located adjacent to the via. The second dielectric layer component is free of fluorine. The present disclosure also provides a method for fabricating a semiconductor device.

### 【代表圖】

【本案指定代表圖】：第（5）圖。

【本代表圖之符號簡單說明】：

40～半導體裝置	50～基底
60～膜層	70～金屬層
71、72、73、271、272、273～金屬部件	
80～介電層	80A、80B～介電層部件
110、140、270～介電層	
200、201、202～介層連接窗	
300～鈍化保護層	320～接線
330～接合球	

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR  
FABRICATING THE SAME

**【技術領域】**

**【0001】** 本發明係有關於一種半導體裝置技術，特別是有關一種半導體裝置及其製造方法。

**【先前技術】**

**【0002】** 半導體積體電路(integrated circuit, IC) 經歷了快速的成長。IC 原料與設計的技術性發展造就了 IC 的不同世代，各個世代的 IC 比其上個世代擁有了更小及更複雜的電路。然而，這些技術性發展使得 IC 的加工與製造更加複雜，爲了因應這些技術性發展，對應的 IC 加工與製造發展是需要的。在 IC 的發展過程中，功能性密度(每晶片面積的內連線裝置數)通常會隨著其幾何尺寸(geometry size)(一製程可以製造的最小部件)的縮小而增加。

**【0003】** 如針測墊或打線接合墊等的金屬接墊係用於不同的 IC 應用上。爲了正確地施行其功能，一個金屬接墊必須擁有適當的尺寸及強度，以承受如針測或打線接合等所造成的物理性應力。然而，IC 幾何尺寸持續性縮減也牽涉著金屬接墊尺寸的縮減，且往往傳統的金屬接墊可能會面臨諸多困難，例如打線接合的難度、剝落或金屬接墊下方膜層破裂。爲了應付這些困難，可以使用一個大型的介層連接窗(via)(大過尋常介層

連接窗很多倍)以提供對金屬接墊的支撐。然而，現行製作如此大型的介層連接窗的方法中存在缺陷缺陷。例如，嚴重的碟化或研磨損耗效應對現有的製法所產生的鈍化保護層氣泡(passivation bubbles)，其對裝置造成缺陷。

【0004】因此，儘管現有製造大型介層連接窗的方法已足以勝任其預期使用目的，然而並無法完全的滿足所有需求。

### 【發明內容】

【0005】本發明實施例提供一種半導體裝置，包括：一第一金屬層部件，形成於一基底上；一介層連接窗，形成於第一金屬層部件上，介層連接窗為凹口型；一第二金屬層部件，形成於介層連接窗上；一第一介電層部件，形成於基底上，其中第一介電層部件相鄰於第一金屬層部件，且部份的第一介電層部件位於第一金屬層部件上，且其中第一介電層部件含氟；以及一第二介電層部件，形成於第一介電層部件上，其中第一介電層部件及第二介電層部件各自與介層連接窗相鄰，且其中第二介電層部件不含氟。

【0006】本發明另一實施例提供一種半導體裝置，包括：一第一金屬層，形成於一基底上，金屬層包含一金屬特徵部件及一第一氟矽玻璃特徵部件；一材料層，形成於第一金屬層上，材料層包含一導電介層連接窗，設置於第一金屬特徵部件、一未摻雜的矽玻璃特徵部件及一第二氟矽玻璃特徵部件上，其中未摻雜的矽玻璃特徵部件與第二氟矽玻璃特徵部件形成一邊界，邊界與導電介層連接窗之側壁以非直角角度相交；以及一第二金屬層，形成於材料層上，第二金屬層包含一第二

金屬特徵部件形成於導電介層連接窗上。

【0007】又本發明另一實施例提供一種半導體裝置之製造方法，包括：以一高密度電漿沉積製程在一金屬部件之上及其側邊形成一氟矽玻璃層；以一電漿增強沉積製程於一金屬部件之上及其側邊形成一無氟氧化層；在金屬部件上方的氟矽玻璃層蝕刻一開口；以及在開口中及金屬部件之上形成一介層連接窗，使無氟氧化層與氟矽玻璃層之一邊界以非直角角度與介層連接窗之一側壁相交。

### ● 【圖式簡單說明】

#### 【0008】

第 1 圖係繪示出根據本發明之不同型態的半導體裝置製造方法流程圖；及

第 2 至 5 圖係繪示出根據本發明之不同型態中半導體裝置在不同階段的製造方法剖面示意圖。

### ● 【實施方式】

【0009】要了解的是本說明書以下的揭露內容提供許多不同的實施例或範例，以實施本發明各種不同的實施例的不同特徵。而本說明書以下的揭露內容是敘述各個構件及其排列方式的特定範圍，以求簡化發明的說明。當然，這些特定的範圍並非用以限定本發明。例如，本說明書以下的揭露內容敘述了將一第一特徵形成於一第二特徵上方或之上，即表示其包含了所形成的上述第一特徵與上述第二特徵是直接接觸的實施例，亦包含了尚可將附加的特徵形成於上述第一特徵與上述第二特徵之間，而使上述第一特徵與上述第二特徵可為直接接觸的實

施例。再者，本說明書中不同的範例可使用重複的參考符號及/或用字。這些重覆符號或用字係爲了簡化與清晰的目的，並非用以限定各個實施例及/或所述外觀結構之間的關係。

**【0010】** 第 1 圖係繪示出根據本發明之不同型態的半導體裝置 20 製造方法流程圖。方法 20 從區塊 22 開始，在金屬部件上方及側邊形成一氟矽玻璃(fluorosilicate glass, FSG)層。氟矽玻璃層可以以高密度電漿沉積 (hish-density plasma deposition)製程製出。方法 20 持續進行至區塊 24，在氟矽玻璃層上方形成一無氟氧化(fluorine-free oxide)層。在某些實施例中，可使用了電漿增強沉積(plasma-enhanced deposition)製程製作此氧化層。方法 20 持續進行至區塊 26，在位於金屬部件上方局部的氟矽玻璃層內蝕刻出一開口。方法 20 持續進行至區塊 28，在上述開口中及金屬部件上方形成了一介層連接窗，使氧化層與氟矽玻璃層間的邊界與介層連接窗之側壁以非直角的方式相交。

**【0011】** 第 2 至 5 圖係繪示出根據本發明之不同型態中半導體裝置 40 在不同階段的製造方法剖面示意圖。可以理解的是，第 2 至 5 圖係爲了使本發明之發明概念更容易被理解而經過簡化。因此，值得注意的是，於第 2 至 5 圖中示意的製程之前、期間及之後，可能會提供其他附加的製程，這些製程僅可能會在此作簡單說明。

**【0012】** 請參照第 2 圖，半導體裝置 40 可爲半導體積體電路晶片、系統單晶片(system on chop, SoC)或其一部份，其可包括記憶體電路(memory circuits)、邏輯電路(logic circuits)、



高頻電路 (high frequency circuits)、影像感測器 (image sensor) 及各種被動與主動部件 (如，電阻器、電容器、電感器、P 通道場效電晶體 (P-channel field effect transistor, pFET)、N 通道場效電晶體 (N-channel field effect transistor, nFET)、金屬氧化物半導體場效電晶體 (metal-oxide semiconductor field effect transistors, MOSFET) 或互補式金屬氧化物半導體 (complementary metal-oxide semiconductor, CMOS) 電晶體、雙極性接面電晶體 (bipolar junction transistor, BJT)、橫向擴散金氧化物半導體 (laterally diffused MOS, LDMOS) 電晶體、高功率金屬氧化物半導體電晶體 (high power MOS transistor) 或其他種類的電晶體) 等。值得注意的是，可以透過互補式金屬氧化物半導體 (CMOS) 製造流程來製造半導體裝置 40 的某些特徵部件。

【0013】 半導體裝置 40 包括一基底 50。在本實施例中，基底 50 為一矽基底，其摻雜了 P 型摻質 (如，硼)。在其他實施例中，基底 50 為一矽基底，其摻雜了 N 型摻質 (如，砷或磷)。另外，基底 50 亦可由其他合適的元素半導體材料 (如，鑽石或鍺)、化合物半導體 (如，碳化矽、砷化銦或磷化銦) 或合金半導體 (如，碳化矽-鍺合金 (silicon germanium carbide)、鎵-磷化砷合金 (gallium arsenic phosphide) 或鎵-磷化銦合金 (gallium indium phosphide)) 構成。再者，在某些實施例中，基底 50 可包括一應變的磊晶層 (epitaxial layer, epi layer) 以提高效能，也可包括一絕緣層上覆矽 (silicon-on-insulator, SOI) 結構。

【0014】 在基底 50 中形成隔離結構。在某些實施例中，隔

離結構包括淺溝槽隔離(shallow trench isolation, STI)裝置。STI 裝置包括一介電材料，其可為氧化矽、氮化矽、氮氧化矽、氟矽玻璃及/或習知的低介電常數材料。STI 裝置是透過於基底 50 中蝕刻溝槽後再將其填滿介電材料的方式所形成。在其他實施例中，深溝渠隔離裝置(deep trench isolation, DTI)也可取代 STI 裝置(或與 STI 裝置結合)作為隔離結構。為了簡化圖式，在此不特別繪示出隔離結構。

【0015】在基底 50 中也可形成複數個微電子部件。例如，在基底 50 中可透過一或多道離子植入製程及/或擴散製程產生場效電晶體(FET transistor)裝置的源/汲極區域。在另一範例中，在基底 50 中會形成輻射敏感性影像畫素(radiation-sensitive image pixel)。為了簡化圖式，在此不特別繪示出微電子部件。

【0016】在基底 50 的上表面上方形成了一內連線結構。內連線結構包括複數個圖案化介電層及內連線導電層。內連線導電層提供電路系統、輸入/輸出及各種在基底 50 中形成的摻雜特徵部件之間的內連接。更詳細的來說，內連線結構可包括複數個內連線層，內連線層也可稱為金屬層(如，M1、M2、M3 等等)。各個內連線層可包括複數個內連線特徵部件，內連線特徵部件也可稱為金屬線(metal lines)。金屬線可為鋁內連線或銅內連線，也可包括導電材料，例如鋁、銅、鋁合金、銅合金、鋁/矽/銅合金、鈦、氮化鈦、鉭、氮化鉭、鎢、多晶矽、金屬矽化物或其組合。金屬線可藉由一製程而形成，包括了物理氣相沉積(physical vapor deposition, PVD)製程、化學氣相

沉積(chemical vapor deposition, CVD) 製程、濺鍍、電鍍或其組合。

【0017】內連線結構包含了一內層介電層(interlayer dielectric, ILD)，其提供內連線層之間的隔離。內層介電層可包括一介電材料，例如一氧化物材料。內連線結構也包含了複數個介層連接窗/接觸窗，其提供在基底上方不同的內連線層之間及/或特徵部件之間電性連接。用以製造某些金屬層及其內連線介層連接窗的製程將在以下段落中詳細敘述。

【0018】如第 2 圖所示，以膜層 60 簡易繪示出內連線結構的實質部份。膜層 60 可包括先前所述複數個金屬層及介層連接窗。在膜層 60 上方形成一金屬層 70(內連線結構的一部分)。金屬層 70 包含了複數個金屬部件，在此以金屬部件 71、72 及 73 為範例。金屬部件 71、72 及 73 可包括一或多個金屬或金屬合金特徵部件。

【0019】之後，在金屬部件 71、72 及 73 上方形成一介電層 80。在本實施例中，介電層 80 包含了一氟矽玻璃(FSG)材料，但在其他實施例中，介電層 80 可包含其他合適的材料。氟矽玻璃(FSG)材料之介電常數為 3.5。介電層 80 是藉由一高密度電漿化學氣相沉積(High-Density Plasma Chemical Vapor Deposition, HDP-CVD)製程 90 製成。高密度電漿化學氣相沉積製程 90 能夠同時執行沉積和蝕刻。因此，高密度電漿化學氣相沉積製程 90 造成介電層 80 上表面的不平坦。在本實施例中，介電層 80 可具有傾斜的剖面輪廓，如同在金屬部件 71、72 及 73 上方形成的些微角度傾斜的部分。介電層 80 具有一厚

度 100。在某些實施例中，厚度 100 大約在 4000 埃至 8000 埃的範圍內。

**【0020】** 現在請參照第 3 圖，在介電層 80 上方形成一介電層 110。介電層 110 包含了不同於介電層 80 的材料且不含氟。在本實施例中，介電層 110 包含了一未摻雜的矽玻璃(Undoped Silicate Glass, USG)材料，但在其他實施例中，介電層 110 可包含其他合適的材料。未摻雜的矽玻璃之介電常數約為 3.9。介電層 110 是藉由一電漿增強化學氣相沉積(Plasma Enhanced Chemical Vapor Deposition, PE-CVD)製程 120 製成。之後，介電層 110 與介電層 80 藉由一適合的研磨製程進行研磨，例如習知的化學機械研磨(chemical-mechanical-polishing, CMP)製程。在經過研磨後，介電層 80 與 110 大致上呈現共平面(co-planar)(位於金屬部件 73 上方的部份介電層被研磨除去)，介電層 110 具有一厚度 130。在某些實施例中，厚度 130 大約在 4000 埃至 10000 埃的範圍內。

**【0021】** 之後，在介電層 80 與介電層 110 之平坦化表面上方形成另一介電層 140。介電層 140 為保護其下方膜層之鈍化保護(passivation)層。在本實施例中，介電層 110 包含了一未摻雜的矽玻璃材料，但在其他實施例中，介電層 110 可包含其他合適的材料。介電層 140 具有一厚度 150。在某些實施例中，厚度 150 大約在 1000 埃至 6000 埃的範圍內。

**【0022】** 現在請參照第 4 圖，在介電層 110 中形成複數個導電介層連接窗，在此以介層連接窗 200、201 及 202 為範例。介層連接窗 200、201 及 202 藉由在介電層 110 與 140 中蝕刻

開口後，再以沉積金屬材料填滿開口的方式形成。在本實施例中，使用了鎢為填滿開口的金屬材料，因此在本實施例中介層連接窗 200、201 及 202 為鎢介層連接窗。在其他實施例中，其他合適金屬材料可用於製造介層連接窗 200、201 及 202。之後，藉由一研磨法(如，CMP)使介層連接窗 200、201 及 202 平坦化。

【0023】在金屬部件 71、72 及 73 上分別形成了介層連接窗 200、201 及 202。介層連接窗 200 及 201 可稱為“小型 (small)”或“正規型 (regular)”介層連接窗，介層連接窗 202 可稱為“大型 (big)”介層連接窗。如第 4 圖所示，“大型”介層連接窗 202 之橫向（或水平）尺寸 210 大於“小型”介層連接窗 200 及 201 之橫向（或水平）尺寸 220。舉例來說，橫向尺寸 210 可為橫向尺寸 220 的數十或數百倍。在某些實施例中，大型介層連接窗 202 之橫向尺寸 210 大約在 30 微米至 200 微米的範圍內，而小型介層連接窗 200 及 201 之橫向尺寸 220 大約在 0.1 微米至 0.5 微米的範圍內。在其他實施例中，範圍會依據設計需求及製造考量而有所不同。

【0024】大型介層連接窗 202 具有一直立延伸 (vertically -extended) 側壁 230。側壁 230 也可為介電層部件 110A 及介電層部件 80A 的部分邊界，其中介電層部件 110A 與介電層部件 80A 相鄰。介電層部件 110A 與介電層部件 80A 具有一邊界 250。大型介層連接窗 202 之側壁 230 橫跨過邊界 250。換句話說，邊界 250 與側壁 230 相交於一點，其並不位於側壁 230 頂部或底部。在某些實施例中，可以調整上述各個製造方法使邊

界 250 與側壁 230 的相交點位於以側壁 230 中點為基準離開一既定距離之內。

【0025】另外，如上述，由於高密度電漿化學氣相沉積製程 90 之特性(如第 2 圖所示)，藉由高密度電漿化學氣相沉積製程 90 製成的介電層部件 80A 有一傾斜剖面輪廓。因此，介電層部件 80A 與 110A 間的邊界 250 與側壁 230 以非直角角度相交。

【0026】如第 4 圖所示，金屬部件 73(其上形成有介層連接窗 202)之橫向或水平尺寸大於大型介層連接窗 202 之橫向或水平尺寸。大型介層連接窗 202 之邊緣(例如，側壁 230)與金屬部件 73 之邊緣分別隔開距離 260 及 261。另外，距離 260 及 261 大致相等，因此對應到金屬部件 73 之水平方向時，大型介層連接窗 202 並無往任一方“偏移(offset)”。在某些實施例中，可以藉由調整大型介質連接窗 202 的製造方法而使大型介層連接窗 202 位於金屬部件 73 中心點之上。距離 260 及 261 相當小，例如小於 1 微米。在某些實施例中，距離 260 及 261 大約在 0.1 微米至 0.5 微米的範圍內。距離 260 及 261 也可稱為在大型介層連接窗 202 與金屬部件 73 之間的一重疊要件(overlay requirement)。

【0027】在用於製作大型介層連接窗的許多傳統製造方法中，利用氟矽玻璃材料作為介電材料以區別大型介層連接窗與正規形介層連接窗。然而，如上述，因大型介層連接窗所造成的嚴重的碟化效應，會造成過多的鈍化保護層(例如，類似介電層 140 的層)被移除，這將使得在其之下的 FSG 材料暴露。

氟矽玻璃材料的暴露(傳統製造方法所造成的結果)會產生問題。例如，氟可能會與氫(例，水蒸氣中的氫)反應而產生氫氟酸(hydrofluoric acid, HF)。氫氟酸會在之後形成的鈍化保護層下方產生氣泡。這些鈍化保護層氣泡會造成鈍化保護層的剝落，因此產生半導體裝置的缺陷。

【0028】此處使用一無氟材料(如，USG)製造介電層 110A。因此，就算上述碟化效應使介電層 140(即鈍化保護層)造成過量移除，但 USG 內不含氟，並不與氫反應產生氫氟酸，因此不會產生鈍化保護層氣泡。另外，小心調整大型介層連接窗 202 的製作，可以使其側壁 230 有效阻擋含氟介電層部件 80A 的暴露。換句話說，側壁 230 橫跨過介電層部件 110A 及 80A 之間的邊界 250，因此，無氟介電層部件 110A 與大型介層連接裝 202 隔絕了含氟介電層部件 80A 的暴露。因此，不需擔心介電層 80A 中的氟洩漏而產生鈍化保護層氣泡。

【0029】現在請參照第 5 圖，在介電層 140 及介層連接窗 200、201 及 202 上方形成了一金屬層 270(為內連線結構一部分)。金屬層 270 包含了複數個金屬部件，在此以金屬部件 271、272 及 273 為範例。金屬部件 271、272 及 273 可包括一或多種金屬或金屬合金，例如鋁或銅合金。在某些實施例中，金屬部件 271、272 及 273 包含了銅鋁合金。

【0030】介層連接窗 200 內連接了金屬部件 71 與 271，介層連接窗 201 內連接了金屬部件 72 與 272，以及大型介層連接窗 202 內連接了金屬部件 73 與 273。金屬層 270 可稱為頂層(top-level, TM)金屬層，而金屬層 70 可稱為頂層下一層

(top-level-minus-one, TM-1)金屬層。介層連接窗 200、201 及 202 可被視為頂層介層連接窗，儘管在某些特定實施例中，介層連接窗 200、201 及 202 也被視為頂層金屬層。

【0031】在介電層 140 及介電層 270 上方形成一鈍化保護層 300。鈍化保護層 300 包含了合適的材料，其提供底下不同膜層良好的鈍化保護。再使用微影(lithography)製程以“開放(open up)”(或暴露)金屬部件 273。之後，以習知的打線接合製程將金屬部件 273 與接線 320 接合。因此，頂層金屬部件 273 也可稱為接合墊。在某些實施例中，打線接合製程包含了球接合(ball bonding)製程，其中部分的接線 320 熔化並形成接合球(bonding ball)330。在某些特定的實施例中，接線 320 與接合球 330 包括了金。在其他實施例中，接線 320 與接合球 330 可包括了銅及其他合適金屬。

【0032】可使用其他附加製造方法以完成半導體裝 40 的製作。這些附加製造方法可包括，例如，封裝、晶圓切割/切片(wafer dicing/slicing)及測試製程。為了簡化本說明書，這些附加方法在此不詳加敘述。

【0033】如上述，本發明中的實施例擁有多項優點，可理解的是，不同實施例可能擁有不同優點，並非所有優點都在此被提及，且並非所有實施例都擁有一項特定優點。本發明中某些特定實施例的其中一項優點為：在這些實施例中，以 USG 材料替代 FSG 材料，就算 CMP 碟化效應很嚴重，仍可防止 FSG 在暴露在氫之中。若鈍化保護層因嚴重的 CMP 碟化效應而過量的移除，由於鈍化保護層之下的為無氟的 USG，因此 USG



材料的暴露並不會產生氫氟酸。

【0034】本發明中某些特定實施例的另一項優點為：可製出一大型介層連接窗以有效的阻隔鄰近的 FSG 材料。具體來說，小心調整製造參數，可使大型介層連接窗橫跨 FSG 與相鄰的 USG 之間的邊界。因此，USG 部件及大型介層連接窗之側壁可以有效阻隔 FSG 部件。側壁位置可藉由適當地設定大型介層連接窗與位於 TM-1 金屬層中的金屬部件之間的重疊要件作調整。

【0035】本發明中某些特定實施例的其他優點是與半導體裝置製造方法有關，事實上半導體裝置製造時並不會造成金屬層間介電層厚度的增加，且該製造方法可以與現行的方法流程相容，而只需微調整。

【0036】可以理解的是，上述本發明不同型態可應用於不同的技術世代(technology nodes)，其包含了 C011 世代、C014 世代、C015 世代、C0152 世代、C016 世代、C018 世代、C022 世代、及 C025 世代。也可理解的是，上述本發明不同型態也可使用鋁及銅打線接合製出多種裝置，例如邏輯電路、混合訊號電路 (mixed-mode circuits)、射頻電路 (radio-frequency circuits) 及非揮發性記憶體電路 (non-volatile memory circuits)。

【0037】本發明實施例提供一種半導體裝置，包括：一第一金屬層部件，形成於一基底上；一介層連接窗，形成於第一金屬層部件上，介層連接窗為凹口型；一第二金屬層部件，形成於介層連接窗上；一第一介電層部件，形成於基底上，其中

第一介電層部件相鄰於第一金屬層部件，且部份的第一介電層部件位於第一金屬層部件上，且其中第一介電層部件含氟；以及一第二介電層部件，形成於第一介電層部件上，其中第一介電層部件及第二介電層部件各自與介層連接窗相鄰，且其中第二介電層部件不含氟。

【0038】 在某些實施例中，介層連接窗之側壁橫跨了第一介電層部件與第二介電層部件之間的一邊界。

【0039】 在某些實施例中，上述邊界具有傾斜的剖面。

【0040】 在某些實施例中，第一介電層部件包含氟矽玻璃，及第二介電層部件包含未摻雜的矽玻璃。

【0041】 在某些實施例中，介層連接裝大致上位於第一金屬層部件中心點上方，及第一金屬層部件的邊緣與介層連接窗的側壁之間的距離小於一既定值。

【0042】 在某些實施例中，第一金屬層部件、第二金屬層部件、第一介電層部件及第二介電層部件均為一內連線結構一部分。

【0043】 在某些實施例中，半導體裝置更包括：一接線，形成於第二金屬層部件上。

【0044】 在某些實施例中，第二金屬層部件屬於頂層金屬層，介層連接窗屬於頂層介層連接窗層。

【0045】 在某些實施例中，介層連接窗為一第一介層連接窗，且半導體裝置更包括複數個第二介層連接窗，形成於頂層介層連接窗層內，其中第一介層連接窗之橫向尺寸至少大於每一第二介層連接窗複數倍。

【0046】本發明另一實施例提供一種半導體裝置，包括：一第一金屬層，形成於一基底上，金屬層包含一金屬特徵部件及一第一氟矽玻璃特徵部件；一材料層，形成於第一金屬層上，材料層包含一導電介層連接窗，設置於第一金屬特徵部件、一未摻雜的矽玻璃特徵部件及一第二氟矽玻璃特徵部件上，其中未摻雜的矽玻璃特徵部件與第二氟矽玻璃特徵部件形成一邊界，邊界與導電介層連接窗之側壁以非直角角度相交；以及一第二金屬層，形成於材料層上，第二金屬層包含一第二金屬特徵部件形成於導電介層連接窗上。

【0047】在某些實施例中，導電介層連接窗具有一凹口形狀；導電介層連接窗位於第一金屬特徵部件中心點上；以及在一水平方向上該第一金屬特徵部件寬於該導電性介層連接窗一既定量。

【0048】在某些實施例中，材料層包含複數個附加介層連接窗且在一水平方向上每一附加介層連接窗小於該導電介層連接窗一既定量。

【0049】在某些實施例中，未摻雜的矽玻璃特徵部件與第二氟矽玻璃特徵部件之邊界與介層連接窗之側壁的相交點位於以側壁中點為基準離開一既定距離之內。

【0050】在某些實施例中，第二金屬層為一內連線結構中的一頂層金屬層，且其中第二金屬部件包含銅或鋁其中至少一者。

【0051】在某些實施例中，半導體裝置更進一步包含一接線，接合至第二金屬特徵部件。

【0052】本發明又另一實施例提供一種半導體裝置之製造方法，包括：以一高密度電漿沉積製程在一金屬部件之上及其側邊形成一氟矽玻璃層；以一電漿增強沉積製程於一金屬部件之上及其側邊形成一無氟氧化層；在金屬部件上方的氟矽玻璃層蝕刻一開口；以及在開口中及金屬部件之上形成一介層連接窗，使無氟氧化層與氟矽玻璃層之一邊界以非直角角度與介層連接窗之一側壁相交。

【0053】在某些實施例中，半導體裝置之製造方法，更包括：於介層連接窗上形成一附加金屬部件，其中附加金屬部件屬於一頂層金屬層；以及將一接線貼附至附加金屬部件。

【0054】在某些實施例中，在形成介層連接窗的步驟中，介層連接窗與金屬部件具有一既定重疊值。

【0055】在某些實施例中，形成介層連接窗的步驟包括實施一研磨製程，使介層連接窗具有一下凹的上表面。

【0056】在某些實施例中，形成介層連接窗的步驟包括形成複數個附加介層連接窗，附加介層連接窗之橫向尺寸窄於介層連接窗。

【0057】以上概略說明了本發明數個實施例的特徵，使所屬技術領域中具有通常知識者對於後續本發明的詳細說明可更為容易理解。任何所屬技術領域中具有通常知識者應瞭解到本說明書可輕易作為其它結構或製程的變更或設計基礎，以進行相同於本發明實施例的目的及/或獲得相同的優點。任何所屬技術領域中具有通常知識者也可理解與上述等同的結構或製程並未脫離本發明之精神和保護範圍內，且可在不脫離本發

明之精神和範圍內，當可作更動、替代與潤飾。例如，高電壓裝置並不侷限於 NMOS 裝置，也可使用相似構造及配置的 PMOS 裝置，其中除了因 PMOS 設計而具有相反的摻雜型態與尺寸的變更。再者，PMOS 裝置也可設置於一深 n 型井區 (n-well pocket) 中，用以隔離裝置。

### 【符號說明】

#### 【0058】

A-A' ~ 截線	202 ~ 基底
204 ~ 閘介電層	206、224、238 ~ 閘電極層
207 ~ 底抗反射塗層	208 ~ 硬遮罩層
209、210、211、213、218 ~ 開口	
212 ~ 主動區域	214、220 ~ 佈植隔離區域
216 ~ 保角介電層	222 ~ 介電環
226 ~ 源極區域	228 ~ 汲極區域
230、240 ~ 閘電極	232 ~ 末端蓋
234 ~ 佈植隔離區域	242 ~ 介電材料
244 ~ 末端蓋硬遮罩	246 ~ 光阻
T1、T2 ~ 厚度	

## 申請專利範圍

1. 一種半導體裝置，包括：
  - 一第一金屬層部件，形成於一基底上；
  - 一介層連接窗，形成於該第一金屬層部件上，該介層連接窗具有一第一側壁及一相對的第二側壁，以使一凹口自該第一側壁延伸至該相對的第二側壁；
  - 一第二金屬層部件，形成於該介層連接窗上且位於該凹口中；
  - 一第一介電層部件，形成於該基底上，其中該第一介電層部件相鄰於該第一金屬層部件，且部份的該第一介電層部件位於該第一金屬層部件上，且其中該第一介電層部件含氟；以及
  - 一第二介電層部件，形成於該第一介電層部件上，其中該第一介電層部件及該第二介電層部件各自與該介層連接窗相鄰，且其中該第二介電層部件不含氟。
2. 如申請專利範圍第 1 項所述之半導體裝置，其中該介層連接窗之一第三側壁橫跨了該第一介電層部件與該第二介電層部件之間的一邊界且其中該邊界具有傾斜的剖面輪廓。
3. 如申請專利範圍第 1 項所述之半導體裝置，其中：
  - 第一介電層部件包含氟矽玻璃；以及
  - 第二介電層元間包含未摻雜的矽玻璃。
4. 如申請專利範圍第 1 項所述之半導體裝置，其中：
  - 該介層連接窗大致上位於該第一金屬層部件中心點上方；以及

該第一金屬層部件的邊緣與該介層連接窗的一第三側壁之間的距離小於一既定值。

5. 如申請專利範圍第 1 項所述之半導體裝置，其中：

該第二金屬層部件屬於頂層金屬層；以及

該介層連接窗屬於頂層介層連接窗層，其中該介層連接窗為一第一介層連接窗，且該半導體裝置更包括複數個第二介層連接窗，形成於該頂層介層連接窗層內，其中該第一介層連接窗之橫向尺寸至少大於每一第二介層連接窗複數倍。

6. 一種半導體裝置，包括：

一第一金屬層，形成於一基底上，該第一金屬層包含一金屬特徵部件及一第一氟矽玻璃特徵部件；

一材料層，形成於該第一金屬層上，該材料層包含一導電介層連接窗，設置於該第一金屬特徵部件、一未摻雜的矽玻璃特徵部件及一第二氟矽玻璃特徵部件上，其中該介層連接窗具有一第一側壁及一相對的第二側壁，以使一凹口自該第一側壁延伸至該相對的第二側壁，且其中該未摻雜的矽玻璃特徵部件與該第二氟矽玻璃特徵部件形成一邊界，該邊界與該導電介層連接窗之一第三側壁以非直角角度相交；以及

一第二金屬層，形成於該材料層上，該第二金屬層包含一第二金屬特徵部件形成於該導電介層連接窗上且位於該凹口之中。

7. 如申請專利範圍第 6 項所述之半導體裝置，其中：

該導電介層連接窗具有一凹口形狀；

該導電介層連接窗位於該第一金屬特徵部件中心點上；以及

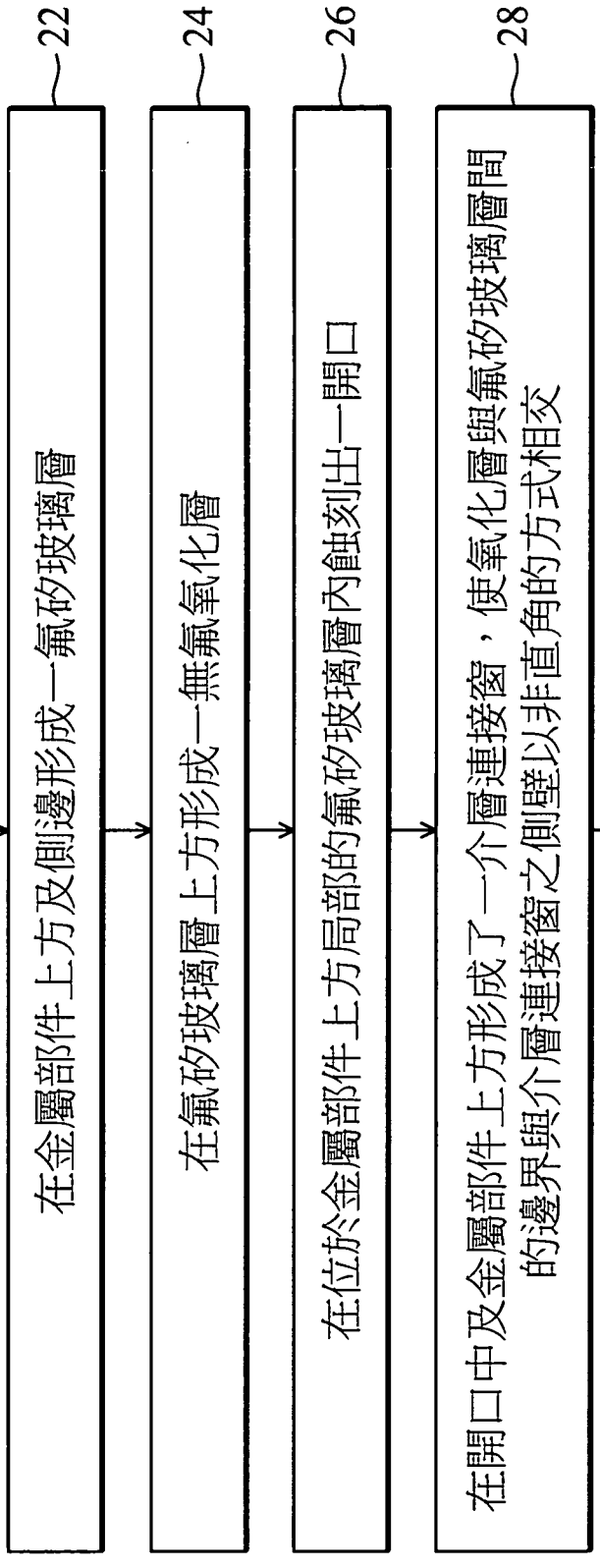
在一水平方向上該第一金屬特徵部件寬於該導電性介層連接窗一既定量。

8. 如申請專利範圍第 6 項所述之半導體裝置，其中該未摻雜的矽玻璃特徵部件與該第二氟矽玻璃特徵部件之該邊界與該介層連接窗之該第三側壁的相交點位於以該第三側壁中點為基準離開一既定距離之內。
9. 一種半導體裝置之製造方法，包括：  
以一高密度電漿沉積製程在一金屬部件之上及其側邊形成一氟矽玻璃層；  
以一電漿增強沉積製程於一金屬部件之上及其側邊形成一無氟氧化層；  
在該金屬部件上方的該氟矽玻璃層蝕刻一開口；以及  
在該開口中及該金屬部件之上形成一介層連接窗，使該無氟氧化層與該氟矽玻璃層之一邊界以非直角角度與該介層連接窗之一側壁相交。
10. 如申請專利範圍第 9 項所述之半導體裝置之製造方法，其中在形成該介層連接窗的步驟中，該介層連接窗與該金屬部件具有一既定重疊值。



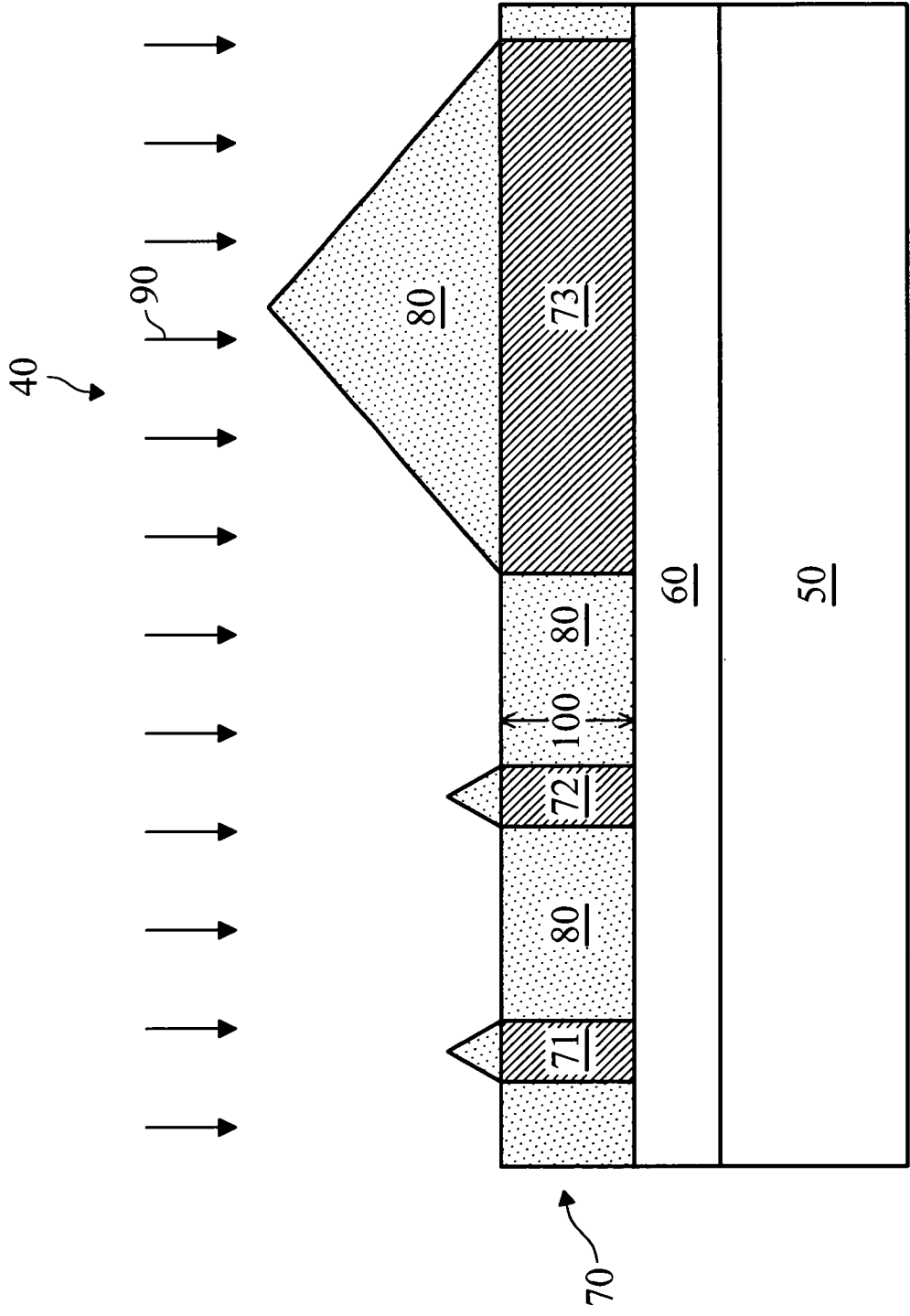
20 ↘

開始



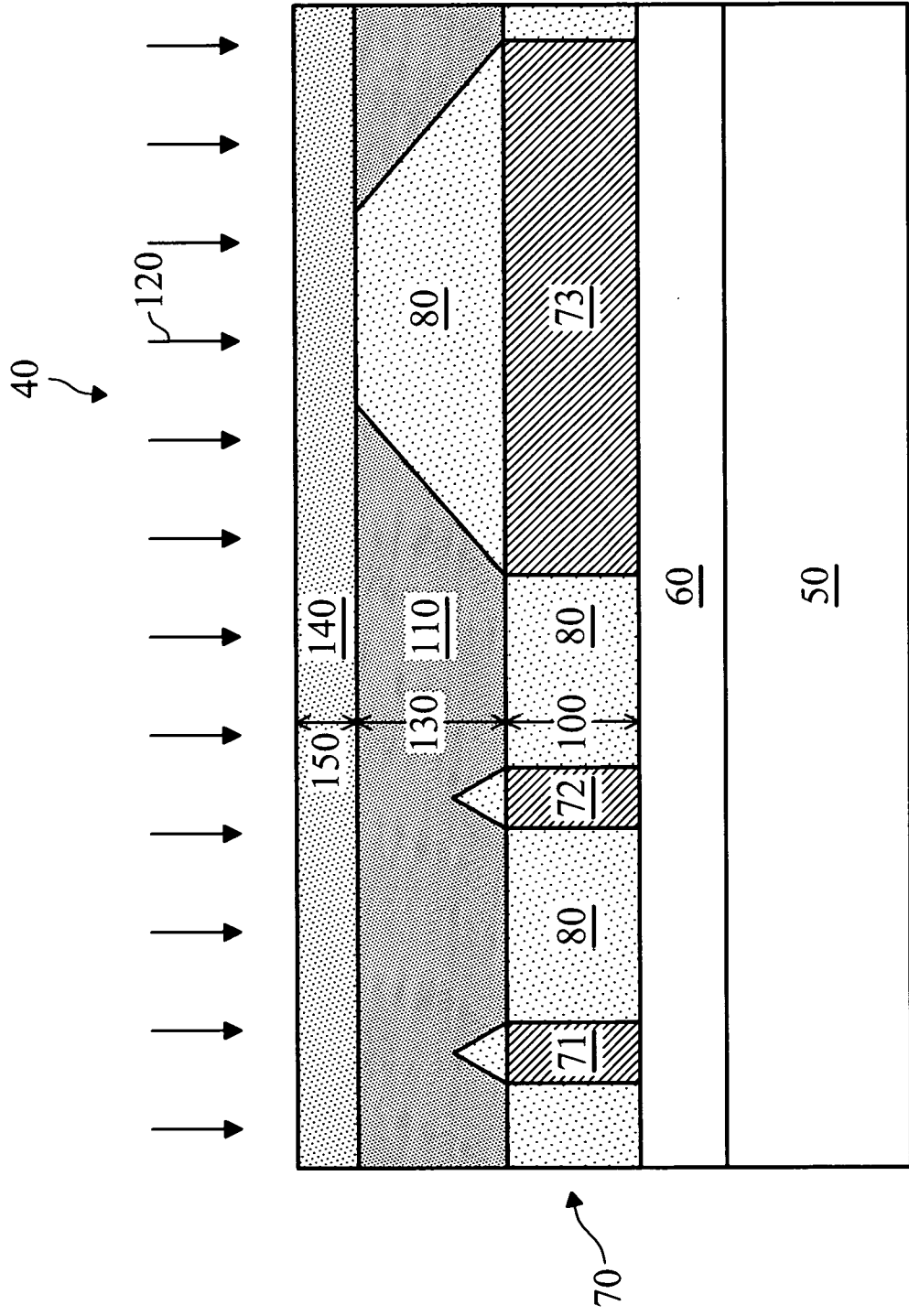
圖式

第 1 圖

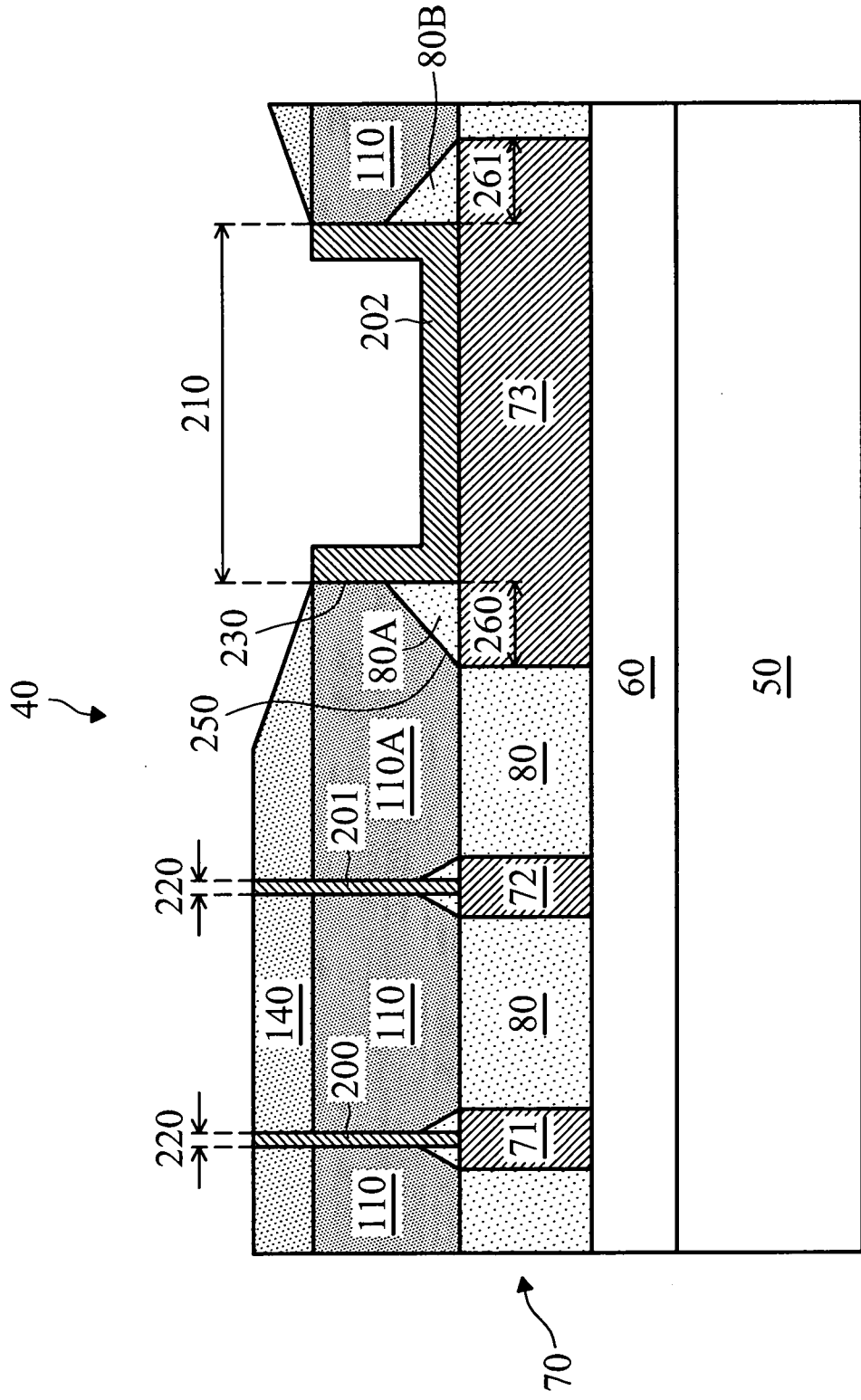


第2圖

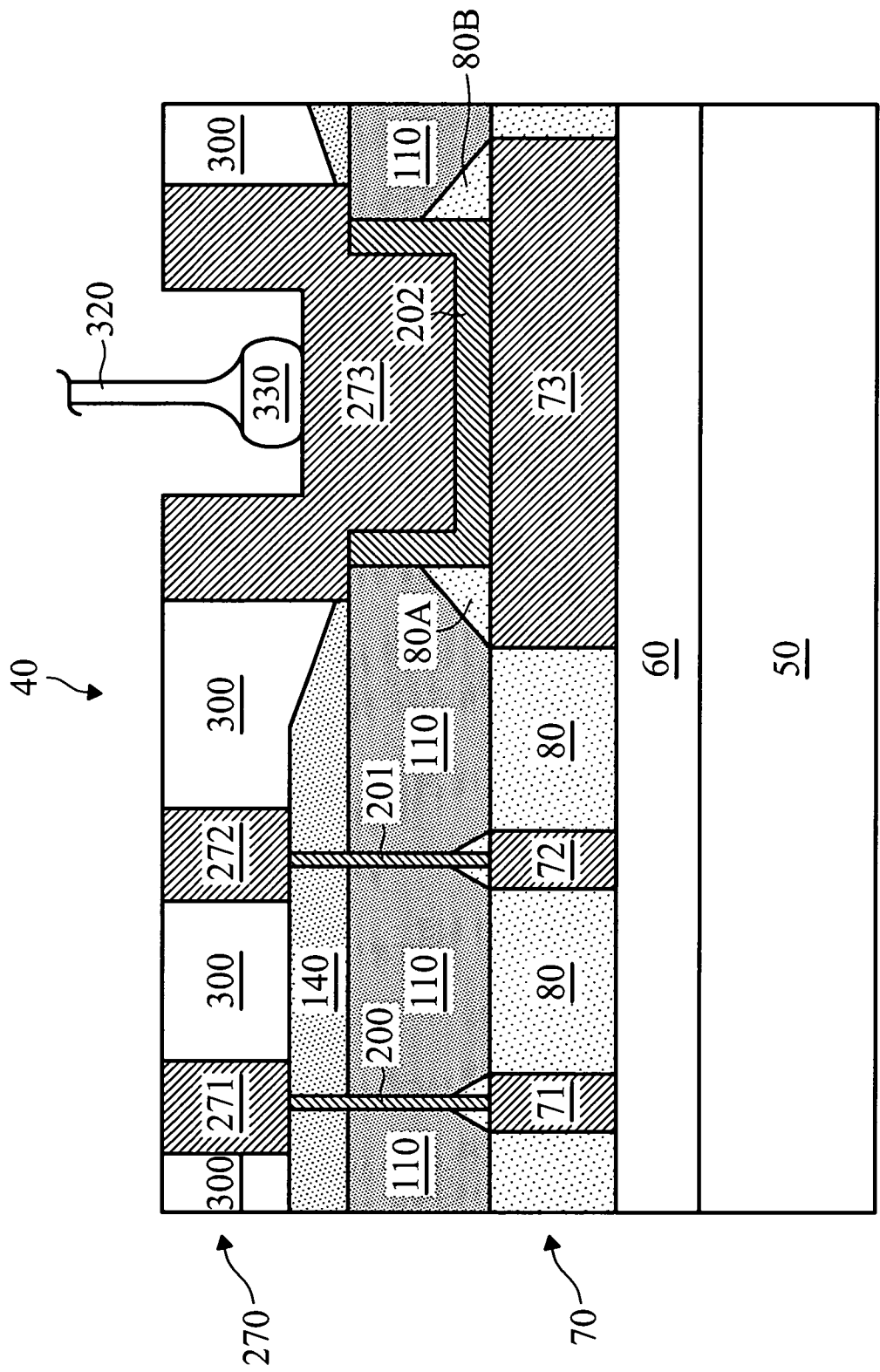




第3圖



第4圖



第 5 圖