

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-168969

(P2017-168969A)

(43) 公開日 平成29年9月21日(2017.9.21)

(51) Int.Cl.		F I	テーマコード (参考)	
H03K	23/60	(2006.01)	H03K 23/60	2F085
G01K	7/00	(2006.01)	G01K 7/00	321Z
G04F	10/04	(2006.01)	G04F 10/04	A
H03K	23/44	(2006.01)	H03K 23/44	

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2016-50979 (P2016-50979)
 (22) 出願日 平成28年3月15日 (2016.3.15)

(71) 出願人 000003609
 株式会社豊田中央研究所
 愛知県長久手市横道41番地の1
 (74) 代理人 110000110
 特許業務法人快友国際特許事務所
 (72) 発明者 嶋田 英人
 愛知県長久手市横道41番地の1 株式会
 社豊田中央研究所内
 (72) 発明者 水野 健太郎
 愛知県長久手市横道41番地の1 株式会
 社豊田中央研究所内
 Fターム(参考) 2F085 AA05 CC10 GG06

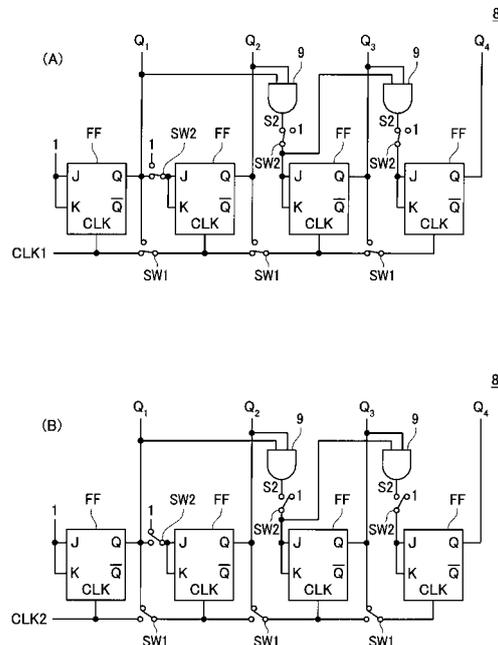
(54) 【発明の名称】 カウンタ回路、時間計測回路及び温度センサ回路

(57) 【要約】

【課題】回路資源の増大を抑えながら、同期式カウンタ回路と非同期式カウンタ回路を集積化する技術を提供する。

【解決手段】カウンタ回路8は、複数段のJK型フリップフロップFF、複数の第1スイッチSW1及び複数の第2スイッチSW2を備える。第1スイッチSW1は、同期式モードにおいてクロック端子にクロック信号が入力するように構成され、非同期式モードにおいてクロック端子に前段のJK型フリップフロップFFの出力が入力するように構成されている。第2スイッチSW2は、同期式モードにおいて入力端子に桁上げ信号S2が入力するように構成され、非同期式モードにおいて入力端子にハイ信号が入力するように構成されている。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

カウンタ回路であって、

複数段のフリップフロップと、

複数の第 1 スイッチであって、前記複数の第 1 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている、複数の第 1 スイッチと、

複数の第 2 スイッチであって、前記複数の第 2 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている、複数の第 2 スイッチと、を備えており、

10

前記複数の第 1 スイッチと前記複数の第 2 スイッチは、同期式モードにおいて前記複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて前記複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する、カウンタ回路。

【請求項 2】

前記第 1 スイッチは、同期式モードにおいて前記クロック端子にクロック信号が入力するように構成され、非同期式モードにおいて前記クロック端子に前段の前記フリップフロップの出力が入力するように構成されており、

前記第 2 スイッチは、前記同期式モードにおいて前記入力端子に桁上げ信号が入力するように構成され、前記非同期式モードにおいて前記入力端子にハイ信号が入力するように構成されている、請求項 1 に記載のカウンタ回路。

20

【請求項 3】

前記フリップフロップが、JK 型フリップフロップである、請求項 2 に記載のカウンタ回路。

【請求項 4】

時間計測回路であって、

相対的に低い周波数の低速クロック信号と相対的に高い周波数の高速クロック信号を生成する発振回路と、

前記発振回路から出力される前記低速クロック信号又は前記高速クロック信号に基づいて対象時間を計測するカウンタ回路と、を備えており、

30

前記カウンタ回路は、

複数段のフリップフロップと、

複数の第 1 スイッチであって、前記複数の第 1 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている、複数の第 1 スイッチと、

複数の第 2 スイッチであって、前記複数の第 2 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている、複数の第 2 スイッチと、を備えており、

前記複数の第 1 スイッチと前記複数の第 2 スイッチは、同期式モードにおいて前記複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて前記複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する、時間計測回路。

40

【請求項 5】

初段のフリップフロップは、同期式モードにおいてクロック端子に前記低速クロック信号が入力するように構成され、非同期式モードにおいて前記クロック端子に前記高速クロック信号が入力するように構成されており、

前記第 1 スイッチは、前記同期式モードにおいて前記クロック端子に前記低速クロック信号が入力するように構成され、非同期式モードにおいて前記クロック端子に前段の前記フリップフロップの出力が入力するように構成されており、

前記第 2 スイッチは、前記同期式モードにおいて前記入力端子に桁上げ信号が入力する

50

ように構成され、前記非同期式モードにおいて前記入力端子にハイ信号が入力するように構成されている、請求項 4 に記載の時間計測回路。

【請求項 6】

前記フリップフロップが、JK型フリップフロップである、請求項 5 に記載の時間計測回路。

【請求項 7】

温度センサ回路であって、

相対的に低い周波数の低速クロック信号と相対的に高い周波数の高速クロック信号を生成する発振回路と、

遅延時間が温度依存特性を有する遅延信号を生成する遅延回路と、

前記発振回路から出力される前記低速クロック信号又は前記高速クロック信号に基づいて前記遅延信号の遅延時間を計測するカウンタ回路と、を備えており、

前記カウンタ回路は、

複数段のフリップフロップと、

複数の第 1 スイッチであって、前記複数の第 1 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている、複数の第 1 スイッチと、

複数の第 2 スイッチであって、前記複数の第 2 スイッチの各々が 2 段目以降の前記複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている、複数の第 2 スイッチと、を備えており、

前記複数の第 1 スイッチと前記複数の第 2 スイッチは、同期式モードにおいて前記複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて前記複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する、温度センサ回路。

【請求項 8】

初段のフリップフロップは、同期式モードにおいてクロック端子に前記低速クロック信号が入力するように構成され、非同期式モードにおいて前記クロック端子に前記高速クロック信号が入力するように構成されており、

前記第 1 スイッチは、前記同期式モードにおいて前記クロック端子に前記低速クロック信号が入力するように構成され、前記非同期式モードにおいて前記クロック端子に前段の前記フリップフロップの出力が入力するように構成されており、

前記第 2 スイッチは、前記同期式モードにおいて前記入力端子に桁上げ信号が入力するように構成され、前記非同期式モードにおいて前記入力端子にハイ信号が入力するように構成されている、請求項 7 に記載の温度センサ回路。

【請求項 9】

前記フリップフロップが、JK型フリップフロップである、請求項 8 に記載の温度センサ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する技術は、カウンタ回路、時間計測回路及び温度センサ回路に関する。

【背景技術】

【0002】

クロック信号を利用して時間を計測する時間計測回路が知られている。このような時間計測回路は、様々な場面で必要とされている。例えば、特許文献 1 は、この種の時間計測回路を備える温度センサ回路を開示する。特許文献 1 の温度センサ回路では、時間計測回路が温度依存特性を有する遅延信号の遅延時間を計測するために用いられる。

【0003】

この種の時間計測回路では、時間分解能を向上させることが望まれている。特許文献 2

10

20

30

40

50

は、相対的に低い周波数の低速クロック信号と相対的に高い周波数の高速クロック信号を利用する時間計測回路を開示する。この時間計測回路は、計測対象時間の計測を始めてからの時間が設定値に達したときに、低速クロック信号から高速クロック信号に切り換えるように構成されている。これにより、この時間計測回路は、計測対象時間の終了タイミングに近い期間において高速クロック信号を利用して計測することができるので、高い分解能で計測対象時間を計測することができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2013-185985号公報

10

【特許文献2】特開平5-34474号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

クロック信号を利用した時間計測では、クロック数を計測するために、複数段のフリップフロップを有するカウンタ回路が利用される。このようなカウンタ回路には、同期式カウンタ回路と非同期式カウンタ回路が知られている。同期式カウンタ回路は、低速クロック信号を利用した正確な計測を得意とする。しかしながら、同期式カウンタ回路は、各ビット間の遅延が大きく、高速クロック信号を利用した場合、正確に計測することが難しいという問題がある。一方、非同期式カウンタ回路は、各ビット間の遅延が小さいので、高速クロック信号を利用した計測を得意とする。しかしながら、非同期式カウンタ回路は、各ビット間の遅延が蓄積することから、特に後段のフリップフロップにおいて正確な計測が難しいという問題がある。

20

【0006】

このため、低速クロック信号と高速クロック信号を利用して高精度な時間計測を実現するためには、低速クロック信号用に同期式カウンタ回路を用意し、高速クロック信号用に非同期式カウンタ回路を用意する必要がある。しかしながら、同期式カウンタ回路と非同期式カウンタ回路を別個に用意すると、多くの回路資源を必要とする。

【0007】

上記では、低速クロック信号と高速クロック信号を利用した時間計測回路を例示し、同期式カウンタ回路と非同期式カウンタ回路の双方が必要となる場面を説明した。しかしながら、時間計測回路に限られず、様々な回路において同期式カウンタ回路と非同期式カウンタ回路の双方が必要とされている。本明細書は、回路資源の増大を抑えながら、同期式カウンタ回路と非同期式カウンタ回路を集積化する技術を提供する。

30

【課題を解決するための手段】

【0008】

本明細書で開示するカウンタ回路の一実施形態は、複数段のフリップフロップ、複数の第1スイッチ及び複数の第2スイッチを備える。フリップフロップの種類は特に限定されず、例えば、JK型フリップフロップ、T型フリップフロップ又はD型フリップフロップであってもよい。複数の第1スイッチの各々は、2段目以降の複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている。複数の第2スイッチの各々は、2段目以降の複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている。複数の第1スイッチと複数の第2スイッチは、同期式モードにおいて複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する。この実施形態のカウンタ回路は、第1スイッチと第2スイッチを切換えることにより、クロック端子と入力端子に入力する信号を切換えることができる。これにより、この実施形態のカウンタ回路は、同期式カウンタ回路と非同期式カウンタ回路に切換えることができ、同期式カウンタ回路と非同期式カウンタ回路を集積

40

50

化することができる。フリップフロップがJK型フリップフロップ又はT型フリップフロップの場合、第1スイッチは、同期式モードにおいてクロック端子にクロック信号が入力するように構成され、非同期式モードにおいてクロック端子に前段のフリップフロップの出力が入力するように構成されている。第2スイッチは、同期式モードにおいて入力端子に桁上げ信号が入力するように構成され、非同期式モードにおいて入力端子にハイ信号が入力するように構成されている。桁上げ信号とは、下位ビットのフリップフロップの出力の全てがHiか否かを示す信号であり、全てがHiのときにHiであり、その他はLoである。この実施形態のカウンタ回路は、第1スイッチと第2スイッチを切換えることにより、同期式カウンタ回路と非同期式カウンタ回路に切換えることができる。この実施形態のカウンタ回路は、回路資源の増大を抑えながら、JK型フリップフロップ又はT型フリップフロップを利用した同期式カウンタ回路と非同期式カウンタ回路を集積化することができる。

10

20

30

40

50

【0009】

本明細書で開示する時間計測回路の一実施形態は、発振回路及びカウンタ回路を備える。発振回路は、相対的に低い周波数の低速クロック信号と相対的に高い周波数の高速クロック信号を生成する。カウンタ回路は、発振回路から出力される低速クロック信号又は高速クロック信号に基づいて対象時間を計測する。例えば、カウンタ回路は、パルス信号のエッジ間に対応する時間を計測してもよい。また、カウンタ回路は、対象時間の計測中に低速クロック信号と高速クロック信号を切り換えて対象時間を計測してもよい。典型的には、カウンタ回路は、低速クロック信号を利用して対象時間の計測を始め、計測中に低速クロック信号から高速クロック信号に切り換えて残りの対象時間を計測してもよい。カウンタ回路は、複数段のフリップフロップ、複数の第1スイッチ及び複数の第2スイッチを備える。フリップフロップの種類は特に限定されず、例えば、JK型フリップフロップ、T型フリップフロップ又はD型フリップフロップであってもよい。複数の第1スイッチの各々は、2段目以降の複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている。複数の第2スイッチの各々は、2段目以降の複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている。複数の第1スイッチと複数の第2スイッチは、同期式モードにおいて複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する。この実施形態の時間計測回路は、第1スイッチと第2スイッチを切換えることにより、同期式カウンタ回路と非同期式カウンタ回路に切換えることができるので、回路資源の増大を抑えながら、高精度に時間を計測することができる。フリップフロップがJK型フリップフロップ又はT型フリップフロップの場合、初段のフリップフロップは、同期式モードにおいてクロック端子に低速クロック信号が入力するように構成され、非同期式モードにおいてクロック端子に高速クロック信号が入力するように構成されている。第1スイッチは、同期式モードにおいてクロック端子に低速クロック信号が入力するように構成され、非同期式モードにおいてクロック端子に前段のフリップフロップの出力が入力するように構成されている。第2スイッチは、同期式モードにおいて入力端子に桁上げ信号が入力するように構成され、非同期式モードにおいて入力端子にハイ信号が入力するように構成されている。桁上げ信号とは、下位ビットのフリップフロップの出力の全てがHiか否かを示す信号であり、全てがHiのときにHiであり、その他はLoである。この実施形態の時間計測回路のカウンタ回路は、第1スイッチと第2スイッチを切換えることにより、JK型フリップフロップ又はT型フリップフロップを利用した同期式カウンタ回路と非同期式カウンタ回路に切換えることができる。この実施形態の時間計測回路のカウンタ回路は、回路資源の増大を抑えながら、JK型フリップフロップ又はT型フリップフロップを利用した同期式カウンタ回路と非同期式カウンタ回路を集積化することができる。したがって、この実施形態の時間計測回路は、回路資源の増大を抑えながら、高精度に時間を計測することができる。

【 0 0 1 0 】

本明細書で開示する温度センサ回路の一実施形態は、発振回路、遅延回路及びカウンタ回路を備える。発振回路は、相対的に低い周波数の低速クロック信号と相対的に高い周波数の高速クロック信号を生成する。遅延回路は、遅延時間が温度依存特性を有する遅延信号を生成する。カウンタ回路は、発振回路から出力される低速クロック信号又は高速クロック信号に基づいて遅延信号の遅延時間を計測する。例えば、カウンタ回路は、遅延時間の計測中に低速クロック信号と高速クロック信号を切り換えて遅延時間を計測してもよい。典型的には、カウンタ回路は、低速クロック信号を利用して遅延時間の計測を始め、計測中に低速クロック信号から高速クロック信号に切り換えて残りの遅延時間を計測してもよい。カウンタ回路は、複数段のフリップフロップ、複数の第1スイッチ及び複数の第2スイッチを備える。フリップフロップの種類は特に限定されず、例えば、JK型フリップフロップ、T型フリップフロップ又はD型フリップフロップであってもよい。複数の第1スイッチの各々は、2段目以降の複数段のフリップフロップの各々のクロック端子に対応して設けられており、そのクロック端子に入力する信号を切換えるように構成されている。複数の第2スイッチの各々は、2段目以降の複数段のフリップフロップの各々の入力端子に対応して設けられており、その入力端子に入力する信号を切換えるように構成されている。複数の第1スイッチと複数の第2スイッチは、同期式モードにおいて複数段のフリップフロップが同期式カウンタ回路となるように配線パターンを構成し、非同期式モードにおいて複数段のフリップフロップが非同期式カウンタとなるように配線パターンを構成する。この実施形態の温度センサ回路は、第1スイッチと第2スイッチを切換えることにより、同期式カウンタ回路と非同期式カウンタ回路に切換えることができるので、回路資源の増大を抑えながら、高精度に温度を測定することができる。フリップフロップがJK型フリップフロップ又はT型フリップフロップの場合、初段のフリップフロップは、同期式モードにおいてクロック端子に低速クロック信号が入力するように構成され、非同期式モードにおいてクロック端子に高速クロック信号が入力するように構成されている。第1スイッチは、同期式モードにおいてクロック端子に低速クロック信号が入力するように構成され、非同期式モードにおいてクロック端子に前段のフリップフロップの出力が入力するように構成されている。第2スイッチは、同期式モードにおいて入力端子に桁上げ信号が入力するように構成され、非同期式モードにおいて入力端子にハイ信号が入力するように構成されている。桁上げ信号とは、下位ビットのフリップフロップの出力の全てがHiか否かを示す信号であり、全てがHiのときにHiであり、その他はLoである。この実施形態の温度センサ回路のカウント回路は、第1スイッチと第2スイッチを切換えることにより、JK型フリップフロップ又はT型フリップフロップを利用した同期式カウンタ回路と非同期式カウンタ回路に切換えることができる。この実施形態の温度センサ回路のカウント回路は、回路増大の消費を抑えながら、JK型フリップフロップ又はT型フリップフロップを利用した同期式カウンタ回路と非同期式カウンタ回路を集積化することができる。したがって、この実施形態の温度センサ回路は、回路資源の増大を抑えながら、高精度に温度を測定することができる。

【 図面の簡単な説明 】

【 0 0 1 1 】

- 【 図 1 】 温度センサ回路の概略を示すブロック図である。
- 【 図 2 】 発振回路の概略を示すブロック図である。
- 【 図 3 】 発振回路に含まれるリングオシレータの概略を示す回路図である。
- 【 図 4 】 遅延回路に含まれるインバータチェーンの概略を示す回路図である。
- 【 図 5 】 リングオシレータ及びインバータチェーンを構成するCMOSインバータの回路図である。
- 【 図 6 】 カウンタ回路の概略を示す回路図であり、同期式モード(A)と非同期式モード(B)で第1スイッチ及び第2スイッチが切換る様子を示す。
- 【 図 7 】 温度センサ回路の動作の様子を示すタイミングチャートである。
- 【 図 8 】 切換信号発生回路の概略を示す図である。

【図 9】リングオシレータを構成するブートストラップ式の CMOS インバータの回路図である。

【図 10】変形例のカウンタ回路の概略を示す回路図であり、同期式モード (A) と非同期式モード (B) で第 1 スイッチ及び第 2 スイッチが切換る様子を示す。

【図 11】変形例のカウンタ回路の概略を示す回路図であり、同期式モード (A) と非同期式モード (B) で第 1 スイッチ及び第 2 スイッチが切換る様子を示す。

【発明を実施するための形態】

【0012】

図 1 に示されるように、温度センサ回路 1 は、1 チップ化された集積回路であり、発振回路 2、パルス発生回路 4、遅延回路 6、カウンタ回路 8 及び切換信号発生回路 10 を備える。

10

【0013】

発振回路 2 は、相対的に低い周波数の低速クロック信号 CLK 1 と相対的に高い周波数の高速クロック信号 CLK 2 を生成するように構成されている。これらクロック信号 CLK 1, CLK 2 は、例えばデューティ比が 50% の矩形波である。パルス発生回路 4 は、パルス信号 V 1 を生成するように構成されている。なお、パルス発生回路 4 は、発振回路 2 が生成するクロック信号 CLK 1, CLK 2 を利用して、パルス信号 V 1 を生成するように構成されていてもよい。例えば、パルス発生回路 4 は、分周回路を利用して、低速クロック信号 CLK 1 を低周波化してパルス信号 V 1 を生成するように構成されていてもよい。遅延回路 6 は、パルス信号 V 1 を遅延させた遅延パルス信号 V 2 を生成するように構成されている。カウンタ回路 8 は、パルス信号 V 1 と遅延パルス信号 V 2 の時間差 (遅延パルス信号 V 2 の遅延時間に相当する) を低速クロック信号 CLK 1 と高速クロック信号 CLK 2 のクロック数に基づいて計測するように構成されている。後述するように、カウンタ回路 8 は、低速クロック信号 CLK 1 と高速クロック信号 CLK 2 のうちの選択されたクロック信号を用いて、パルス信号 V 1 と遅延パルス信号 V 2 の時間差 (遅延パルス信号 V 2 の遅延時間に相当する) を計測するように構成されている。また、カウンタ回路 8 は、その計測されたクロック数をデジタルの温度情報 Dout として出力するように構成されている。切換信号発生回路 10 は、カウンタ回路 8 で計測されたクロック数に基づいて切換信号 S 1 を生成するように構成されている。

20

【0014】

図 2 に示されるように、発振回路 2 は、低速クロック信号生成回路 2A 及び高速クロック信号生成回路 2B を有する。低速クロック信号生成回路 2A は、低速クロック信号 CLK 1 を生成するように構成されている。高速クロック信号生成回路 2B は、高速クロック信号 CLK 2 を生成するように構成されている。発振回路 2 は、切換信号発生回路 10 からの切換信号 S 1 に基づいて、低速クロック信号生成回路 2A と高速クロック信号生成回路 2B のいずれか一方を選択してクロック信号 CLK 1, CLK 2 を出力するように構成されている。

30

【0015】

図 3 に示されるように、発振回路 2 の低速クロック信号生成回路 2A 及び高速クロック信号生成回路 2B の各々は、第 1 インバータ INV 1 の複数個がリング状に接続されたリングオシレータで構成されている。低速クロック信号生成回路 2A と高速クロック信号生成回路 2B の各々の第 1 インバータ INV 1 の段数が異なり、これにより、発振されるクロック信号 CLK 1, CLK 2 の周波数が異なる。この例では、低速クロック信号生成回路 2A の段数が、高速クロック信号生成回路 2B の段数よりも多い。例えば、低速クロック信号生成回路 2A は、15 段の第 1 インバータ INV 1 を有する。高速クロック信号生成回路 2B は、3 段の第 1 インバータ INV 1 を有する。

40

【0016】

図 4 に示されるように、遅延回路 6 は、第 2 インバータ INV 2 の複数個が直列に接続されたインバータチェーンで構成されている。例えば、インバータチェーンは、50 段の第 2 インバータ INV 2 を有する。

50

【0017】

図5に示されるように、リングオシレータの第1インバータINV1とインバータチェーンの第2インバータINV2はいずれも、正電源ライン(V_{dd}ライン)と負電源ライン(V_{ss})の間に直列に接続された第1トランジスタTr1と第2トランジスタTr2を有するCMOSを備える。第1トランジスタTr1は、p型のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)であり、ソースがV_{dd}ラインに接続されており、ドレインが第2トランジスタTr2のドレインに接続されている。第2トランジスタTr2は、n型のMOSFETであり、ドレインが第1トランジスタTr1のドレインに接続されており、ソースが負電源ラインV_{ss}に接続されている。第1トランジスタTr1と第2トランジスタTr2の接続点が、次段のCMOSインバータを構成するトランジスタのゲートに接続されている。

10

【0018】

温度センサ回路1では、リングオシレータの第1インバータINV1を構成するトランジスタTr1, Tr2によるチャネル長変調効果とインバータチェーンの第2インバータINV2を構成するトランジスタTr1, Tr2によるチャネル長変調効果が異なるように構成されていることを特徴としている。具体的には、ゲート幅を一定としたときに、リングオシレータの第1インバータINV1を構成するトランジスタTr1, Tr2のゲート長が、インバータチェーンの第2インバータINV2を構成するトランジスタTr1, Tr2のゲート長よりも短く構成されている。なお、この例では、第1インバータINV1の第1トランジスタTr1のゲート長が第2インバータINV2の第1トランジスタTr1のゲート長よりも短く、さらに、第1インバータINV1の第2トランジスタTr2のゲート長が第2インバータINV2の第2トランジスタTr2のゲート長よりも短い。この例に代えて、第1インバータINV1の第1トランジスタTr1と第2トランジスタTr2のいずれか一方のゲート長のみが短くてもよい。

20

【0019】

通常、トランジスタTr1, Tr2は、低温よりも高温で動作電流が小さくなり、動作速度が低下する。このため、リングオシレータの第1インバータINV1では、低温よりも高温で動作速度が低下するので、発振するクロック信号CLK1, CLK2の周期が増加する(周波数が低下する)。すなわち、クロック信号CLK1, CLK2の周期は、温度に対して略一次関数で増加する正の温度依存特性を有している。また、インバータチェーンの第2インバータINV2でも、低温よりも高温で動作速度が低下するので、遅延パルス信号V2の遅延時間が増加する。すなわち、遅延パルス信号V2の遅延時間も、温度に対して略一次関数で増加する正の温度依存特性を有している。ここで、チャネル長変調効果とは、IV特性の飽和領域における電流増加量をいう。このため、チャネル長変調効果が異なるとは、IV特性の飽和領域における電流増加量が異なることをいう。本実施例では、リングオシレータの第1インバータINV1を構成するトランジスタTr1, Tr2のゲート長がインバータチェーンの第2インバータINV2を構成するトランジスタTr1, Tr2のゲート長よりも短いので、IV特性の飽和領域における電流増加量に関しては、リングオシレータの第1インバータINV1を構成するトランジスタTr1, Tr2の方がインバータチェーンの第2インバータINV2を構成するトランジスタTr1, Tr2よりも大きい。このため、低温から高温に変化したときに、リングオシレータのトランジスタTr1, Tr2での電流変化量は相対的に小さく、インバータチェーンのトランジスタTr1, Tr2での電流変化量は相対的に大きくなる。この結果、低温から高温に変化したときに、リングオシレータの動作速度の低下量が相対的に小さく、インバータチェーンの動作速度の低下量が相対的に大きくなる。

30

40

【0020】

温度センサ回路1では、リングオシレータの第1インバータINV1を構成するトランジスタTr1, Tr2のチャネル長変調効果とインバータチェーンの第2インバータINV2を構成するトランジスタTr1, Tr2のチャネル長変調効果が異なっており、このため、本実施例では、低温から高温に変化したときに、リングオシレータの動作速度の低

50

下量とインバータチェーンの動作速度の低下量が異なっており、リングオシレータで生成されるクロック信号CLK1, CLK2の温度依存特性とインバータチェーンで生成される遅延パルス信号V2の温度依存特性が異なっている。前記したように、クロック信号CLK1, CLK2の周期は、温度に対して略一次関数で増加する正の温度依存特性を有している。遅延パルス信号V2の遅延時間も、温度に対して略一次関数で増加する正の温度依存特性を有している。さらに、遅延パルス信号V2の遅延時間の温度に対する変化率(基準温度の遅延時間を「1」としたときの任意温度における遅延時間の比)がクロック信号CLK1, CLK2の周期の温度に対する変化率(基準温度の周期を「1」としたときの任意温度における周期の比)よりも大きい関係となっており、双方の温度依存特性が異なっている。

10

【0021】

このように、リングオシレータで生成されるクロック信号CLK1, CLK2の温度依存特性とインバータチェーンで生成される遅延パルス信号V2の温度依存特性が相違していると、カウンタ回路8で計測されるクロック数が温度に対して変動する。温度センサ回路1では、クロック信号CLK1, CLK2の温度依存特性と遅延パルス信号V2の温度依存特性の相違を利用して温度情報Doutを得ることができる。

【0022】

図6に、カウンタ回路8の回路図を示す。なお、図6では、4ビットのカウンタ回路8を例示するが、ビット数はこの例に限られない。カウンタ回路8は、(A)に示される同期式モードと(B)に示される非同期式モードとを動的に切換え可能に構成されている。カウンタ回路8は、複数段のJK型フリップフロップFF、複数の第1スイッチSW1、複数の第2スイッチSW2及び複数のAND回路9を有する。第1スイッチSW1及び第2スイッチSW2の組合せは、2段目以降のJK型フリップフロップFFの各々に対応して設けられている。AND回路9は、3段目以降のJK型フリップフロップFFの各々に対応して設けられている。

20

【0023】

初段のJK型フリップフロップFFは、そのクロック端子(CLK)にクロック信号CLK1, CLK2が入力し、その入力端子(J入力及びK入力の双方)にHiが入力し、その出力端子(Q)に次段のJK型フリップフロップFFの第1スイッチSW1及び第2スイッチSW2が接続するように構成されている。さらに、初段のJK型フリップフロップFFは、同期式モード(A)においてクロック端子(CLK)に低速クロック信号CLK1が入力するように構成され、非同期式モード(B)においてクロック端子(CLK)に高速クロック信号CLK2が入力するように構成されている。2段目以降のJK型フリップフロップFFは、そのクロック端子(CLK)に第1スイッチSW1が接続し、その入力端子(J入力及びK入力の双方)に第2スイッチSW2が接続し、その出力端子(Q)に次段の第1スイッチSW1が接続するように構成されている。AND回路9は、下位ビットの出力端子(Q)の出力が全てHiのときに出力がHiとなり、その他はLoとなる桁上げ信号S2を生成するように構成されている。

30

【0024】

第1スイッチSW1と第2スイッチSW2は、切換え信号発生回路10からの切換え信号S1に同期して、同期式モード(A)と非同期式モード(B)に対応して接続先を切換えるように構成されている。第1スイッチSW1は、同期式モード(A)においてJK型フリップフロップFFのクロック端子(CLK)に低速クロック信号CLK1が入力するように構成され、非同期式モード(B)においてJK型フリップフロップFFのクロック端子(CLK)に前段のJK型フリップフロップFFの出力端子(Q)の出力が入力するように構成されている。第2スイッチSW2は、同期式モード(A)においてJK型フリップフロップFFの入力端子にAND回路9の出力端子(ただし、2段目のJK型フリップフロップFFについては、前段のJK型フリップフロップFFの出力端子(Q))が接続するように構成され、非同期式モード(B)においてJK型フリップフロップFFの入力端子にHiが入力するように構成されている。このように、カウンタ回路8は、第1スイッ

40

50

チSW1と第2スイッチSW2が切換ることにより、同期式モード(A)では同期式のカウンタ回路として動作し、非同期式モード(B)では非同期式カウンタ回路として動作することができる。

【0025】

図7に、温度センサ回路1が遅延時間を計測する様子を示す。この例では、タイミングT1からタイミングT2までの時間が遅延時間に相当する。タイミングT1がパルス信号V1の立ち上がりに対応し、タイミングT2が遅延パルス信号V2の立ち上がりに対応する(図1及び図4参照)。

【0026】

温度センサ回路1は、仮計測と実計測を実行することを特徴とする。仮計測では、低速クロック信号CLK1のみを用いて遅延時間を計測することを特徴とする。実計測では、低速クロック信号CLK1と高速クロック信号CLK2を用いて遅延時間を計測することを特徴とする。実計測において、低速クロック信号CLK1から高速クロック信号CLK2に切換えるタイミングは、遅延時間の計測を始めてからの時間が設定値に達した時である。具体的には、低速クロック信号CLK1から高速クロック信号CLK2を切換えるタイミングは、遅延時間の計測を始めてからの低速クロック信号CLK1のクロック数が設定数に達した時である。この設定数は、仮計測で計測された低速クロック信号CLK1のクロック数から所定クロック数を減じて計算される。

【0027】

低速クロック信号CLK1から高速クロック信号CLK2を切換えるタイミングは、切換信号発生回路10(図1参照)によって制御される。図8に示されるように、切換信号発生回路10は、減算回路11、レジスタ13、比較回路15、計測回数記録回路17及びAND回路19を有する。

【0028】

Dc1は、カウンタ回路8から出力されるデジタルのカウント値であり、仮計測で計測された低速クロック信号CLK1のクロック数に対応する。Kは、予め決められているデジタルの所定値である。所定値Kは、固定された値であってもよく、適宜変更可能な値であってもよい。減算回路11は、カウンタ値Dc1から所定値Kを減じた値(Dc1-K)を計算する。値(Dc1-K)は、実計測において、低速クロック信号CLK1から高速クロック信号CLK2に切換えるタイミングを決める設定数である。レジスタ13は、

【0029】

Dc2は、カウンタ回路8から出力されるデジタルのカウント値であり、実計測で計測される低速クロック信号CLK1のクロック数に対応する。比較回路15は、カウンタ値Dc2が設定数(Dc1-K)を上回ったときに、出力をローからハイに切り換える。計測回数記録回路17は、1ビットメモリであり、仮計測のときにローを出力し、実計測のときにハイを出力する。AND回路19は、実計測であってカウンタ値Dc2が設定数(Dc1-K)を上回ったときに、即ち、実計測において遅延時間の計測を始めてからの低速クロック信号CLK1のクロック数が設定数(Dc1-K)に達した時に切換信号S1を出力する。

【0030】

図1及び図2に示されるように、発振回路2は、切換信号S1が入力されると、スイッチの接続先を低速クロック信号生成回路2Aから高速クロック信号生成回路2Bに変更し、カウンタ回路8に提供するクロック信号を低速クロック信号CLK1から高速クロック信号CLK2に切換える。このように、切換信号発生回路10は、実計測において、低速クロック信号CLK1から高速クロック信号CLK2に切換えるタイミングを制御することができる。

【0031】

図1及び図6に示されるように、カウンタ回路8は、切換信号S1が入力されると、第1スイッチSW1と第2スイッチSW2の接続先を切換えることで、同期式モード(A)

から非同期式モード（B）に切換ることができる。また、カウンタ回路8は、切換信号S1が入力されると、カウンタ値をリセットする。このように、カウンタ回路8は、仮計測では同期式モード（A）で動作し、実計測では同期式モード（A）と非同期式モード（B）で動作することができる。カウンタ回路8は、回路資源の増大を抑えながら、同期式カウンタ回路と非同期式カウンタ回路を集積化することができる。例えば、4ビットの同期式カウンタ回路と非同期式カウンタ回路を別個に集積化する場合に比して、カウンタ回路8のゲート数は、約43%削減される。

【0032】

一般的に、同期式カウンタ回路は、各ビット間での遅延がクロック信号に対して一定であることから、リアルタイムで各ビットからカウンタ値を読み出すことができる。このため、同期式カウンタ回路は、クロック数を正確に計測することができる。一方で、同期式カウンタ回路は、各ビット間での遅延が比較的に大きいことから、クロック信号の高速化には不向きである。このため、同期式カウンタ回路には、低速クロック信号を用いるのが望ましい。

10

【0033】

一般的に、非同期式カウンタ回路は、フリップフロップ以外の論理ゲートがないことから、各ビット間での遅延が比較的に小さい。このため、非同期式カウンタ回路は、高速なクロック信号に対応することができる。一方で、非同期式カウンタ回路は、各ビット間での遅延が蓄積するので、リアルタイムで各ビットからカウンタ値を読み出すことが不向きである。このため、非同期式カウンタ回路には、高速クロック信号を用いるのが望ましい。

20

【0034】

上記したように、カウンタ回路8は、同期式モード（A）において低速クロック信号CLK1を計測するように動作し、非同期式モード（B）において高速クロック信号CLK2を計測するように動作することができる。このため、カウンタ回路8は、同期式モード（A）を実行することで、仮計測でのカウンタ値Dc1を正確に計測することができ、さらに、実計測での設定数（Dc1 - K）に達する時を正確に計測することができる。また、カウンタ回路8は、非同期式モード（B）を実行することで、実計測での設定数（Dc1 - K）に達してから遅延時間が終了するタイミングT2（図7参照）までの期間を正確に計測することができる。このように、カウンタ回路8は、遅延パルス信号V2の遅延時間を正確に計測することができる。この結果、温度センサ回路1は、温度を正確に測定することができる。

30

【0035】

温度センサ回路1のカウンタ回路8は、温度情報Doutとして、設定値（Dc1 - K）及び高速クロック信号CLK2によるカウンタ値を提供する。高速クロック信号CLK2によるカウンタ値は、実計測において、切換信号発生回路10の切換信号S1に同期してカウンタ回路8のカウンタ値をリセットすることで得られる。このように、温度センサ回路1は、実計測において、低速クロック信号CLK1を用いて計測されたカウント数及び高速クロック信号CLK2を用いて計測されたカウンタ数を温度情報Doutとして出力することができる。

40

【0036】

上記の温度センサ回路1の発振回路2は、スイッチの接続先を低速クロック信号生成回路2Aから高速クロック信号生成回路2Bに変更することで、カウンタ回路8に提供するクロック信号を低速クロック信号CLK1から高速クロック信号CLK2に切換える。これに代えて、図9に示されるように、発振回路2のリングオシレータは、ブートストラップ式のCMOSインバータで構成されてもよい。

【0037】

図9に示されるように、ブートストラップ式のCMOSインバータである第1インバータINV1は、図5の例と対比すると、複数のスイッチ回路SW11, SW12, SW13, SW14及び複数のキャパシタC1, C2を有する。スイッチ回路SW11, SW1

50

2は、第1トランジスタTr1のゲートにキャパシタC1を接続した状態と接続しない状態を切替えるように構成されている。スイッチ回路SW13, SW14は、第2トランジスタTr2のゲートにキャパシタC2を接続した状態と接続しない状態を切替えるように構成されている。

【0038】

このブートストラップ式の第1インバータINV1では、切替信号発生回路10の切替信号S1が入力するとブートストラップが有効となり、スイッチ回路SW11, SW12が第1トランジスタTr1のゲートにキャパシタC1を接続し、スイッチ回路SW13, SW14が第2トランジスタTr2のゲートにキャパシタC2を接続する。キャパシタC1には、第1トランジスタTr1のゲート側が負となるように電荷が予め充電されており、これにより、第1トランジスタTr1は高速動作が可能となる。キャパシタC2には、第2トランジスタTr2のゲート側が正となるように電荷が予め充電されており、これにより、第2トランジスタTr2は高速動作が可能となる。

10

【0039】

このように、温度センサ回路1の発振回路2のリングオシレータにブートストラップ式の第1インバータINV1を採用すると、図2の例のように、低速クロック信号生成回路2Aと高速クロック信号生成回路2Bを個別に用意する必要がなく、回路資源の増大を抑えることができる。また、高速クロック信号CLK2を必要なときだけ生成することができるので、消費電力を低く抑えることができる。

20

【0040】

上記のカウンタ回路8は、複数段のJK型フリップフロップFFで構成されていた。これに代えて、カウンタ回路8は、図10に示すように複数段のT型フリップフロップFFで構成されていてもよい。複数段のT型フリップフロップFFで構成されるカウンタ回路8の配線パターンは、複数段のJK型フリップフロップFFで構成される場合と同一である。また、カウンタ回路8は、図11に示すように複数段のD型フリップフロップFFで構成されていてもよい。この例では、第2スイッチSW2は、XOR回路に入力する信号を同期式モードと非同期式モードの間で切替える。これにより、第2スイッチSW2は、同期式モード(A)において桁上げ信号S2と出力Qの排他的論理和がD型フリップフロップFFの入力端子に入力するように構成され、非同期式モード(B)においてHi信号と出力Qの排他的論理和がD型フリップフロップFFの入力端子に入力するように構成されている。図10と図11のいずれのカウンタ回路8も、複数の第1スイッチSW1と複数の第2スイッチSW2を搭載するだけで、従来から知られている同期式カウンタ回路と非同期式カウンタ回路を集積化することができる。

30

【0041】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

40

【符号の説明】

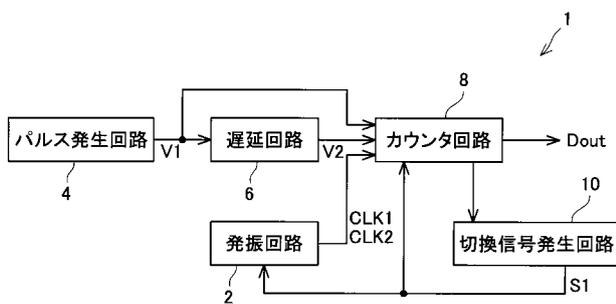
【0042】

- 1：温度センサ回路
- 2：発振回路
- 3：分周回路
- 4：遅延回路
- 5：遅延時間計測回路
- 6：切替信号発生回路
- CLK1：低速クロック信号

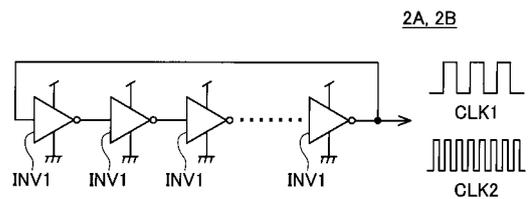
50

CLK 2 : 高速クロック信号

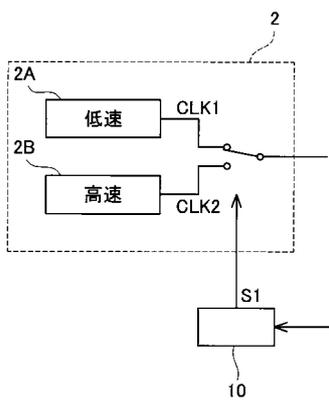
【 図 1 】



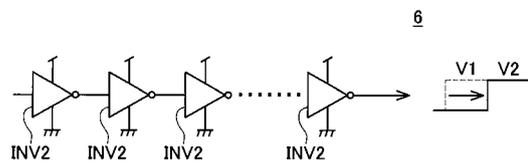
【 図 3 】



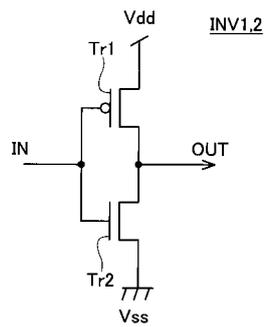
【 図 2 】



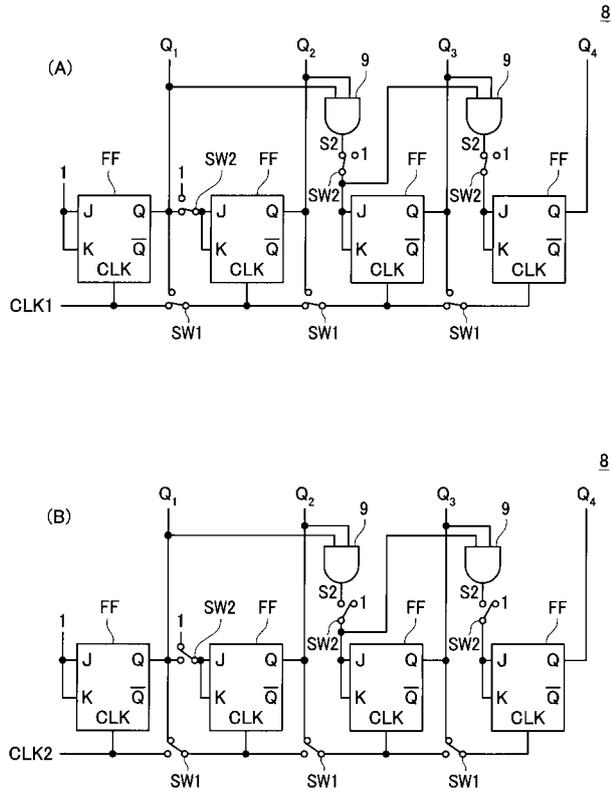
【 図 4 】



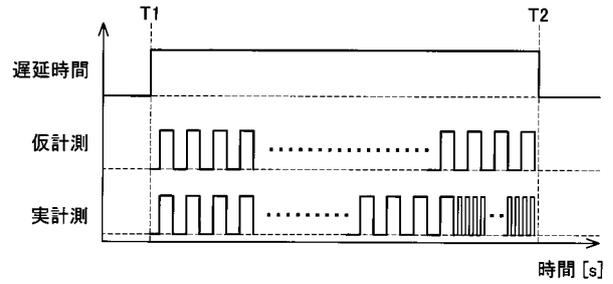
【 図 5 】



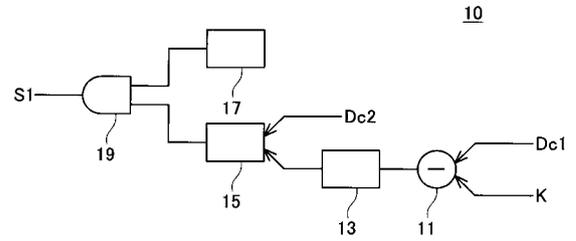
【 図 6 】



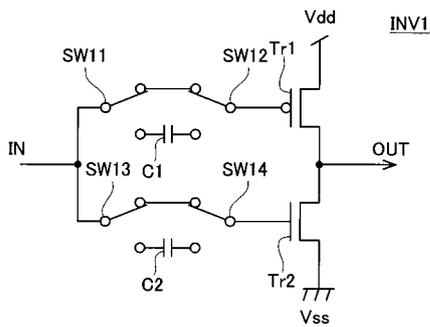
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

