

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3869073号

(P3869073)

(45) 発行日 平成19年1月17日(2007.1.17)

(24) 登録日 平成18年10月20日(2006.10.20)

(51) Int. Cl.

G06F 7/00 (2006.01)

F I

G06F 7/00 203

請求項の数 3 (全 8 頁)

(21) 出願番号	特願平9-156444	(73) 特許権者	595034134
(22) 出願日	平成9年6月13日(1997.6.13)		サン・マイクロシステムズ・インコーポレ イテッド
(65) 公開番号	特開平10-63480		Sun Microsystems, I n c.
(43) 公開日	平成10年3月6日(1998.3.6)		アメリカ合衆国 カリフォルニア 950 54, サンタ クララ, ネットワーク サークル 4150
審査請求日	平成16年4月9日(2004.4.9)	(74) 代理人	100064621
(31) 優先権主張番号	08/665.154		弁理士 山川 政樹
(32) 優先日	平成8年6月13日(1996.6.13)	(72) 発明者	イヴァン・サザーランド
(33) 優先権主張国	米国 (US)		アメリカ合衆国・90405・カリフォル ニア州・サンタ モニカ・ワズウェアス アヴェニュー・125
			最終頁に続く

(54) 【発明の名称】 事象論理用対称セレクタ回路

(57) 【特許請求の範囲】

【請求項1】

第1のイネーブル状態と、第2のディスエーブル状態とを有し、前記第2のディスエーブル状態にあるときにトライステート状態に置かれ、第2のフリップフロップに結合している第1のフリップフロップと；

第1のディスエーブル状態と、第2のイネーブル状態とを有し、前記第1のディスエーブル状態にあるときにトライステート状態に置かれる第2のフリップフロップとを具備し、前記第1の状態では、前記第1のフリップフロップからのデータが前記第2のフリップフロップに渡され、前記第2の状態では、前記第2のフリップフロップからのデータが前記第1のフリップフロップに渡される論理素子。

【請求項2】

第1の出力ノードと、第2の出力ノードとを含み、前記第2の出力ノードは第1の出力ノードに相補出力信号を供給する第1のフリップフロップと；

第3の出力ノードと、第4の出力ノードとを含み、前記第4の出力ノードは第3の出力ノードに相補出力信号を供給する第2のフリップフロップと；

第1の制御信号が第1の状態にあるときに第3の出力ノードを前記第1の出力ノードに接続し、前記第1の制御信号が第2の状態にあるときには第3の出力ノードを前記第1の出力ノードから遮断する第1のパスゲートと；

前記第1の制御信号が前記第2の状態にあるときに第3の出力ノードを前記第2の出力ノードに接続し、前記第1の制御信号が前記第1の状態にあるときには前記第3の出力ノード

10

20

ドを前記第2の出力ノードから遮断する第2のパスゲートと；  
第1の制御信号が第1の状態にあるときに第3の出力ノードを前記第1の出力ノードに接続し、前記第2の制御信号が第2の状態にあるときには第3の出力ノードを前記第1の出力ノードから遮断する第3のパスゲートと；

前記第1の制御信号が前記第2の状態にあるときに第3の出力ノードを前記第2の出力ノードに接続し、前記第1の制御信号が前記第1の状態にあるときには前記第3の出力ノードを前記第2の出力ノードから遮断する第4のパスゲートとを具備するセレクト回路。

【請求項3】

第1の状態では電源に結合され、第2の状態では前記電源から遮断される第1のフリップフロップと；

10

パスゲートを介して前記第1のフリップフロップに結合し、前記第1の状態では前記電源から遮断され、前記第2の状態では前記電源に結合される第2のフリップフロップとを具備するセレクト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は論理回路に関し、特に、事象論理回路と共に使用する改良されたセレクト回路に関する。

【0002】

【従来の技術】

20

コンピュータシステム内部で情報を搬送するための周知の技法の1つが事象の概念である。「遷移信号方式」規約では、事象は通常は信号の状態の変化から構成されている。システムが事象の伝送のために単一の導体を使用する場合、導体の状態が変化して、事象を指示する。導体の状態は先の状態から上がるか又は下がるかのいずれかである。その結果として発生する立上がり端又は立下がり端が事象の発生を指示する。たとえば、導体は最初に0ボルトのような低電位にあったとする。その後、電位源を導体に切替え自在に結合すると、導体の電位は、事象を報告する異なる電位に変化する。電位源が遮断されると、導体は0ボルト状態に戻り、別の事象を報知する。立上がり端と立下がり端はいずれも事象の発生を指示する。

【0003】

30

多くのデジタルシステムにおいては、制御信号の状態に従って事象を入力ノードから2つ（以上）の出力ノードの中の1つへ向けるためにセレクト回路を使用している。たとえば、セレクト回路の入力端子に現れた事象を、同様にセレクト回路に供給される2進制御信号の状態に従って、セレクト回路の2つの出力端子のいずれか一方へ向けることができる。制御信号が真であれば、セレクト回路に入力した事象は一方の端子に出力事象を発生させ、制御信号が偽である場合には、入力事象は別の端子に出力事象を発生させる。

【0004】

セレクト回路の一般的な機能性は良く知られている。たとえば、ワシントン大学の以前の研究、「Macromodular Computer Design, 第1部、Development of Macromodules」第II巻、A Macromodule User's Manual, 28ページ；「Macromodular Computer Design, 第2部、Manufacturing Description」第V巻、Logic Drawings, 204.10D3ページを参照。これらは、共にARPAとミズーリ州セントルイスのワシントン大学コンピュータシステムズラボラトリとの間の契約SD-302のファイナルレポート（1974年2月）の一部である。

40

【0005】

【発明が解決しようとする課題】

本発明は、特に事象論理回路に有用な改良されたセレクト回路を提供する。

【0006】

50

**【課題を解決するための手段】**

本発明は高性能セクタ回路を提供する。セクタ回路はデジタルシステム、特に事象論理を採用するデジタルシステムで使用される論理素子である。本発明は多くの種類のデジタル回路やデジタルシステム、たとえば、コンピュータシステム又はマイクロプロセッサで 사용할 ことができる。

**【0007】**

本発明のセクタ回路は、単一の入力端子からの事象をセクタを制御するデータ信号の2進値に従って2つの出力端子のいずれか一方へ急速に指向させる。動作中、事象は事象入力端子で受信される。制御端子に印加される選択値は、セクタ回路に事象を出力端子の1つへ指向させる。事象、入力端子の値が変化するとき、出力ノードのいずれか一方が変化する。どの出力が変化するかは、制御端子に印加される選択値によって決まる。本発明のセクタ回路は事象入力の状態、すなわち、立上がり入力事象であるか又は立下がり入力事象であるかにかかわらず同じように動作するので、このセクタ回路は対称である。さらに、本発明の回路は、入力端子に事象が存在していないときには、選択値の状態の変化を感知しない。

10

**【0008】**

本発明のセクタ回路は、好ましくは同一である2つのフリップフロップを含む。制御端子の状態に従って、2つのフリップフロップのいずれか一方がイネーブルされ、他方のフリップフロップはディスエーブルされる。ディスエーブルされたフリップフロップはトライステートモードに置かれる。すなわち、このフリップフロップはその出力端子に高インピーダンスを与える。イネーブルされたフリップフロップはデータを記憶し、このデータによってディスエーブルされたフリップフロップを駆動する。セクタ回路は、事象入力の状態に基づいてフリップフロップの出力端子を互いに結合するためのパスゲートをさらに含む。

20

**【0009】**

本発明によれば、第1の状態ではイネーブルされ、第2の状態ではディスエーブルされる第1のフリップフロップを含む論理素子が開示される。第2の状態では、第1のフリップフロップの出力端子の出力はトライステートになる。回路は、第1の状態ではディスエーブルされ、第2の状態ではイネーブルされる第2のフリップフロップをさらに含む。第1の状態では、第2のフリップフロップの出力端子の出力はトライステートになる。第1の状態においては第1のフリップフロップからのデータが第2のフリップフロップに渡され、第2の状態においては、第2のフリップフロップからのデータが第1のフリップフロップに渡される。

30

**【0010】**

セクタ回路の第1のフリップフロップは第1のフリップフロップ反転出力端子を含んでも良く、第2のフリップフロップは第2のフリップフロップ反転出力端子をさらに含んでも良い。第1の状態では、第1のフリップフロップの出力端子は第2のフリップフロップの出力端子に結合し、第1のフリップフロップの反転出力端子は第2のフリップフロップの反転出力端子に結合する。第2のモードにおいては、第1のフリップフロップの出力端子は第2のフリップフロップの反転出力端子に結合し、第1のフリップフロップの反転出力端子は第2のフリップフロップの出力端子に結合する。

40

**【0011】****【発明の実施の形態】**

図1は、デジタルシステム、特に事象論理を採用するシステムにおいて具現化できるようなセクタ回路のブロック線図である。セクタ100は、制御入力信号D220の値に従って単一の入力端子Aからの事象を2つ以上の出力端子T230及びF240のうち1つへ指向させる回路である。図1で、信号D220が真であれば、入力端子A210の1つ又は複数の事象は1つ又は複数の出力事象を出力端子T230に発生させる。制御信号D220が偽であれば、入力端子A210の事象は出力端子F240に出力事象を発生させる。言い換えれば、各入力事象は制御信号Dに基づいて2つの出力端子のいずれか一方

50

へ指向されるということになる。

【0012】

セレクタ100はバンドリング(bundling)制約を有する。データ値、すなわち、制御入力又は情報信号D220は、事象入力端子A210で事象が起こった時点で安定していなければならない。出力ノードのいずれか一方又は双方で部分的な変化を引き起こすと思われる不完全な選択を回避するためには、データ値は安定していなければならない。従って、ノードD220のデータ値は入力端子A210の入力事象と「バンドリング」されるという。これは、入力端子210の事象はデータ値が安定しているときにのみ起こることを示唆している。この「バンドリング」は、図2の外側の回路を入力事象と、安定したセレクタ値の双方が同時に提示されるよう保証すべく設計することによって実現できる。

10

【0013】

図2は、本発明のセレクタ回路100の好ましい一実施形態の概略図である。回路は2つのフリップフロップ、すなわち、フリップフロップ310と、フリップフロップ315を含む。この実施形態では、フリップフロップ310及び315は同一の回路である。これは、本発明のセレクタ回路100の対称性をもたらす原因の1つとなっている。

【0014】

フリップフロップ310は出力ノードT230と、出力ノード $\bar{T}$ 320(T230の補数)とを駆動する。フリップフロップ315は出力ノードF240と、出力ノード $\bar{F}$ 325(F240の補数)とを駆動する。通常の動作中には、信号D220及び信号 $\bar{D}$ 330(D220の補数)の状態に従って、一方のフリップフロップはイネーブル(給電)され、他方のフリップフロップはディスエーブルされる(給電されない)。詳細に言えば、D220が論理値ハイであるときは、フリップフロップ315がイネーブルされ、フリップフロップ310はディスエーブルされる。D220が論理値ローであるときには、フリップフロップ310がイネーブルされ、フリップフロップ315はディスエーブルされる。イネーブルされると、フリップフロップは論理状態を記憶する。フリップフロップがディスエーブルされたときには、フリップフロップの出力端子はトライステートになる。しかしながら、ディスエーブルされたフリップフロップに新たなデータを記憶しても良い。この新たなデータは、イネーブルされたフリップフロップから得られても良い。

20

【0015】

フリップフロップ310の上側は、それぞれ2個ずつの直列に接続されたPMOSトランジスタから成る2つの並列に接続されたトランジスタスタックから構成されている。一方のPMOSスタックは第1の電位源10と、ノードT230との間に結合している。第1の電位源10は通常はVDD(又はVCC)である。VDDは一般に約5ボルトであるが、3.3ボルトや、他の電圧を利用することも可能である。第1の電位源10は、システムのVDDとは別の「局所」VDDであっても良い。このスタックのPMOSトランジスタ340は第1の電位源10と、スタック中のPMOSトランジスタ343のソースとの間に結合している。PMOSトランジスタ340のゲートはノードD220に結合している。PMOSトランジスタ340と直列であるPMOSトランジスタ343はPMOSトランジスタ340のドレインと、ノードT230との間に結合している。PMOSトランジスタ343のゲートはノード $\bar{T}$ 230に結合している。

30

40

【0016】

もう一方のPMOSスタックは第1の電位源10と、ノード $\bar{T}$ 320との間に結合している。このスタックのPMOSトランジスタ346は第1の電位源10と、PMOSトランジスタ349のソースとの間に結合している。PMOSトランジスタ346のゲートはノードD220に結合している。PMOSトランジスタ346と直列であるPMOSトランジスタ349はPMOSトランジスタ346のドレインと、ノード $\bar{T}$ 320との間に結合している。PMOSトランジスタ349のゲートはノードT230に結合している。

【0017】

フリップフロップ310は、それぞれが2個ずつの直列に結合したNMOSトランジスタを含む2つの並列スタックを下側にさらに有する。一方のNMOSスタックはノードT2

50

30と、第2の電位源20との間に結合している。第2の電位源20は通常はVSS又は接地点である。VSSは一般にゼロボルトであると考えられる。第2の電位源20は、システムのVSSとは別の「局所」VSSであっても良い。このスタックのNMOSトランジスタ351は第2の電位源20と、スタック中のNMOSトランジスタ354のソースとの間に結合している。NMOSトランジスタ351のゲートはノードD330に結合している。NMOSトランジスタ351と直列であるNMOSトランジスタ354はNMOSトランジスタ351のドレインと、ノードT230との間に結合している。NMOSトランジスタ354のゲートはノードT320に結合している。

#### 【0018】

もう1つのNMOSトランジスタのスタックは第2の電位源20と、ノードT320との間に結合している。このスタックのNMOSトランジスタ357は第2の電位源20と、スタック中のNMOSトランジスタ359のソースとの間に結合している。NMOSトランジスタ357のゲートはノードD330に結合している。NMOSトランジスタ357と直列であるNMOSトランジスタ359はNMOSトランジスタ357のドレインと、ノードT320との間に結合している。NMOSトランジスタ359のゲートはノードT230に結合している。

セクタ100はさらにフリップフロップ315を具備しているが、好ましい実施形態では、このフリップフロップ315は、信号入力ノード及び出力ノードを除いてフリップフロップ310と同一の回路である。

#### 【0019】

フリップフロップ310とフリップフロップ315は、4つのパスゲート381, 382, 384及び386を使用して互いに結合されている。好ましい実施形態においては、それら4つのパスゲートは同じである。第1のパスゲート381は、ノードA210が論理値ローであるときにノードT230とノードF240を結合し、ノードA210が論理値ハイであるときには、それらのノードを分離する。第2のパスゲート382は、ノードA210が論理値ハイであるときにノードT230とノードF325を結合し、ノードA210が論理値ローであるときには、それらのノードを分離する。第3のパスゲート384は、ノードA210が論理値ハイであるときにノードT320とノードF240を結合し、ノードA210が論理値ローであるときには、それらのノードを分離する。第4のパスゲート386は、ノードA210が論理値ローであるときにノードT320とノードF325を結合し、ノードA210が論理値ハイであるときには、それらのノードを分離する。

#### 【0020】

それぞれのパスゲート381, 382, 384及び386は周知の何らかの技法を使用して設計されていけば良い。本発明の好ましい実施形態では、パスゲートはCMOS伝送ゲートから構成されており、1つのNMOSトランジスタ383が1つのPMOSトランジスタ385と並列に接続する構成になっている。説明の便宜上、各パスゲートはトランジスタ383及び385から構成されるものとして図示してあるが、回路を実際に具現化する場合には、各パスゲートは他のゲートとトランジスタを共有せずに、独自の1対のトランジスタから形成されることになる。パスゲート381の場合、NMOSトランジスタ383のゲートはA390入力ノード(ノードA210の補数)に結合し、PMOSトランジスタ385のゲートはノードA210に結合している。その他のパスゲートも、図示するように、これと同様に構成・接続されている。

#### 【0021】

動作中、ノードD220及びA210は、フリップフロップ310及び315のノードT230及びF240にデータがいかにして渡されるかを制御する。ノードD220は、ノードT230又はノードF240のどちらの出力がアクティブになるかを選択する。ノードD220が論理値ハイであるとき、ノードT230は変化することもあるが、ノードF240は固定される。さらに詳細に言えば、この実施形態において、ノードD220がハイであるときは、フリップフロップ315は第1の電位源10及び第2の電位源20に結

10

20

30

40

50

合したままであるが、フリップフロップ310はそれらの電位源から遮断されるので、変化することができる。ノードT230とノード $\rightarrow$ F320はトライステートになる。そこで、フリップフロップ310にはアクティブとなっているフリップフロップ315に記憶されているデータをロードされても良い。入力ノードであるノードA210の信号は、出力ノードT230及びF240に互いにいかにして結合されるかを選択する。すなわち、ノードA210が論理値ローであるとき、パスゲート381及び386はノードT230をノードF240に結合すると共に、ノード $\rightarrow$ T320をノード $\rightarrow$ 325に結合する。ノードA210が論理値ハイであるときには、パスゲート382及び384はノードT230をノード $\rightarrow$ F325に結合すると共に、ノード $\rightarrow$ T320をノードF240に結合する。

10

#### 【0022】

同様に、ノードD220の信号が論理値ローであるとき、ノードT230は固定されるが、ノードF240は変化できる。さらに詳細に言えば、この実施形態では、フリップフロップ310は第1の電位源10及び第2の電位源20に結合したままであるが、フリップフロップ315はそれらの電位源から遮断される。ノードF240とノード $\rightarrow$ F325はトライステートになる。そこで、フリップフロップ315はアクティブとなっているフリップフロップ310に記憶されているデータがロードされる。さらに、ノードA210が論理値ローであるときには、パスゲート381及び386はノードT230をノードF240に結合すると共に、ノード $\rightarrow$ T320をノード $\rightarrow$ F325に結合する。ノードA210が論理値ハイであるときには、パスゲート382及び386はノードT230をノード $\rightarrow$ F325に結合すると共に、ノード $\rightarrow$ T320をノードF240に結合する。

20

#### 【0023】

以上、説明を目的として、本発明の好ましい実施形態の説明を提示した。これは本発明を余す所なく説明するものでも、本発明を上述の厳密な形態に限定するものでもなく、上記の教示に照らして改変及び変形が可能である。たとえば、以上の説明が与えられれば、多重ビット制御信号に应答して一群の出力ノードの中のどのノードに入力事象を渡すべきかを選択するという本発明の原理を使用してセクタ回路を設計できることは理解されるであろう。

#### 【図面の簡単な説明】

【図1】 セクタ回路のブロック線図。

30

【図2】 本発明のセクタ回路の概略図。

#### 【符号の説明】

100...セクタ回路、230...出力ノードT、240...出力ノードF、310, 315...フリップフロップ、320...出力ノード $\rightarrow$ T、325...出力ノード $\rightarrow$ F、340, 343, 346, 349...PMOSトランジスタ、351, 354, 357, 359...NMOSトランジスタ、381, 382, 384, 386...パスゲート。



フロントページの続き

審査官 田中 友章

(56)参考文献 特開平07-202682(JP,A)  
特開昭58-165424(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G06F 7/00  
H03K 19/173