

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-176343
(P2009-176343A)

(43) 公開日 平成21年8月6日(2009.8.6)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 S	5M024
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 H	

審査請求 未請求 請求項の数 3 O L (全 12 頁)

(21) 出願番号 特願2008-11776 (P2008-11776)
(22) 出願日 平成20年1月22日 (2008.1.22)

(71) 出願人 508189599
株式会社リキッド・デザイン・システムズ
神奈川県川崎市高津区坂戸3-2-1 K
SP西421B
(74) 代理人 100079049
弁理士 中島 淳
(74) 代理人 100084995
弁理士 加藤 和詳
(74) 代理人 100085279
弁理士 西元 勝一
(74) 代理人 100099025
弁理士 福田 浩志

最終頁に続く

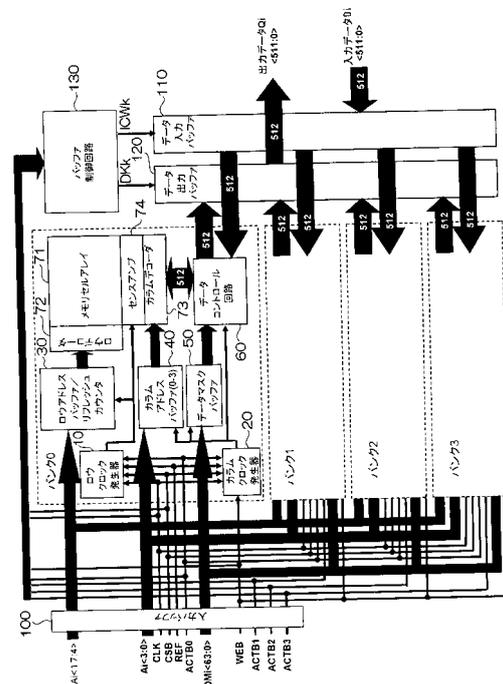
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】製造コストを抑制しつつランダムアクセス性を向上させて高速に動作させる。

【解決手段】半導体記憶装置は、データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、活性化されたメモリバンクに書き込むようにデータ入力バッファ110を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して3以上の所定のリードレーテンシーで、活性化されたメモリバンクからデータを読み出してデータを出力するようにデータ出力バッファ120を制御するバッファ制御回路130を備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ロウアドレス方向及びカラムアドレス方向に配列された複数のメモリセルと、ロウアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するロウデコードと、カラムアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するカラムデコードと、を有する複数のメモリバンクと、

前記ロウデコードへ供給するロウアドレスが入力されるロウアドレス入力手段と、

前記カラムデコードへ供給するカラムアドレスが入力されるカラムアドレス入力手段と

、
メモリバンク毎に設けられ、メモリバンクを活性化するための活性化信号が入力される活性化信号入力手段と、

各メモリバンクに対して共通に設けられ、入力されたデータを複数のメモリバンクのうちの活性化されたメモリバンクに供給するデータ入力手段と、

各メモリバンクに対して共通に設けられ、前記活性化されたメモリバンクから読み出されたデータを出力するデータ出力手段と、

データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、前記活性化信号入力手段に入力された活性化信号によって活性化されたメモリバンクに書き込むように前記データ入力手段を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して3以上の所定のリードレーテンシーで、前記活性化信号入力手段により入力された活性化信号によって活性化されたメモリバンクからデータを読み出してデータを出力するように前記データ出力手段を制御する制御手段と、

を備えた半導体記憶装置。

【請求項 2】

バンク数を n 、リードレーテンシーを $R L$ とすると、

$$3 \leq R L \leq n + 1$$

を満たすことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】

同一のバンクメモリに連続してアクセスする場合、読出し / 読出し、読出し / 書込み、書込み / 読出しのいずれかの連続するコマンド間の時間を T (ACT to ACT)、ランダムサイクルタイムを $t R C$ 、読出し / 読出し、読出し / 書込み、書込み / 読出しの上記いずれかの連続するコマンド間のクロック数を $C L K$ (ACT to ACT) とすると、

$$T \leq t R C \leq C L K$$

$$C L K \leq R L \leq 2$$

を満たすことを特徴とする請求項 1 または請求項 2 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関する。

【背景技術】

【0002】

従来、複数のメモリバンクを備え、所定のバンクを活性化させるための半導体記憶装置が提案されている。

【0003】

特許文献 1 には、「バースト長 $B L = 8$ のときに、バンク 0 用回路 7 とバンク 1 用回路 8 とを選択的に活性化する動作」が記載され (段落 0047)、更に「バンク 0 用回路 7 内のいずれかのブロックを活性化するためのブロック活性化信号を生成」することが記載されている (段落 0040)。

【0004】

また、特許文献 2 には、「R A S 生成ユニット 13 では、この信号 R A S Z に応答して

10

20

30

40

50

、バンク 0 用回路 5 内のいずれかのブロックを活性化し、同時にセンスアンプ 1 9 及びセンスバッファ 1 5 を活性化する。」ことが記載されている（段落 0 0 7 6 ）。

【特許文献 1】特開 2 0 0 0 - 1 6 3 9 6 9 号公報（図 4、図 5）

【特許文献 2】特開 2 0 0 0 - 8 2 2 8 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

通常、特許文献 1 及び 2 のいずれに記載された技術においては、入力ピン数の削減のため、共通のピンを介してロウアドレス及びカラムアドレスがそれぞれ入力される。このため、完全にランダムなアドレスを指定することができなかった。また、汎用の D R A M を使用して各バンクを構成しようとする、動作周波数が高くなるに従ってデータの書込みと読出しのタイミング設計を変える必要があり、タイミング設計が煩雑になる問題もある。

10

【 0 0 0 6 】

本発明は、上述した課題を解決するために提案されたものであり、製造コストを抑制しつつランダムアクセス性を向上させて高速に動作可能な半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明に係る半導体記憶装置は、ロウアドレス方向及びカラムアドレス方向に配列された複数のメモリセルと、ロウアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するロウデコーダと、カラムアドレスに対応するメモリセルを前記複数のメモリセルの中から選択するカラムデコーダと、を有する複数のメモリバンクと、前記ロウデコーダへ供給するロウアドレスが入力されるロウアドレス入力手段と、前記カラムデコーダへ供給するカラムアドレスが入力されるカラムアドレス入力手段と、メモリバンク毎に設けられ、メモリバンクを活性化するための活性化信号が入力される活性化信号入力手段と、各メモリバンクに対して共通に設けられ、入力されたデータを複数のメモリバンクのうち活性化されたメモリバンクに供給するデータ入力手段と、各メモリバンクに対して共通に設けられ、前記活性化されたメモリバンクから読み出されたデータを出力するデータ出力手段と、データを書き込む場合は、書込みコマンドが入力されたときのクロックと同じタイミングのときのデータを、前記活性化信号入力手段に入力された活性化信号によって活性化されたメモリバンクに書き込むように前記データ入力手段を制御し、データを読み出す場合は、読出しコマンドが入力されたときのクロックに対して 3 以上の所定のリードレーテンシーで、前記活性化信号入力手段により入力された活性化信号によって活性化されたメモリバンクからデータを読み出してデータを出力するように前記データ出力手段を制御する制御手段と、を備えている。

20

30

【発明の効果】

【 0 0 0 8 】

本発明に係る半導体記憶装置は、製造コストを抑制しつつランダムアクセス性を向上させて高速に動作することができる。

40

【発明を実施するための最良の形態】

【 0 0 0 9 】

以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。

【 0 0 1 0 】

図 1 は、本発明の実施の形態に係る半導体記憶装置の構成を示す図である。半導体記憶装置は、データをそれぞれ記憶するメモリバンク 0 ~ 3 と、アドレスやコマンド等が入力される入力バッファ 1 0 0 と、メモリバンク 0 ~ 3 に書き込むためのデータが入力されるデータ入力バッファ 1 1 0 と、メモリバンク 0 ~ 3 から読み出されたデータが出力されるデータ出力バッファ 1 2 0 と、データ入力バッファ 1 1 0 によるデータ入力及びデータ出力バッファ 1 2 0 によるデータ出力をそれぞれ制御するバッファ制御回路 1 3 0 と、を備

50

えている。

【0011】

入力バッファ100には、14ビットのロウアドレス A_i ($i = 4 \sim 17$)、4ビットのカラムアドレス A_i ($i = 0 \sim 3$)、クロックCLK、チップセレクト信号CSB、リフレッシュ信号REF、64ビットのデータマスク信号 DM_i ($i = 0 \sim 63$)、ライト・イネーブル信号WEB、アクトコマンドACTB0～ACTB3がそれぞれ入力される。

【0012】

ロウアドレス及びカラムアドレスは、それぞれ独立したピンを介して、同時に入力可能である。アクトコマンドACTB0、ACTB1、ACTB2、ACTB3は、それぞれメモリバンク0、1、2、3を活性化させるための信号であり、それぞれ独立したピンを介して入力される。

10

【0013】

データ入力バッファ110は、書込みデータ取り込みクロック信号ICWk ($k = 0 \sim 3$)に基づいて、512ビットの入力データ D_i ($i = 0 \sim 511$)をメモリバンク0～3のいずれかに供給する。具体的には、データ入力バッファ110は、ICW0が入力された場合は、入力データ D_i を取り込んでメモリバンク0へ供給する。同様に、データ入力バッファ110は、ICW1が入力された場合はメモリバンク1へ、ICW2が入力された場合はメモリバンク2へ、ICW3が入力された場合はメモリバンク0へ、入力データ D_i を供給する。

20

【0014】

データ出力バッファ120は、出力データラッチ信号DKk ($k = 0 \sim 3$)に基づいて、メモリバンク0～3のいずれから読み出される512ビットの出力データ DO_i ($i = 0 \sim 511$)を出力する。具体的には、データ出力バッファ120は、DK0が入力された場合はメモリバンク0のデータ、DK1が入力された場合はメモリバンク1のデータ、DK2が入力された場合はメモリバンク2のデータ、DK3が入力された場合はメモリバンク3のデータをそれぞれ出力する。

【0015】

バッファ制御回路130は、入力バッファ100から供給されるクロックCLK、チップセレクト信号CSB、アクトコマンドACTB0～ACTB3に基づいて、書込み動作の場合ではデータ取り込みクロック信号ICWk ($k = 0 \sim 3$)を生成し、読出し動作の場合では出力データラッチ信号DKk ($k = 0 \sim 3$)を生成する。

30

【0016】

ここで、ICWkは、データ入力バッファ110に入力されたデータを取り込むタイミングを表している。具体的には、ICW0はメモリバンク0、ICW1はメモリバンク1、ICW2はメモリバンク2、ICW3はメモリバンク3にデータを取り込むための信号である。また、DKkは、メモリバンクkから読み出されてデータ出力バッファ120においてラッチされるタイミングを表している。

【0017】

バッファ制御回路130は、書込み動作の場合、WEB/CBSが供給されACTBkが供給されると、そのACTBkのクロックと同じタイミングでICWkを生成する。また、バッファ制御回路130は、読出し動作の場合、CBSが供給されACTBkが供給されると、そのACTBkのクロックから3クロック後にDKkを生成する

40

【0018】

メモリバンク0～3は、それぞれ同じ構成である。ここで、メモリバンク0は、ロウクロックを発生するロウクロック発生器10と、カラムアドレスを発生するカラムクロック発生器20と、ロウアドレスを一時蓄積し又はリフレッシュ回数をカウントするロウアドレスバッファ/リフレッシュカウンタ30と、カラムアドレスを一時蓄積するカラムアドレスバッファ40と、データマスクを一時蓄積するデータマスクバッファ50と、を備えている。

50

【 0 0 1 9 】

さらに、メモリバンク 0 は、データを記憶するメモリセルアレイ 7 1 と、ロウアドレスを指定するロウデコーダ 7 2 と、カラムアドレスを指定するカラムデコーダ 7 3 と、データの読み出し時にセルに蓄積された電圧を増幅するセンスアンプ 7 4 と、メモリセルアレイ 7 1 に対してデータの書き込み及び読み出しを行うデータコントロール回路 6 0 と、を備えている。

【 0 0 2 0 】

ロウクロック発生器 1 0 は、入力バッファ 1 0 0 から供給されるクロック C L K、チップセレクト信号 C S B、リフレッシュ信号 R E F、アクトコマンド A C T B 0 に基づいて、ロウアドレスを同期させるためのロウクロックを発生し、このロウクロックをロウアドレスバッファ/リフレッシュカウンタ 3 0 及びセンスアンプ 7 4 に供給する。

10

【 0 0 2 1 】

カラムクロック発生器 2 0 は、入力バッファ 1 0 0 から供給されるクロック C L K、チップセレクト信号 C S B、リフレッシュ信号 R E F、アクトコマンド A C T B 0、更にライト・イネーブル信号 W E B に基づいて、カラムアドレスを同期させるためのカラムクロックを発生し、このカラムクロックをカラムアドレスバッファ 4 0、データマスクバッファ 5 0 及びデータコントロール回路 6 0 に供給する。

【 0 0 2 2 】

ロウアドレスバッファ/リフレッシュカウンタ 3 0 は、ロウクロック発生器 1 0 で発生されたロウクロックに同期して、入力バッファ 1 0 0 から供給される 1 4 ビットのロウアドレス A_i ($i = 4 \sim 17$) を一時蓄積した後、そのロウアドレスをロウデコーダ 7 2 に供給する。また、ロウアドレスバッファ/リフレッシュカウンタ 3 0 は、メモリセルアレイ 7 1 のリフレッシュ回数をカウントする。

20

【 0 0 2 3 】

カラムアドレスバッファ 4 0 は、カラムクロック発生器で発生されたカラムクロックに同期して、入力バッファ 1 0 0 から供給される 4 ビットのカラムアドレス A_i ($i = 0 \sim 3$) を一時蓄積した後、そのカラムアドレスをカラムデコーダ 7 3 に供給する。

【 0 0 2 4 】

データマスクバッファ 5 0 は、入力バッファ 1 0 0 から供給される 6 4 ビットのデータマスク $D M_i$ ($i = 0 \sim 63$) を一時蓄積した後、このデータマスク $D M_i$ をデータコントロール回路 6 0 に供給する。

30

【 0 0 2 5 】

図 2 は、データコントロール回路 6 0 の構成を示す図である。データコントロール回路 6 0 は、入力されたデータをメモリセルアレイ 7 1 に供給する W アンプ 6 1 と、メモリセルアレイ 7 1 から読み出されたデータを出力する D アンプ 6 2 と、を備えている。

【 0 0 2 6 】

W アンプ 6 1 は、W アンプ活性化信号 $W A E_k$ ($k = 0 \sim 3$) 又はデータマスクバッファ 5 0 からデータマスク $D M$ が供給されると活性化される。そして、W アンプ 6 1 は、データ入力バッファ 1 1 0 から供給される 5 1 2 ビットのデータ $D I K_i$ ($i = 0 \sim 511$) を増幅して、データ $I O k_i$ をメモリセルアレイ 7 1 の後述するグローバル入出力線 $G I O$ へ出力する。

40

【 0 0 2 7 】

D アンプは、D A M P 活性化信号 $D A E_k$ ($k = 0 \sim 3$) が供給されると活性化され、メモリセルアレイ 7 1 の後述するグローバル入出力線 $G I O$ のデータを読み出して増幅し、このデータ $D O k_i$ をデータ出力バッファ 1 2 0 へ出力する。

【 0 0 2 8 】

また、メモリセルアレイ 7 1 は、マトリクス状に配列された複数のメモリセルを有している。ロウデコーダ 7 2 は、ロウアドレスを選択する。カラムデコーダ 7 3 は、カラムアドレスを選択する。センスアンプ 7 4 は、データの読み出し時にメモリセルの電圧を増幅する。

50

【 0 0 2 9 】

図 3 は、メモリセルアレイ 7 1 の詳細な構成を示す図である。メモリセルアレイ 7 1 は、行方向に配列された複数のワード線 W L と、列方向に配列された複数のカラム選択線 C S L と、カラム選択線 C S L に信号（電圧）が供給されたときにオンになる第 1 の F E T 7 5 と、ワード線 W L に信号（電圧）が供給されたときにオンになる第 2 の F E T 7 6 と、1 つのメモリセルに対応するコンデンサ 7 7 と、入力又は出力されるデータが供給されるローカル入出力線 L I O 及びグローバル入出力線 G I O と、を備えている。

【 0 0 3 0 】

第 1 の F E T 7 5 のドレインはローカル入出力線 L I O に接続され、そのソースはセンスアンプ 7 4 の出力端子に接続され、そのゲートはカラム選択線 C S L に接続されている。

10

【 0 0 3 1 】

センスアンプ 7 4 は、データが入力されるデータ入力端子 B L と、そのデータと比較するための閾値信号が入力されるコントロール端子 / B L と、出力端子と、を備えている。なお、データ入力端子と出力端子とは短絡されている。センスアンプ 7 4 は、入力されたデータが閾値以上のときに “ 1 ” の信号を、入力されたデータが閾値未満のときに “ 0 ” の信号を、前記出力端子を介して出力する。

【 0 0 3 2 】

第 2 の F E T 7 6 のドレインはセンスアンプ 7 4 のデータ入力端子に接続され、そのゲートはワード線 W L に接続されている。コンデンサ 7 7 の一方の端子は第 2 の F E T 7 6 のソースに接続され、その他端は接地されている。

20

【 0 0 3 3 】

ロウデコーダ 7 2 は、図 1 に示したロウアドレスバッファ / リフレッシュカウンタ 3 0 からロウアドレスが供給されると、そのロウアドレスに対応するワード線 W L に信号を出力し、所定時間経過後にその信号の出力を停止する。なお、ロウデコーダ 7 2 は、アクトコマンドのみで動作できるように、信号を出力した後自動的にその信号をリセットするための内部遅延素子を有している。また、カラムデコーダ 7 3 は、カラムアドレスが供給されると、そのカラムアドレスに対応するカラム選択線 C S L に単発のカラムアドレス選択信号を供給する。

【 0 0 3 4 】

以上のように構成された半導体記憶装置は、次のようなタイミングでデータの書き込みや読み出しを行う。図 4 は、データの書き込み / 読み出しを説明するためのタイミングチャートである。

30

【 0 0 3 5 】

ここで、外部から入力されるデータとして、 A_i ($i = 0 \sim 17$)、 $A C T B 0 \sim A C T B 3$ 、 $D_j / D M_i$ がある。また、外部に出力されるデータとして、 Q_j がある。アドレス A_i は、カラムアドレス及びロウアドレスを示している。そして、クロック 0、1、2、・・・のときに、アドレス $A(0)$ 、 $A(1)$ 、 $A(2)$ 、・・・が入力される。なお、括弧内の数字は、対応するクロックを示している。

【 0 0 3 6 】

$A C T B 0$ はメモリバンク 0 を、 $A C T B 1$ はメモリバンク 1 を、 $A C T B 2$ はメモリバンク 2 を、 $A C T B 3$ はメモリバンク 3 をそれぞれ活性化させるコマンドであり、書き込み用 (W) と読み出し用 (R) がある。

40

【 0 0 3 7 】

(クロック 0 ~ 3 の期間)

クロック 0、1、2、3 になると、書き込み用の $A C T B 0$ 、 $A C T B 1$ 、 $A C T B 2$ 、 $A C T B 3$ が順に入力されると共に、入力データ $D_i(0)$ 、 $D_i(1)$ 、 $D_i(2)$ 、 $D_i(3)$ が順に入力される。すなわち、クロック 0 ~ 3 では、メモリバンク 0 ~ 3 へのデータの書き込みのコマンドが入力される。これにより、次の動作が行われる。

【 0 0 3 8 】

50

クロック 0、1、2、3 のときに、それぞれ RASB0、RASB1、RASB2、RASB3 が順にハイレベルからローレベルに立ち下ると共に、書き込みデータ取り込みクロック信号 ICW0、ICW1、ICW2、ICW3 が 1 クロック期間だけ立ち上がる。なお、RASB0、RASB1、RASB2、RASB3 は、それぞれ立ち下がってから所定時間経過後、ローレベルからハイレベルに立ち上がる。この結果、クロック 0、1、2、3 のときに、入力データ Di(0)、Di(1)、Di(2)、Di(3) がそれぞれメモリバンク 0 ~ 3 のメモリセルアレイ 71 に書き込まれる。

【0039】

(クロック 4 ~ 7 の期間)

クロック 4、5、6、7 になると、読み出し用の ACTB0、ACTB1、ACTB2、ACTB3 が順に入力される。すなわち、クロック 4 ~ 7 では、メモリバンク 0 ~ 3 からのデータの読み出しのコマンドが入力される。これにより、次の動作が行われる。

10

【0040】

クロック 4、5、6、7 のときに、RASB0、RASB1、RASB2、RASB3 が順にハイレベルからローレベルに立ち下がる。そして、クロック 7、8、9、10 に同期して、出力データラッチ信号 DK0、DK1、DK2、DK3 が 1 クロック期間だけ立ち上がる。そして 1 クロック経過後のクロック 8、9、10、11 のときに、出力データ Qi(4)、Qi(5)、Qi(6)、Qi(7) がそれぞれメモリバンク 0 ~ 3 のメモリセルアレイ 71 から読み出される。

【0041】

20

ここで、出力データ Qi(4)、Qi(5)、Qi(6)、Qi(7) は、図 4 に示すように、ACTB0、ACTB1、ACTB2、ACTB3 の 4 クロック後に出力されている。つまり、リードレーテンシー RL = 4 に設定されている。

【0042】

(クロック 8 ~ 11 の期間)

クロック 8、9、10、11 になると、書き込み用の ACTB0、読み出し用の ACTB1、書き込み用の ACTB2、読み出し用の ACTB3 が順に入力されると共に、クロック 8 で入力データ Di(8)、クロック 10 で入力データ Di(10) が入力される。すなわち、すなわち、クロック 8 ~ 11 では、メモリバンク 0 へのデータの書き込み、メモリバンク 1 からのデータの読み出し、メモリバンク 2 へのデータの書き込み、メモリバンク 3 からのデータの読み出しのコマンドが入力される。これにより、次の動作が行われる。

30

【0043】

クロック 8、9、10、11 のときに、RASB0、RASB1、RASB2、RASB3 が順にハイレベルからローレベルに立ち下がる。これに同期して、クロック 8 で ICW0 が、クロック 10 で ICW2 が、クロック 12 で DK1 が、クロック 14 で DK3 が 1 クロック期間だけ立ち上がる。この結果、クロック 8、10 のときに、入力データ Di(8)、Di(10) がそれぞれメモリバンク 0、2 のメモリセルアレイ 71 に書き込まれる。更に、クロック 12、14 のときに、出力データ Qi(9)、Qi(10) がそれぞれメモリバンク 1、3 のメモリセルアレイ 71 から読み出される。

40

【0044】

ここで、出力データ Qi(9)、Qi(10) は、図 4 に示すように、ACTB1、ACTB3 の 4 クロック後に出力されている。つまり、リードレーテンシー RL = 4 に設定されている。これにより、1 クロック毎に書き込みと読み出しが行われる場合でも、ギャップレスで書き込み及び読み出しを行うことができる。

【0045】

図 5 は、データの書き込み / 読み出しを説明するための他のタイミングチャートである。図 4 に比べると、ライト・イネーブル信号 WEB / チップセレクト信号 CBS のタイミングが追加されている。また、クロック 8 では、書き込み / 読み出しのいずれのコマンドもないが、クロック 9 ~ 12 において、読み出し、書き込み、読み出し、書き込みの WE

50

B / C S B が順に入力されている。

【 0 0 4 6 】

図 4 では、書き込み、読み出し、書き込み、読み出しの順のコマンドが入力される場合を示したが、図 5 に示すように、読み出し、書き込み、読み出し、書き込みの順のコマンドが入力される場合でも、同様にリードレーテンシー $R L = 4$ であり、読み出し / 書き込みがギャップレスで行われる。

【 0 0 4 7 】

以上のように、本発明の実施の形態の半導体記憶装置は、データ書き込み時では、コマンド信号が入力されたときのクロックと同じタイミングのデータをそのまま書き込み、データ読み出し時では、コマンド信号が入力されたときのクロックから所定のレーテンシー分だけ経過したときにデータを読み出す。これにより、読み出しデータの周波数が高くなっても、各メモリバンクはレーテンシーの分のクロック数で内部動作を完了すればよいので、余裕をもったタイミングで回路設計が可能となる。

10

【 0 0 4 8 】

上記半導体記憶装置は、ロウアドレスとカラムアドレスのそれぞれの入力手段が独立に設けられているので、ロウアドレスとカラムアドレスを同時に入力して、完全にランダムなアドレスを指定することができる。

【 0 0 4 9 】

また、上記半導体記憶装置は、メモリバンク毎に対応するメモリバンクを活性化するための $A C T B i$ を入力するピンを備えると共に、それ以外の信号については各メモリバンクで共通のピンを備え、 $A C T B i$ により一度に 1 つのみのメモリバンクを活性化している。

20

【 0 0 5 0 】

なお、メモリバンクを続けて活性化するためには、 $t R C$ (ランダムサイクルタイム) の間をあげ、かつ、リードレーテンシー $R L = 2$ 回のダミークロックを入力すればよい。

更に好ましくは、図 4 に示すように、

$$\begin{array}{l} T (ACT \text{ to } ACT) \quad t R C \quad \text{かつ} \\ C L K (ACT \text{ to } ACT) \quad R L - 2 \end{array}$$

を満たせばよい。ここで、

$T (ACT \text{ to } ACT)$: 連続する読み出しコマンド間の時間

30

$t R C$: ランダムサイクルタイム

$C L K (ACT \text{ to } ACT)$: 連続する読み出しコマンド間のクロック数

である。

ここでは、同一のメモリバンクにアクセスして連続的にデータを読み出す場合について説明したが、本発明はこれに限定されるものではない。すなわち、同一のメモリバンクにアクセスしてデータの読み出し / 書き込みを行ってもよいし、データの書き込み / 読み出しを行ってもよい。このとき、

$T (ACT \text{ to } ACT)$: 連続する読み出し / 書き込み、又は書き込み / 読み出しコマンド間の時間

$C L K (ACT \text{ to } ACT)$: 連続する読み出し / 書き込み、又は書き込み / 読み出しコマンド間のクロック数

40

とすればよい。

【 0 0 5 1 】

さらに、上記半導体記憶装置は、各メモリバンクのアクセス速度を速くする必要がないので、安い $D R A M$ プロセスでも製造可能である。すなわち、製造コストを抑制することができる。また、メモリバンク数を増やせば更にランダムアクセス性を増すことができる。さらに、リードレーテンシー $R L$ を変えることで、いろいろな周波数特性にも対応することができる。

【 0 0 5 2 】

なお、本発明は、上述した実施の形態に限定されるものではなく、特許請求の範囲に記載された範囲内で設計上の変更をされたものにも適用可能であるのは勿論である。上記実

50

施形態では、メモリバンク数が4の場合を例に挙げたが、メモリバンク数はこれに限定されるものではない。上記実施形態では、リードレーテンシー $RL = 4$ の場合を例に挙げたが、リードレーテンシー RL は3以上であればよい。更に好ましくは、メモリバンクの数を n とすると、 $3 \leq RL \leq n + 1$ を満たせばよい。このとき、ロウデコーダ72及びカラムデコーダ73はリードレーテンシー RL に応じて読出しのタイミングを変更すると共に、バッファ制御回路130もリードレーテンシー RL に応じて出力データラッチ信号 DK_k ($k = 0 \sim 3$)の生成タイミングを変更すればよい。また、メモリバンクの数も4つに限らず、3つ以上であればよい。

【図面の簡単な説明】

【0053】

【図1】本発明の実施の形態に係る半導体記憶装置の構成を示す図である。

【図2】データコントロール回路の構成を示す図である。

【図3】メモリセルアレイの詳細な構成を示す図である。

【図4】データの書き込み/読み出しを説明するためのタイミングチャートである。

【図5】データの書き込み/読み出しを説明するための他のタイミングチャートである。

【符号の説明】

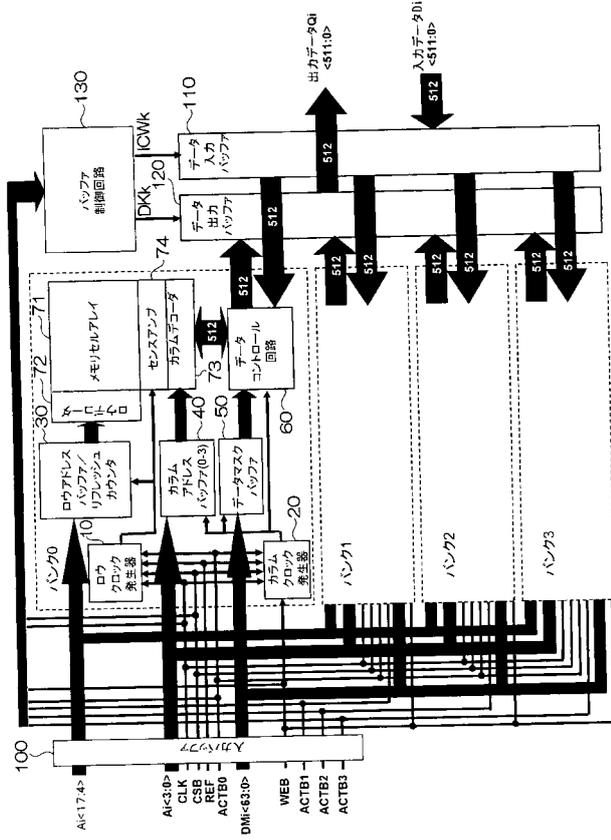
【0054】

0, 1, 2, 3 メモリバンク
 60 データコントロール回路
 71 メモリセルアレイ
 72 ロウデコーダ
 73 カラムデコーダ
 74 センスアンプ
 100 入力バッファ
 110 データ入力バッファ
 120 データ出力バッファ
 130 バッファ制御回路

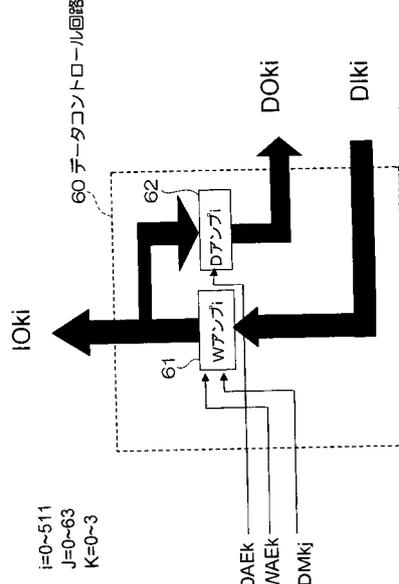
10

20

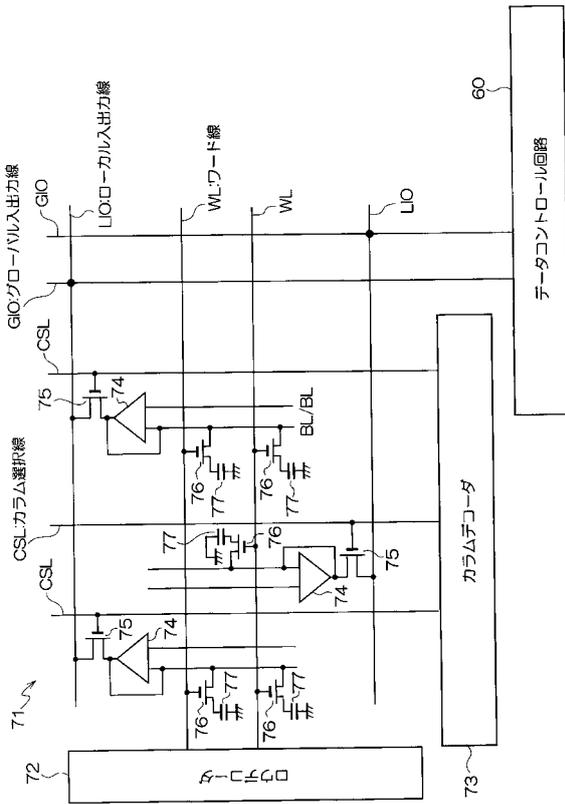
【図 1】



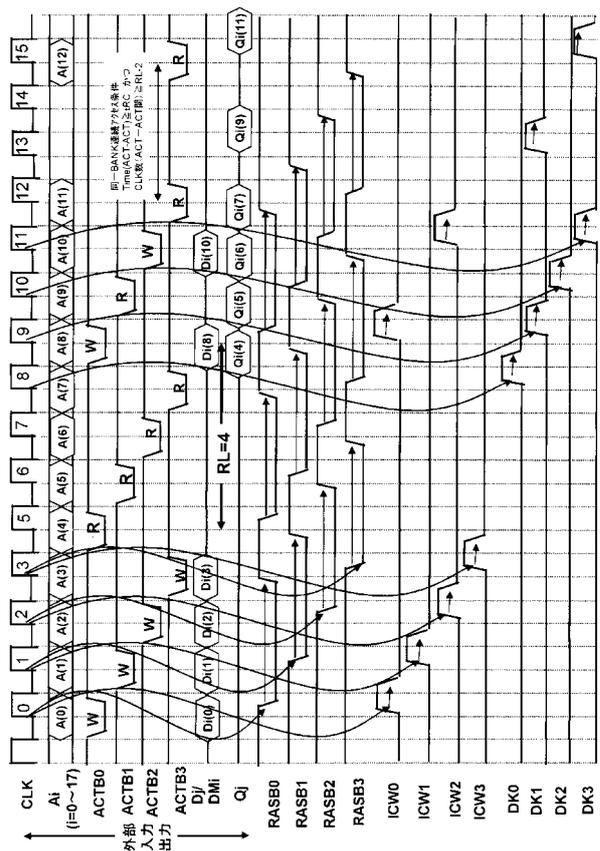
【図 2】



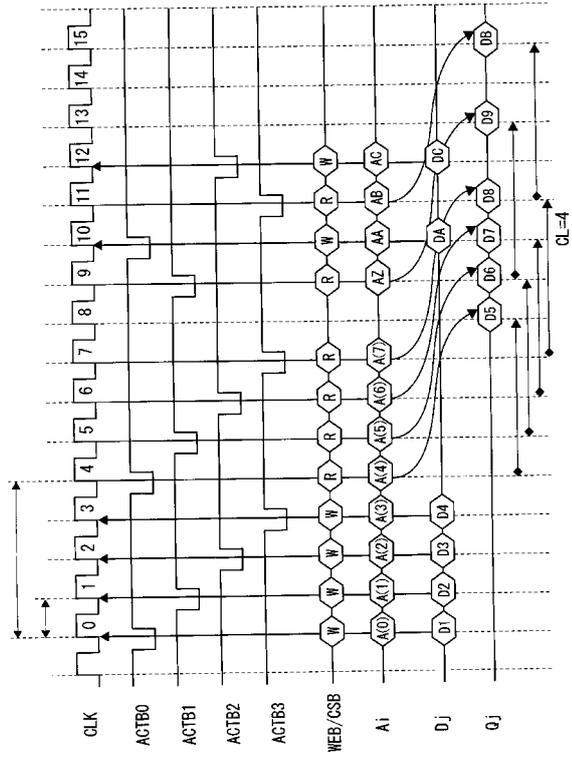
【図 3】



【図 4】



【 図 5 】



フロントページの続き

(72)発明者 中岡 裕司

神奈川県横浜市港北区新横浜2丁目6番12号 株式会社システム・ファブリケーション・テクノロジーズ内

Fターム(参考) 5M024 AA44 AA49 AA56 BB27 BB33 BB34 DD83 JJ02 JJ14 JJ20
JJ28 JJ53 PP01 PP02 PP03 PP07