



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0054855
(43) 공개일자 2010년05월25일

- | | |
|--|---|
| <p>(51) Int. Cl.
G06F 1/32 (2006.01) G06F 9/00 (2006.01)</p> <p>(21) 출원번호 10-2010-7007905</p> <p>(22) 출원일자(국제출원일자) 2008년09월09일
심사청구일자 2010년04월12일</p> <p>(85) 번역문제출일자 2010년04월12일</p> <p>(86) 국제출원번호 PCT/GB2008/003059</p> <p>(87) 국제공개번호 WO 2009/034312
국제공개일자 2009년03월19일</p> <p>(30) 우선권주장
0717786.8 2007년09월12일 영국(GB)</p> | <p>(71) 출원인
노키아 유케이 리미티드
영국 에스이1 8에이치피 런던 사우스위크 바운더리 로우 2-6</p> <p>(72) 발명자
가르시아-토빈 찰스
영국 에스이1 8에이치피 런던 사우스위크 바운더리 로우 2-6 심비안 소프트웨어 리미티드</p> <p>(74) 대리인
김창세, 김원준</p> |
|--|---|

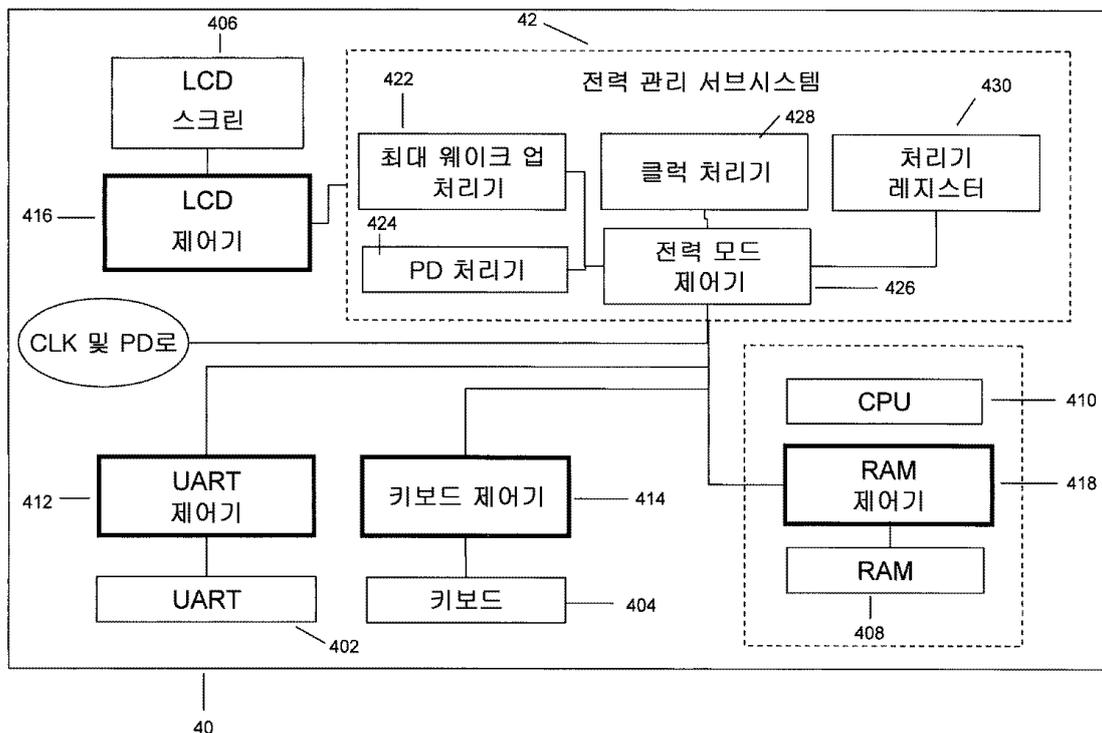
전체 청구항 수 : 총 26 항

(54) 전력 관리 장치, 전력 관리 방법 및 컴퓨터 판독 가능한 매체

(57) 요약

본 발명의 실시예는 디바이스 드라이버 등과 같은 베이스 포트 서브시스템이 전원, 클럭 등과 같은 시스템 리소스 상에서 동작 제약을 등록하는 것 뿐만 아니라, 정확한 동작을 보증하기 위해 최대 허용 가능한 웨이크 업 시간을 지정하도록 하는 인터페이스를 제공하는 전력 관리 서브시스템을 제공한다. 이러한 동작 제약은 일단 등록되면, 전형적으로 가장 엄격한 제약을 결정하도록 소팅되고, 가장 엄격한 제약은 등록된 제약이 충족되면서 진입될 수 있는 가장 적절한 저 전력 모드를 결정하도록, 특정의 디바이스 플랫폼에 의해 제공된 각종 저 전력 모드의 특성에 매핑된다. 이러한 방식으로, 전력 관리 서브시스템을 갖는 디바이스는, 요구되는 경우, 디바이스 드라이버, 제어기 등과 같은 베이스 포트 서브시스템의 동작과 절충하지 않고, 적절하게 저 전력 모드를 또한 이용할 수 있다. 추가적으로, 전력 관리 서브시스템은 임의의 그에 맞추어진 테일러링을 필요로 하지 않고, 디바이스와 함께 사용될 수 있도록, 디바이스에 의해 제공된 저 전력 모드로부터 베이스 포트 서브시스템을 분리한다.

대표도



특허청구의 범위

청구항 1

복수의 시스템 리소스를 갖는 장치로서,

상기 시스템 리소스는 상기 장치의 다른 시스템 구성요소에 의해 이용되고,

상기 장치는 상기 시스템 리소스의 적어도 하나 이상이 적어도 부분적으로 디스에이블되어 절전하는 하나 이상의 저 전력 모드를 더 제공하며,

상기 장치는 상기 시스템 리소스를 이용하는 상기 다른 시스템 구성요소에 의해 설정된 시스템 리소스 동작 제약(operation constraints)에 따라 저 전력 모드를 선택하고 구현하는 전력 관리 서브시스템을 더 포함하는

전력 관리 장치.

청구항 2

제 1 항에 있어서,

상기 전력 관리 서브시스템은 적어도 하나의 시스템 리소스 제약 처리기 및 전력 모드 제어기를 포함하며, 상기 시스템 리소스는 시스템 리소스 동작 제약을 저장하는 스토어(store)와, 상기 저장된 시스템 리소스 동작 제약에 따라 저 전력 모드를 결정하는 전력 모드 계산기를 포함하고, 상기 전력 모드 제어기는 상기 결정된 저 전력 모드에 따라 상기 시스템 리소스가 적어도 부분적으로 디스에이블되도록 제어하는

전력 관리 장치.

청구항 3

제 2 항에 있어서,

상기 전력 관리 서브시스템은 복수의 시스템 리소스 제약에 대한 복수의 시스템 리소스 제약 처리기를 더 포함하고, 각각의 처리기는 그 자신의 제약에 대해 관련 저 전력 모드를 결정하며, 상기 전력 모드 제어기는 상기 결정된 복수의 저 전력 모드를 수신하고, 실질적으로 모든 시스템 리소스 제약에 충족하도록 저 전력 모드를 선택하는

전력 관리 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 제약 또는 각각의 제약은 저 전력 모드 특성 정보를 저장하는 제 2 스토어를 더 포함하며, 상기 전력 모드 계산기는 상기 저장된 시스템 리소스 동작 제약을 충족하는 가장 적절한 저 전력 모드를 결정하도록 상기 저장된 시스템 리소스 동작 제약을 상기 저 전력 모드 특성 정보에 매핑하는

전력 관리 장치.

청구항 5

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 최대 또는 최소 값을 결정하도록 저장된 수치 값의 리스트로서 저장되고, 상기 전력 모드 계산기는 그 특성이 최대 또는 최소 값을 적어도 충족하는 저 전력 모드를 저장하는

전력 관리 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,
상기 시스템 리소스 동작 제약은 최대 장치 웨이크 업(wake-up) 시간을 포함하는
전력 관리 장치.

청구항 7

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,
상기 시스템 리소스 동작 제약은 시스템 리소스 IDs의 리스트로서 저장되고, 상기 전력 모드 계산기는 그 IDs가
저장되는 상기 시스템 리소스가 상기 저 전력 모드 동안 동작 시에 유지되도록 하는 특성의 상기 저 전력 모드
를 선택하는
전력 관리 장치.

청구항 8

제 1 항 내지 제 4 항 및 제 7 항 중 어느 한 항에 있어서,
상기 시스템 리소스 동작 제약은 동작 시에 유지되어야 하는 클럭의 리스트를 포함하는
전력 관리 장치.

청구항 9

제 1 항 내지 제 4 항, 제 7 항 및 제 8 항 중 어느 한 항에 있어서,
상기 시스템 리소스 동작 제약은 동작 시에 유지되어야 하는 전원의 리스트를 포함하는
전력 관리 장치.

청구항 10

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,
상기 시스템 구성요소 또는 각각의 시스템 구성요소에 대한 상기 시스템 리소스 동작 제약은 상기 구성요소의
활성화 시에 설정되는
전력 관리 장치.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서
시스템 구성요소가 비활성화될 때, 시스템 구성요소가 설정한 임의의 시스템 리소스 동작 제약은 더 이상 적용
되지 않는
전력 관리 장치.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 다른 시스템 구성요소는, 예를 들어, 디바이스 드라이버 또는 제어기와 같은 베이스 포트 서브시스템 (base-port subsystem)인

전력 관리 장치.

청구항 13

복수의 시스템 리소스를 관리하는 방법으로서,

상기 시스템 리소스는 다른 시스템 구성요소에 의해 이용되고,

상기 시스템 리소스는 상기 시스템 리소스의 적어도 하나 이상이 적어도 부분적으로 디스에이블되어 절전하는 적어도 하나의 저 전력 모드에 영향을 받으며,

상기 방법은 상기 시스템 리소스를 이용하는 상기 다른 시스템 구성요소에 의해 설정된 시스템 리소스 동작 제약에 따라 저 전력 모드를 선택하고, 상기 선택된 저 전력 모드를 구현하는 단계를 포함하는

전력 관리 방법.

청구항 14

제 13 항에 있어서,

시스템 리소스 동작 제약을 저장하고, 상기 저장된 시스템 리소스 동작 제약에 따라 저 전력 모드를 결정하며, 상기 결정된 저 전력 모드에 따라 하나 이상의 시스템 리소스를 적어도 부분적으로 디스에이블링하는 단계를 더 포함하는

전력 관리 방법.

청구항 15

제 14 항에 있어서,

복수의 시스템 리소스 동작 제약 세트를 저장하는 단계와, 실질적으로 각각의 세트에 대해, 각각의 세트에 따라 관련 저 전력 모드를 결정하는 단계와, 실질적으로 모든 시스템 리소스 제약에 충족하도록 저 전력 모드를 선택하는 단계를 더 포함하는

전력 관리 방법.

청구항 16

제 14 항 또는 제 15 항에 있어서,

저 전력 모드 특성 정보를 저장하는 단계와, 상기 저장된 시스템 리소스 동작 제약을 충족하는 가장 적절한 저 전력 모드를 결정하도록 상기 저장된 시스템 리소스 동작 제약을 상기 저 전력 모드 특성 정보에 매핑하는 단계를 더 포함하는

전력 관리 방법.

청구항 17

제 14 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 최대 또는 최소 값을 결정하도록 저장된 수치 값의 리스트로서 저장되고, 그 특성이 최대 또는 최소 값을 적어도 충족하는 저 전력 모드가 선택되는 전력 관리 방법.

청구항 18

제 13 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 최대 장치 웨이크 업 시간을 포함하는 전력 관리 방법.

청구항 19

제 14 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 시스템 리소스 IDs의 리스트로서 저장되고, 그 IDs가 저장되는 상기 시스템 리소스가 상기 저 전력 모드 동안 동작 시에 유지되도록 하는 특성의 상기 저 전력 모드가 선택되는 전력 관리 방법.

청구항 20

제 13 항 내지 제 16 항 및 제 19 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 동작 시에 유지되어야 하는 클럭의 리스트를 포함하는 전력 관리 방법.

청구항 21

제 13 항 내지 제 16 항, 제 19 항 및 제 20 항 중 어느 한 항에 있어서,

상기 시스템 리소스 동작 제약은 동작 시에 유지되어야 하는 전원의 리스트를 포함하는 전력 관리 방법.

청구항 22

제 13 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 시스템 구성요소 또는 각각의 시스템 구성요소에 대한 상기 시스템 리소스 동작 제약은 상기 구성요소의 활성화 시에 설정되는 전력 관리 방법.

청구항 23

제 13 항 내지 제 22 항 중 어느 한 항에 있어서,

시스템 구성요소가 비활성화될 때, 시스템 구성요소가 설정한 임의의 시스템 리소스 동작 제약은 더 이상 적용되지 않는

전력 관리 방법.

청구항 24

제 13 항 내지 제 23 항 중 어느 한 항에 있어서,
상기 다른 시스템 구성요소는, 예를 들어, 디바이스 드라이버 또는 제어기와 같은 베이스 포트 서브시스템인
전력 관리 방법.

청구항 25

컴퓨터 시스템에 의해 실행될 때 컴퓨터 시스템이 청구항 제 13 항 내지 제 24 항 중 어느 한 항에 따라 동작하도록 구성되는 컴퓨터 프로그램 또는 컴퓨터 프로그램 스위트.

청구항 26

청구항 제 25 항에 따른 컴퓨터 프로그램 또는 컴퓨터 프로그램 스위트의 적어도 하나의 프로그램을 저장하는 컴퓨터 판독 가능한 매체.

명세서

기술분야

[0001] 본 발명은 전력 관리 방법 및 장치에 관한 것으로서, 보다 구체적으로는 특정의 디바이스에서 다수의 저 전력 모드가 이용 가능한 전력 관리 방법 및 장치에 관한 것이다.

배경기술

[0002] 디바이스, 및 특히 이동 전화 등과 같은 모바일 디바이스 뿐만 아니라, 컴퓨터, 미디어 플레이어, PDA 등과 같은 다른 디바이스에 대해서는 하나 이상의 저 전력 모드를 지원하는 것으로 알려져 있다. 디바이스의 운영 체제는 전형적으로 활동이 존재하지 않을 때 디바이스가 저 전력 모드로 진입하도록 시도할 것이다. 전형적으로, OS는 스케줄링할 프로세스 또는 스레드(thread)가 존재하지 않을 때 호출되는 유휴 콜백 훅(idle call back hook)을 제공한다. 그 다음에 이 훅은 디바이스가 저 전력 모드로 진입하는 베이스 포트(base port) 또는 하드웨어 추상화 계층(abstraction layer)에 의해 사용될 수 있다.

[0003] 디바이스는 일반적으로 하나 이상의 저 전력 모드를 지원한다. 이들 모드에서 CPU는 웨이크 업 이벤트(wake up event)가, 전형적으로 인터럽트의 형태로, 프로세싱을 재개할 때까지 프로세싱 인스트럭션을 정지한다. 각각의 저 전력 모드에 대해 CPU에 의해 인터럽트 상태의 어서션(assertion)과 인스트럭션 실행의 재개 사이에서 유효 웨이크 업 기간이 통상 존재한다. 다수의 저 전력 모드가 지원될 때, 이 지연은 모드에 의해 제공된 절전 레벨에 통상 비례한다. 전력이 더 절약될수록, 웨이크 업 기간이 더 길어진다. 저 전력 모드는 통상적으로 클럭 및 전원의 게이팅(gating), 즉, 클럭 및 전원이 실행하는 것을 정지하는 것을 초래한다. 다수의 저 전력 모드가 지원될 때, 게이팅되는 클럭 또는 전원의 양은 주어진 모드에 의해 제공된 절전 레벨로 또한 증가한다.

[0004] 도 1은, 예를 들어, 이동 전화, 스마트폰, PDA, 미디어 플레이어, 컴퓨터, 또는 몇몇 다른 유사한 디바이스일 수 있는 예시적인 디바이스(10)를 도시한다. 단지 예시로서, 디바이스(10)는 RAM(108)과 연관된 CPU(110)를 포함한다. 베이스 포트 서브시스템, 즉, 디바이스의 하드웨어를 직접 제어하는 운영 체제의 일부인 RAM 제어기(118)는 RAM(108)을 제어하도록 제공된다. CPU, RAM 제어기, 및 RAM은 코어에 대한 전원이 되는 코어 전력 도메인(124)에 전력 공급되는 코어 도메인을 형성한다.

[0005] 추가적으로 이 예에서 병렬 인터페이스와 직렬 인터페이스 간에 데이터를 변환하도록 LCD 스크린(106), 키보드(104) 및 범용 비동기 수신기/송신기(universal asynchronous receiver/transmitter : UART)가 제공된다. 디바이스의 운영 체제에 대해 하드웨어 추상화 계층을 나타내는 베이스 포트 서브시스템은 이들 하드웨어와 각각 연관된다. 특히, LCD 스크린(106)에는 LCD 스크린(106)을 제어하도록, LCD 제어기(116)가 제공된다. 마찬가지로

로, 키보드 제어기(114)는 키보드(104)를 제어하도록 제공되고, UART 제어기(112)는 UART(10)를 제어하도록 제공된다. LCD 제어기(116), 키보드 제어기(114) 및 UART 제어기(112)는 운영 체제가 하드웨어와 인터페이스하도록 하기 위해, 베이스 포트 서브시스템, 즉, 디바이스의 하드웨어를 나타내는 운영 체제의 일부분을 나타낸다.

- [0006] LCD, UART 및 키보드는 그 각각의 제어기와 함께 디바이스의 주변 도메인의 모든 부분을 모두 형성하며, 주변 전력 도메인 전원 PER_PD(122)으로부터 전력이 공급된다. 이것은 코어 내의 CPU와 RAM에 전력을 공급하는 코어 전력 도메인 CORE_PD(124)와는 별도의 전력 도메인이다.
- [0007] 각종 디바이스 요소를 제어하도록 제공되는 전원에 부가하여, 디바이스 도메인은 적절한 클럭 신호가 공급되는 것에 또한 의존한다. 도 1은 각종 제어기에 제공되는 클럭을 도시하며, 특히 클럭이 서로에 대해 어떻게 의존하는지를 도시한다. 클럭의 의존성은 도 2의 "클럭 트리" 도면에 대해 보다 명백해질 것이다.
- [0008] 도 1 및 도 2를 함께 고려하면, 디바이스(10)는 모든 다른 클럭이 도출되는 마스터 클럭 신호를 제공하는 마스터 PLL(130)이 제공된다. 마스터 PLL(130)로부터의 클럭 신호로부터 RAM_CLK 신호를 도출하고, RAM_CLK 신호를 RAM 제어기(118)에 공급하는 RAM 클럭(140)이 제공된다. 마찬가지로, CPU 클럭(142)은 CPU(110)에 제공되는 신호 CPU_CLK를 생성한다.
- [0009] 주변 기기에 대해, 마스터 PLL 클럭으로부터 주변 클럭(132)이 직접 도출되어, 주변 클럭 신호 PER_CLK를 제공한다. 그 다음에 이것은 주변 기기의 각각에 대해 각각의 클럭에 의해 사용되어 개별적인 각각의 클럭 신호를 도출한다. 따라서, 예를 들어, LCD 제어기(116)에는 PER_CLK에 따라, LCD 클럭(134)에 의해 생성된 클럭 신호 LCD_CLK가 제공된다. 마찬가지로, 키보드 제어기(114)에는 키보드 클럭(138)로부터 클럭 신호 KB_CLK가 제공된다. KB_CLK는 PER_CLK로부터 도출된다. 마찬가지로, UART 제어기(112)에는 PER_CLK에 따라, UART 클럭(136)에 의해 생성된 클럭 신호 UART_CLK가 제공된다. 따라서, 종래 기술의 전형적인 디바이스에서, 각종 클럭이 각종 디바이스 요소에 의해 사용되지만, 기술된 바와 같이, 클럭은 전형적으로 계층적 배치에서 서로에 대해 의존한다는 것이 이해될 것이다.
- [0010] 언급된 바와 같이, 디바이스(10)에는 전형적으로 스케줄링될 프로세스 또는 스레드가 존재하지 않는 경우 디바이스의 운영 체제가 디바이스로 하여금 진입하도록 할 수 있는 하나 이상의 저 전력 모드가 제공될 수 있다. 도 3은 진입될 수 있는 예시적인 저 전력 모드 또는 절전 모드의 세부 사항을 제공하는 테이블, 및 각각의 절전 모드가 제공하는 디바이스의 클럭, 전력 도메인, 및 웨이크 업 시간에 대한 영향을 도시한다. 예를 들어, 로우(302)에서 절전 모드 "WAIT"는 최소로 적극적인 절전 모드로서, 전형적으로 디바이스에 대한 디폴트 모드이며, 클럭이 턴 오프되지 않고, 임의의 전력 도메인이 존재하지 않음을 의미한다. 디바이스에 대한 웨이크 업 시간은 매우 짧으며, 이 예에서 1 나노초이다.
- [0011] 그 다음의 가장 적극적 절전 모드인 "DOZE"는 로우(304)에 도시된 특성을 갖는다. 여기서, KB_VLK 신호, 즉, 키보드 클럭이 턴 오프되지만, 전력 도메인은 더 이상 턴 오프되지 않는다. CPU에 대한 웨이크 업 시간은 대략 300 나노초이다.
- [0012] 그 다음의 가장 적극적 절전 모드인 "LIGHT SLEEP"는 로우(306)에 도시된 특성을 갖는다. 여기서, PER_CLK 클럭 신호가 턴 오프되지만, 전력 도메인은 더 이상 턴 오프되지 않으며, 웨이크 업 시간은 대략 2000 나노초이다. PER_CLK 신호를 턴 오프하는 효과는 도 2의 계층적 배치를 고려하여, 모든 주변 클럭 LCD_CLK, KB_CLK 및 UART_CLK가 또한 디스에이블됨을 의미한다. 따라서, 각각의 주변 제어기가 동작을 위한 그들 각각의 클럭을 필요로 하면, "LIGHT SLEEP" 예시적인 절전 모드에서 이것은 가능하지 않다.
- [0013] 마지막으로 두 번째 절전 모드는 이 예에서 로우(308)로 도시된 "DEEP SLEEP"이다. 여기서, PER_CLK 클럭 신호가 턴 오프되며, 앞서 기술된 것과 동일한 영향 뿐만 아니라, RAM_CLK 신호를 RAM 제어기에 제공한다. 추가적으로, 주변 제어기에 전력을 공급하는 전력 도메인 PER_PD가 또한 턴 오프된다. 따라서, 디바이스의 웨이크 업 시간은 이 예에서 500,000 나노초보다 훨씬 길다.
- [0014] 마지막으로, 이 예에서 가장 적극적 절전 모드는 "CDMA"이며, 그 특성은 로우(310)에 도시되어 있다. 여기서, 마스터 PLL(130)이 턴 오프되며, 이는 이 예의 디바이스에서 모든 클럭이 디스에이블됨을 의미한다. 추가적으로, 전력 도메인 PER_PD가 턴 오프된다. 따라서, 웨이크 업 시간은 상대적으로 길며, 이 경우에 2백만 나노초이다. 상기 절전 모드 특성은 본 발명을 위해 단지 예시적인 것이라는 것에 주목하길 바란다. 본 발명의 실시 예에서 상이한 수의 절전 모드가 제공되며, 이들의 각각은 상이한 특성을 갖는다.

발명의 내용

해결하려는 과제

- [0015] 그러나, 일반적으로, 절전 모드의 사용은 배터리 전원 디바이스에 대한 중요한 요건으로서 전력이 절약될 수 있다는 장점을 제공하지만, 절전되는 메커니즘, 즉, 클럭 또는 전원을 게이팅하고, 긴 웨이크 업 시간을 제공하여 절전되는 메커니즘은 하드웨어 디바이스 제어기, 또는 다른 베이스 포트 서브시스템에 대해 부정적인 영향을 가질 수 있다. 특히, 2개의 문제가 방지될 필요가 있다.
- [0016] 1. 베이스 포트 서브시스템이 클럭 또는 전원을 이용하여 활성적이면, 유틸 콜백은 이 클럭 또는 전원을 게이팅할 저 전력 모드에 진입해서는 안 된다.
- [0017] 2. 추가적으로, 서브시스템이 긴 웨이크 업 시간을 허용할 수 없다면, 유틸 유틸 콜백을 서브시스템에 의해 부여된 한계보다 작은 웨이크 업 시간을 갖는 모드로 제한해야 한다.
- [0018] 예를 들어, UART 제어기(112)를 이용한다. 전형적으로 UART에서 데이터 라인 변경을 검출하는, 즉, 착신 데이터를 검출하는 기능은 클럭이 오프일 때에도 여전히 작용한다. 전형적으로 이 라인 상의 하강 에지는 인터럽트를 트리거할 수 있고 계속해서 슬리핑 CPU를 웨이크 업할 수 있다. UART에 대한 클럭은 캐릭터를 판독하는 데이터 라인을 샘플링할 수 있도록 하기 위해, 온으로 될 필요가 있다. 따라서, CPU가 저 전력 상태로 진입할 때, 이것이 데이터 라인을 토글함에 따라 UART에 도달하는 데이터 전송의 시작에 의해 어웨이킹될 수 있다. 그러나, UART 클럭이 충분히 신속하게 제차 인에이블되지 않으면, CPU가 웨이크 업된다 하더라도, UART에 전송된 캐릭터를 판독하는 것이 가능하지 않을 수 있다. 따라서, 제어기가 데이터를 수신할 수 있는 것으로 예상하는 시간 내내 UART 제어기(112)는 그 클럭 신호 UART_CLK가 제공될 것을 요구할 수 있다. 추가적으로, UART 제어기는 UART에서 수신된 데이터 전송의 속도에 따라, 데이터 라인으로부터의 CPU 웨이크 업 시간이 토글되고, CPU가 전체적으로 활성이 되는 최대 요건을 가질 수 있다.
- [0019] 클럭 이용 가능성 및 웨이크 업 시간에 대한 이러한 요건에 의해, UART 제어기(112), LCD 제어기(116), 키보드 제어기(114) 등과 같은 디바이스 제어기 요소를 포함하는 운영 체제가 저 전력 모드를 제공하는 새로운 디바이스(10)로 포트(port)되는 경우, 통상적으로는 디바이스 제어기 상의 저 전력 모드의 효과가 무시되거나, 또는 몇몇 경우에, 디바이스에 의해 제공된 저 전력 모드를 인지하기 위해, 디바이스 제어기가 포트되는 특정의 디바이스로 구체적으로 적용된다. 명확하게는, 저 전력 모드가 디바이스 플랫폼(10)에 의해 제공되는 것을 제어기가 이해하도록 하기 위해 디바이스 제어기 설계자 및 기록자의 일부분에 대해 많은 추가적인 설계 작업을 필요로 하므로, 이 상황은 이상적이지 않다. 이것은 제품 개발 시간 및 비용을 증가시킨다. 따라서 특정의 디바이스(10)에 대한 디바이스 드라이버의 이러한 맞추어진 적응이 요구되지 않는 경우에 유용하며, 이는 이러한 맞추어진 적응 단계를 수반하지 않고 운영 체제가 임의의 새로운 디바이스(10)로 포트되도록 한다. 이상적으로는, 예를 들어, UART 제어기(112), LCD 제어기(116), 키보드 제어기(114) 등과 같은 주변 디바이스 제어기는 디바이스 플랫폼(10)에 의해 제공된 저 전력 모드에 대한 어떠한 지식도 가질 필요가 없으며, 부정확한 저 전력 모드에 의해 영향 받지 않고, 정확하게 동작하는 것이 또한 가능하다. 본 발명의 실시에는 이러한 기능을 제공하기 위한 것이다.

과제의 해결 수단

- [0020] 본 발명의 실시에는 디바이스 드라이버 등과 같은 베이스 포트 서브시스템이 전원, 클럭 등과 같은 시스템 리소스 상에서 동작 제약을 등록하는 것 뿐만 아니라, 정확한 동작을 보증하기 위해 최대 허용 가능한 웨이크 업 시간을 지정하도록 하는 인터페이스를 제공하는 전력 관리 서브시스템을 제공한다. 이러한 동작 제약은 일단 등록되면, 전형적으로 가장 엄격한 제약을 결정하도록 소팅되고, 가장 엄격한 제약은 등록된 제약이 충족되면서 진입될 수 있는 가장 적절한 저 전력 모드를 결정하도록, 특정의 디바이스 플랫폼에 의해 제공된 각종 저 전력 모드의 특성에 매핑된다. 이러한 방식으로, 전력 관리 서브시스템을 갖는 디바이스는, 요구되는 경우, 디바이스 드라이버, 제어기 등과 같은 베이스 포트 서브시스템의 동작과 절충하지 않고, 적절하게 저 전력 모드를 또한 이용할 수 있다. 추가적으로, 전력 관리 서브시스템은 임의의 그에 맞추어진 테일러링(tailoring)을 필요로 하지 않고, 디바이스와 함께 사용될 수 있도록, 디바이스에 의해 제공된 저 전력 모드로부터 베이스 포트 서브시스템을 분리한다.

[0021] 상기의 관점에서, 본 발명의 제 1 측면은 복수의 시스템 리소스를 갖는 장치를 제공하며, 상기 시스템 리소스는 상기 장치의 다른 시스템 구성요소에 의해 이용되고, 상기 장치는 상기 시스템 리소스의 적어도 하나 이상이 적어도 부분적으로 디스에이블되어 절전하는 하나 이상의 저 전력 모드를 더 제공하며, 상기 장치는 상기 시스템 리소스를 이용하는 상기 다른 시스템 구성요소에 의해 설정된 시스템 리소스 동작 제약에 따라 저 전력 모드를 선택하고 구현하도록 배치된 전력 관리 서브시스템을 더 포함한다. 전력 관리 서브시스템의 제공은 앞서 언급된 장점을 제공하며, 즉, 시스템 구성요소 동작과 절충하지 않는 가장 적절한 저 전력 모드가 선택될 수 있고, 또한 특정의 장치에 의해 제공된 저 전력 모드의 특성의 특성으로 맞추어진 테일러링을 필요로 하지 않고, 시스템 구성요소가 규격품으로 사용될 수 있다.

[0022] 제 2 측면으로부터 본 발명은 복수의 시스템 리소스를 관리하는 방법을 제공하며, 상기 시스템 리소스는 다른 시스템 구성요소에 의해 이용되고, 상기 시스템 리소스는 상기 시스템 리소스의 적어도 하나 이상이 적어도 부분적으로 디스에이블되어 절전하는 적어도 하나의 저 전력 모드에 영향을 받으며, 상기 방법은 상기 시스템 리소스를 이용하는 상기 다른 시스템 구성요소에 의해 설정된 시스템 리소스 동작 제약에 따라 저 전력 모드를 선택하고, 상기 선택된 저 전력 모드를 구현하는 것을 포함한다. 상기 제 1 측면의 관점에서 기술된 것과 동일한 장점이 제 2 측면에서 획득된다.

[0023] 또한, 본 발명의 측면, 특징 및 장점은 상세한 설명 및 도면으로부터 명백할 것이다.

도면의 간단한 설명

[0024] 또한 본 발명의 특징 및 장점은 도면을 참조하여, 단지 예시로서 제공된 그 실시예의 상세한 설명으로부터 명백할 것이며, 동일한 참조 번호는 동일한 부분을 지칭하며, 도면에서

- 도 1은 본 발명의 실시예에 대한 배경 기술로서 기술된 디바이스 플랫폼(10)의 블록도이고,
- 도 2는 디바이스 플랫폼(10)에서 사용된 클럭 트리의 도면이며,
- 도 3은 디바이스 플랫폼(10)에서 사용된 절전 모드의 특성을 도시하는 테이블이고,
- 도 4는 본 발명의 제 1 실시예에 따른 디바이스의 블록도이며,
- 도 5는 본 발명의 실시예에 따른 디바이스에서 제공된 전력 관리 서브시스템의 요소의 블록도이고,
- 도 6은 본 발명의 실시예에 따른 전력 관리 서브시스템의 요소에 의해 수행된 단계를 도시하는 흐름도이며,
- 도 7은 본 발명의 실시예의 전력 관리 서브시스템의 다른 요소의 블록도이고,
- 도 8은 본 발명의 실시예의 전력 관리 서브시스템의 다른 요소에 의해 수행된 단계를 도시하는 흐름도이며,
- 도 9는 본 발명의 실시예의 전력 관리 서브시스템의 다른 요소의 블록도이고,
- 도 10은 본 발명의 실시예의 전력 관리 서브시스템의 다른 요소에 의해 수행된 단계를 도시하는 흐름도이며,
- 도 11은 본 발명의 실시예의 전력 관리 서브시스템에서 사용된 전력 모드 제어기의 블록도이고,
- 도 12는 도 11의 전력 모드 제어기에 의해 수행된 단계를 도시하는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 상기 배경 기술에 대해 행해진 예시적인 디바이스 플랫폼(10)의 상기 설명에 근거하여, 본 발명의 실시예가 이하 설명될 것이다. 그러나, 이러한 상세한 설명을 이해하기 이전에, 본 발명의 실시예의 설명에 대한 간략한 개요가 다음에 제공된다.

[0026] 본 발명의 실시예는 운영 체제가 포트되는 디바이스 상에서 전력 관리 서브시스템을 제공하며, 이 서브시스템은 디바이스가 입력할 수 있는 임의의 저 전력 모드에서 어느 하드웨어 또는 다른 시스템 리소스가 계속해서 동작될 필요가 있는지를 디바이스 드라이버 및 UART 제어기(412)와 같은 제어기가 등록하도록 한다. 예를 들어, 디바이스 드라이버 또는 제어기는 각각, 예를 들어, 그 동작을 위해 어느 클럭이 요구되는지, 어느 전원이 요구되는지, 및 유용하게 허용할 수 있는 어느 최대 웨이크 업 시간이 존재하는지에 관해, 전력 관리 서브시스템으로 제약을 개별적으로 등록할 수 있다. 각각의 디바이스 드라이버 또는 제어기는 단지 하나의 특성의 제약 카테고리

리에서, 즉, 클럭이 요구되는 카테고리에서 제약을 등록할 수 있거나, 또는 몇몇 카테고리에서 제약을 등록할 수 있다. 전력 관리 서브시스템은 제어기 및 드라이버가 이러한 제약을 등록할 수 있는 인터페이스를 제공한다.

[0027] 각각의 제약 유형에 대해, 예를 들어, 전력 도메인 또는 클럭에 대해 등록된 이러한 제약에 의해, 제약 처리기 유닛이 제공되며, 이는 디바이스 드라이버 및 제어기와 같은 베이스 포트 서브시스템에 의해 등록된 제약을 추적하고, 등록된 제약에서 설정된 조건과 디바이스 플랫폼에 의해 제공된 각종 저 전력 모드의 특성을 비교한다. 처리기 유닛은 모든 등록된 제약을 충족하는 가장 적극적인 저 전력 모드를 선택한다. 이것은 각각의 상이한 제약 유형에 대한 것일 수 있으며, 그 제약 유형에 대한 각각의 처리기는 등록된 정확한 제약에 따라, 다른 제약 유형에 대한 처리기와 상이한 저 전력 모드를 선택할 수 있다.

[0028] 디바이스가 저 전력 모드로 진입하도록 하기 위해 운영 체제 스케줄러로부터 인스트럭션을 수신하는 전력 관리 서브시스템에 전체 전력 모드 제어기가 제공된다. 그 다음에 전력 모드 제어기는 현재 등록된 제약에 근거하여 어느 저 전력 모드가 제공할 수 있는지를 판정하기 위해 개별적인 제약 처리기를 폴링한다. 각종 제약 처리기로부터 복귀되는 전력 모드 중에서, 선택된 전력 모드에 따라, 예를 들어, 클럭 및 전력 도메인과 같은 디바이스 플랫폼의 하드웨어를 제어하는 전력 모드 제어기에 의해 최소로 적극적인 전력 모드가 선택된다. 최소로 적극적인 전력 모드는 디바이스 드라이버 및 제어기에 의해 등록된 모든 제약이 충족될 수 있도록 선택된다.

[0029] 이러한 방식으로 디바이스 플랫폼은, 가능하다면, 저 전력 모드를 또한 사용하여, 예를 들어, 배터리 수명을 연장시킬 수 있으나, 현재 활성화된 디바이스 드라이버 및 제어기와 같은 베이스 포트 서브시스템의 필요성이 또한 충족되고, 이에 따라 디바이스의 정확한 동작이 보장될 수 있다. 또한, 전력 관리 서브시스템은 디바이스 드라이버 및 제어기 제약 조건을 디바이스에 의해 제공된 전력 모드와 매칭하도록 동작하므로, 개별적인 베이스 포트 서브시스템은 디바이스 플랫폼에 의해 제공된 전력 모드에 대한 어떠한 지식도 가질 필요가 없다. 그 대신에, 베이스 포트 서브시스템이 제약을 등록하도록 하기 위해, 이들이 인지할 필요가 있는 것은 전력 관리 서브시스템에 대한 인터페이스이다. 이것은 특히 디바이스 플랫폼에 의해 제공된 전력 관리 모드를 인지하도록 베이스 포트 서브시스템에 대한 필요성을 제거함으로써, 운영 체제 또는 임의의 다른 베이스 포트 서브시스템의 디바이스 드라이버 및 제어기에 대해 맞추어진 적응을 수행하고, 특정의 디바이스 플랫폼에 의해 제공된 특정의 전력 모드로 이들 구성요소를 테일러링할 필요 없이, 임의의 디바이스 플랫폼 상으로 운영 체제를 포팅하는 것이 보다 용이해진다는 장점을 갖는다. 따라서, 새로운 디바이스 플랫폼과의 현재의 운영 체제의 통합이 보다 용이하게 수행될 수 있다.

[0030] 상기 개요를 염두하여, 바람직한 실시예의 상세한 설명은 단지 예시로서 제공되며, 이제 도 4 내지 도 12에 대해 설명될 것이다.

[0031] 도 4는 본 발명의 실시예에 따른 디바이스(40)를 도시한다. 디바이스(40)는, 예를 들어, 이동 전화, PDA, 미디어 플레이어, 컴퓨터 등일 수 있다. 디바이스는 CPU(410) 및 RAM(408)을 갖는 코어를 포함한다. RAM 제어기(418)는 RAM(408)에서 데이터의 판독 및 데이터의 기록을 제어하도록 제공된다. RAM 제어기(418)는 도시되지 않은 디바이스에 대한 운영 체제의 하드웨어 추상화 계층의 일부분을 형성한다. 또한 LCD 스크린(406) 및 대응하는 LCD 제어기(416)이 제공되며, 이 LCD 제어기(416)는 적절한 디바이스 드라이버이며, 디바이스(40)의 운영 체제가 LCD 스크린(406)을 제어하도록 한다. 마찬가지로, UART 제어기(412)와 연관된 범용 비동기 수신기/송신기(UART)(402)가 제공되며, 운영 체제의 하드웨어 추상화 계층의 일부분을 또한 형성한다. 마지막으로, 키보드 제어기(414)와 연관된 키보드(404)가 제공되며, 하드웨어 추상화 계층의 일부분을 또한 형성한다. 또한, 기술된 하드웨어 요소 및 그 연관된 제어기에 부가하여, 하드웨어 요소 및 그 제어기를 제공하고, 그에 대해 클럭 신호를 제공하도록 각종 전원 및 클럭이 제공된다. 본 발명에 따른 예시적인 디바이스(40)에서, 전력 도메인과 클럭은 도 1의 예시적인 플랫폼 디바이스(10)에 대해 앞서 기술된 것과 동일하다. 이와 같이, 전원 및 클럭은 도 4에 도시되어 있지 않다.

[0032] 본 발명에 따라 실시예가 동작하도록 하는 실시예에서 전력 관리 서브시스템(42)이 추가적으로 제공된다. 전력 관리 서브시스템(42)은 이하 기술되는 바와 같이, 제약을 등록하기 위해, 디바이스 드라이버 및 제어기와 같은 베이스 포트 서브시스템이 통신할 수 있는 인터페이스를 제공하는 전력 모드 제어기(426)를 포함한다. 전력 모드 제어기(426)는 제약 값이 등록될 수 있는 상이한 유형의 제약을 추적하는 처리기 레지스터(430)와 또한 통신한다. 추가적으로 개별적인 제약 처리기가 제공되며, 이 경우에 베이스 포트 서브시스템이 임의의 저 전력 모드에서 계속해서 동작하도록 어느 클럭이 요구되는지에 관해 등록된 제약을 추적하는 클럭 제약 처리기(428)가 제공된다. 추가적으로 베이스 포트 서브시스템에 의해 생성된 디바이스의 허용 가능한 최대 웨이크 업 시간에

관한 등록된 제약을 추적하는 최대 웨이크 업 시간 처리기(422)가 제공된다. 마찬가지로, 임의의 저 전력 모드에서 동작을 계속하도록 어느 전력 도메인이 요구되는지에 관해 등록된 제약을 추적하는 전력 도메인 처리기(424)가 또한 제공된다. 처리기의 각각은 전력 모드 제어기(426)와 개별적으로 통신한다. 추가적으로, 전력 모드 제어기(426)는 저 전력 모드가 입력될 스케줄러로부터 인스트럭션을 수신하도록 (도시되지 않은) 디바이스의 운영 체제 스케줄러에 의해 제어된다. 전력 모드 제어기(426)는 클럭 및 도메인을 게이팅하여 저 전력 모드에 진입될 수 있도록 하기 위해, 각종 클럭 및 전력 도메인과 또한 통신한다.

[0033] 도 5는 최대 웨이크 업 시간 처리기(422)의 내부 구성요소를 보다 상세하게 도시한다. 특히, 최대 웨이크 업 시간 처리기(422)는 도 5에 도시된 바와 같이, 최대 웨이크 업 값 리스트(450)를 포함한다. 여기서, 리스트는 제약을 등록한 베이스 포트 서브시스템의 IDs인 클라이언트 IDs를 제 1 컬럼에서 포함하는 테이블을 포함한다. 테이블 내의 제 2 컬럼은 등록된 실제의 제약을 나타낸다. 따라서, 예를 들어, 도 5에서, 클라이언트 ID UART-C에 의해 나타내어진 UART 제어기(412)가 자신이 허용할 수 있는 그 최대 허용 가능한 웨이크 업 값이 350 나노초라는 제약을 최대 웨이크 업 시간 처리기(422)로 등록하였음을 알 수 있다. 마찬가지로, 클라이언트 ID LCD_C에 의해 식별된 LCD 제어기는 최대 웨이크 업 값이 180만 나노초라는 제약을 등록하였다. 최대 웨이크 업 시간에 관한 제약은 전력 모드 제어기에 의해 그에 제공된 인터페이스를 통해 클라이언트 베이스 포트 서브시스템으로부터 수신될 때 최대 웨이크 업 값 리스트(450)에 저장된다. 새로운 제약 값이 튜플(tuple) 형태(클라이언트 ID, 최대 웨이크 업 시간 값)로 수신될 때, 클라이언트 ID가 리스트에 이미 존재하는 경우, 클라이언트 ID 및 웨이크 업 값이 리스트에 추가된다. 클라이언트 ID가 리스트에 이미 존재하는 경우, 이전에 저장된 값 대신에 새로운 웨이크 업 값이 저장된다. 따라서, 임의의 시점에서, 단지 하나의 최대 웨이크 업 시간 제약 값이 임의의 클라이언트 ID에 대해 저장된다.

[0034] 변경이 행해질 때마다, 최대 웨이크 업 값 리스트(450)를 소팅하도록 동작하는 리스트 소터(list sorter)(452)가 또한 제공된다. 저 전력 모드 계산기(454)는 소팅된 리스트를 수신하고, 디바이스에 의해 제공된 각종 전력 모드의 특성을 제공하는 전력 모드 데이터(456)가 또한 제공된다. 따라서 전력 모드 데이터(456)는, 예를 들어, 앞서 기술된 도 3에서 설정된 데이터를 나타내며, 디바이스 플랫폼(40)에 의해 제공된 각각의 절전 모드의 특성을 제공한다. 전력 모드 데이터, 및 소팅된 리스트로부터, 저 전력 모드 계산기(454)는 어느 것이 최대 웨이크 업 시간 처리기(422)로 등록되는 최대 웨이크 업 제약 값을 충족하는 가장 적절한 저 전력 모드인지를 결정할 수 있고, 이 정보를 전력 모드 제어기에 다시 제공할 수 있다.

[0035] 도 6은 최대 웨이크 업 시간 처리기(422)의 각종 구성요소의 동작을 도시하는 흐름도이다.

[0036] 보다 구체적으로, 단계(6.2)에서 최대 웨이크 업 시간 처리기(422)는 튜플 형태(클라이언트 ID, 값)의 제약이 최대 웨이크 업 값 리스트로 등록되거나, 또는 그로부터 소거되도록 하는 인스트럭션을 전력 모드 제어기(426)로부터 수신한다. 이러한 관점에서, 앞서 기술된 바와 같이, 전력 모드 제어기(426)는 베이스 포트 서브시스템에 대한 인터페이스를 제공하여, 제약이 등록되거나 또는 소거될 때 이들이 전력 관리 서브시스템에 대해 표시하도록 한다. 전형적으로, 드라이버 또는 제어기가 먼저 활성화되는 경우, 예를 들어, 먼저 메모리에 로딩되는 경우, 디바이스 드라이버 또는 제어기와 같은 베이스 포트 서브시스템은 제약을 등록한다. 드라이버 또는 제어기가 비활성화되는 경우, 예를 들어, 메모리로부터 언로딩되는 경우, 그 등록된 제약이 소거될 수 있음을 표시하도록 전력 관리 서브시스템에 대한 인터페이스를 사용한다.

[0037] 단계(6.4)에서, 전력 모드 제어기로부터 등록 또는 소거 인스트럭션을 수신하면, 최대 웨이크 업 시간 처리기는 최대 웨이크 업 값 리스트(450)에 대한 정정을 수행하며, 즉, 여기서 클라이언트 ID는 현재 리스트에 포함되지 않고, 클라이언트 ID는 표시된 웨이크 업 값과 함께, 리스트에 추가된다. 클라이언트 ID가 이미 리스트에 존재하는 경우, 리스트 내의 웨이크 업 값이 새롭게 수신된 값으로 업데이트된다. 제약이 소거되는 경우, 클라이언트 ID에 관한 제약은 리스트로부터 간단히 소거된다.

[0038] 최대 웨이크 업 값 리스트(450)에 대해 임의의 변경이 발생할 때마다, 리스트 소터(452)가 등록된 최대 웨이크 업 값의 순서로 위치하도록 리소팅하는 것이 필요하다. 이것은 단계(6.6)에서 리스트 소터(452)에 의해 수행된다.

[0039] 이후, 모든 리스트 소팅 이후에, 저 전력 모드 계산기(454)는 리스트를 주시하고, 단계(6.8)에서 가장 작은 최대 웨이크 업 값을 결정한다. 도 5에 도시된 예시적인 리스트에서, 이것은 UART 제어기(412)에 대해 등록된 350 나노초의 최대 웨이크 업 값이다.

[0040] 가장 작은 최대 웨이크 업 값을 결정하면, 단계(6.10)에서 저 전력 모드 계산기는 가장 작은 최대 웨이크 업 값

을 저 전력 모드 데이터(456)에 매핑하고, 단계(6.12)에서 가장 작은 최대 웨이크 업 값의 제약을 충족하는 최소 전력 모드를 결정한다. 따라서, 예를 들어, 전력 모드가 도 3의 테이블에 도시된 특성을 갖는 경우, 이 예에서 가장 작은 최대 웨이크 업 값이 350나노초인 경우, 이 요건을 충족하는 저 전력 모드가 단지 "WAIT" 및 "DOZE"의 모드라는 것을 알 수 있다. 이 경우에 "DOZE" 절전 모드가 가장 적극적인 절전 모드이고, 즉, 가장 큰 절전을 제공하고, 이에 따라 단계(6.14)에서 이것은 최소 전력 모드로서 복귀된다. 저 전력 모드 계산기(454)는 전형적으로 이에 대해 폴링될 때, 결정된 최소 전력 모드를 전력 모드 제어기에 복귀한다.

[0041] 따라서, 최대 웨이크 업 시간 처리기(422)는 최대 웨이크 업 시간 제약을 충족하는 가장 적극적인 저 전력 모드를 결정하기 위해, 최대 웨이크 업 시간에 관한 제약이 전력 관리 서브시스템으로 등록되고, 전력 모드 데이터와 비교될 수 있는 메커니즘을 제공한다.

[0042] 이제 도 7을 참조하면, 도 7은 클럭 처리기(428)의 내부 구성요소를 도시한다. 클럭 처리기(428)는 앞서 기술된 최대 웨이크 업 시간 처리기(422)와 유사한 기능을 제공하지만, 이 경우에 베이스 포트 서브시스템이 어느 클럭을 요구하는지에 관한 제약을 등록한다. 이를 위해, 클럭 처리기(428)는 클라이언트 베이스 포트 서브시스템이 요구하는 클럭의 리스트가 포함되고, 클라이언트 ID에 의해 인덱싱되는 클라이언트 클럭 리스트(460)를 포함한다. 디바이스 드라이버 및 제어기와 같은 베이스 포트 서브시스템은 그 요구된 클럭에 관한 제약을 등록하도록 전력 모드 제어기에 의해 제공된 인터페이스를 사용한다. 전력 모드 제어기에 튜플 형태(클라이언트 ID, CLK 리스트)를 전달하며, 여기서 "CLK 리스트"는 드라이버 또는 제어기가 요구하는 클럭의 리스트이다. 전력 모드 제어기(426)는 클라이언트 클럭 리스트(460)에 제약을 등록하는 클럭 처리기(428)에, 수신된 제약 데이터를 전달한다.

[0043] 클라이언트 클럭 리스트(460)가 새로운 제약을 등록하고, 현재의 제약을 정정하거나, 현재의 제약을 소거함으로써 업데이트될 때마다, "요구된 클럭 리스트"(466)인 제 2 리스트가 또한 업데이트된다. 요구된 클럭 리스트는 클라이언트 클럭 리스트(460)로부터 도출되며, 일단 단지 요구된 클럭 리스트에서 제공되면, 클라이언트 클럭 리스트(460)에 등록되는 모든 개별적인 클럭의 간단한 리스트이다. 따라서, 예를 들어, 키보드 제어기와 LCD 제어기는 마스터_PLL 및 PER_CLK이 동작하도록 요구하지만, 이들 클럭 식별자는 일단 요구된 클럭 리스트(466)에 단지 포함된다.

[0044] 저 전력 모드 계산기(462)는 전력 모드 데이터(464)와 함께, 클럭 처리기(428)에 또한 제공되며, 이는 디바이스 플랫폼(40)에 의해 제공된 각종 전력 모드의 특성을 또한 나타낸다. 저 전력 모드 계산기(462)는 등록된 클럭 제약을 충족하는 가장 적극적인 저 전력 모드를 결정하기 위해, 요구된 클럭 리스트(466)에서 설정된 클럭을 전력 모드 데이터(464)와 비교한다. 결정된 저 전력 모드는 전력 모드 제어기(426)에 다시 전달된다.

[0045] 도 8은 클럭 처리기(428)의 동작을 보다 상세하게 도시한다. 여기서, 단계(8.2)에서 클럭 처리기(428)가 튜플 형태(클라이언트 ID, CLK 리스트)의 제약 데이터를 수신하는 경우, 단계(8.4)에서 클라이언트 클럭 리스트(460)로부터 수신된 제약을 등록하거나 또는 소거한다. 최대 웨이크 업 시간 처리기(422)에 대해 앞서 기술된 바와 같이, 디바이스 드라이버 및 제어기와 같은 베이스 포트 서브시스템은 전형적으로 이들이 먼저 활성화될 때 클럭 제약을 등록하고 이들이 비활성화될 때 제약이 소거되도록 요청한다. 이러한 방식으로, 제약의 영향이 최소화되며, 가장 적절한 저 전력 모드가 항상 획득될 수 있다.

[0046] 단계(8.6)에서 클라이언트 클럭 리스트(460)가 변경된 경우, 요구된 클럭 리스트(466)는 제약 리스트 표시가 온이 되도록 요구되는 개별적인 클럭의 IDs를 포함하도록 업데이트된다. 단계(8.9)에서 저 전력 모드 계산기(462)는 요구된 클럭 리스트(466)를 저 전력 모드 데이터(464)에 매핑하고, 단계(8.10)에서 최소 전력 모드를 결정한다. 따라서, 예를 들어, 도 7의 예에서, 도 3으로부터 모든 클럭이 요구되는 경우, 모든 클럭이 활성화인 이 요건을 충족하는 저 전력 모드만이 "WAIT" 모드인 것을 알 수 있다. 단계(8.12)에서 결정된 최소 전력 모드는 전력 모드 제어기(426)에 복귀된다.

[0047] 따라서 클럭 처리기(428)는 베이스 포트 서브시스템에 의해 어느 클럭이 요구되는지에 관해 제약이 등록될 수 있고, 디바이스(40)에 의해 제공된 이용 가능한 저 전력 모드 중 어느 것이 사용되지를 결정하도록 사용될 수 있는 메커니즘을 제공한다.

[0048] 도 9 및 도 10은 전력 도메인 처리기(424)의 동작을 도시한다. 이러한 관점에서, 전력 도메인 처리기(424)의 동작은 클럭 처리기(428)의 동작과 매우 유사하다. 클라이언트 ID에 의해 인덱싱된 디바이스 베이스 포트 서브시스템에 의해 등록된 개별적인 제약을 포함하는 클라이언트 전력 도메인 리스트(470)가 내부에 저장된다. 따라서, 예를 들어, RAM 제어기는 코어 전력 도메인이 활성을 유지해야 하는 것을 등록하였음을 알 수 있으며, 여

기서 LCD 제어기는 PER_PD가 활성으로 유지해야 하는 것을 등록하였다.

- [0049] 클라이언트 PD 리스트(470)로부터 단지 이들 고유의 전력 도메인 IDs를 포함하는 요구된 PD 리스트(476)가 도출된다. 이 경우에 전력 도메인 PER_PD 및 CORE_PD가 포함된다. 저 전력 모드 계산기(472)는 요구된 PD 리스트(476)를 사용하고 이를 저장된 전력 모드 데이터(474)에 대해 비교하여 그로부터 최소 전력 모드를 결정한다. 결정된 최소 전력 모드는 전력 모드 제어기(426)에 복귀된다. 그러나, 동작은 앞서 기술된 도 8의 동작과 거의 동일하다는 것을 알 수 있을 것이므로, 동작의 설명이 반복되지 않을 것이다.
- [0050] 전력 도메인 처리기(44)는 어느 전력 도메인이 동작 유지되어야 하는지의 관점에서 베이스 포트 서브시스템에 의해 제약이 등록될 수 있고, 사용될 수 있는 가장 적절한 모드를 결정하도록 디바이스(40)에 의해 제공된 개별적인 저 전력 모드에 이들 제약이 매핑될 수 있는 메커니즘을 또한 제공한다. 도 9에 도시된 예에서, PER_PD 및 CORE_PD 전력 도메인이 매핑되고, 도 3을 참조하여, 어느 전력 도메인도 턴 오프되지 않는 가장 적극적인 절전 모드에서와 같이, 이 요건을 지원하는 가장 적극적인 저 전력 모드가 "LIGHT SLEEP" 모드임을 알 수 있다.
- [0051] 따라서, 앞서 기술된 바와 같이, 개별적인 제약 처리기는 디바이스 플랫폼(40)에 의해 제공된 저 전력 모드 중 어느 것이 베이스 포트 서브시스템에 의해 각각의 처리기로 등록된 제약을 충족하는지를 표시하는 전력 모드 제어기 정보로 각각 복귀한다. 전력 모드 제어기(426)는 각각의 처리기에 의해 복귀된 최소 전력 모드 정보를 최소 전력 모드 리스트(498)에 저장하고, 이 리스트로부터 운영 체제 스케줄러가 저 전력 모드에 진입하는 디바이스를 요청하는 경우 임의의 특징의 시점에서 어느 전력 모드가 사용될 수 있는지를 결정한다. 이러한 관점에서, 상이한 제약 처리기에 의해 복귀된 상이한 최소 전력 모드의 상이한 유형의 상이한 등록된 제약의 전부에 충족하기 위해, 최소로 적극적인 모드가 선택되어야 한다. "최소로 적극적인"이란 전력을 가장 덜 절약하는 전력 모드를 의미한다. 도 11에 도시된 예에서, 최소 전력 모드 리스트(498)는 최소 전력 모드 "DOZE", "WAIT" 및 "LIGHT SLEEP"를 표시하며 모드 "WAIT"는 최소로 적극적인 모드로서 선택된다. 이 예에서, 단지 이 모드만이 제약 처리기의 전부로 등록된 상이한 제약의 전부를 충족한다.
- [0052] 도 11을 참조하면, 전력 모드 제어기(426)는 클럭 및 전력 도메인 제어기(496), 전력 모드 특성 데이터(494) 및 제약 인터페이스(492)를 포함한다. 제약 인터페이스(492)는 전력 모드 제어기(426)가 제약 처리기와 통신하도록 한다. 추가적으로 전력 모드 제어기(426)가 처리기 레지스터(430)와 인터페이스하도록 하는 처리기 레지스터 인터페이스(490)가 제공된다. 클럭 및 전력 도메인 제어기(496)는 제어 신호를 클럭 및 전력 도메인에 또한 전송하고, 특히 요구되는 경우 클럭 및 전력 도메인을 게이팅하기 위해 신호를 인에이블 또는 디스에이블한다. 추가적으로, 제어기(496)는 저 전력 모드에 진입하도록 OS 스케줄러로부터 인스트럭션을 수신하고, 이에 따라 작용한다.
- [0053] 전력 모드 제어기(426)의 동작은 도 12에 도시되어 있다. 여기서, 전력 관리 서브시스템(42)은, 예를 들어, 프로세스될 또 다른 프로세스 또는 스레드가 존재하지 않으므로 저 전력 모드가 바람직한 디바이스 운영 체제 스케줄러(도시되지 않음)로부터 신호가 수신되는 경우 디바이스(40)가 저 전력 모드로 진입하도록 동작한다. 단계(12.2)에서 전력 모드 제어기(426)는 클럭 및 전력 도메인 제어기(496)에서 내부적으로 이러한 신호를 수신한다. OS 스케줄러로부터 수신되는 이러한 신호에 응답하여, 단계(12.4)에서 클럭 및 전력 도메인 제어기(496)는 처리기 레지스터(430)에 질의하도록 처리기 레지스터 인터페이스(490)를 제어한다. 단계(12.6)에서 처리기 레지스터(430)는 제약 처리기 IDs의 리스트를 복귀하고, 클럭 및 전력 도메인 제어기(496)는 이들 제약 처리기 IDs를 제약 인터페이스(492)에 전달한다.
- [0054] 단계(12.8)에서, 제약 인터페이스(492)는 각각의 제약 처리기로 등록된 제약이 허용할 최소 전력 모드의 표시를 각각의 처리기로부터 획득하기 위해 제약 처리기에 질의한다. 따라서, 예를 들어, 제약 인터페이스(492)는 각각의 처리기가 현재 등록된 제약에 근거하여, 현재 계산한 최소 전력 모드를 전력 모드 제어기(426)에 복귀하도록, 최대 웨이크 업 시간 처리기(422), 전력 도메인 처리기(424) 및 클럭 처리기(428)의 각각에 질의한다. 단계(12.10)에서, 각각의 제약 처리기로부터 복귀된 최소 전력 모드 정보는 최소 전력 모드 리스트(498)에 저장된다. 다음에, 단계(12.12)에서, 클럭 및 전력 도메인 제어기(496)는 최소 전력 모드 리스트(498)를 주시하고, 이용 가능한 최소 전력 모드의 리스트로부터 최소로 적극적인 최소 전력 모드를 선택한다. 앞서 언급된 바와 같이, 최소로 적극적인 최소 전력 모드를 선택함으로써, 상이한 유형의 모든 제약이 충족되도록 보장될 수 있다. 구현할 적절한 저 전력 모드를 선택하면, 단계(12.14)에서, 클럭 및 전력 도메인 제어기(496)는 클럭 및 전력 도메인을 제어함으로써, 선택된 최소 전력 모드를 구현하도록 작용한다. 특히, 클럭 및 전력 도메인 제어기(496)는 선택된 전력 모드의 프로파일에 따라 게이팅되는 특징의 클럭 및 전력 도메인에 디스에이블 신호를 전송한다.

- [0055] 따라서, 앞서 기술된 바와 같이, 본 발명의 실시예에는 이동 전화와 같은 배터리 동작 디바이스에 대한 중요한 요건에 대해, 절전되도록 선택될 가장 적절한 저 전력 모드를 허용하지만, 임의의 베이스 포트 서브시스템이 정확하게 동작하도록 요구하는 하드웨어 리소스에 관한 제약을, 이들 베이스 포트 서브시스템이 전력 관리 서브시스템에 의해 제공된 인터페이스를 통해 등록하도록 함으로써, 각종 베이스 포트 서브시스템의 정확한 동작이 보장될 수 있음을 의미한다. 또한, 전력 관리 서브시스템의 제공은, 예를 들어, 드라이버 또는 제어기인 각각의 베이스 포트 서브시스템이 디바이스 플랫폼에 의해 제공된 개별적인 저 전력 모드에 관한 어떠한 것도 인지할 필요가 없다는 점에서, 임의의 특정의 디바이스 플랫폼(40)에 의해 지원된 상이한 전력 모드로부터 베이스 포트 서브시스템을 효과적으로 분리한다. 그 대신에, 각각의 베이스 포트 서브시스템은 전력 관리 서브시스템 인터페이스를 사용하여 제약을 등록하도록 하는 기능만을 가질 필요가 있다. 따라서, 운영 체제가 새로운 디바이스 플랫폼에 포팅될 때, 디바이스 플랫폼에 전력 관리 서브시스템이 제공되면, 디바이스 드라이버 및 제어기와 같은 현재의 베이스 포트 서브시스템은 디바이스 플랫폼에 의해 제공된 저 전력 모드를 고려하도록 적응시킬 필요 없이, 새로운 디바이스 플랫폼 상에서 사용될 수 있다. 이것은 많은 비용 절감을 제공하고 현재의 운영 체제와 함께 통합될 새로운 디바이스 플랫폼이 이전의 경우보다 신속하게 완전한 제품을 제공할 수 있도록 한다.
- [0056] 추가적으로, 가장 저 전력 모드가 등록된 제약에 따라 진입하는 것을 결정하기 위해 전력 관리 서브시스템에 의해 제공된 메커니즘은 본질적으로 반복적이지 않은 프로세스이기 때문에 장점을 갖는다. 개별적인 제약 처리기는 현재 등록된 바와 같은 제약에 따라 그 최소 전력 모드를 일정하게 업데이트한다. 이것은 전력 관리 서브시스템이 운영 체제 스케줄러에 의해 새로운 전력 모드로 진입하도록 지시되는 경우, 전력 모드 제어기(426)는 그들 각각의 제약을 충족하는 가장 적절한 저 전력 모드를 제약 처리기로부터 즉시 획득할 수 있고, 이로부터 전체적으로 선택되어야 하는 최소 전력 모드를 매우 간단하게 결정할 수 있다. 따라서, 저 전력 모드로 진입할 것을 요청하는 스케줄러와, 적절한 저 전력 모드의 선택과 진입 사이에 매우 적은 지연이 존재한다.
- [0057] 또한, 전력 관리 서브시스템은 현재 등록된 제약의 리스트를 유지하고, 리스트 내의 변경에 따라 그로부터 복귀된 그 최소 전력 모드를 업데이트함에 있어 처리기의 동작에 의해, 베이스 포트 서브시스템이, 예를 들어, 메모리로부터 언로딩되는 것과 같이 비활성화될 때마다, 바람직하게는 베이스 포트 서브시스템에 대한 제약 처리기로 등록된 임의의 제약이 유지된 제약 리스트로부터 소거되어(또는 달리 무시되어), 최소 전력 모드가 업데이트된다. 이 측면에 대해 보다 명확하게 설명할 것이다.
- [0058] 도면에 대해 앞서 기술된 예시적인 동작 시에, 도면에 도시된 리스트에서의 등록된 제약으로 인해, 저 전력 모드의 활성화 시에 선택된 최소 전력 모드는 "WAIT" 모드이다. 이것은 클럭 처리기(428)가 그의 제약이 지원할 수 있는 최소 전력 모드임을 표시하였기 때문이다(도 11 참조). 이러한 이유는 키보드 제어기가 클럭 처리기로 제약을 등록하여, KB_CLK 클럭이 활성화로 될 것을 요구하기 때문이다. 그러나, 키보드 제어기(414)가, 예를 들어, 키보드가 사용되지 않는 경우에 메모리로부터 언로딩되는 것과 같이 비활성화되는 경우, 클라이언트 클럭 리스트(460) 내의 키보드 제어기에 의해 등록된 제약이 그로부터 소거될 것이다. 이것은 요구된 클럭 리스트로부터 KB_CLK 클럭 신호를 소거하기 위해, 요구된 클럭 리스트(406)가 업데이트되도록 할 것이다. 이제 저 전력 모드 특성을 표시하는 도 3을 참조하면, KB_CLK 클럭이 더 이상 요구되지 않는 경우, 요구된 클럭 리스트를 또한 충족하는 가장 적극적인 저 전력 모드는 "DOZE" 모드가 된다. 따라서, 클럭 처리기(428)는 질의되는 경우, 전력 모드 제어기에 대한 그 최소 전력 모드로서 "DOZE" 전력 모드를 복귀한다. 최대 웨이크 업 시간 처리기(422) 및 전력 도메인 처리기(424)가 이전의 전력 모드와 동일한 최소 전력 모드로 복귀한다고 가정하여, 운영 체제 스케줄러가 저 전력 모드에 진입되도록 요구하는 경우 클럭 처리기(428)로부터의 복귀된 최소 전력 모드의 변화는 전력 모드 제어기(426)가 "DOZE" 절전 모드를 선택하도록 한다. 따라서, 제약 처리기를 구비함으로써 등록된 제약에 따라 최소 전력 모드를 업데이트하고, 특히 제약을 등록한 베이스 포트 서브시스템이 더 이상 활성이 아닌 경우, 제약이 소거하거나 또는 달리 무시되도록 함으로써, 가장 적절한 저 전력 모드가 반복적으로 및 적응적으로 선택될 수 있다.
- [0059] 본 발명의 다른 실시예를 제공하기 위해 상기 기술된 실시예에 대해 각종 변경 및 변형이 행해질 수 있다. 예를 들어, 실시예에서 본 발명자는 LCD 제어기, UART 제어기, 키보드 제어기 및 RAM 제어기의 관점에서 베이스 포트 서브시스템을 기술하였으나, 의도된 관독자에게는 각종 다른 베이스 포트 서브시스템이 사용될 있음이 용이하게 명백해질 것이다. 예를 들어, 디바이스 드라이버 또는 제어기인 각각의 베이스 포트 서브시스템은 전력 관리 서브시스템에 의해 제공된 인터페이스를 통해 활성화되는 경우 자신의 제약을 등록하도록 적응되는 것이 주요한 요건이다.
- [0060] 추가적으로, 실시예에서 본 발명자는 세 유형의 제약인 최대 웨이크 업 시간, 이용 가능한 클럭 및 이용 가능한 전원을 기술하였다. 다른 유형의 제약이 또한 가능하다. 예를 들어, 이용 가능한 상이한 유형의 메모리에 대

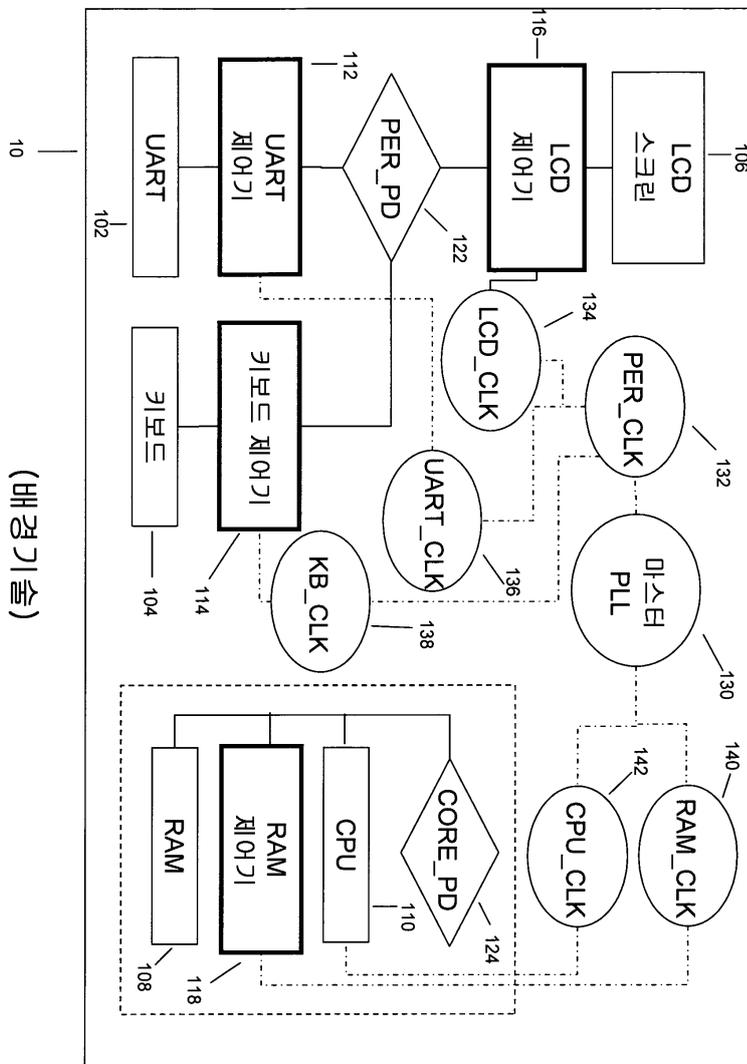
한 제약이 행해질 수 있다. 의도된 관독자에게는 다른 유형의 제약이 명백할 것이다.

[0061] 추가적으로, 상기 주어진 예에서 본 발명자는 상이한 전력 모드에 대한 특정의 특성을 도 3에 설정하였다. 물론, 본 발명의 다른 실시예에서, 상이한 특성을 갖는 상이한 수의 저 전력 모드가 제공될 수 있다. 그 대신에, 본 발명의 실시예에 의해 제공된 주요한 장점 중 하나는 운영 체제 하드웨어 추상화 계층을 형성하는 동일한 베이스 포트 서브시스템, 즉, 디바이스 드라이버, 제어기 등이 다수의 상이한 유형의 저 전력 모드를 제공하여 각각 상이한 특성을 갖는 상이한 디바이스 플랫폼과 함께 사용되도록 하는 것이다. 본 발명의 실시예에 의해 제공된 전력 관리 서브시스템은 임의의 특정의 하드웨어 플랫폼에 의해 제공된 저 전력 모드로부터 운영 체제 하드웨어 추상화 계층을 효과적으로 분리한다.

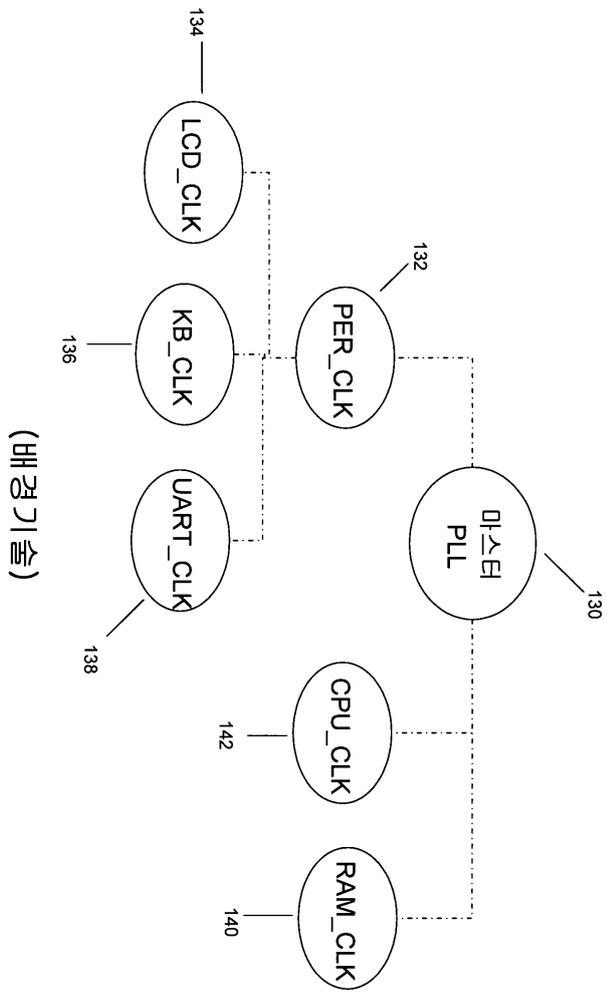
[0062] 본 발명의 다른 실시예를 제공하기 위해, 당 분야에서 통상의 지식을 가진 자인 의도된 관독자에게는 각종 다른 실시예가 명백할 것이며, 임의의 실시예 또는 모든 실시예는 첨부된 특허 청구 범위에 의해 포함되는 것으로 의도된다.

도면

도면1



도면2



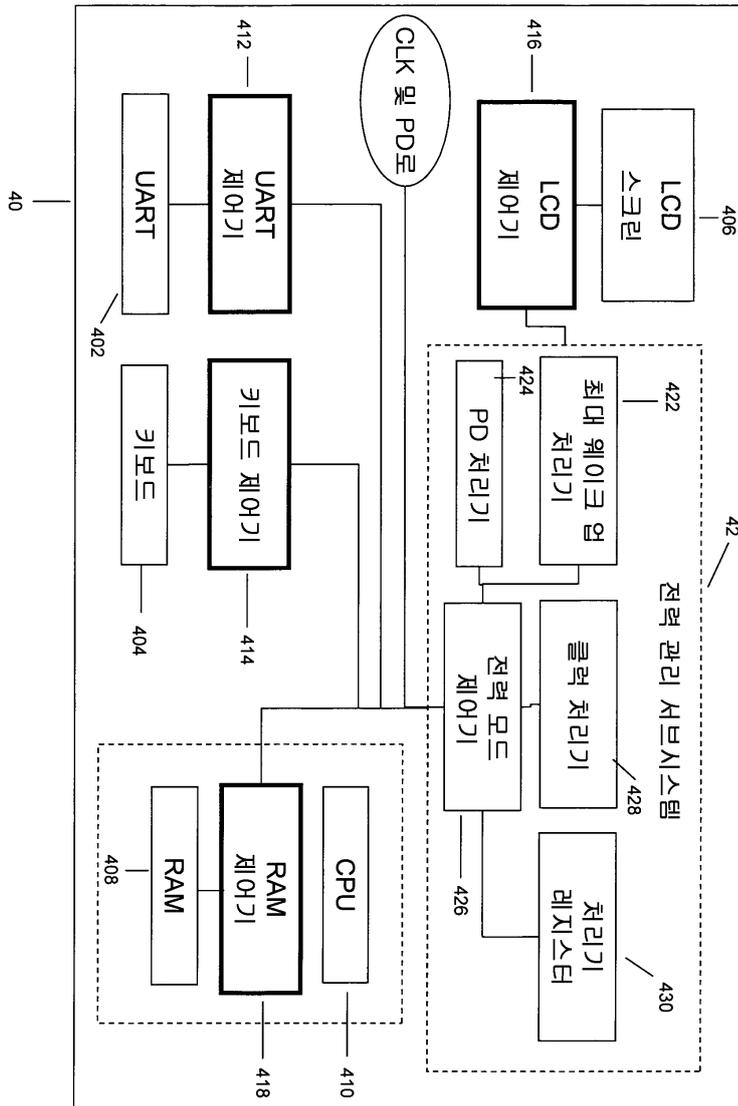
(배경기술)

도면3

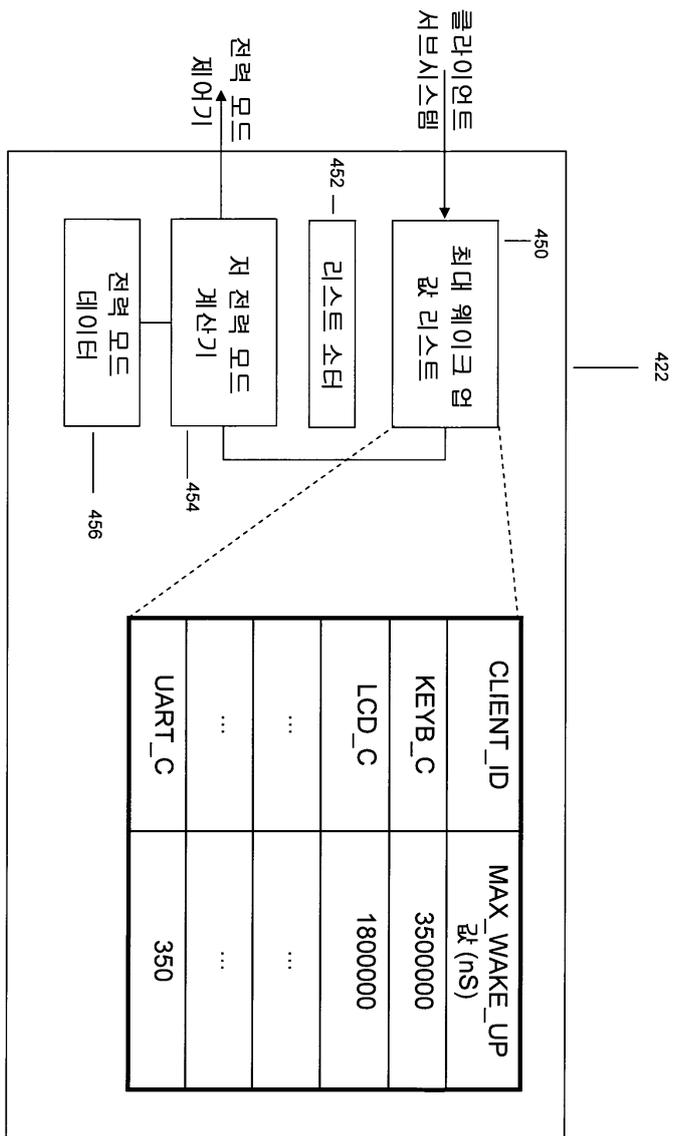
302	절전 모드	턴 오프되는 (게이팅되는) 클럭	턴 오프되는 전력 도메인	웨이크업 시간 (ns)
302	WAIT	없음	없음	1
304	DOZE	KB_CLK	없음	300
306	LIGHT SLEEP	PER_CLK	없음	2000
308	DEEP SLEEP	PER_CLK, RAM_CLK	PER_PD	500000
310	COMA	MASTER_PLL	PER_PD	2000000

30 (배경기술)

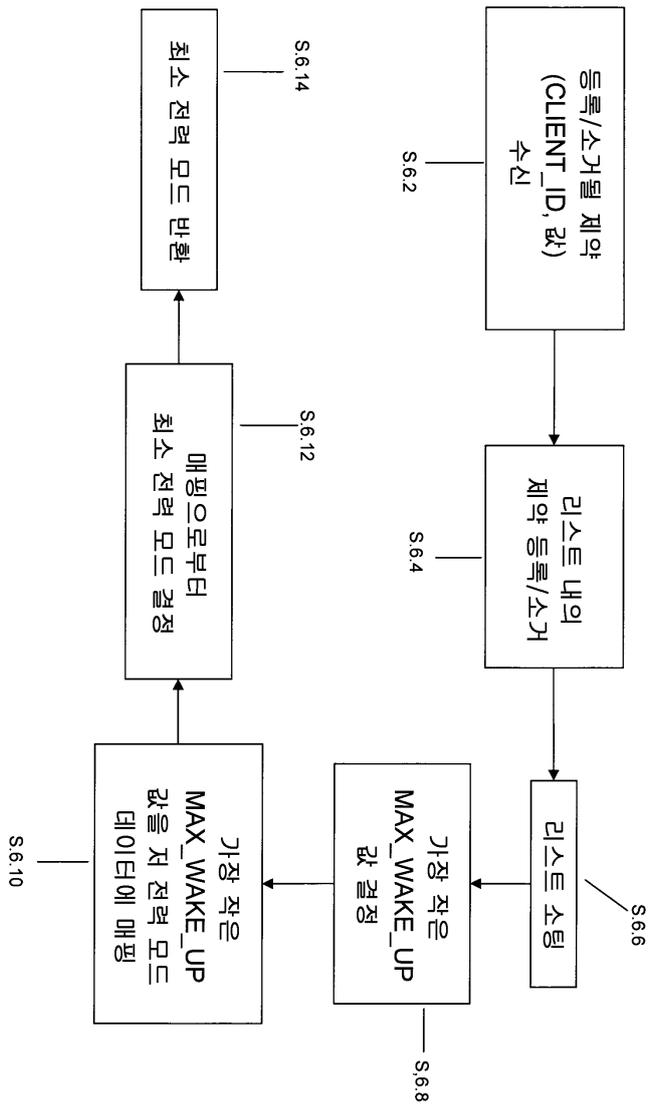
도면4



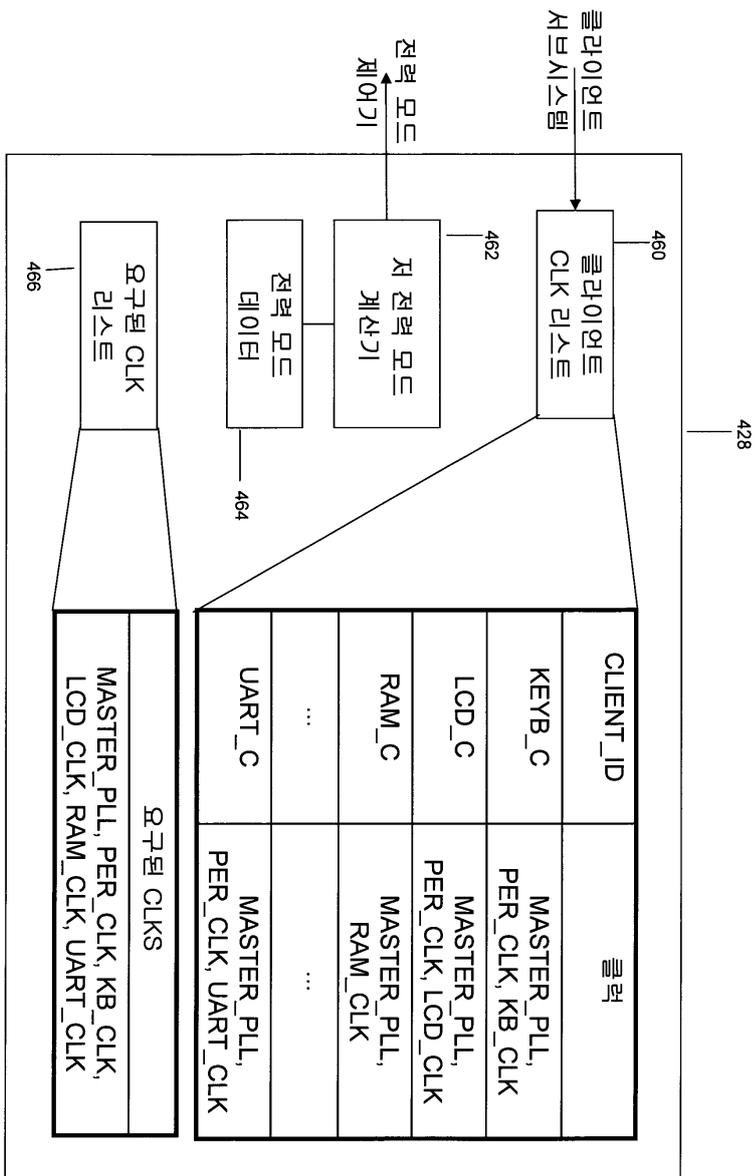
도면5



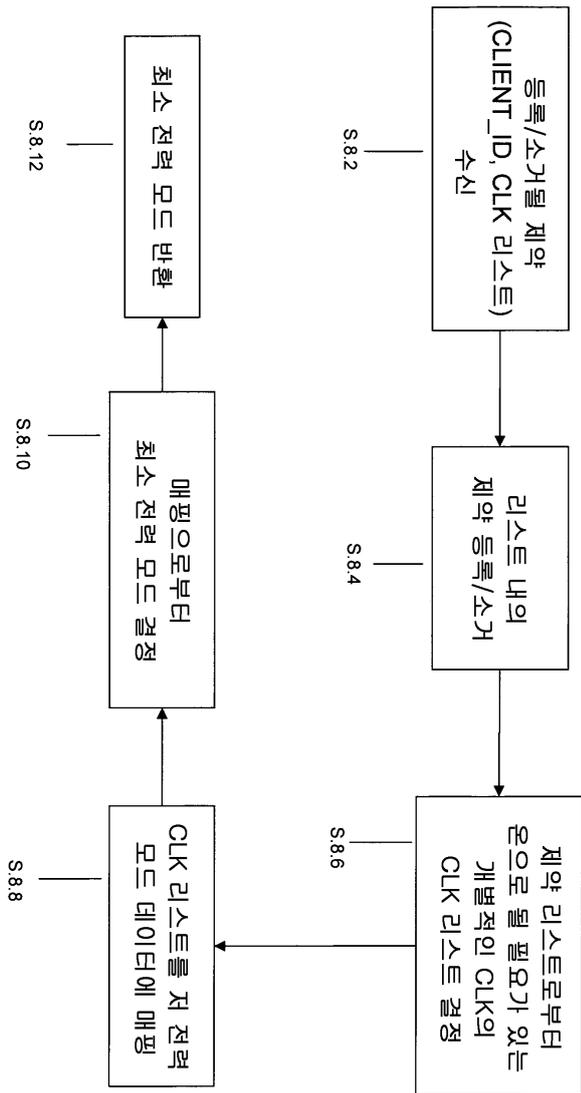
도면6



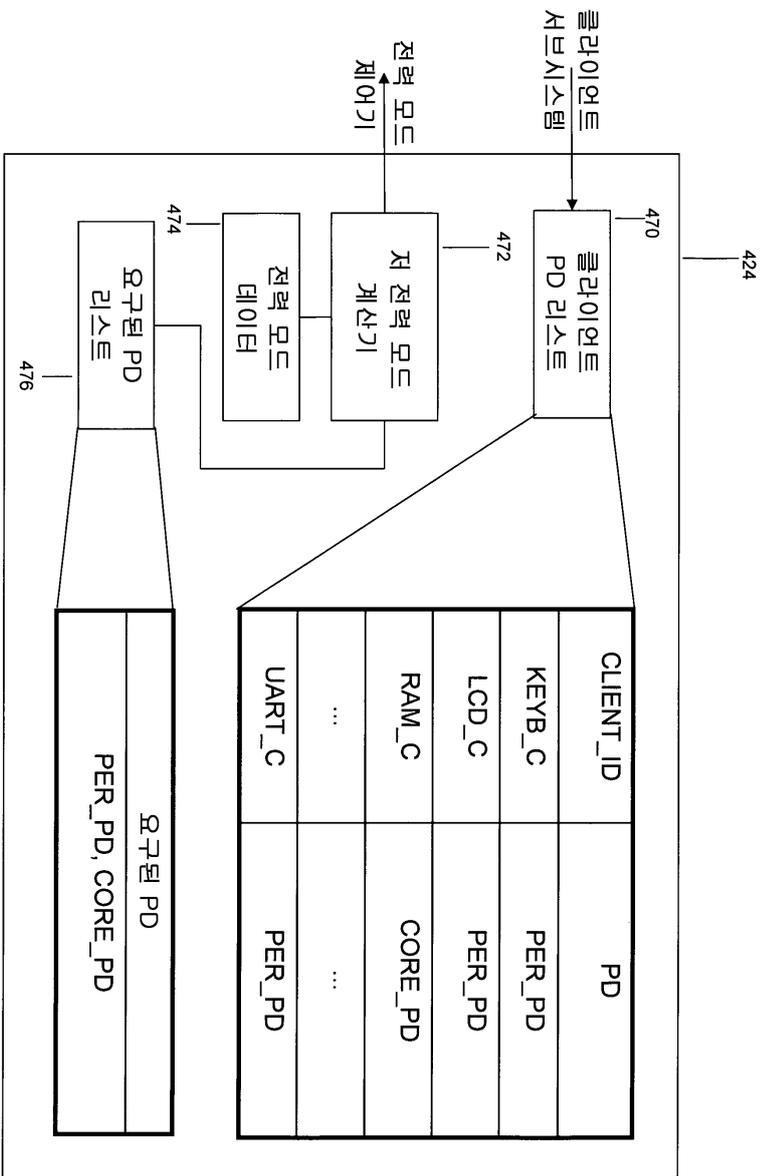
도면7



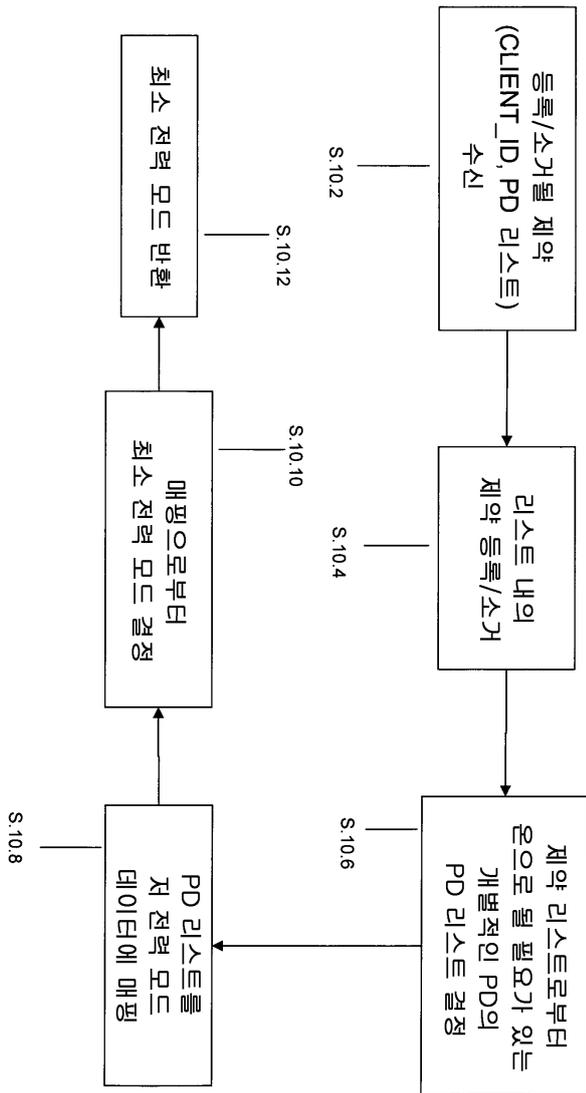
도면8



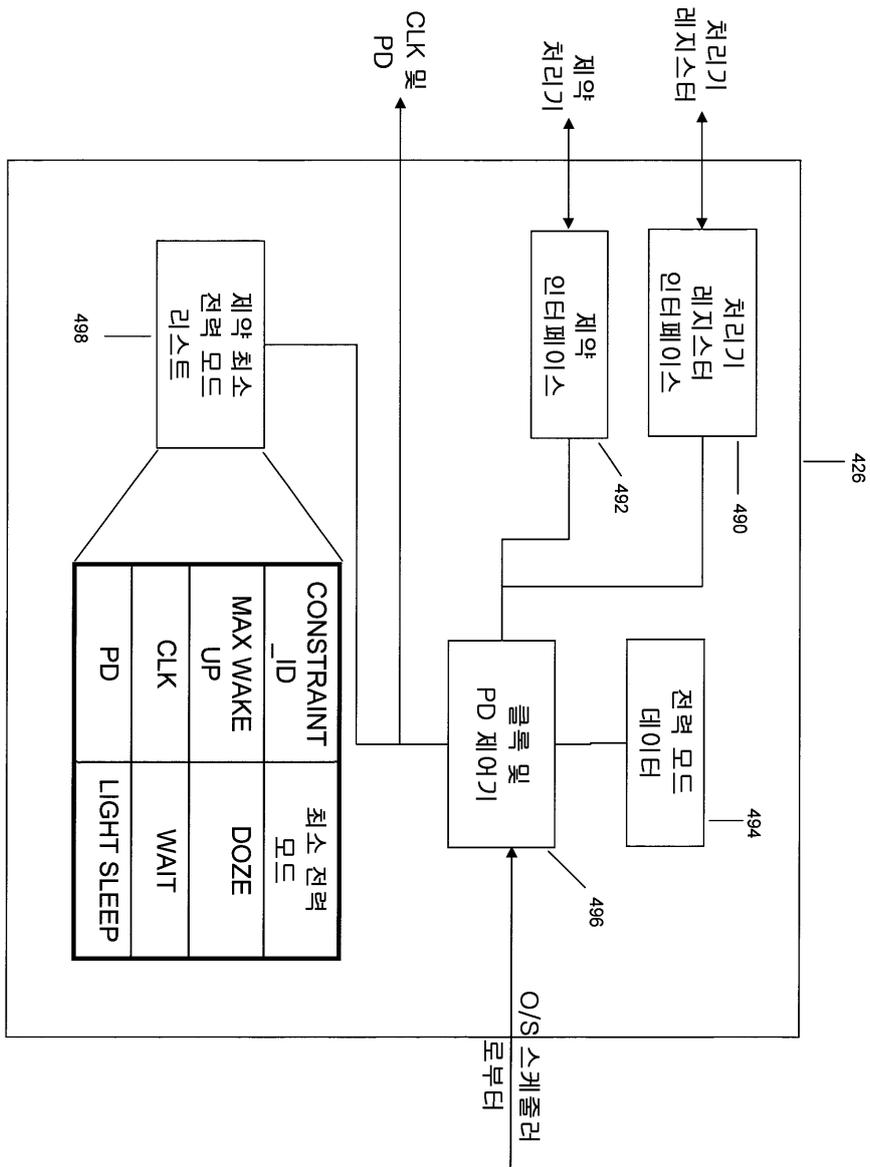
도면9



도면10



도면11



도면12

