



(12) 发明专利

(10) 授权公告号 CN 117954498 B

(45) 授权公告日 2024. 10. 15

(21) 申请号 202311852990.7

H01L 29/423 (2006.01)

(22) 申请日 2023.12.29

(56) 对比文件

(65) 同一申请的已公布的文献号

US 5273922 A, 1993.12.28

申请公布号 CN 117954498 A

CN 110957371 A, 2020.04.03

(43) 申请公布日 2024.04.30

审查员 杨福华

(73) 专利权人 宜兴杰芯半导体有限公司

地址 214200 江苏省无锡市宜兴市新街百  
合工业园

(72) 发明人 陈钊 陈俊标

(74) 专利代理机构 无锡市天宇知识产权代理事  
务所(普通合伙) 32208

专利代理师 丁雪强

(51) Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

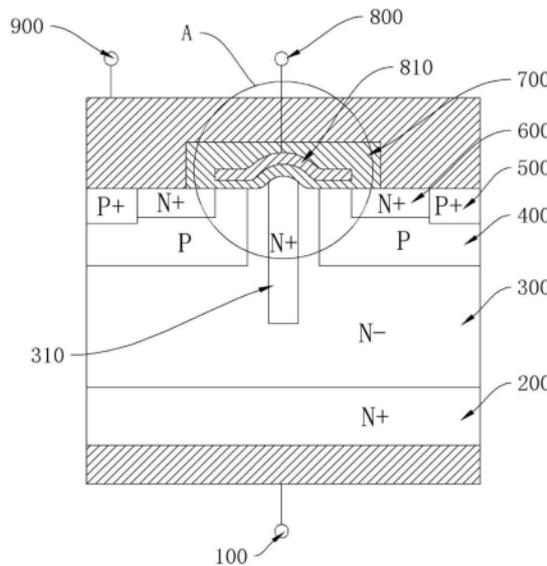
权利要求书1页 说明书4页 附图4页

(54) 发明名称

一种低导通电阻的VDMOS结构

(57) 摘要

本发明涉及功率半导体器件技术领域,具体涉及一种低导通电阻的VDMOS结构,低导通电阻的VDMOS结构包括漏极、衬底、漂移区、基区、源区、接触区、栅极、栅氧层和源极,漂移区内设置有掺杂区,掺杂区的成分和源区的成分相同,掺杂区位于栅氧层的正下方,且和栅氧层紧密接触;位于栅极和掺杂区之间的栅氧层的厚度和掺杂区的掺杂杂质的浓度正相关。在VDMOS工作时,掺杂区的载流子能对沟道区的载流子进行补充,以降低沟道区和颈区的载流子浓度差,从而达到降低器件导通电阻的效果,且通过增加栅极和掺杂区之间的栅氧层的厚度,能够保证击穿电压保持不变,保证VDMOS应用时的安全性。



1. 一种低导通电阻的VDMOS结构,其特征在于,所述低导通电阻的VDMOS结构包括漏极、衬底、漂移区、基区、源区、接触区、栅极、栅氧层和源极,所述漂移区内设置有掺杂区,所述掺杂区的成分和所述源区的成分相同,所述掺杂区位于所述栅氧层的正下方,且和所述栅氧层紧密接触;位于所述栅极和所述掺杂区之间的所述栅氧层的厚度和所述掺杂区的掺杂杂质的浓度正相关,位于所述栅极和所述掺杂区之间的所述栅氧层的厚度和所述掺杂区的体积正相关,以维持击穿电压保持不变;

所述栅极和所述掺杂区的对应位置设置有拱起部,所述拱起部远离所述掺杂区的一侧拱起,所述栅极包括栅极板,所述栅极板的横截面形状具有弧形段和两个水平段,所述两个水平段对称设置在所述弧形段的两侧,所述拱起部设置在所述弧形段处,在栅极通电时,使得载流子主要集中在拱起部,进而使栅极上的电场产生的吸引力由原来的沿竖直方向的平行形式改变为扇形的形式,此时只有栅极上电场所产生的吸引力的沿竖直方向的分力才能对电子起到阻碍作用,从而有助于降低VDMOS的正向导通电阻,降低VDMOS正向导通时的能量损耗。

2. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,所述栅极板包括栅极板一,所述栅极板一在水平面上的投影视图为矩形。

3. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,所述栅极板包括栅极板二,所述栅极板二在水平面上的投影视图为圆形。

4. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,位于相邻所述基区间的所述掺杂区的宽度不大于相邻所述基区间距的三分之一。

5. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,所述掺杂区的掺杂杂质浓度和所述源区的掺杂杂质浓度相同。

6. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,对于N型沟槽功率MOS器件,所述掺杂区为N型。

7. 根据权利要求1所述的低导通电阻的VDMOS结构,其特征在于,对于P型沟槽功率MOS器件,所述掺杂区为P型。

## 一种低导通电阻的VDMOS结构

### 技术领域

[0001] 本发明涉及功率半导体器件技术领域,特别是涉及一种低导通电阻的VDMOS结构。

### 背景技术

[0002] VDMOS是一种电压控制型功率器件,具有输入阻抗高、驱动功耗低和工作频率高等优点,被广泛应用于新能源设备和各类消费电子领域,是电子电力系统的核心器件。

[0003] 导通电阻是VDMOS器件关键技术指标之一,其直接决定了晶体管导通电流能力;VDMOS器件在低压应用领域可以得到较理想的导通电阻和开关特性,但随着电压不断升高,导通电阻的急剧增大限制了其进一步应用,因此,降低导通电阻已成为研制功率VDMOS器件的关键问题。

[0004] 图1为现有技术中N沟道VDMOS器件的结构示意图,VDMOS器件的导通电阻除源漏两端的金属接触电阻之外,还包括五部分的电阻:源区电阻R1、沟道导通电阻R2、颈区电阻R3、外延层电阻R4、衬底电阻R5;目前,降低导通电阻主要针对R2、R3、R4进行。

[0005] 相关技术中,如授权公告号为CN104409507B的中国参考文献公开了一种低导通电阻VDMOS器件及制备方法,该低导通电阻VDMOS器件在传统的VDMOS器件结构中引入一块与源区掺杂杂质相同的掺杂区,且该掺杂区位于栅氧层正下方且与基区和栅氧层紧密接触,从而在VDMOS工作时,通过掺杂区的载流子对沟道区载流子进行补充,从而降低了沟道导通电阻和颈区电阻。

[0006] 上述低导通电阻VDMOS器件虽然在一定程度上降低了VDMOS的导通电阻,但是在实际工作过程中发现,掺杂区在左右方向上和栅极的紧邻,会导致栅极的电荷密度提高,进而导致栅氧层仍然具有被击穿的风险,从而影响VDMOS的安全性。

### 发明内容

[0007] 基于此,有必要针对目前的VDMOS所存在的导通电阻较高的问题,提供一种低导通电阻的VDMOS结构。

[0008] 上述目的通过下述技术方案实现:

[0009] 一种低导通电阻的VDMOS结构,所述低导通电阻的VDMOS结构包括漏极、衬底、漂移区、基区、源区、接触区、栅极、栅氧层和源极,所述漂移区内设置有掺杂区,所述掺杂区的成分和所述源区的成分相同,所述掺杂区位于所述栅氧层的正下方,且和所述栅氧层紧密接触;位于所述栅极和所述掺杂区之间的所述栅氧层的厚度和所述掺杂区的掺杂杂质的浓度正相关。

[0010] 进一步地,位于所述栅极和所述掺杂区之间的所述栅氧层的厚度和所述掺杂区的体积正相关。

[0011] 进一步地,所述栅极和所述掺杂区的对应位置设置有拱起部,所述拱起部远离所述掺杂区的一侧拱起。

[0012] 进一步地,所述栅极包括栅极板,所述栅极板的横截面形状具有弧形段和两个水

平段,所述两个水平段对称设置在所述弧形段的两侧,所述拱起部设置在所述弧形段处。

[0013] 进一步地,所述栅极板包括栅极板一,所述栅极板一在水平面上的投影视图为矩形。

[0014] 进一步地,所述栅极板包括栅极板二,所述栅极板二在水平面上的投影视图为圆形。

[0015] 进一步地,位于相邻所述基区间的所述掺杂区的宽度不大于相邻所述基区间距的三分之一。

[0016] 进一步地,所述掺杂区的掺杂杂质浓度和所述源区的掺杂杂质浓度相同。

[0017] 进一步地,对于N型沟槽功率MOS器件,所述掺杂区为N型。

[0018] 进一步地,对于P型沟槽功率MOS器件,所述掺杂区为P型。

[0019] 本发明的有益效果是:

[0020] 本发明提供了一种低导通电阻的VDMOS结构在使用过程中,通过在漂移区内部设置成分和源区成分相同的掺杂区,在VDMOS工作时,掺杂区的载流子能对沟道区的载流子进行补充,以降低沟道区和颈区的载流子浓度差,从而降低了沟道导通电阻和颈区电阻,达到降低器件导通电阻的效果,不仅工艺简单,而且易于生产,且通过增加栅极和掺杂区之间的栅氧层的厚度,能够保证击穿电压保持不变,保证VDMOS应用时的安全性。

[0021] 进一步的,通过设置位于栅极和掺杂区之间的栅氧层的厚度和掺杂区的掺杂杂质的浓度正相关,在保证开关效率的同时,避免了掺杂区对击穿电压的影响。

[0022] 进一步的,通过在栅极和掺杂区的对应位置设置拱起部,在栅极通电时,使得载流子主要集中在拱起部,进而通过改变电场方向,降低VDMOS的正向导通电阻,降低VDMOS正向导通时的能量损耗。

#### 附图说明

[0023] 图1为现有技术中N沟道VDMOS器件剖面结构及导通电阻示意图;

[0024] 图2为本发明一实施例提供的低导通电阻的VDMOS结构的剖视结构示意图;

[0025] 图3为图2所示的低导通电阻的VDMOS结构的A处局部放大结构示意图;

[0026] 图4为本发明一实施例提供的低导通电阻的VDMOS结构的栅极板一的立体结构示意图;

[0027] 图5为本发明另一实施例提供的低导通电阻的VDMOS结构的栅极板二的立体结构示意图。

[0028] 其中:

[0029] 100、漏极;

[0030] 200、衬底;

[0031] 300、漂移区;310、掺杂区;

[0032] 400、基区;

[0033] 500、接触区;

[0034] 600、源区;

[0035] 700、栅氧层;

[0036] 800、栅极;810、栅极板一;820、栅极板二;

[0037] 900、源极。

### 具体实施方式

[0038] 为了使本发明的目的、技术方案及优点更加清楚明白,以下通过实施例,并结合附图,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅用以解释本发明,并不用于限定本发明。

[0039] 本文中为组件所编序号本身,例如“第一”、“第二”等,仅用于区分所描述的对象,不具有任何顺序或技术含义。而本申请所说“连接”、“联接”,如无特别说明,均包括直接和间接连接(联接)。在本发明的描述中,需要理解的是,术语“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0040] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0041] 如图1所示,传统的N沟道VDMOS器件包括漏极100、N+衬底200、N-漂移区300、P型基区400、N+源区600、P+接触区500、N+源区600、栅极800、栅氧层700和源极900。

[0042] 如图2所示,本发明一实施例提供的低导通电阻的VDMOS结构设置为包括漏极100、N+衬底200、N-漂移区300、N+掺杂区310、P型基区400、N+源区600、P+接触区500、N+源区600、栅极800、栅氧层700和源极900,掺杂区310设置在N-漂移区300内,且掺杂区310的成分和N+源区600成分相同,掺杂区310位于栅氧层700的正下方,且和栅氧层700紧密接触,进而在VDMOS工作时,掺杂区310的载流子能对沟道区的载流子进行补充,以降低沟道区和颈区的载流子浓度差,从而降低了沟道导通电阻和颈区电阻,达到降低器件导通电阻的效果,不仅工艺简单,而且易于生产。

[0043] 可以理解的是,对于P型沟槽功率MOS器件,掺杂区310为P型。

[0044] 由于增加了重浓度的掺杂区310,其会导致VDMOS的击穿电压降低,影响VDMOS的正常使用,而在栅极外加电压不变的情况下,栅氧层700的厚度越厚,则VDMOS的击穿电压也就越大,因此设置为位于栅极800和掺杂区310之间的栅氧层700的厚度和掺杂区310的掺杂杂质的浓度正相关,使得在掺杂区310的掺杂杂质的浓度越高的情况下,为避免掺杂区310所含有的载流子的总量越大导致的VDMOS的击穿电压降低的情况,通过增加位于栅极800和掺杂区310之间的栅氧层700的厚度,以维持击穿电压保持不变,保证VDMOS的正常使用。

[0045] 同理,当掺杂区310的体积越大时,掺杂区310所含有的载流子的总量越大,其会导致VDMOS的击穿电压降低,为避免影响VDMOS的正常使用,因此设置为位于栅极800和掺杂区310之间的栅氧层700的厚度和掺杂区310的体积正相关,以维持击穿电压保持不变,保证VDMOS的正常使用。

[0046] 在一些实施例中,如图1所示,当漏极100和源极900之间的电压大于零,且漏极100

为正极,栅极800接入电压时,此时栅极800上形成电场,该电场产生将漂移区300内的电子吸引至栅氧层700附近的吸引力,且栅极800通入的电压越大,吸引的电子也就越多,当吸引的电子足够多时,就形成了位于两个基区400之间的N沟道,使得VDMOS处于正向导通状态,且电流方向为从漏极100流向源极900;由于电子的流动方向和电流方向相反,也就是说,当VDMOS处于正向导通状态时,电子的流动方向为从源极900流向漏极100,此时栅极800产生的电场对漂移区300内的电子的移动具有阻碍作用,使得VDMOS的正向导通电阻较大,进而会加剧VDMOS正向导通时的能量损耗;为减轻这一情况,如图2所示,在栅极800和掺杂区310的对应位置设置有拱起部,拱起部远离掺杂区310的一侧拱起,进而在栅极800通电时,使得载流子主要集中在拱起部,进而使栅极800上的电场产生的吸引力由原来的沿竖直方向的平行形式改变为扇形的形式,此时只有栅极800上电场所产生的吸引力的沿竖直方向的分力才能对电子起到阻碍作用,从而有助于降低VDMOS的正向导通电阻,降低VDMOS正向导通时的能量损耗。

[0047] 可以理解的是,载流子主要集中在拱起部的原理可以近似理解为尖端放电的原理,其中尖端放电是指在强电场作用下,物体表面曲率大的地方(如尖锐、细小物的顶端),等电位面密,电场强度剧增,致使它附近的空气被电离而产生气体放电的现象。

[0048] 在本实施例中,如图3所示,栅极800设置为包括栅极板,栅极板的横截面形状具有弧形段和两个水平段,两个水平段对称设置在弧形段的两侧,拱起部设置在弧形段处。

[0049] 在本实施例中,如图4所示,栅极板可以设置为包括栅极板一810,栅极板一810的横截面形状为“ $\Omega$ ”,且在水平面上的投影视图为矩形。

[0050] 在其他实施例中,如图5所示,栅极板还可以设置为包括栅极板二820,栅极板二820的形状为草帽形,且在水平面上的投影视图为圆形。

[0051] 可以理解的是,由于栅极板二820的拱起部设置为半球形的形状,因此载流子能够进一步集聚在栅极板二820的顶部,进而能够将栅极800上的电场产生的吸引力由原来的沿竖直方向的平行形式改变为圆锥形的形式,从而能够进一步减小栅极800上电场所产生的吸引力沿竖直方向的分力,有助于进一步降低VDMOS的正向导通电阻,进一步降低VDMOS正向导通时的能量损耗。

[0052] 在另一些实施例中,设置为位于相邻基区400间的掺杂区310的宽度不大于相邻基区400间距的三分之一,避免掺杂区310的载流子的浓度过高,导致对击穿电压的影响过大。

[0053] 在另一些实施例中,设置为掺杂区310的掺杂杂质浓度和源区600的掺杂杂质浓度相同,以在生产VDMOS时,可直接将和源区600完全相同的部分作为掺杂区310的成分,从而提高加工时的效率。

[0054] 以上实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0055] 以上所述实施例仅表达了本发明的几种实施方式,其描述较为具体和详细,但不能因此而理解为本发明范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。因此,本发明的保护范围应以所附权利要求为准。

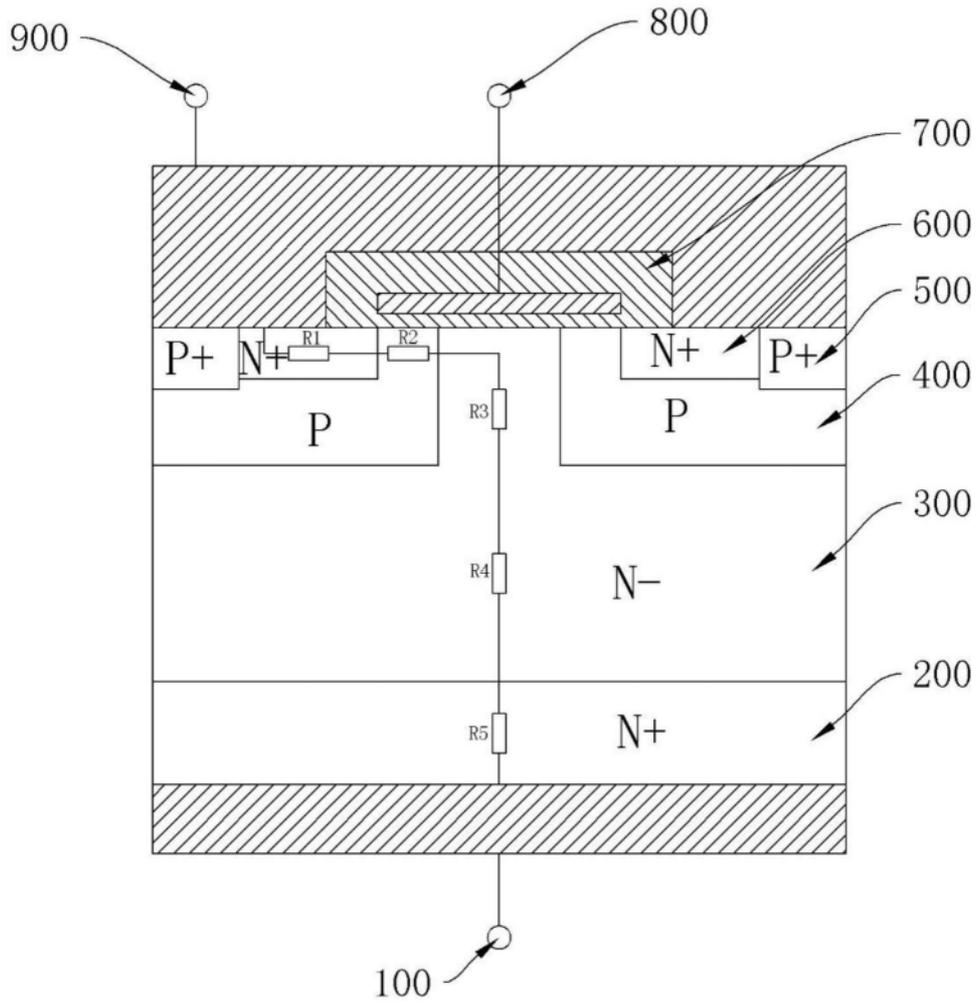


图1

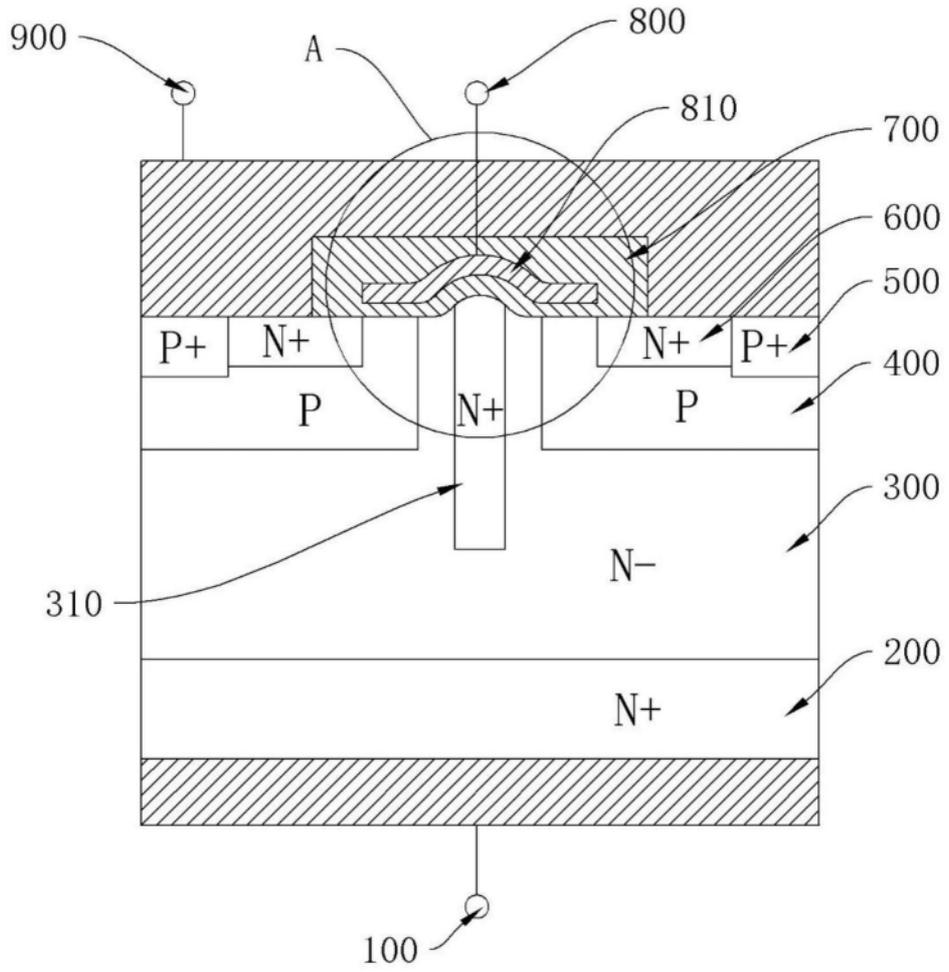


图2

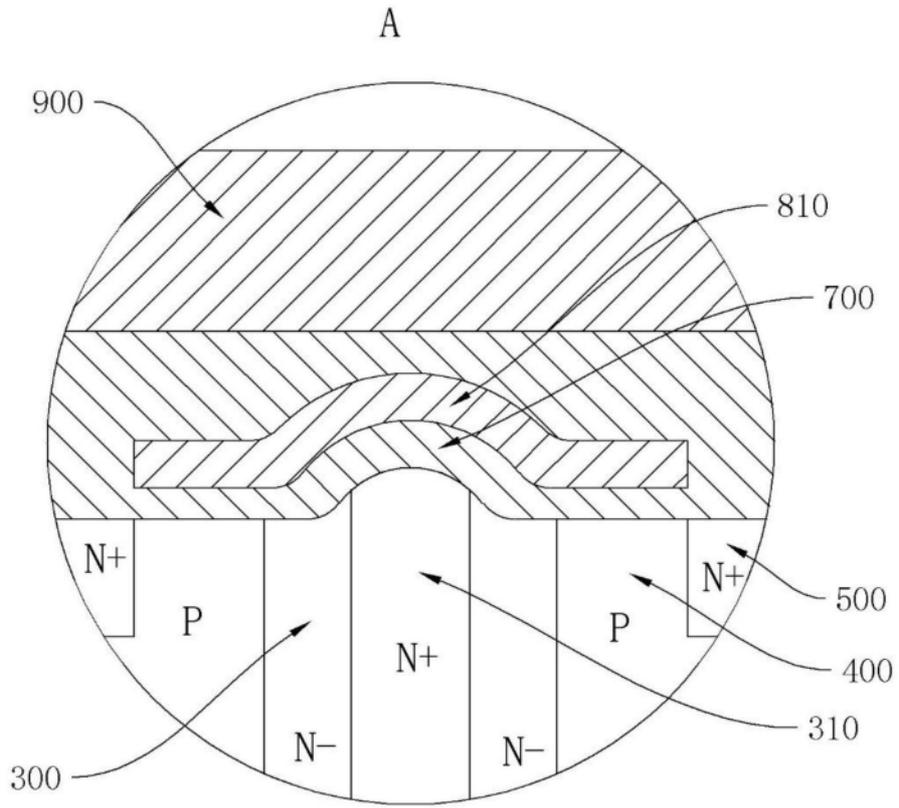


图3

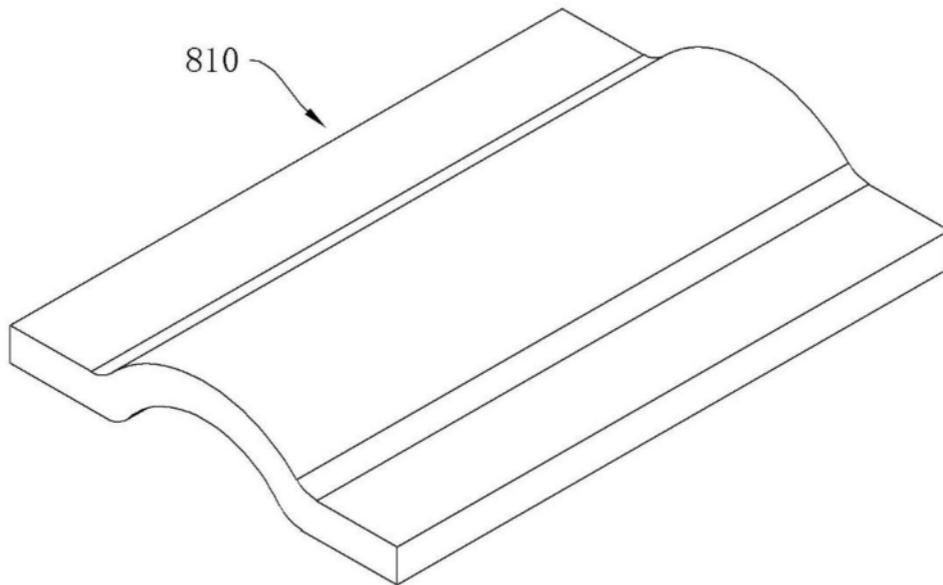


图4

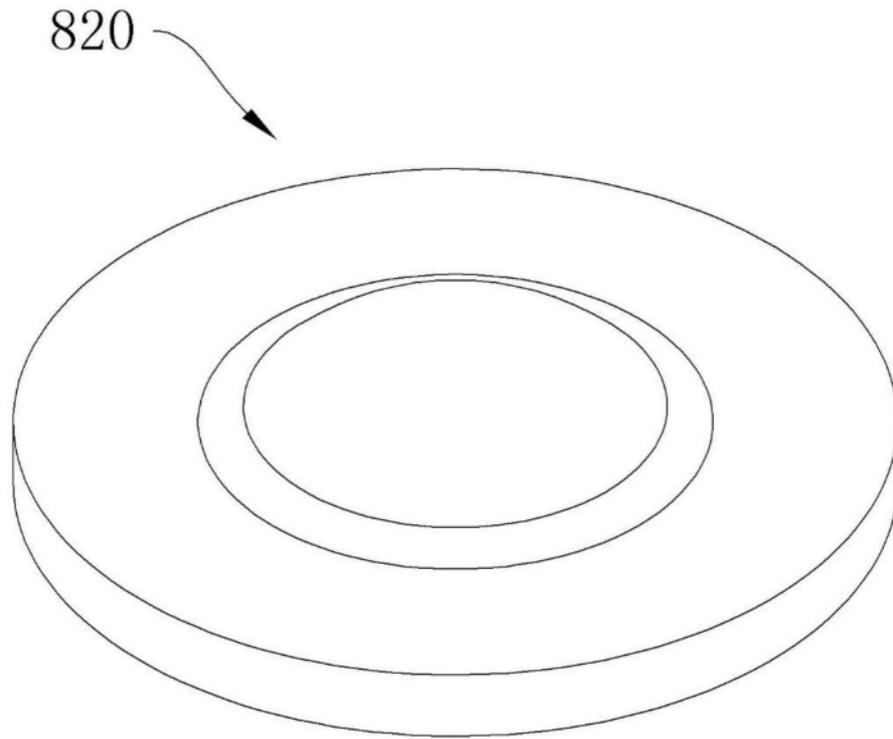


图5