

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-38415

(P2023-38415A)

(43)公開日 令和5年3月17日(2023.3.17)

(51)国際特許分類		F I		テーマコード(参考)	
H 0 1 L	27/146(2006.01)	H 0 1 L	27/146	A	4 M 1 1 8
H 0 1 L	21/329(2006.01)	H 0 1 L	29/90	D	5 F 1 4 9
H 0 1 L	29/861(2006.01)	H 0 1 L	29/91	C	5 F 8 4 9
H 0 1 L	31/107(2006.01)	H 0 1 L	31/10	B	

審査請求 未請求 請求項の数 14 O L (全30頁)

(21)出願番号	特願2021-145108(P2021-145108)	(71)出願人	316005926 ソニーセミコンダクタソリューションズ株式会社 神奈川県厚木市旭町四丁目14番1号
(22)出願日	令和3年9月7日(2021.9.7)	(74)代理人	100103850 弁理士 田中 秀 てつ
		(74)代理人	100114177 弁理士 小林 龍
		(74)代理人	100066980 弁理士 森 哲也
		(72)発明者	宮田 里江 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内
		Fターム(参考)	4M118 AA10 AB01 BA14 BA19 最終頁に続く

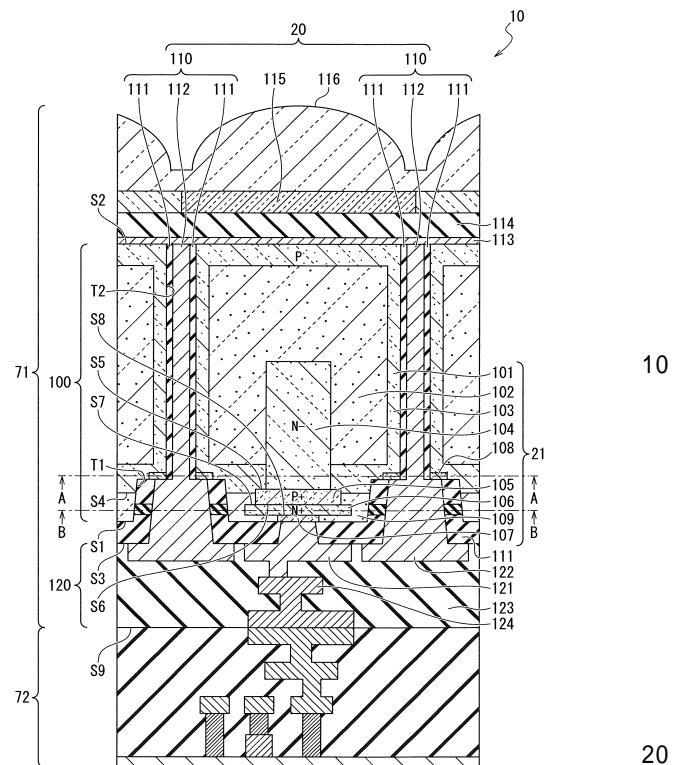
(54)【発明の名称】 光検出装置及び電子機器

(57)【要約】

【課題】 絶縁膜と半導体基板との界面の電界を緩和可能な光検出装置を提供する。

【解決手段】 半導体基板と、半導体基板の第1面に設けられた格子状の第1トレンチ及び第2トレンチと、第1及び第2トレンチの内側面並びに第1面を覆う絶縁膜と、第1トレンチ内に埋め込まれたアノード電極と、半導体基板を第1及び第2トレンチで区画した素子領域内に設けられたP型半導体領域、P+型半導体領域、N+型半導体領域及びカソードコンタクトと、カソードコンタクトと接するカソード電極と、を備えるようにした。そして、絶縁膜が、少なくとも第1領域と第2領域とを有する構成とし、第2領域を、第1面からの深さが第3半導体領域と第1電極との距離が最小となる深さに位置する部分を含む領域とした。さらに、第2領域の誘電率を、第1領域の誘電率よりも低くした。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチと、  
前記第 1 トレンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチと、  
前記第 1 及び第 2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜と、  
前記半導体基板を前記第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、  
入射光を光電変換して電荷を発生させる光電変換領域と、  
前記素子領域内に設けられ、前記光電変換領域を囲む第 1 半導体領域と、  
前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1 コンタクトと  
10  
、  
前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極と、  
前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、  
前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域と、  
前記素子領域内において前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、  
前記第 1 導電型と反対の第 2 導電型を有する第 3 半導体領域と、  
前記第 1 面に設けられ、前記第 3 半導体領域と接触する第 2 コンタクトと、  
前記第 2 コンタクトと接触する第 2 電極と、を備え、  
前記絶縁膜は、少なくとも第 1 領域と第 2 領域とを有し、前記第 2 領域が、前記第 1 面  
からの深さが前記第 3 半導体領域と前記第 1 電極との距離が最小となる深さに位置する部  
20  
分を含む領域であり、前記第 2 領域の誘電率が、前記第 1 領域の誘電率よりも低い  
光検出装置。

## 【請求項 2】

前記第 2 領域は、前記絶縁膜のうちの、前記第 1 面からの深さが、前記距離が最小となる  
深さよりも浅い部分を含んでいる  
請求項 1 に記載の光検出装置。

## 【請求項 3】

前記絶縁膜は、更に、前記絶縁膜のうちの、前記第 1 面からの深さが、前記第 2 領域より  
も浅い部分に位置する第 3 領域を有し、前記第 3 領域の誘電率が、前記第 1 領域の誘電  
率よりも低く、前記第 2 領域の誘電率よりも高い  
30  
請求項 1 に記載の光検出装置。

## 【請求項 4】

前記絶縁膜は、更に、前記絶縁膜のうちの、前記第 2 領域よりも深い部分に位置する第  
4 領域を有し、前記第 4 領域の誘電率が、前記第 1 及び第 2 領域の誘電率よりも高い  
請求項 3 に記載の光検出装置。

## 【請求項 5】

前記第 4 領域は、前記第 1 面からの深さ方向に複数の領域に分割されており、前記複数の  
領域の誘電率が、深い位置にある領域ほど高くなっている  
請求項 4 に記載の光検出装置。

## 【請求項 6】

前記絶縁膜のうちの前記第 1 トレンチの内側面を覆う部分は、前記第 1 トレンチの底部  
に近いほどの膜厚が薄くなっている  
40  
請求項 1 に記載の光検出装置。

## 【請求項 7】

前記絶縁膜のうちの前記第 1 トレンチの内側面を覆う部分の少なくとも一部は、前記第  
1 面からの深さが、前記第 2 領域が設けられている深さに近いほど膜厚が薄くなっている  
請求項 1 に記載の光検出装置。

## 【請求項 8】

前記第 2 領域は、前記絶縁膜のうちの、前記第 1 面からの深さが、前記第 1 トレンチの  
底面よりも浅い部分に位置する領域である  
50

請求項 1 に記載の光検出装置。

【請求項 9】

前記第 2 領域の前記第 1 面側の面及び該面の反対側の面を覆う保護膜を備える  
請求項 1 に記載の光検出装置。

【請求項 10】

前記保護膜は、更に、前記第 2 領域の前記第 1 トレンチの内側面側の面を覆い、  
前記保護膜と前記半導体基板との間に下地膜を備える  
請求項 9 に記載の光検出装置。

【請求項 11】

前記第 1 導電型が P 型であり、前記第 2 導電型が N 型である、  
又は前記第 1 導電型が N 型であり、前記第 2 導電型が P 型である  
請求項 1 に記載の光検出装置。

10

【請求項 12】

半導体基板と、  
前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチと、  
前記第 1 トレンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチと、  
前記第 1 及び第 2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜と、  
前記半導体基板を前記第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、  
入射光を光電変換して電荷を発生させる光電変換領域と、  
前記素子領域内に設けられ、前記光電変換領域を囲む第 1 半導体領域と、  
前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1 コンタクトと

20

、  
前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極と、  
前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、  
前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域と、  
前記素子領域内において前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、  
前記第 1 導電型と反対の第 2 導電型を有する第 3 半導体領域と、  
前記第 1 面に設けられ、前記第 3 半導体領域と接触する第 2 コンタクトと、  
前記第 2 コンタクトと接触する第 2 電極と、を備え、  
前記絶縁膜のうちの、前記第 1 面からの深さが前記第 3 半導体領域と前記第 1 電極との  
距離が最小となる深さに位置する部分は、比誘電率が 3 . 5 以下の低誘電率材料を用いて  
形成されている

30

光検出装置。

【請求項 13】

半導体基板、前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチ、前記第 1 ト  
レンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチ、前記第 1 及び第  
2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜、前記半導体基板を前記  
第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して  
電荷を発生させる光電変換領域、前記素子領域内に設けられ、前記光電変換領域を囲む第  
1 半導体領域、前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1  
コンタクト、前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極、  
前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、  
前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域、前記素子領域内におい  
て前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、前記第 1 導電型と反  
対の第 2 導電型を有する第 3 半導体領域、前記第 1 面に設けられ、前記第 3 半導体領域と  
接触する第 2 コンタクト、及び前記第 2 コンタクトと接触する第 2 電極を備え、前記絶縁  
膜は、少なくとも第 1 領域と第 2 領域とを有し、前記第 2 領域が、前記第 1 面からの深さ  
が前記第 3 半導体領域と前記第 1 電極との距離が最小となる深さに位置する部分を含む領  
域であり、前記第 2 領域の誘電率が、前記第 1 領域の誘電率よりも低い光検出装置を備え  
る

40

50

電子機器。

【請求項 14】

半導体基板、前記半導体基板の第1面に設けられた格子状の第1トレンチ、前記第1トレンチの底部に設けられ、該底部に沿って延びる格子状の第2トレンチ、前記第1及び第2トレンチの内側面、並びに前記第1面のそれぞれを覆う絶縁膜、前記半導体基板を前記第1及び第2トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域、前記素子領域内に設けられ、前記光電変換領域を囲む第1半導体領域、前記第1トレンチの底部に設けられ、前記第1半導体領域と接触する第1コンタクト、前記第1トレンチ内に配置され、前記第1コンタクトと接触する第1電極、前記素子領域内において前記第1半導体領域の前記第1面側の面と接する領域に設けられ、前記第1半導体領域と同じ第1導電型を有する第2半導体領域、前記素子領域内において前記第2半導体領域の前記第1面側の面と接する領域に設けられ、前記第1導電型と反対の第2導電型を有する第3半導体領域、前記第1面に設けられ、前記第3半導体領域と接触する第2コンタクト、及び前記第2コンタクトと接触する第2電極を備え、前記絶縁膜のうちの、前記第1面からの深さが前記第3半導体領域と前記第1電極との距離が最小となる深さに位置する部分は、比誘電率が3.5以下の低誘電率材料を用いて形成されている光検出装置を備える

電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本技術（本開示に係る技術）は、光検出装置及び電子機器に関する。

【背景技術】

【0002】

従来、複数のSPAD（Single Photon Avalanche Diode）が配列された半導体基板を備えた光検出装置が提案されている（例えば、特許文献1参照。）。特許文献1に記載の光検出装置では、半導体基板の表面に設けられた第1トレンチと、第1トレンチの底部に設けられた第2トレンチとを有し、第1トレンチ内に、第1トレンチの内側面を覆う絶縁膜と、第1トレンチ内を埋めるアノード電極とが配置され、第1トレンチの底部に、アノード電極と接触するアノードコンタクトが設けられている。これにより、アノードコンタクトとカソードコンタクト及びN+型半導体領域との距離を半導体基板の厚さ方向に大きくすることで、アノードコンタクトとカソードコンタクト及びN+型半導体領域との間の電界を緩和し、エッジブレイクダウン等の高電界による不具合の発生を抑制している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】国際公開第2020/203222号

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に記載の光検出装置では、例えば、微細化した場合に、絶縁膜とN+型半導体領域との距離が小さくなる。ここで、絶縁膜が接しているアノード電極には、高電圧である逆バイアス電圧が印加されている。それゆえ、絶縁膜と半導体基板との界面で、電界が強くなり、エッジブレイクダウンが発生しやすくなる可能性があった。

【0005】

本開示は、絶縁膜と半導体基板との界面の電界を緩和可能な光検出装置及び電子機器を提供することを目的とする。

【課題を解決するための手段】

【0006】

10

20

30

40

50

本開示の光検出装置は、(a)半導体基板と、(b)半導体基板の第1面に設けられた格子状の第1トレンチと、(c)第1トレンチの底部に設けられ、底部に沿って延びる格子状の第2トレンチと、(d)第1及び第2トレンチの内側面、並びに第1面のそれぞれを覆う絶縁膜と、(e)半導体基板を第1及び第2トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域と、(f)素子領域内に設けられ、光電変換領域を囲む第1半導体領域と、(g)第1トレンチの底部に設けられ、第1半導体領域と接触する第1コンタクトと、(h)第1トレンチ内に配置され、第1コンタクトと接触する第1電極と、(i)素子領域内において第1半導体領域の第1面側の面と接する領域に設けられ、第1半導体領域と同じ第1導電型を有する第2半導体領域と、(j)素子領域内において第2半導体領域の第1面側の面と接する領域に設けられ、第1導電型と反対の第2導電型を有する第3半導体領域と、(k)第1面に設けられ、第3半導体領域と接触する第2コンタクトと、(l)第2コンタクトと接触する第2電極と、を備え、(m)絶縁膜は、少なくとも第1領域と第2領域とを有し、第2領域が、第1面からの深さが第3半導体領域と第1電極との距離が最小となる深さに位置する部分を含む領域であり、第2領域の誘電率が、第1領域の誘電率よりも低い。

10

**【0007】**

本開示の他の光検出装置は、(a)半導体基板と、(b)半導体基板の第1面に設けられた格子状の第1トレンチと、(c)第1トレンチの底部に設けられ、底部に沿って延びる格子状の第2トレンチと、(d)第1及び第2トレンチの内側面、並びに第1面のそれぞれを覆う絶縁膜と、(e)半導体基板を第1及び第2トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域と、(f)素子領域内に設けられ、光電変換領域を囲む第1半導体領域と、(g)第1トレンチの底部に設けられ、第1半導体領域と接触する第1コンタクトと、(h)第1トレンチ内に配置され、第1コンタクトと接触する第1電極と、(i)素子領域内において第1半導体領域の第1面側の面と接する領域に設けられ、第1半導体領域と同じ第1導電型を有する第2半導体領域と、(j)素子領域内において第2半導体領域の第1面側の面と接する領域に設けられ、第1導電型と反対の第2導電型を有する第3半導体領域と、(k)第1面に設けられ、第3半導体領域と接触する第2コンタクトと、(l)第2コンタクトと接触する第2電極と、を備え、(m)絶縁膜のうちの、第1面からの深さが第3半導体領域と第1電極との距離が最小となる深さに位置する部分は、比誘電率が3.5以下の低誘電率材料を用いて形成されている。

20

30

**【0008】**

本開示の電子機器は、(a)半導体基板、(b)半導体基板の第1面に設けられた格子状の第1トレンチ、(c)第1トレンチの底部に設けられ、底部に沿って延びる格子状の第2トレンチ、(d)第1及び第2トレンチの内側面、並びに第1面のそれぞれを覆う絶縁膜、(e)半導体基板を第1及び第2トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域、(f)素子領域内に設けられ、光電変換領域を囲む第1半導体領域、(g)第1トレンチの底部に設けられ、第1半導体領域と接触する第1コンタクト、(h)第1トレンチ内に配置され、第1コンタクトと接触する第1電極、(i)素子領域内において第1半導体領域の第1面側の面と接する領域に設けられ、第1半導体領域と同じ第1導電型を有する第2半導体領域、(j)素子領域内において第2半導体領域の第1面側の面と接する領域に設けられ、第1導電型と反対の第2導電型を有する第3半導体領域、(k)第1面に設けられ、第3半導体領域と接触する第2コンタクト、(l)及び第2コンタクトと接触する第2電極を備え、(m)絶縁膜は、少なくとも第1領域と第2領域とを有し、第2領域が、第1面からの深さが第3半導体領域と第1電極との距離が最小となる深さに位置する部分を含む領域であり、第2領域の誘電率が、第1領域の誘電率よりも低い光検出装置を備える。

40

**【0009】**

本開示の他の電子機器は、(a)半導体基板、(b)半導体基板の第1面に設けられた格子状の第1トレンチ、(c)第1トレンチの底部に設けられ、底部に沿って延びる格子

50

状の第2トレンチ、(d)第1及び第2トレンチの内側面、並びに第1面のそれぞれを覆う絶縁膜、(e)半導体基板を第1及び第2トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域、(f)素子領域内に設けられ、光電変換領域を囲む第1半導体領域、(g)第1トレンチの底部に設けられ、第1半導体領域と接触する第1コンタクト、(h)第1トレンチ内に配置され、第1コンタクトと接触する第1電極、(i)素子領域内において第1半導体領域の第1面側の面と接する領域に設けられ、第1半導体領域と同じ第1導電型を有する第2半導体領域、(j)素子領域内において第2半導体領域の第1面側の面と接する領域に設けられ、第1導電型と反対の第2導電型を有する第3半導体領域、(k)第1面に設けられ、第3半導体領域と接触する第2コンタクト、(l)及び第2コンタクトと接触する第2電極を備え、(m)絶縁膜のうちの、第1面からの深さが第3半導体領域と第1電極との距離が最小となる深さに位置する部分は、比誘電率が3.5以下の低誘電率材料を用いて形成されている光検出装置を備える。

10

【図面の簡単な説明】

【0010】

【図1】第1の実施形態に係る固体撮像装置を搭載した電子機器の全体を示す概略構成図である。

【図2】固体撮像装置の全体を示す概略構成図である。

【図3】SPAD画素の回路構成を示す図である。

【図4】固体撮像装置の断面構成を示す図である。

20

【図5】図4の要部を拡大して示す図である。

【図6】図4のA-A線で破断した場合の、SPAD画素の断面構成を示す図である。

【図7】図4のB-B線で破断した場合の、SPAD画素の断面構成を示す図である。

【図8】絶縁膜の全領域を酸化シリコンで形成した場合において、半導体基板の電界強度分布を解析したシミュレーションの結果を示す図である。

【図9】N+型半導体領域とアノード電極との距離が最小となる深さにおける、アノード電極とP+型半導体領域との間の電位の状態を示す図である。

【図10】絶縁膜の全領域を酸化シリコンで形成した場合において、半導体基板の電界強度分布を解析したシミュレーションの結果を示す図である。

【図11】固体撮像装置の製造方法を示すプロセス断面図である。

30

【図12】固体撮像装置の製造方法を示すプロセス断面図である。

【図13】固体撮像装置の製造方法を示すプロセス断面図である。

【図14】固体撮像装置の製造方法を示すプロセス断面図である。

【図15】固体撮像装置の製造方法を示すプロセス断面図である。

【図16】固体撮像装置の製造方法を示すプロセス断面図である。

【図17】固体撮像装置の製造方法を示すプロセス断面図である。

【図18】固体撮像装置の製造方法を示すプロセス断面図である。

【図19】固体撮像装置の製造方法を示すプロセス断面図である。

【図20】固体撮像装置の製造方法を示すプロセス断面図である。

【図21】固体撮像装置の製造方法を示すプロセス断面図である。

40

【図22】固体撮像装置の製造方法を示すプロセス断面図である。

【図23】固体撮像装置の製造方法を示すプロセス断面図である。

【図24】変形例に係る固体撮像装置の断面構成を示す図である。

【図25】変形例に係る固体撮像装置の断面構成を示す図である。

【図26】変形例に係る固体撮像装置の断面構成を示す図である。

【図27】変形例に係る固体撮像装置の断面構成を示す図である。

【図28】変形例に係る固体撮像装置の断面構成を示す図である。

【図29】変形例に係る固体撮像装置の断面構成を示す図である。

【図30】変形例に係る固体撮像装置の断面構成を示す図である。

【図31】変形例に係る固体撮像装置の断面構成を示す図である。

50

- 【図 3 2】変形例に係る固体撮像装置の断面構成を示す図である。  
 【図 3 3】変形例に係る固体撮像装置の断面構成を示す図である。  
 【図 3 4】変形例に係る固体撮像装置の断面構成を示す図である。  
 【図 3 5】変形例に係る固体撮像装置の断面構成を示す図である。  
 【図 3 6】変形例に係る固体撮像装置の断面構成を示す図である。  
 【発明を実施するための形態】

【0011】

本開示の発明者らは、特許文献 1 に記載の光検出装置において以下の課題を発見した。

特許文献 1 に記載されているタイプの光検出装置のデバイス要求としては、(1) エッジブレイクダウンを抑制したい、(2) 光検出効率を上げたい、の 2 つが挙げられる。(1) の観点からは、電界を緩和するために、アノード電極に接している絶縁膜と N + 型半導体領域との距離を大きくすることが考えられる。また、(2) の観点からは、N + 型半導体領域を横方向に広げ、増幅領域の面積を大きくすることが考えられる。しかし、例えば、光検出装置を微細化することを考えた場合、(1) (2) はトレードオフの関係となる。

【0012】

以下に、本開示の実施形態に係る光検出装置及び電子機器の一例を、図 1 ~ 図 3 6 を参照しながら説明する。本開示の実施形態は以下の順序で説明する。なお、本開示は以下の例に限定されるものではない。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

【0013】

1. 第 1 の実施形態

- 1 - 1 電子機器
- 1 - 2 固体撮像装置
- 1 - 3 固体撮像装置の断面構成
- 1 - 4 要部の構成
- 1 - 5 製造方法
- 1 - 6 変形例

【0014】

1. 第 1 の実施形態

まず、第 1 の実施形態に係る固体撮像装置（広義には「光検出装置」）及び電子機器について、図面を参照して詳細に説明する。

[1-1 電子機器]

図 1 は、第 1 の実施形態に係る固体撮像装置 10 を搭載した電子機器 1 の全体を示す概略構成図である。図 1 に示すように、電子機器 1 は、撮像レンズ 30 と、固体撮像装置 10 と、記憶部 40 と、プロセッサ 50 とを備えている。

撮像レンズ 30 は、入射光（被写体からの像光）を集光し、固体撮像装置 10 の受光面に結像させる。受光面は、固体撮像装置 10 の光電変換素子が配列された面である。

固体撮像装置 10 は、入射光を光電変換して画像データを生成する。また、生成した画像データに対しノイズ除去やホワイトバランス調整等の所定の信号処理を実行する。

【0015】

記憶部 40 は、例えば、フラッシュメモリ、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等で構成される。記憶部 40 は、固体撮像装置 10 で生成された画像データやオペレーティングシステム等の記録を行う。

プロセッサ 50 は、例えば、CPU (Central Processing Unit) 等で構成される。CPU には、オペレーティングシステムや各種アプリケーションソフトウェア等を実行するアプリケーションプロセッサ、GPU (Graphics Processing Unit)、ベースバンドプロセッサ等が含まれ得る。プロセッサ 50 は、固体撮像装置 10 で生成された画像データや記憶部 40 から読み出した画像データ等に対し、必要に応じた種々処理を実行

10

20

30

40

50

したり、ユーザへの表示を実行したり、所定のネットワークを介して外部へ送信したりする。

#### 【 0 0 1 6 】

##### [ 1 - 2 固体撮像装置 ]

図 2 は、第 1 の実施形態に係る固体撮像装置 1 0 の全体を示す概略構成図である。図 2 の固体撮像装置 1 0 は、C M O S ( Complementary Metal-Oxide-Semiconductor ) 型の固体撮像装置 ( イメージセンサ ) である。C M O S 型の固体撮像装置とは、C M O S プロセスを応用して、または、部分的に使用して作成された固体撮像装置である。なお、第 1 の実施形態では、半導体基板における素子形成面とは反対側の面が光入射面である、いわゆる裏面照射型の固体撮像装置 1 0 を例示するが、裏面照射型に限定されず、素子形成面が光入射面である、いわゆる表面照射型とすることも可能である。

10

#### 【 0 0 1 7 】

図 2 に示すように、固体撮像装置 1 0 は、S P A D アレイ部 1 1 と、駆動回路 1 2 と、出力回路 1 3 と、タイミング制御回路 1 4 とを備えている。

S P A D アレイ部 1 1 は、行列状に配列された複数の S P A D 画素 2 0 を備えている。複数の S P A D 画素 2 0 には、列ごとに画素駆動線 L D ( 図 2 中の上下方向に延びた線 ) が接続され、行ごとに出力信号線 L S ( 図 2 中の左右方向に延びた線 ) が接続されている。画素駆動線 L D の一端は、駆動回路 1 2 の各列に対応した出力端に接続されている。また、出力信号線 L S の一端は、出力回路 1 3 の各行に対応した入力端に接続されている。

#### 【 0 0 1 8 】

駆動回路 1 2 は、シフトレジスタやアドレスデコーダ等を含み、S P A D アレイ部 1 1 の各 S P A D 画素 2 0 を、全画素同時や列単位等で駆動する。そして、駆動回路 1 2 は、読出し対象の列に対応する画素駆動線 L D に選択制御電圧 V \_ S E L ( 図 3 参照 ) を印加することで、フォトン入射の検出に用いる S P A D 画素 2 0 を列単位で選択する。

駆動回路 1 2 によって選択された列の各 S P A D 画素 2 0 から出力される信号 ( 以下、「検出信号」とも呼ぶ ) V \_ O U T は、出力信号線 L S それぞれを通して出力回路 1 3 に入力される。出力回路 1 3 は、各 S P A D 画素 2 0 から入力された検出信号 V \_ O U T を画素信号として、図 1 に示した外部の記憶部 4 0 又はプロセッサ 5 0 へ出力する。

タイミング制御回路 1 4 は、各種のタイミング信号を生成するタイミングジェネレータ等を含み、生成されたタイミング信号を基に駆動回路 1 2 及び出力回路 1 3 を制御する。

20

30

#### 【 0 0 1 9 】

図 3 は、S P A D 画素 2 0 の回路構成を示す図である。図 3 に示すように、S P A D 画素 2 0 は、受光素子としてのフォトダイオード 2 1 と、フォトダイオード 2 1 にフォトンが入射したことを検出する読出し回路 2 2 とを備えている。フォトダイオード 2 1 は、S P A D であり、そのアノードとカソードとの間に降伏電圧 ( ブレークダウン電圧 ) 以上の逆バイアス電圧 V \_ S P A D が印加されるとガイガーモードで動作し、ガイガーモードで動作している状態でフォトンが入射すると、アバランシェ電流を発生する。

#### 【 0 0 2 0 】

##### [ 1 - 3 固体撮像装置の断面構成 ]

図 4 は、固体撮像装置 1 0 の断面構成を示す図である。また、図 5 は、図 4 のフォトダイオード 2 1 及びその近傍の断面構成を拡大して示す図である。図 4 に示すように、固体撮像装置 1 0 は、受光チップ 7 1 と、回路チップ 7 2 とが上下に積層された構造となっている。受光チップ 7 1 は、S P A D 画素 2 0 が配列された S P A D アレイ部 1 1 ( 図 2 参照 ) を備える半導体チップである。また、回路チップ 7 2 は、読出し回路 2 2 ( 図 3 参照 ) が配列された半導体チップである。なお、回路チップ 7 2 には、図 2 に示した駆動回路 1 2 、出力回路 1 3 、タイミング制御回路 1 4 等の周辺回路が配置されてもよい。

S P A D 画素 2 0 のフォトダイオード 2 1 は、受光チップ 7 1 を構成する半導体基板 1 0 0 に設けられている。半導体基板 1 0 0 は、裏面 S 2 ( 図 4 中の上面。光入射面 ) から見た形状が格子状の素子分離部 1 1 0 により、複数の素子領域 1 0 1 に区画されている ( 図 6 参照 ) 。図 6 は、図 4 の A - A 線で破断した場合の、S P A D 画素 2 0 の断面構成を

40

50



示す図である。フォトダイオード 21 は、各素子領域 101 に設けられている。

#### 【0021】

各フォトダイオード 21 を区画する素子分離部 110 は、半導体基板 100 を表面 S1 (図 4 中の下面。広義には「第 1 面」) から後述する第 1 トレンチ T1 の底部にかけて貫通するトレンチ (以下、「第 2 トレンチ T2」とも呼ぶ) 内に設けられている。各素子分離部 110 は、第 2 トレンチ T2 の内側面を覆う絶縁膜 111 と、第 2 トレンチ T2 内を埋める遮光膜 112 とを備えている。絶縁膜 111 は、第 2 トレンチ T2 の内側面に加え、第 2 トレンチ T2 の内側面、半導体基板 100 の表面 S1 を覆っている。第 2 トレンチ T2 の内側面を覆う部分と、半導体基板 100 の表面 S1 を覆う部分とは、連続的に設けられている。また、第 2 トレンチ T2 の内側面を覆う部分には、後述するように、第 1 の領域 111a よりも誘電率が低い低誘電率材料からなる第 2 の領域 111b (図 5 参照) が設けられている。第 2 トレンチ T2 の内側面を覆う絶縁膜 111 の膜厚は、アノード - カソード間に印加する逆バイアス電圧  $V_{SPAD}$  の電圧値にもよるが、例えば、10 nm ~ 20 nm 程度であってもよい。また、遮光膜 112 の膜厚 (溝幅方向の厚さ) は、遮光膜 112 に使用される材料等にもよるが、例えば、150 nm 程度であってもよい。

10

#### 【0022】

また、半導体基板 100 の表面 S1 には、素子分離部 110 に沿って格子状に設けられたトレンチ (以下、「第 1 トレンチ T1」とも呼ぶ) が設けられている。第 1 トレンチ T1 は、底部で第 2 トレンチ T2 と繋がっている。これにより、第 1 トレンチ T1 の底部に、その底部に沿って延びる格子状の第 2 トレンチ T2 が設けられた構造となっている。また、第 1 トレンチ T1 の溝幅は、第 2 トレンチ T2 の溝幅よりも広がっている。

20

第 1 トレンチ T1 は、第 1 トレンチ T1 の内側面を覆う絶縁膜 111 と、第 1 トレンチ T1 内を埋めるアノード電極 122 (広義には「第 1 電極」) とを備えている。これにより、アノード電極 122 の少なくとも一部が第 1 トレンチ T1 内に配置された構造となっている。第 1 トレンチ T1 の内側面を覆う絶縁膜 111 の膜厚は、アノード - カソード間に印加する逆バイアス電圧  $V_{SPAD}$  の電圧値にもよるが、例えば、数百 nm 程度であってもよい。アノード電極 122 の溝幅方向の厚さは、アノード電極 122 に使用される材料等にもよるが、例えば、数百 nm 程度であってもよい。アノード電極 122 は、第 1 トレンチ T1 の開口から突出し、突出した部分が、半導体基板 100 の表面 S1 を覆う絶縁膜 111 の表面 S3 (図 4 中の下面) に接するように広がっている。

30

また、半導体基板 100 の表面 S1 を覆う絶縁膜 111 の部分には、カソードコンタクト 107 を露出させる開口が設けられ、開口内にはカソードコンタクト 107 と接触するカソード電極 121 が設けられている。カソード電極 121 は、絶縁膜 111 の開口部から突出し、突出した部分が絶縁膜 111 の表面 S3 に接するように広がっている。

#### 【0023】

ここで、遮光膜 112 とアノード電極 122 とに遮光性を有する同じ導電材料を用いることで、遮光膜 112 とアノード電極 122 とを同一工程で形成することが可能となる。さらに、カソード電極 121 にも、遮光膜 112 及びアノード電極 122 と同じ導電材料を用いることで、遮光膜 112 とアノード電極 122 とカソード電極 121 とを同一工程で形成することが可能となる。遮光性を有する導電材料としては、例えば、タングステン (W)、アルミニウム (Al)、アルミニウム合金、銅 (Cu) を用いることができる。

40

なお、第 2 トレンチ T2 内の遮光膜 112 の材料としては、導電材料に限定されるものではなく、例えば、半導体基板 100 よりも高い屈折率を備える高屈折率材料や、半導体基板 100 よりも低い屈折率を備える低屈折率材料等を用いることも可能である。

また、カソード電極 121 の材料としては、遮光性が要求されないため、例えば、遮光性を有する導電材料に代えて、銅 (Cu) 等の導電材料を用いることも可能である。

#### 【0024】

各フォトダイオード 21 は、光電変換領域 102 と、P 型半導体領域 103 (広義には「第 1 半導体領域」) と、N - 型半導体領域 104 と、P + 型半導体領域 105 (広義には「第 2 半導体領域」) と、N + 型半導体領域 106 (広義には「第 3 半導体領域」) と

50

、カソードコンタクト107（広義には「第2コンタクト」）と、アノードコンタクト108（広義には「第1コンタクト」）とを備えている。

光電変換領域102は、例えば、N型のウェル領域であり、入射光を光電変換して電子-正孔対（以下、「電荷」とも呼ぶ）を発生させる。光電変換領域102は、第1トレンチT1の底部よりも半導体基板100の裏面S2側に位置する領域に設けられる。

P型半導体領域103は、例えば、P型（広義には「第1導電型」）のアクセプタを含む領域であり、図4及び図6に示すように、光電変換領域102を囲む領域に設けられている。図4では、P型半導体領域103が、N+型半導体領域106よりも半導体基板100の裏面S2側（図4中の上側）に設けられた場合を例示している。なお、P型半導体領域103の表面S4（図4中の下面）よりも半導体基板100の表面S1側（図4中の下側）の領域は、P+型半導体領域105、N+型半導体領域106及びカソードコンタクト107の部分を除き、N型のウェル領域109となっている。P型半導体領域103は、アノードコンタクト108に逆バイアス電圧 $V_{SPAD}$ が印加されることで、光電変換領域102で発生した電荷をN-型半導体領域104へ導く電界を形成する。

#### 【0025】

N-型半導体領域104は、例えば、光電変換領域102よりも高い濃度のドナーを含む領域であり、図4及び図6に示すように、光電変換領域102の中央部に設けられている。N-型半導体領域104は、光電変換領域102で発生した電荷を取り込んでP+型半導体領域105へ導く。なお、N-型半導体領域104は、省略してもよい。

P+型半導体領域105は、例えば、P型半導体領域103と同じP型の半導体領域であって、P型半導体領域103よりも高い濃度のP型のアクセプタを含む領域であり、P型半導体領域103の表面S4（半導体基板100の表面S1側の面）と接触する領域に設けられている。図4では、P+型半導体領域105が、P型半導体領域103の表面S4と接する領域に設けられ、P+型半導体領域105の裏面S5側（図4中の上側）の部分がP型半導体領域103内に埋まっている構造とした場合を例示している。また、P+型半導体領域105の面積は、P+型半導体領域105と絶縁膜111との間にN型のウェル領域109が位置するように、第1トレンチT1で挟まれた領域の面積よりも小さくなっている。さらに、N+型半導体領域106の面積よりも小さくなっている。

#### 【0026】

N+型半導体領域106は、例えば、N型（広義には「第1導電型と反対の第2導電型」）の半導体領域であって、N-型半導体領域104よりも高い濃度のドナーを含む領域であり、P+型半導体領域105の表面S6（半導体基板100の表面S1側の面）と接触する領域に設けられている。図4では、N+型半導体領域106が、P+型半導体領域105の表面S6と接する領域に設けられ、N+型半導体領域106の裏面S7側（図4中の上側）の部分がP+型半導体領域105と接触している構造とした場合を例示している。また、図7に示すように、N+型半導体領域106の面積は、N+型半導体領域106と絶縁膜111との間にN型のウェル領域109が位置するように、第1トレンチT1で挟まれた領域の面積よりも小さくなっている。また、N+型半導体領域106と絶縁膜111とに挟まれたN型のウェル領域109の幅方向（図4中の左右方向）の長さは、数百nm以上程度であってもよい。そして、P+型半導体領域105とN+型半導体領域106とは、PN接合を形成し、流れ込んだ電荷を加速してアバランシェ電流を発生させる増幅領域130（図5参照）として機能する。図7は、図4のB-B線で破断した場合の、SPAD画素20の断面構成を示す図である。

#### 【0027】

カソードコンタクト107は、例えば、N+型半導体領域106よりも高い濃度のドナーを含む領域であり、N+型半導体領域106と接触する領域に設けられている。図4では、カソードコンタクト107が、半導体基板100の表面S1に設けられ、カソードコンタクト107の裏面S8側（図4中の上側）の部分がN+型半導体領域106と接触し、カソードコンタクト107の表面（裏面S8側と反対側の面。図4中の下面）の部分が半導体基板100の表面S1から露出している構造とした場合を例示している。カソード

10

20

30

40

50

コンタクト 107 の表面 (図 4 中の下面) は、カソード電極 121 と接触している。

アノードコンタクト 108 は、例えば、P+ 型半導体領域 105 よりも高い濃度のアクセプタを含む領域であり、P 型半導体領域 103 の外周と接触する領域に設けられている。図 4 及び図 6 では、アノードコンタクト 108 が、第 1 トレンチ T1 の底部に設けられ、アノードコンタクト 108 の裏面 (図 4 中の上側) 及び側面が P 型半導体領域 103 と接触し、裏面の反対側 (図 4 中の下側) の部分が第 1 トレンチ T1 の底面から露出した構造とした場合を例示している。このような構造により、アノードコンタクト 108 の形成位置が、カソードコンタクト 107 及び N+ 型半導体領域 106 の形成位置に対して、高さ方向にずらされている。アノードコンタクト 108 の幅は、例えば、40 nm 程度であってよい。このように、アノードコンタクト 108 を P 型半導体領域 103 の外周全体に接触させることで、光電変換領域 102 に均一な電界を形成することが可能となる。アノードコンタクト 108 の表面 (図 4 中の下面) はアノード電極 122 と接触している。

10

#### 【0028】

絶縁膜 111 の表面 S3 (図 4 中の下面) には、配線層 120 が設けられている。配線層 120 は、層間絶縁膜 123 と、層間絶縁膜 123 内に設けられた配線 124 とを備えている。配線 124 は、絶縁膜 111 の表面 S3 から突出しているカソード電極 121 と接触している。なお、図示を省略したが、配線層 120 には、アノード電極 122 と接触する配線も設けられている。配線層 120 の表面 S9 (図 4 中の下面) には、回路チップ 72 が接合されている。このような構造により、配線層 120 を介して、カソード電極 121 に、回路チップ 72 の読出し回路 22 (図 3 参照) 等が電氣的に接続されている。

20

#### 【0029】

また、半導体基板 100 の裏面 S2 には、ピニング層 113 と、平坦化膜 114 とがこの順に設けられている。さらに、平坦化膜 114 の裏面 S7 には、SPAD 画素 20 ごとに、カラーフィルタ 115 と、オンチップレンズ 116 とがこの順に設けられている。

ピニング層 113 は、例えば、所定濃度のアクセプタを含む酸化ハフニウム ( $\text{HfO}_2$ ) 膜や酸化アルミニウム ( $\text{Al}_2\text{O}_3$ ) 膜より構成された固定電荷膜である。平坦化膜 114 は、例えば、酸化シリコン ( $\text{SiO}_2$ ) や窒化シリコン ( $\text{SiN}$ ) 等の絶縁材料で構成された絶縁膜であり、カラーフィルタ 115 側の面を平坦化するための膜である。

#### 【0030】

以上のような構造において、カソードコンタクト 107 とアノードコンタクト 108 との間に、ブレークダウン電圧以上の逆バイアス電圧  $V_{\text{SPAD}}$  を印加すると、P 型半導体領域 103 と N+ 型半導体領域 106 との間の電位差により、光電変換領域 102 で発生した電荷を N- 型半導体領域 104 へ導く電界が形成される。加えて、P+ 型半導体領域 105 と N+ 型半導体領域 106 との間の PN 接合領域に、進入した電荷を加速してアバランシェ電流を発生させる高電界領域 (増幅領域 130) が形成される。これにより、フォトダイオード 21 のアバランシェフォトダイオードとしての動作が実現される。

30

#### 【0031】

また、アノードコンタクト 108 の形成位置と、カソードコンタクト 107 及び N+ 型半導体領域 106 の形成位置とを半導体基板 100 の厚さ方向にずらすことで、SPAD 画素 20 の横方向 (半導体基板 100 の表面 S1 と平行な方向) のサイズを大きくすることなく、アノードコンタクト 108 からカソードコンタクト 107 までの距離、アノードコンタクト 108 から N+ 型半導体領域 106 までの距離を長くすることが可能となる。これにより、アノードコンタクト 108 とカソードコンタクト 107 及び N+ 型半導体領域 106 との間の電界を緩和し、エッジブレークダウン等の不具合の抑制が可能となる。

40

#### 【0032】

##### [1-4 要部の構成]

次に、絶縁膜 111 の構造について、図面を参照して詳細に説明する。

絶縁膜 111 は、図 5 に示すように、第 1 領域 111a と、第 2 領域 111b とを有している。図 5 はフォトダイオード 21 及びその近傍の断面構成を拡大して示す図である。

第 1 領域 111a は、絶縁膜 111 のうちの、第 2 領域 111b 以外の領域である。図

50

5では、絶縁膜111のうちの、半導体基板100の表面S1からの深さが、第2領域111bの表面S10(図4中の下面)よりも浅い部分すべてと裏面S11(図4中の上面)よりも深い部分すべてを含む領域とした場合を例示している。第1領域111aの材料としては、例えば、酸化シリコン( $\text{SiO}_2$ :比誘電率3.8~4.1)、窒化シリコン( $\text{SiN}$ :比誘電率7.0)を用いることも可能である。特に、アノード電極122には高電圧の逆バイアス電圧が印加されるため、耐圧性能の点から酸化シリコン( $\text{SiO}_2$ )が好ましい。

#### 【0033】

第2領域111bは、絶縁膜111のうちの、半導体基板100の表面S1からの深さが、N+型半導体領域106とアノード電極122との距離Lが最小となる深さに位置する部分を含む領域である。図4では、絶縁膜111のうちの、N+型半導体領域106が設けられている深さに位置する領域を第2領域111bとした場合を例示している。第2領域111bの材料としては、例えば、第1領域111aの材料よりも誘電率が低い低誘電率材料が用いられる。これにより、第2領域111bの誘電率 $\epsilon_2$ が、第1領域111aの誘電率 $\epsilon_1$ よりも低くなっている。第2領域111bの誘電率 $\epsilon_2$ は、第1領域111aの材料が酸化シリコン( $\text{SiO}_2$ )である場合、3.5以下が好ましく、3.0以下がより好ましく、2.8以下がさらに好ましい。誘電率 $\epsilon_2$ の下限値は2.3以上が好ましい。

10

#### 【0034】

低誘電率材料としては、例えば、ヒドロジェンシルセスキオキサン樹脂(HSQ(hydrogen silsesquioxane):比誘電率3.0)、ベンゾシクロブテン(BCB(benzocyclobutene):比誘電率2.7)、ポリアリルエーテル(PAE(poly aryl ether):比誘電率2.7)、炭素含有酸化シリコン( $\text{SiOC}$ :比誘電率2.9)、ポリアリーレート(PAR(poly arylate):比誘電率2.65)、フッ素ドーパ酸化シリコン( $\text{SiO}_2$  film fluorine doped silicon dioxide:含有率11at%で比誘電率3.3~3.4)を用いることも可能である。特に、製造し易さの点からは、フッ素ドーパ酸化シリコンが好ましい。フッ素ドーパ酸化シリコンは、フッ素を添加した酸化膜であって、例えば、TEOS- $\text{C}_2\text{F}_6$ 系やTEFS(triethoxy fluoro silane)等のソースを用いてプラズマCVD(chemical vapor deposition)法によって形成される。

20

30

#### 【0035】

ここで、本開示の発明者らは、日々の研究から、図8に示すように、固体撮像装置10を微細化した場合に、N+型半導体領域106とアノード電極122との距離Lが最小となる深さ(以下、「第1深さ」とも呼ぶ)において、絶縁膜111と半導体基板100(N型のウェル領域109)との界面140の電界が強くなる傾向があることを発見した。図8は、絶縁膜111の全領域を誘電率 $\epsilon_1$ の第1領域111a(つまり、誘電率が高い領域)として、酸化シリコン( $\text{SiO}_2$ )で形成した場合において、半導体基板100の電界強度分布を解析したシミュレーションの結果を示す図である。図8では、電界が強い領域は濃色で表されており、電界が弱い領域は淡色で表されている。なお、図8では、SPAD画素20の構成は、シミュレーション用に一部簡略化されている。

40

#### 【0036】

これに対し、第1の実施形態に係る固体撮像装置10では、絶縁膜111の第2領域111bの誘電率 $\epsilon_2$ を低くしたため、図9に示すように、絶縁膜111のうちの、N+型半導体領域106とアノード電極122との距離Lが最小となる深さ(第1深さ)に位置する部分の電位勾配を急にすることができ、その分、絶縁膜111の第1深さに位置する部分とN+型半導体領域106との間の電位勾配を緩やかにすることができる。それゆえ、電界が強くなる傾向がある界面140の電界を緩和でき、その結果、絶縁膜111と半導体基板100(N型のウェル領域109)との界面140の電界を緩和が可能となる。

なお、図9は、第1深さにおける、アノード電極122とP+型半導体領域105との間の電位の状態を示す図である。図9中、実線は、第1の実施形態に係る固体撮像装置1

50

0における電位の状態を示している。また破線は、第1深さの絶縁膜111を誘電率1の領域（誘電率が高い領域）とした固体撮像装置10における電位の状態を示している。

#### 【0037】

したがって、第1の実施形態に係る固体撮像装置10によれば、絶縁膜111と半導体基板100（N型のウェル領域109）との界面140の電界を抑制することで、界面140の電界に起因するエッジブレイクダウンを抑制できる。また増幅領域130の面積が小さくならず済み、光検出効率の低減を抑制できる。それゆえ、（1）エッジブレイクダウンの抑制、（2）光検出効率の向上という2つのデバイス要求を同時に実現できる。

また、図10に示すように、第1の実施形態に係る固体撮像装置10の構造、つまり、絶縁膜111のうちの、N+型半導体領域106とアノード電極122との距離Lが最小となる深さ（第1深さ）に位置する部分の誘電率2を低くした構造とすることで、増幅領域130の面積を減らすことなく、界面140の電界を抑制できることを、シミュレーションによって確認できた。図10は、第1の実施形態に係る固体撮像装置10において、半導体基板100の電界強度分布を解析したシミュレーションの結果を示す図である。なお、図10では、SPAD画素20の構成は、シミュレーション用に一部簡略化されている。

#### 【0038】

##### [1-5 製造方法]

続いて、第1の実施形態に係る固体撮像装置10の製造方法について、図面を参照して詳細に説明する。なお、以下の説明では、受光チップ71の製造方法に着目する。

図11～図23は、固体撮像装置10の製造方法を示すプロセス断面図である。

まず、図11に示すように、全体的に低い濃度のドナーを含む半導体基板100における所定の領域にドナー及びアクセプタを適宜イオン注入することで、光電変換領域102を区画するP型半導体領域103の一部（以下、「P型半導体領域103a」とも呼ぶ）と、N-型半導体領域104と、P+型半導体領域105と、N+型半導体領域106と、N型のウェル領域109とを形成する。なお、イオン注入は、例えば、半導体基板100の表面S1から行なってもよい。またイオン注入後には、イオン注入時のダメージ回復及び注入されたドーパントのプロファイル改善のためのアニーリングを実行してもよい。

#### 【0039】

次に、図12に示すように、半導体基板100の表面S1に格子状の開口A1を有するマスクM1を形成し、このマスクM1を用いて半導体基板100をRIE（Reactive Ion Etching）等の異方性ドライエッチングにより彫り込むことで、隣接するSPAD画素20の境界部分に沿った格子状の第1トレンチT1を形成する。第1トレンチT1の深さは、第1トレンチT1の底面が少なくともP+型半導体領域105の裏面S5（図12中の下面）よりも深いレベルに位置し、且つP型半導体領域103aに達する深さとする。

なお、第1トレンチT1の半導体基板100の表面S1からの深さが深いほど、図4に示すように、アノードコンタクト108からN+型半導体領域106及びカソードコンタクト107までの距離を確保することができる。ただし、第1トレンチT1を深くしすぎると、プロセス精度が悪化して歩留りが低下する可能性がある。したがって、第1トレンチT1の深さは、必要なプロセス精度を確保できる範囲内で深く設定するのが好ましい。

#### 【0040】

次に、図13に示すように、例えば、スパッタリングやCVD（Chemical Vapor Deposition）法等の成膜技術を用いることで、第1トレンチT1内に第1絶縁膜117aを埋め込む。第1絶縁膜117aの材料としては、絶縁膜111の第1領域111aと同じ材料を用いる。次に、図14に示すように、RIE等の異方性ドライエッチングを用いることで、第1絶縁膜117aを所定の深さまで除去する。図14では、第1絶縁膜117aを、N+型半導体領域106の裏面S7（図14中の下面）と同じ深さまで除去する場合を例示している。次に、図15に示すように、例えば、スパッタリングやCVD法等の成膜技術を用いることで、第1トレンチT1内に第2絶縁膜117bを埋め込む。第

2 絶縁膜 1 1 7 b の材料としては、絶縁膜 1 1 1 の第 2 領域 1 1 1 b と同じ材料を用いる。次に、図 1 6 に示すように、R I E 等の異方性ドライエッチングを用いることで、第 2 絶縁膜 1 1 7 b を所定の深さまで除去する。図 1 6 では、第 2 絶縁膜 1 1 7 b を、N + 型半導体領域 1 0 6 の表面 S 1 2 ( 図 1 6 中の上 ) と同じ深さまで除去した場合を例示している。これにより、第 2 絶縁膜 1 1 7 b は N + 型半導体領域 1 0 6 と同じ深さに設けられる。

#### 【 0 0 4 1 】

次に、図 1 7 に示すように、マスク M 1 を除去した後、例えば、スパッタリングや C V D 法等の成膜技術を用いることで、半導体基板 1 0 0 の表面 S 1 を覆うとともに、第 1 トレンチ T 1 の内部に埋め込まれた第 3 絶縁膜 1 1 7 c を形成する。これにより、第 3 絶縁膜 1 1 7 c の表面 S 1 2 ( 図 1 8 中の上 ) は凹凸がない平坦面に形成される。次に、図 1 8 に示すように、第 3 絶縁膜 1 1 7 c の表面 S 1 2 に、格子状の開口 A 2 を有するマスク M 2 を形成し、このマスク M 2 の上から、第 1 トレンチ T 1 内の第 3 絶縁膜 1 1 7 c 、第 2 絶縁膜 1 1 7 b 、第 1 絶縁膜 1 1 7 a 、半導体基板 1 0 0 を R I E 等の異方性ドライエッチングにより彫り込むことで、第 3 絶縁膜 1 1 7 c の表面 S 1 2 から半導体基板 1 0 0 の表面 S 1 側から裏面 S 2 ( 図 1 8 中の下 ) 付近にまで達するトレンチ T 3 を形成する。トレンチ T 3 のうちの、第 1 トレンチ T 1 の底部から半導体基板 1 0 0 の裏面 S 2 付近にまで達する部分は、図 4 に示した素子分離部 1 1 0 の第 2 トレンチ T 2 を構成する。

10

#### 【 0 0 4 2 】

次に、図 1 9 に示すように、第 1 トレンチ T 1 内の第 1 絶縁膜 1 1 7 a 、第 2 絶縁膜 1 1 7 b 、第 3 絶縁膜 1 1 7 c をウェットエッチング等の等方性エッチングにより後退させることで、第 1 トレンチ T 1 の底部に P 型半導体領域 1 0 3 a の上部を露出させる。次に、図 2 0 に示すように、マスク M 2 を除去した後、例えば C V D 法等の成膜技術を用いることで、トレンチ T 3 ( 第 2 トレンチ T 2 を含む ) の内側面を覆う第 4 絶縁膜 1 1 7 d を形成する。第 4 絶縁膜 1 1 7 d の材料としては第 1 絶縁膜 1 1 7 a と同じ材料を用いる。

20

次に、図 2 1 に示すように、第 3 絶縁膜 1 1 7 c の表面 S 1 2 に、格子状の開口 A 3 を有するマスク M 3 を形成し、このマスク M 3 の上から、R I E 等の異方性ドライエッチングを用いることで、トレンチ T 3 の内側面を覆っている第 4 絶縁膜 1 1 7 d を第 1 トレンチ T 1 の底部まで除去する。これにより、第 1 絶縁膜 1 1 7 a 、第 2 絶縁膜 1 1 7 b 、第 3 絶縁膜 1 1 7 c 及び第 4 絶縁膜 1 1 7 d によって、第 1 領域 1 1 1 a 、第 2 領域 1 1 1 b を有する絶縁膜 1 1 1 が完成する。さらに、マスク M 3 の上からアクセプタを高濃度にイオン注入する。これにより、第 1 トレンチ T 1 の底部、つまり P 型半導体領域 1 0 3 の上部 ( 図 6 参照 ) に高濃度のアクセプタを含むアノードコンタクト 1 0 8 が設けられる。

30

#### 【 0 0 4 3 】

次に、図 2 2 に示すように、マスク M 3 を除去した後、N + 型半導体領域 1 0 6 の上方に開口 A 4 を有するマスク M 4 を第 3 絶縁膜 1 1 7 c の表面 S 1 2 に形成し、このマスク M 4 の上から第 3 絶縁膜 1 1 7 c を R I E 等の異方性ドライエッチングにより彫り込むことで、半導体基板 1 0 0 の表面 S 1 を露出させる開口 A 5 を形成する。さらに、マスク M 4 の上から、ドナーを高濃度にイオン注入する。これにより、N + 型半導体領域 1 0 6 の上に位置する半導体基板 1 0 0 の一部に、高濃度のドナーを含むカソードコンタクト 1 0 7 が設けられる。なお、アノードコンタクト 1 0 8 やカソードコンタクト 1 0 7 の形成方法は、イオン注入法に限定されず、固相拡散やプラズマドーピング等も採用できる。

40

#### 【 0 0 4 4 】

次に、図 2 3 に示すように、マスク M 4 を除去した後、例えば、リフトオフ法等を用いることで、第 2 トレンチ T 2 内に遮光膜 1 1 2 を形成するとともに、第 1 トレンチ T 1 内にアノードコンタクト 1 0 8 と接触するアノード電極 1 2 2 を形成し、さらに、開口 A 5 内にカソードコンタクト 1 0 7 と接触するカソード電極 1 2 1 を形成する。遮光膜 1 1 2 、カソード電極 1 2 1 及びアノード電極 1 2 2 の材料には、上述したように、タングステン ( W ) の他、アルミニウム ( A l ) やアルミニウム合金や銅 ( C u ) 等、可視光や素子ごとに必要な光に対して反射又は吸収する性質を持つ種々の導電材料を採用できる。

50

## 【 0 0 4 5 】

次に、カソード電極 1 2 1 及びアノード電極 1 2 2 が設けられた絶縁膜 1 1 1 上に、カソード電極 1 2 1 に接続された配線 1 2 4 と、アノード電極 1 2 2 に接続された配線 1 2 6 と、層間絶縁膜 1 2 3 とを含む配線層 1 2 0 を形成する。また、層間絶縁膜 1 2 3 の表面に露出する銅 (Cu) 製の接続パッド 1 2 5 及び 1 2 7 を形成する。次に、半導体基板 1 0 0 を裏面 S 2 から薄厚化することで、第 2 トレンチ T 2 内の遮光膜 1 1 2 が半導体基板 1 0 0 の裏面 S 2 に達するように、第 2 トレンチ T 2 を貫通させる。半導体基板 1 0 0 の薄厚化には、例えば、CMP (Chemical Mechanical Polishing) 等を採用できる。

## 【 0 0 4 6 】

次に、半導体基板 1 0 0 の裏面 S 2 全体にアクセプタをイオン注入する。これにより、光電変換領域 1 0 2 を囲む P 型半導体領域 1 0 3 が完成する。その後、半導体基板 1 0 0 の裏面 S 2 に、ピニング層 1 1 3、平坦化膜 1 1 4、カラーフィルタ 1 1 5 及びオンチップレンズ 1 1 6 を順次形成することで、固体撮像装置 1 0 における受光チップ 7 1 が設けられる。そして、別途用意した回路チップ 7 2 と受光チップ 7 1 とを貼り合わせることで、図 4 に例示したような断面構造を備える固体撮像装置 1 0 が作製される。

## 【 0 0 4 7 】

## [ 1 - 6 変形例 ]

( 1 ) 第 1 の実施形態では、絶縁膜 1 1 1 のうちの、N + 型半導体領域 1 0 6 とアノード電極 1 2 2 との距離が最小となる深さ ( 第 1 深さ ) に位置する部分を含む領域を第 2 領域 1 1 1 b ( 低誘電率領域 ) とする例を示したが、他の構成を採用することもできる。例えば、図 2 4 に示すように、第 2 領域 1 1 1 b を、絶縁膜 1 1 1 のうちの、半導体基板 1 0 0 の表面 S 1 からの深さが、N + 型半導体領域 1 0 6 とアノード電極 1 2 2 との距離が最小となる深さ ( 第 1 深さ ) よりも浅い部分 ( 半導体基板 1 0 0 の表面 S 1 側の部分 ) を含んでいてもよい。図 2 4 では、絶縁膜 1 1 1 のうちの、第 1 深さ以下の浅い部分であって、且つアノード電極 1 2 2 と接触している部分すべてを含む領域を第 2 領域 1 1 1 b とした場合を例示している。また、図 2 4 では、第 2 領域 1 1 1 b の最深部の位置は、P + 型半導体領域 1 0 5 と N + 型半導体領域 1 0 6 との界面が位置する深さとなっている。

## 【 0 0 4 8 】

ここで、本開示の発明者らは、日々の研究から、ハンマーヘッド型のアノード電極 1 2 2 のハンマー部分 ( 絶縁膜 1 1 1 の表面 S 3 に広がっている部分 ) の電位によって、N + 型半導体領域 1 0 6 とアノード電極 1 2 2 との距離が最小となる深さ ( 第 1 深さ ) よりも浅いところ ( 以下、「第 2 深さ」とも呼ぶ ) においても、絶縁膜 1 1 1 と半導体基板 1 0 0 との界面 1 5 0 の電界が強くなる傾向があることを発見した。これに対し、本変形例では、絶縁膜 1 1 1 のうちの第 2 深さに位置する部分 ( 以下「第 2 部分」とも呼ぶ ) の誘電率も低くした。そのため、第 2 部分と N + 型半導体領域 1 0 6 との間の電位勾配を緩やかにすることができる。それゆえ、第 2 部分と半導体基板 1 0 0 との界面 1 5 0 の電界 ( 電界が強くなる傾向がある界面 ) を緩和でき、エッジブレイクダウンの発生を抑制できる。

## 【 0 0 4 9 】

( 2 ) また、例えば、図 2 5 に示すように、絶縁膜 1 1 1 が、第 1 領域 1 1 1 a 及び第 2 領域 1 1 1 b に加え、第 3 領域 1 1 1 c を有する構成としてもよい。第 3 領域 1 1 1 c は、絶縁膜 1 1 1 のうちの、第 2 領域 1 1 1 b よりも浅い部分に位置する領域である。図 2 5 では、絶縁膜 1 1 1 のうちの、第 2 領域 1 1 1 b の表面 S 1 0 ( 半導体基板 1 0 0 の表面 S 1 側の面 ) よりも浅い部分であって、且つアノード電極 1 2 2 と接触している部分すべてを含む領域を第 3 領域 1 1 1 c とした場合を例示している。第 3 領域 1 1 1 c の誘電率  $\epsilon_3$  は、第 1 領域 1 1 1 a の誘電率  $\epsilon_1$  よりも低く、第 2 領域 1 1 1 b の誘電率  $\epsilon_2$  よりも高くなっている (  $\epsilon_2 < \epsilon_3 < \epsilon_1$  )。このような構造により、変形例 ( 1 ) と同様に、絶縁膜 1 1 1 のうちの浅いところに位置する部分 ( 第 2 部分 ) の誘電率  $\epsilon_3$  が低くなるため (  $\epsilon_3 < \epsilon_1$  ) 第 2 部分と半導体基板 1 0 0 との界面の電界を緩和することができる。

10

20

30

40

50

ここで、例えば、第 2 部分に第 1 領域 1 1 1 a を形成した場合、半導体基板 1 0 0 内では、第 2 領域 1 1 1 b の深さに位置する部分と、第 1 領域 1 1 1 a の深さに位置する部分との電位差により、半導体基板 1 0 0 の厚さ方向に電界が発生する。これに対し、本変形例では、第 2 部分に設けられる第 3 領域 1 1 1 c の誘電率  $\epsilon_3$  が第 2 領域 1 1 1 b の誘電率  $\epsilon_2$  よりも高いため、半導体基板 1 0 0 の厚さ方向に発生する電界を抑制できる。

#### 【 0 0 5 0 】

( 3 ) また、例えば、図 2 6 に示すように、絶縁膜 1 1 1 が、第 1 領域 1 1 1 a 及び第 2 領域 1 1 1 b に加え、第 4 領域 1 1 1 d を有する構成としてもよい。第 4 領域 1 1 1 d は、絶縁膜 1 1 1 のうちの、第 2 領域 1 1 1 b よりも深い部分に位置する領域である。図 2 6 では、絶縁膜 1 1 1 のうちの、第 2 領域 1 1 1 b の裏面 S 1 1 ( 半導体基板 1 0 0 の裏面 S 2 側の面 ) から P 型半導体領域 1 0 3 の表面 S 4 ( 半導体基板 1 0 0 の表面 S 1 側の面 ) が位置する深さの部分までを第 4 領域 1 1 1 d とした場合を例示している。すなわち、図 2 6 では、第 4 領域 1 1 1 d は、P + 型半導体領域 1 0 5 が設けられている深さに位置している。第 4 領域 1 1 1 d の誘電率  $\epsilon_4$  は、第 1 領域 1 1 1 a の誘電率  $\epsilon_1$  及び第 2 領域 1 1 1 b の誘電率  $\epsilon_2$  よりも高くなっている (  $\epsilon_2 < \epsilon_1 < \epsilon_4$  )。このような構造により、P + 型半導体領域 1 0 5 の第 4 領域 1 1 1 d 側 ( 図 2 6 中では、P + 型半導体領域 1 0 5 の左側又は右側 ) の電位を制御して、増幅領域 1 3 0 ( 高電界領域 ) の面積を増大でき、光検出効率を向上することができる。なお、図 2 6 では、第 1 領域 1 1 1 a を、絶縁膜 1 1 1 のうちの、第 2 領域 1 1 1 b 及び第 3 領域 1 1 1 c 以外の領域すべてとした場合を例示している。また、第 4 領域 1 1 1 d の材料としては、例えば、第 1 領域 1 1 1 a の材料が酸化シリコン (  $\text{SiO}_2$  ) である場合には、窒化シリコン (  $\text{SiN}$  ) を採用できる。

10

20

#### 【 0 0 5 1 】

( 4 ) また、例えば、図 2 7 に示すように、変形例 ( 3 ) の第 4 領域 1 1 1 d は、半導体基板 1 0 0 の表面 S 1 からの深さ方向に複数の領域に分割されている構成としてもよい。図 2 7 では、半導体基板 1 0 0 の表面 S 1 に近いほうから第 5 領域 1 1 1 e、第 6 領域 1 1 1 f 及び第 7 領域 1 1 1 g と並ぶ 3 つの領域に分割された場合を例示している。また、複数の領域 1 1 1 e、1 1 1 f、1 1 1 g の誘電率  $\epsilon_5$ 、 $\epsilon_6$ 、 $\epsilon_7$  は、半導体基板 1 0 0 の表面から深い位置にある領域ほど高くなっている (  $\epsilon_2 < \epsilon_1 < \epsilon_5 < \epsilon_6 < \epsilon_7$  )。ここで、 $\epsilon_5$  は第 5 領域 1 1 1 e の誘電率、 $\epsilon_6$  は第 6 領域 1 1 1 f の誘電率、 $\epsilon_7$  は第 7 領域 1 1 1 g の誘電率である。このような構造により、半導体基板 1 0 0 の厚さ方向に発生する電界を抑制でき、P + 型半導体領域 1 0 5 の第 4 領域 1 1 1 d 側の電位をより適切に制御でき、増幅領域 1 3 0 ( 高電界領域 ) の面積を増大でき、光検出効率を向上できる。

30

#### 【 0 0 5 2 】

( 5 ) また、第 1 の実施形態では、絶縁膜 1 1 1 のうちの第 1 トレンチ T 1 の内側面を覆う部分の膜厚を一定とする例を示したが、他の構成を採用することもできる。例えば、図 2 8 に示すように、絶縁膜 1 1 1 のうちの第 1 トレンチ T 1 の内側面を覆う部分の膜厚が、第 1 トレンチ T 1 の底部に近いほど薄くなっている構成としてもよい。このような構造により、絶縁膜 1 1 1 の第 2 領域 1 1 1 b と N + 型半導体領域 1 0 6 との間の距離を増大でき、その分、第 2 領域 1 1 1 b と N + 型半導体領域 1 0 6 との間の電位勾配を緩やかにすることができる。それゆえ、第 2 領域 1 1 1 b と半導体基板 1 0 0 との界面の電界をより緩和できる。なお、このような構造とする場合、第 2 領域 1 1 1 b の材料としては、例えば、絶縁膜 1 1 1 の膜厚が一定である場合に比べ、誘電率が低い材料を用いてもよい。

40

#### 【 0 0 5 3 】

( 6 ) また、例えば、図 2 9 に示すように、絶縁膜 1 1 1 のうちの第 1 トレンチ T 1 の内側面を覆う部分の少なくとも一部において、半導体基板 1 0 0 の表面 S 1 からの深さが、第 2 領域 1 1 1 b が設けられている深さに近いほど膜厚が薄くなっている構成としてもよい。図 2 9 では、絶縁膜 1 1 1 のうちの、半導体基板 1 0 0 の表面 S 1 からの深さが、P 型半導体領域 1 0 3 の表面 S 4 よりも浅く、半導体基板 1 0 0 の表面 S 1 よりも深い部分すべてを含む領域を、膜厚が薄くなっている領域とした場合を例示している。これにより

50



、絶縁膜 111 の第 2 領域 111 b と N + 型半導体領域 106 との間の距離を増大でき、その分、第 2 領域 111 b と N + 型半導体領域 106 との間の電位勾配を緩やかにすることができる。それゆえ、第 2 領域 111 b と半導体基板 100 との界面の電界をより緩和できる。なお、このような構造を採用する場合、第 2 領域 111 b の材料としては、例えば、絶縁膜 111 の膜厚が一定である場合に比べ誘電率がより低い材料を用いてもよい。

【0054】

(7) また、例えば、図 30、図 31 及び図 32 に示すように、第 2 領域 111 b を、絶縁膜 111 のうちの、半導体基板 100 の表面 S1 からの深さが、第 1 トレンチ T1 の底面よりも浅い部分に位置する領域としてもよい。このような構造により、絶縁膜 111 の構造を単純化でき、プロセスを単純化でき、固体撮像装置 10 の製造し易さを向上できる。図 30 では、絶縁膜 111 のうちの、第 1 トレンチ T1 の底面よりも浅い部分であって、且つアノード電極 122 と接触している部分すべてを第 2 領域 111 b とした場合を例示している。また、図 31 では、図 30 に示した部分に加え、半導体基板 100 の表面 S1 を覆っている絶縁膜 111 すべてを第 2 領域 111 b とした場合を例示している。また、図 32 では、絶縁膜 111 全体を第 2 領域 111 b (つまり、比誘電率が 3.5 以下である低誘電率材料を用いて形成された領域) とした場合を例示している。ここで、図 32 に示した構造は、絶縁膜 111 のうちの、半導体基板 100 の表面 S1 からの深さが、N + 型半導体領域 106 とアノード電極 122 との距離が最小となる深さに位置する部分が、比誘電率が 3.5 以下の低誘電率材料を用いて形成されている場合の一例でもある。

10

【0055】

(8) また、例えば、図 33、図 34 及び図 35 に示すように、第 2 領域 111 b の表面 S10 及び裏面 S11 (半導体基板 100 の表面 S1 側の面、反対側の面) を保護膜 160 で覆ってもよい。これにより、例えば、第 2 領域 111 b をフッ素ドーパ酸化シリコンで形成した場合、第 2 領域 111 b 内のフッ素が第 1 領域 111 a に拡散することを防止できる。図 33 では、第 2 領域 111 b の表面 S10、裏面 S11 及び側面 (第 1 トレンチ T1 の内側面側の面) に保護膜 160 を形成した場合を例示している。図 34 及びでは、第 2 領域 111 b の表面 S10 及び裏面 S11 に加え、他の面等にも保護膜 160 を形成した場合を例示している。なお、図 35 は、変形例 (3) の SPAD 画素 20 (図 26 参照) に適用した場合である。保護膜 160 の材料としては、例えば窒化シリコン (SiN) 等、絶縁膜 111 の材料と異なる材料を用いることができる。

20

30

【0056】

(9) また、例えば、図 36 に示すように、保護膜 160 を形成した場合、保護膜 160 と半導体基板 100 との間に下地膜 170 を形成してもよい。ここで、例えば、シリコン (半導体基板 100) に窒化シリコン膜 (保護膜 160) を直接に形成すると、界面に応力が発生し、結晶に歪等のダメージを与える可能性がある。これに対し、本変形例では、下地膜 170 を有するため、結晶のダメージを抑制できる。図 36 では、変形例 (8) の図 34 に示した SPAD 画素 20 に適用し、保護膜 160 と第 1 トレンチ T1 の内側面及び底面との間に下地膜 170 を形成した場合を例示している。下地膜 170 の材料としては、例えば酸化シリコン (SiO<sub>2</sub>) 等の絶縁材料を用いることができる。

【0057】

(10) また、第 1 の実施形態では、第 1 導電型を P 型とし、第 2 導電型を N 型とする場合を例示したが、他の構成を採用することもできる。例えば、第 1 導電型を N 型とし、第 2 導電型を P 型としてもよい。この場合、SPAD 画素 20 は、図 4 に示した SPAD 画素 20 において、「P 型半導体領域 103」を N 型半導体領域とし、「N - 型半導体領域 104」を P - 型半導体領域とし、「P + 型半導体領域 105」を N + 型半導体領域とし、「N + 型半導体領域 106」を P + 型半導体領域とした構造となる。また、「カソードコンタクト 107」はアノードコンタクトとなり、「アノードコンタクト 108」はカソードコンタクトとなる。なお、「N 型のウェル領域 109」は、P 型の半導体領域でもよいし、N 型の半導体領域でもよいし、ノンドープの半導体領域でもよい。このように、第 1 導電型を N 型とし、第 2 導電型を P 型とした SPAD 画素 20 に対しても、第 1 の実

40

50

施の形態又はその変形例を適用でき、適用した場合の説明は、上述した第1の実施形態又はその変形例(1)~(9)と同様であるため、ここではその詳細な説明は省略する。

【0058】

(11)また、第1の実施形態では、本技術を撮像装置に適用した例を示したが、他の構成を採用することもできる。例えば、物体までの距離を測定する測距装置に適用してもよい。図37は、本変形例に係る固体撮像装置10の断面構成を示す図である。図37に示すように、本変形例のSPAD画素20は、図4に示した構造から、カラーフィルタ115が省略された構造となっている。その他の構成、動作及び効果は、上述した第1の実施形態又はその変形例(1)~(10)と同様であるため、ここでは詳細な説明を省略する。

10

【0059】

なお、本技術は、以下のような構成も取ることができる。

(1)

半導体基板と、  
前記半導体基板の第1面に設けられた格子状の第1トレンチと、  
前記第1トレンチの底部に設けられ、該底部に沿って延びる格子状の第2トレンチと、  
前記第1及び第2トレンチの内側面、並びに前記第1面のそれぞれを覆う絶縁膜と、  
前記半導体基板を前記第1及び第2トレンチで区画して得られる素子領域内に設けられ、  
入射光を光電変換して電荷を発生させる光電変換領域と、  
前記素子領域内に設けられ、前記光電変換領域を囲む第1半導体領域と、  
前記第1トレンチの底部に設けられ、前記第1半導体領域と接触する第1コンタクトと

20

、  
前記第1トレンチ内に配置され、前記第1コンタクトと接触する第1電極と、  
前記素子領域内において前記第1半導体領域の前記第1面側の面と接する領域に設けられ、  
前記第1半導体領域と同じ第1導電性を有する第2半導体領域と、  
前記素子領域内において前記第2半導体領域の前記第1面側の面と接する領域に設けられ、  
前記第1導電性と反対の第2導電性を有する第3半導体領域と、  
前記第1面に設けられ、前記第3半導体領域と接触する第2コンタクトと、  
前記第2コンタクトと接触する第2電極と、を備え、  
前記絶縁膜は、少なくとも第1領域と第2領域とを有し、前記第2領域が、前記第1面からの深さが前記第3半導体領域と前記第1電極との距離が最小となる深さに位置する部分を含む領域であり、前記第2領域の誘電率が、前記第1領域の誘電率よりも低い  
光検出装置。

30

(2)

前記第2領域は、前記絶縁膜のうちの、前記第1面からの深さが、前記距離が最小となる深さよりも浅い部分を含んでいる

前記(1)に記載の光検出装置。

(3)

前記絶縁膜は、更に、前記絶縁膜のうちの、前記第1面からの深さが、前記第2領域よりも浅い部分に位置する第3領域を有し、前記第3領域の誘電率が、前記第1領域の誘電率よりも低く、前記第2領域の誘電率よりも高い

40

前記(1)に記載の光検出装置。

(4)

前記絶縁膜は、更に、前記絶縁膜のうちの、前記第2領域よりも深い部分に位置する第4領域を有し、前記第4領域の誘電率が、前記第1及び第2領域の誘電率よりも高い

前記(3)に記載の光検出装置。

(5)

前記第4領域は、前記第1面からの深さ方向に複数の領域に分割されており、前記複数の領域の誘電率が、深い位置にある領域ほど高くなっている

前記(4)に記載の光検出装置。

50

( 6 )

絶縁膜のうちの前記第 1 トレンチの内側面を覆う部分の膜厚は、前記第 1 トレンチの底部に近いほど薄くなっている

前記 ( 1 ) から ( 5 ) の何れかに記載の光検出装置。

( 7 )

前記絶縁膜のうちの前記第 1 トレンチの内側面を覆う部分の膜厚は、前記第 1 面からの深さが、前記第 2 領域が設けられている深さに近いほど薄くなっている

前記 ( 1 ) から ( 5 ) の何れかに記載の光検出装置。

( 8 )

前記第 2 領域は、前記絶縁膜のうちの、前記第 1 面からの深さが、前記第 1 トレンチの底面よりも浅い部分に位置する領域である

前記 ( 1 ) から ( 7 ) の何れかに記載の光検出装置。

( 9 )

前記第 2 領域の前記第 1 面側の面及び該面の反対側の面を覆う保護膜を備える

前記 ( 1 ) から ( 8 ) の何れかに記載の光検出装置。

( 1 0 )

前記保護膜は、更に、前記第 2 領域の前記第 1 トレンチの内側面側の面を覆い、

前記保護膜と前記半導体基板との間に下地膜を備える

前記 ( 9 ) に記載の光検出装置。

( 1 1 )

前記第 1 導電型が P 型であり、前記第 2 導電型が N 型である、

又は前記第 1 導電型が N 型であり、前記第 2 導電型が P 型である

前記 ( 1 ) から ( 1 0 ) の何れかに記載の光検出装置。

( 1 2 )

半導体基板と、

前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチと、

前記第 1 トレンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチと、

前記第 1 及び第 2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜と、

前記半導体基板を前記第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、

入射光を光電変換して電荷を発生させる光電変換領域と、

前記素子領域内に設けられ、前記光電変換領域を囲む第 1 半導体領域と、

前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1 コンタクトと

、

前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極と、

前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、

前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域と、

前記素子領域内において前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、

前記第 1 導電型と反対の第 2 導電型を有する第 3 半導体領域と、

前記第 1 面に設けられ、前記第 3 半導体領域と接触する第 2 コンタクトと、

前記第 2 コンタクトと接触する第 2 電極と、を備え、

前記絶縁膜のうちの、前記第 1 面からの深さが前記第 3 半導体領域と前記第 1 電極との

距離が最小となる深さに位置する部分は、比誘電率が 3 . 5 以下の低誘電率材料を用いて形成されている

光検出装置。

( 1 3 )

半導体基板、前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチ、前記第 1 トレンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチ、前記第 1 及び第 2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜、前記半導体基板を前記

第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域、前記素子領域内に設けられ、前記光電変換領域を囲む第

30

40

50

1 半導体領域、前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1 コンタクト、前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極、前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域、前記素子領域内において前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、前記第 1 導電型と反対の第 2 導電型を有する第 3 半導体領域、前記第 1 面に設けられ、前記第 3 半導体領域と接触する第 2 コンタクト、及び前記第 2 コンタクトと接触する第 2 電極を備え、前記絶縁膜は、少なくとも第 1 領域と第 2 領域とを有し、前記第 2 領域が、前記第 1 面からの深さが前記第 3 半導体領域と前記第 1 電極との距離が最小となる深さに位置する部分を含む領域であり、前記第 2 領域の誘電率が、前記第 1 領域の誘電率よりも低い光検出装置を備える

10

電子機器。

( 1 4 )

半導体基板、前記半導体基板の第 1 面に設けられた格子状の第 1 トレンチ、前記第 1 トレンチの底部に設けられ、該底部に沿って延びる格子状の第 2 トレンチ、前記第 1 及び第 2 トレンチの内側面、並びに前記第 1 面のそれぞれを覆う絶縁膜、前記半導体基板を前記第 1 及び第 2 トレンチで区画して得られる素子領域内に設けられ、入射光を光電変換して電荷を発生させる光電変換領域、前記素子領域内に設けられ、前記光電変換領域を囲む第 1 半導体領域、前記第 1 トレンチの底部に設けられ、前記第 1 半導体領域と接触する第 1 コンタクト、前記第 1 トレンチ内に配置され、前記第 1 コンタクトと接触する第 1 電極、前記素子領域内において前記第 1 半導体領域の前記第 1 面側の面と接する領域に設けられ、前記第 1 半導体領域と同じ第 1 導電型を有する第 2 半導体領域、前記素子領域内において前記第 2 半導体領域の前記第 1 面側の面と接する領域に設けられ、前記第 1 導電型と反対の第 2 導電型を有する第 3 半導体領域、前記第 1 面に設けられ、前記第 3 半導体領域と接触する第 2 コンタクト、及び前記第 2 コンタクトと接触する第 2 電極を備え、前記絶縁膜のうちの、前記第 1 面からの深さが前記第 3 半導体領域と前記第 1 電極との距離が最小となる深さに位置する部分は、比誘電率が 3 . 5 以下の低誘電率材料を用いて形成されている光検出装置を備える

20

電子機器。

【符号の説明】

30

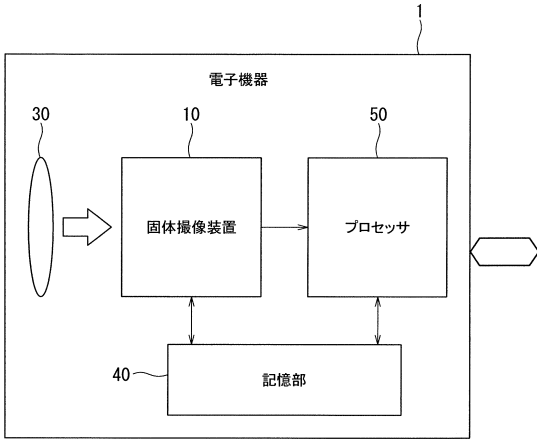
【 0 0 6 0 】

1 ... 電子機器、 1 0 ... 固体撮像装置、 1 1 ... S P A D アレイ部、 1 2 ... 駆動回路、 1 3 ... 出力回路、 1 4 ... タイミング制御回路、 2 0 ... S P A D 画素、 2 1 ... フォトダイオード、 2 2 ... 読出し回路、 3 0 ... 撮像レンズ、 4 0 ... 記憶部、 5 0 ... プロセッサ、 7 1 ... 受光チップ、 7 2 ... 回路チップ、 1 0 0 ... 半導体基板、 1 0 1 ... 素子領域、 1 0 2 ... 光電変換領域、 1 0 3 ... P 型半導体領域、 1 0 3 a ... P 型半導体領域、 1 0 4 ... N - 型半導体領域、 1 0 5 ... P + 型半導体領域、 1 0 6 ... N + 型半導体領域、 1 0 7 ... カソードコンタクト、 1 0 8 ... アノードコンタクト、 1 0 9 ... ウェル領域、 1 1 0 ... 素子分離部、 1 1 1 ... 絶縁膜、 1 1 1 a ... 第 1 領域、 1 1 1 b ... 第 2 領域、 1 1 1 c ... 第 3 領域、 1 1 1 d ... 第 4 領域、 1 1 1 e ... 第 5 領域、 1 1 1 f ... 第 6 領域、 1 1 1 g ... 第 7 領域、 1 1 2 ... 遮光膜、 1 1 3 ... ピニング層、 1 1 4 ... 平坦化膜、 1 1 5 ... カラーフィルタ、 1 1 6 ... オンチップレンズ、 1 1 7 a ... 第 1 絶縁膜、 1 1 7 b ... 第 2 絶縁膜、 1 1 7 c ... 第 3 絶縁膜、 1 1 7 d ... 第 4 絶縁膜、 1 2 0 ... 配線層、 1 2 1 ... カソード電極、 1 2 2 ... アノード電極、 1 2 3 ... 層間絶縁膜、 1 2 4 ... 配線、 1 2 5 ... 接続パッド、 1 2 6 ... 配線、 1 3 0 ... 増幅領域、 1 4 0 ... 界面、 1 5 0 ... 界面、 1 6 0 ... 保護膜、 1 7 0 ... 下地膜、 A 1 ... 開口、 A 2 ... 開口、 A 3 ... 開口、 A 4 ... 開口、 A 5 ... 開口、 L D ... 画素駆動線、 L S ... 出力信号線、 M 1 ... マスク、 M 2 ... マスク、 M 3 ... マスク、 M 4 ... マスク

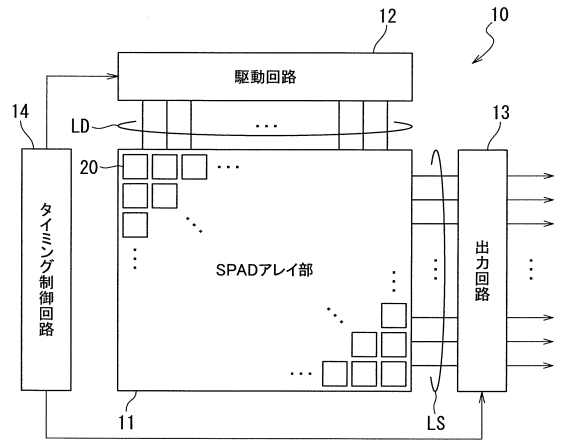
40

【図面】

【図 1】

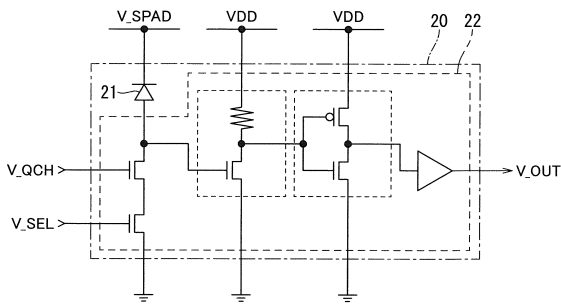


【図 2】

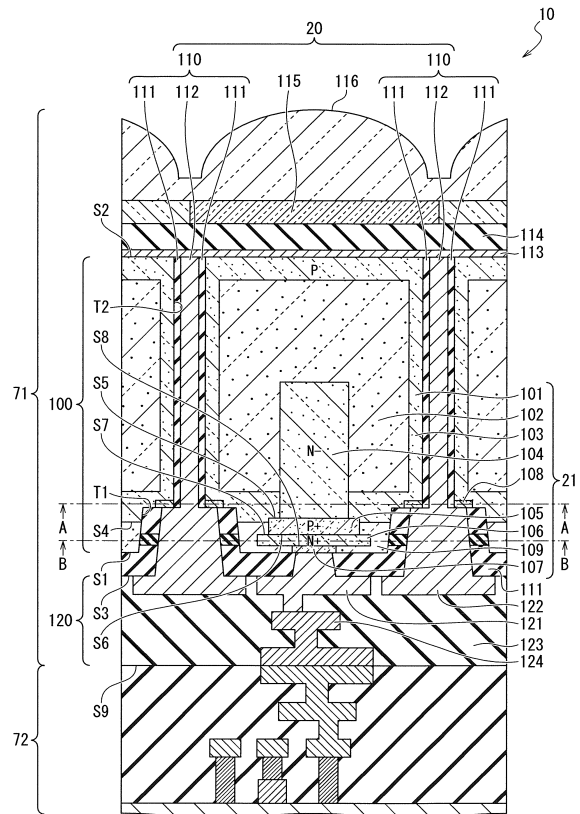


10

【図 3】



【図 4】

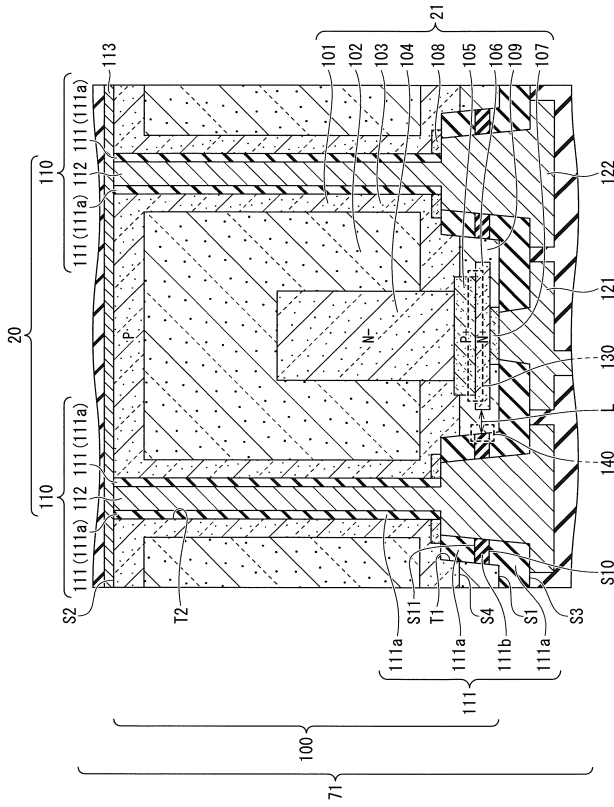


20

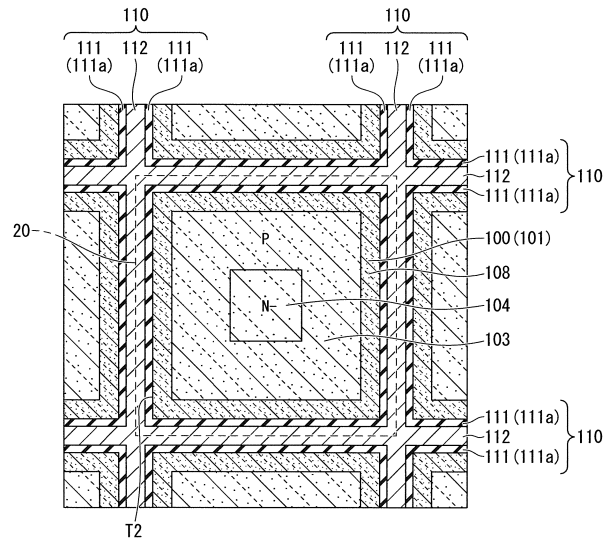
30

40

【 5 】



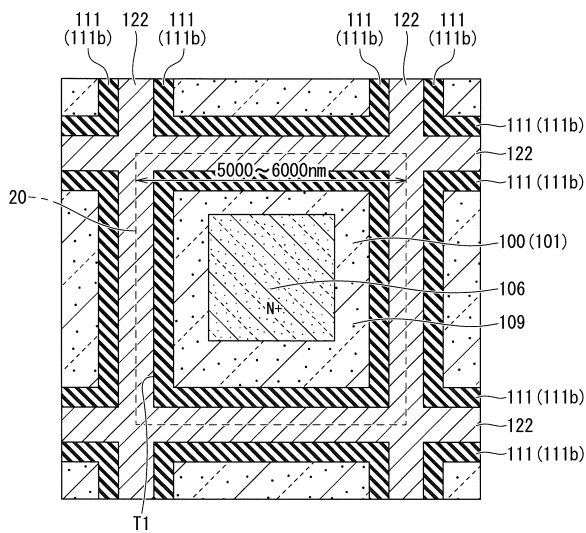
【 6 】



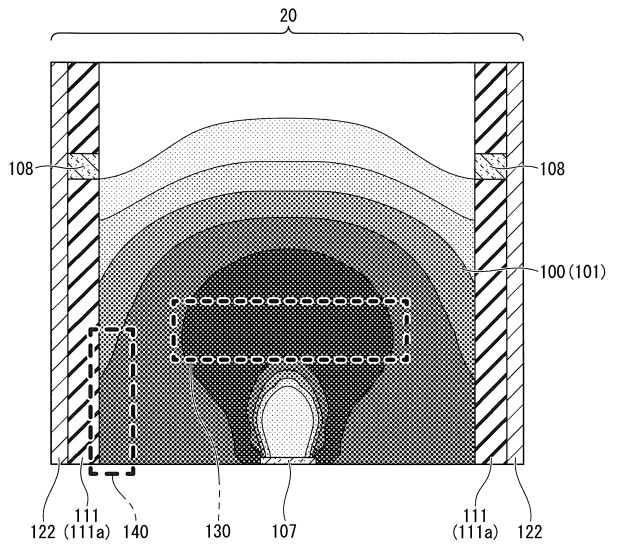
10

20

【 7 】



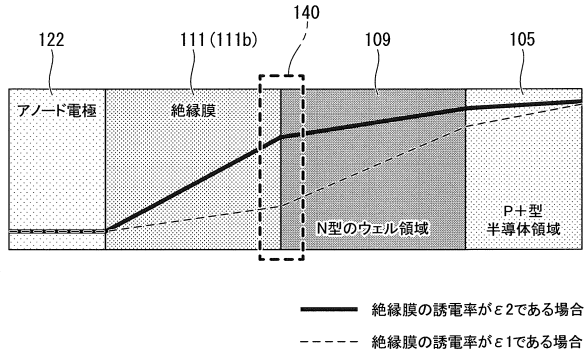
【 8 】



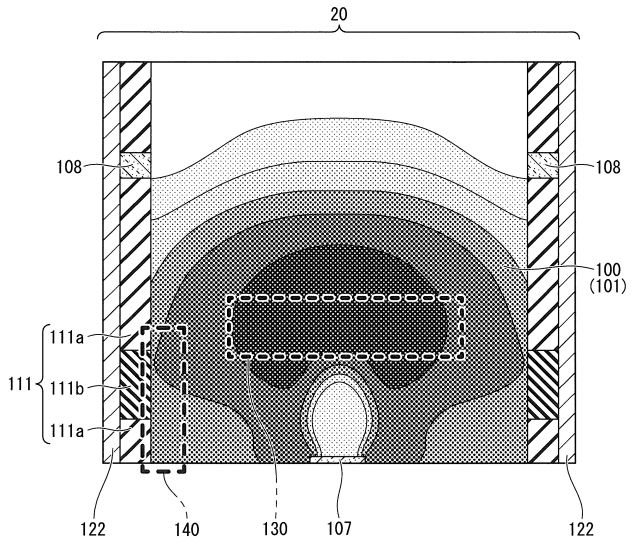
30

40

【図9】

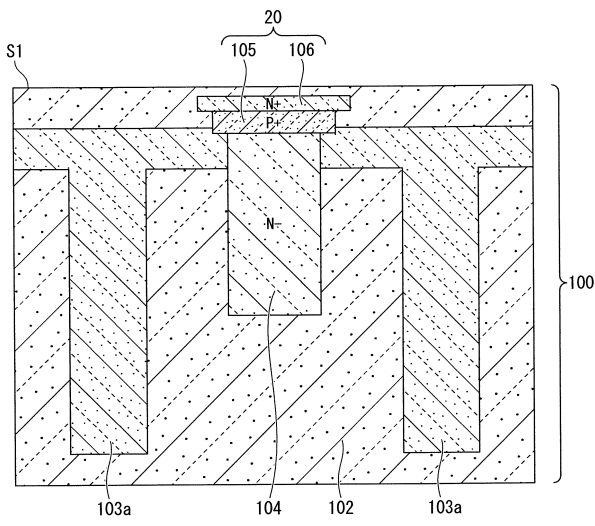


【図10】

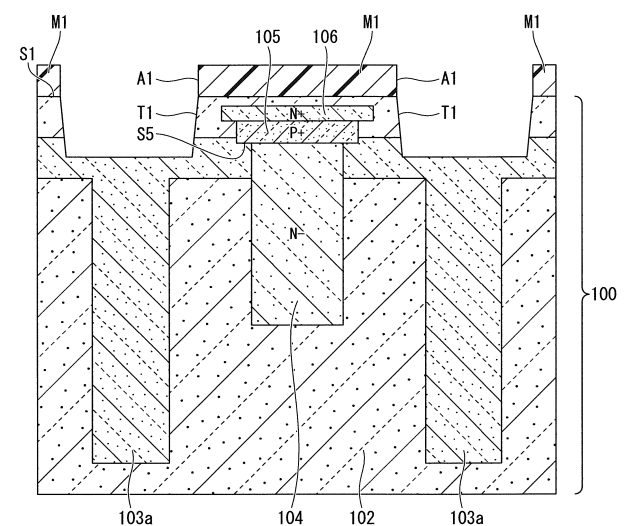


10

【図11】



【図12】



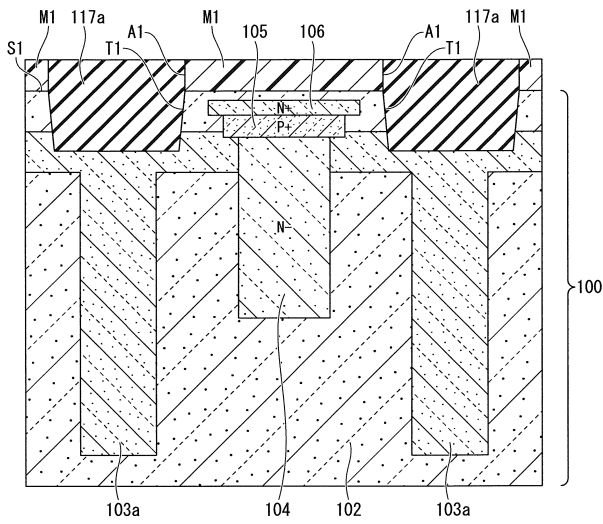
20

30

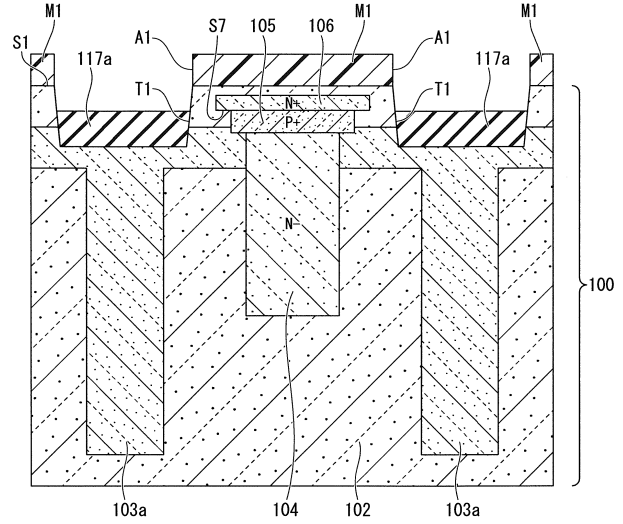
40

50

【 図 1 3 】

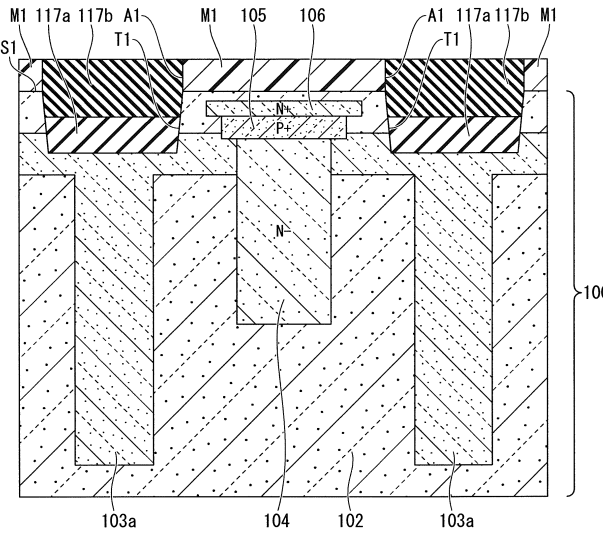


【 図 1 4 】

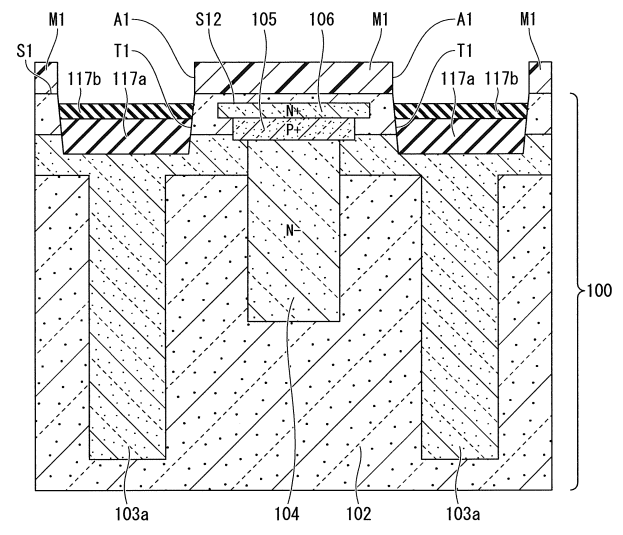


10

【 図 1 5 】



【 図 1 6 】



20

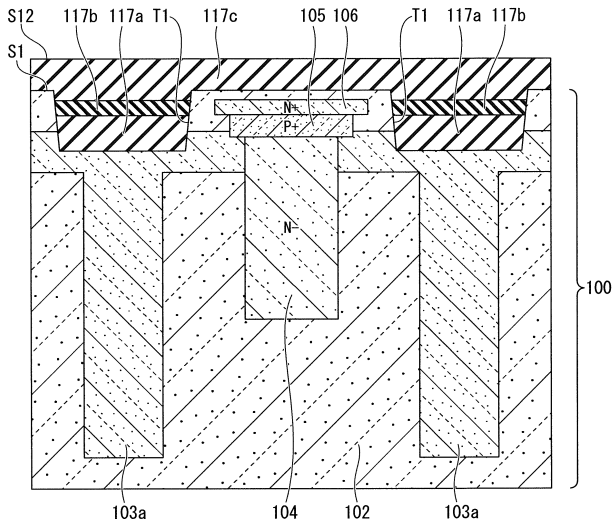
30

40

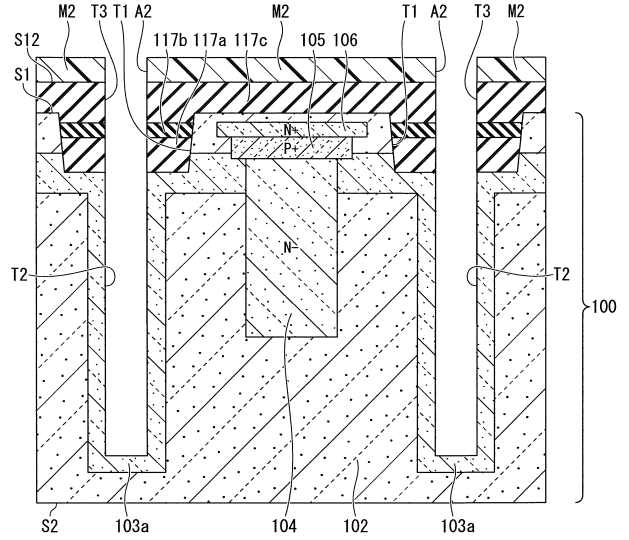
50



【 図 1 7 】

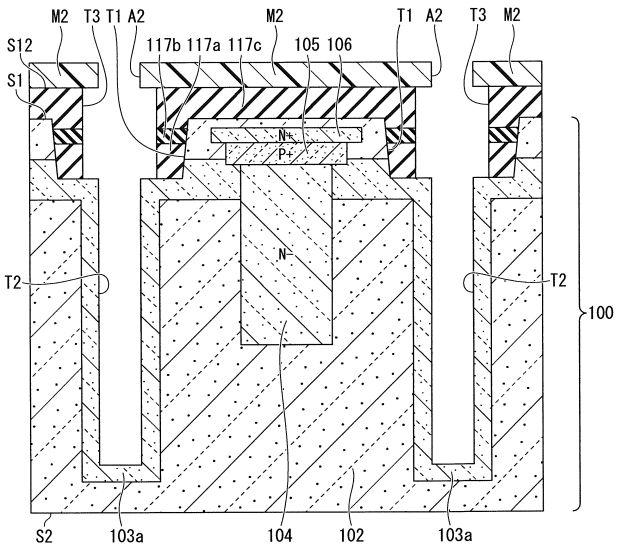


【 図 1 8 】

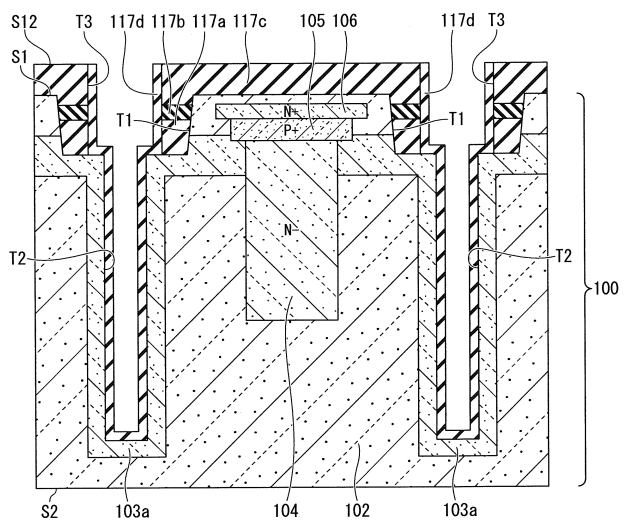


10

【 図 1 9 】



【 図 2 0 】



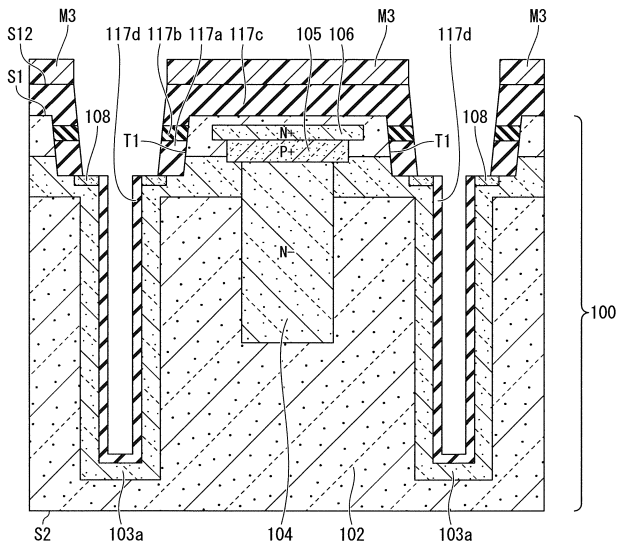
20

30

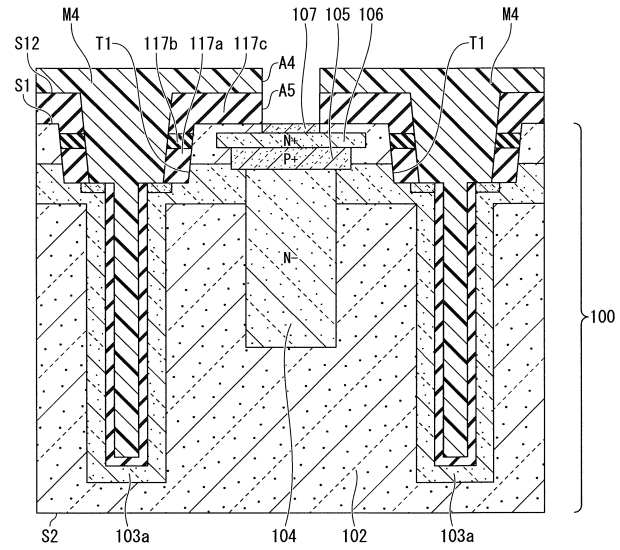
40

50

【 図 2 1 】

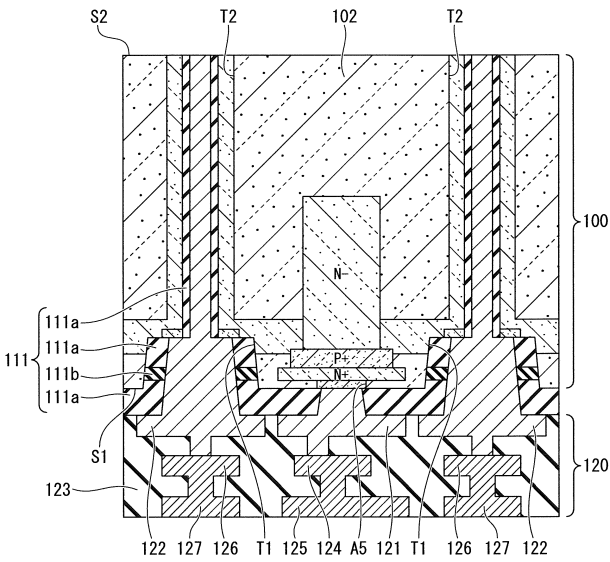


【 図 2 2 】

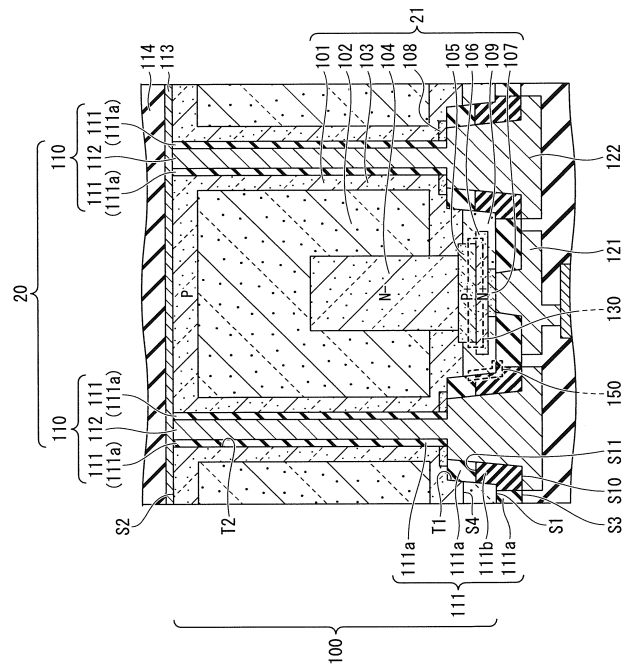


10

【 図 2 3 】



【 図 2 4 】



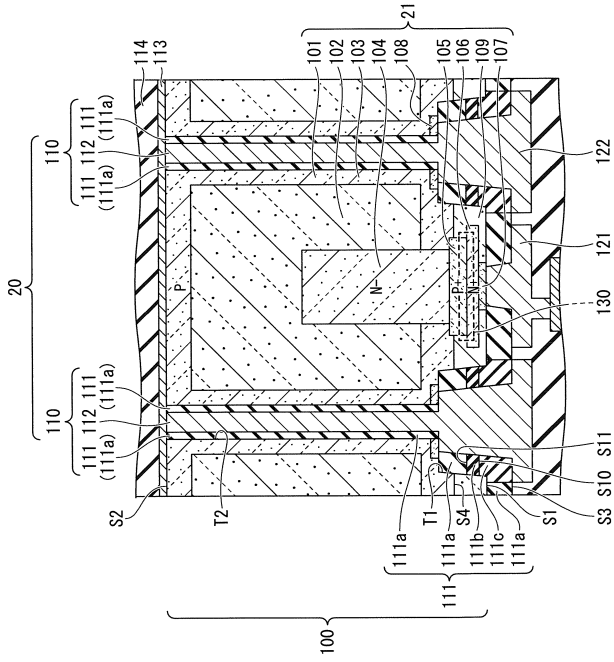
20

30

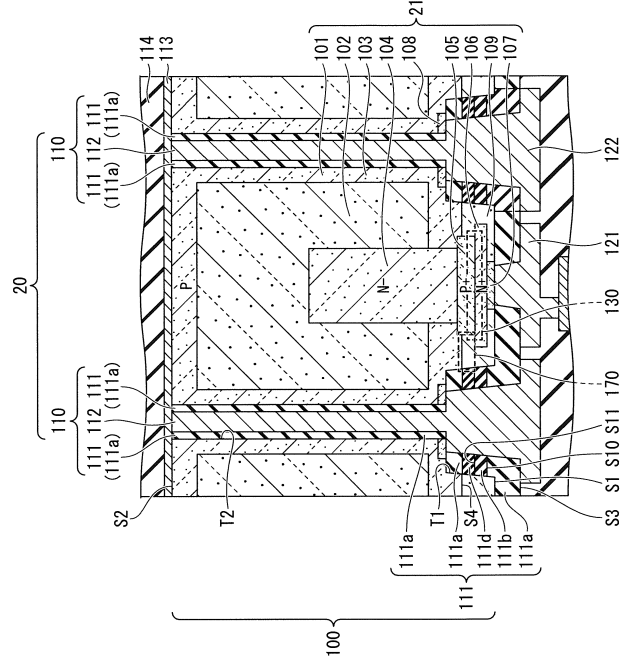
40

50

【 図 2 5 】



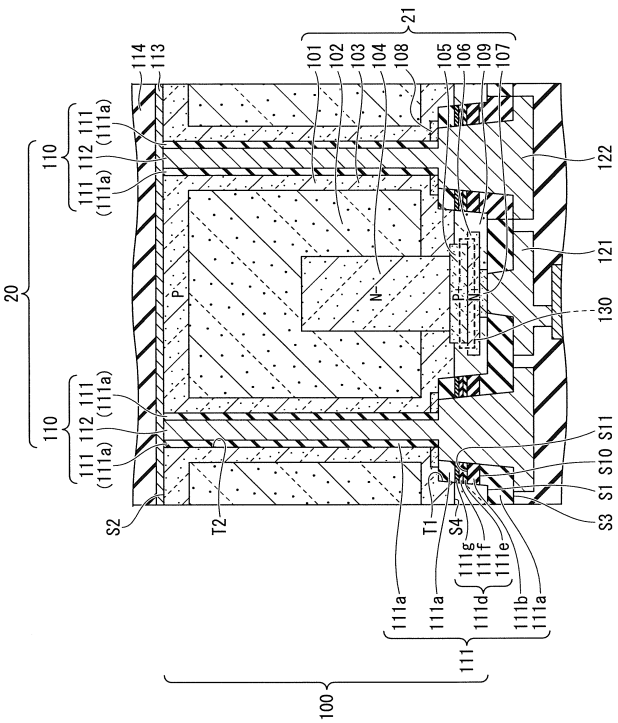
【 図 2 6 】



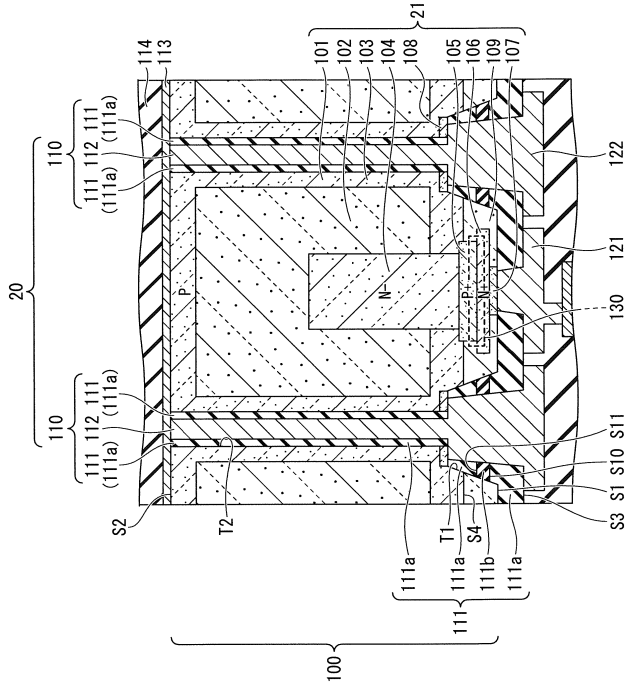
10

20

【 図 2 7 】



【 図 2 8 】

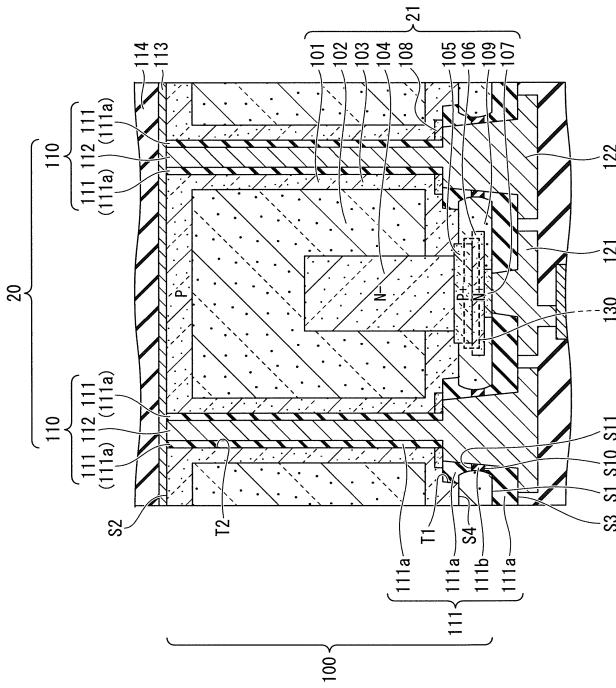


30

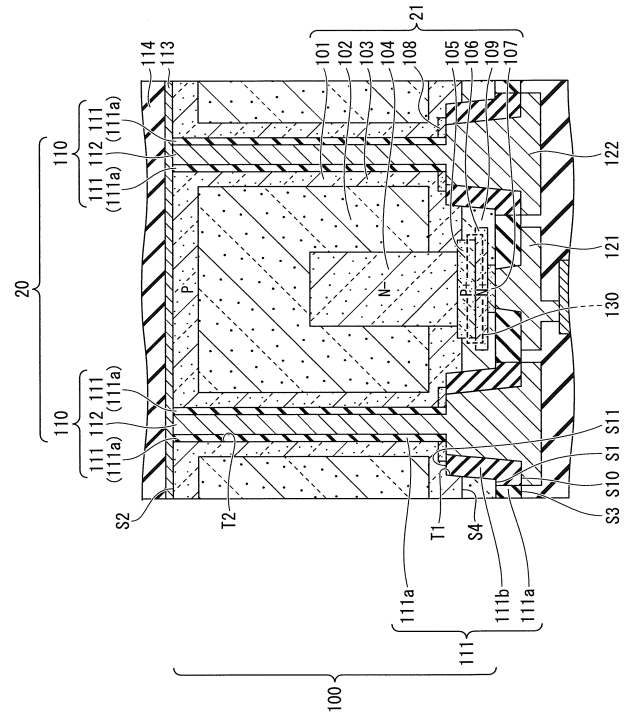
40

50

【 図 2 9 】



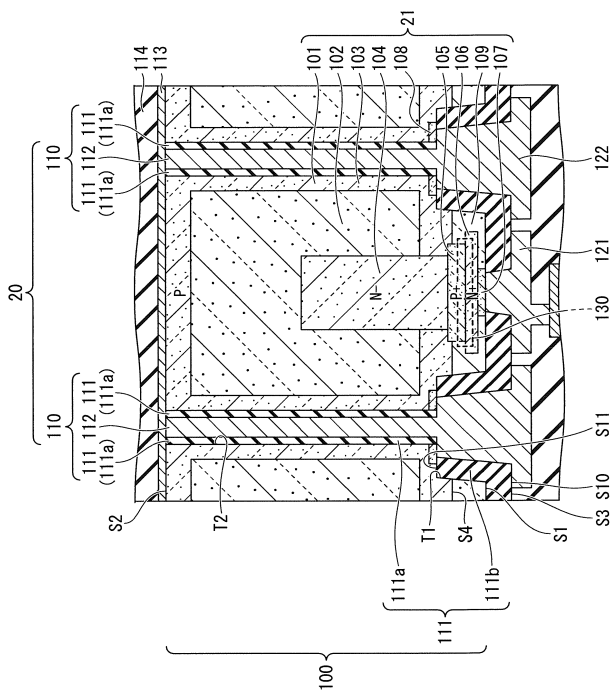
【 図 3 0 】



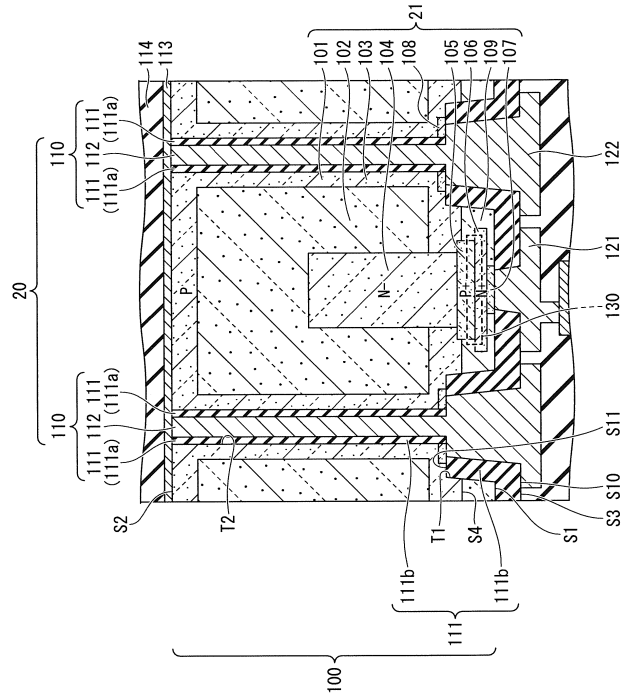
10

20

【 図 3 1 】



【 図 3 2 】

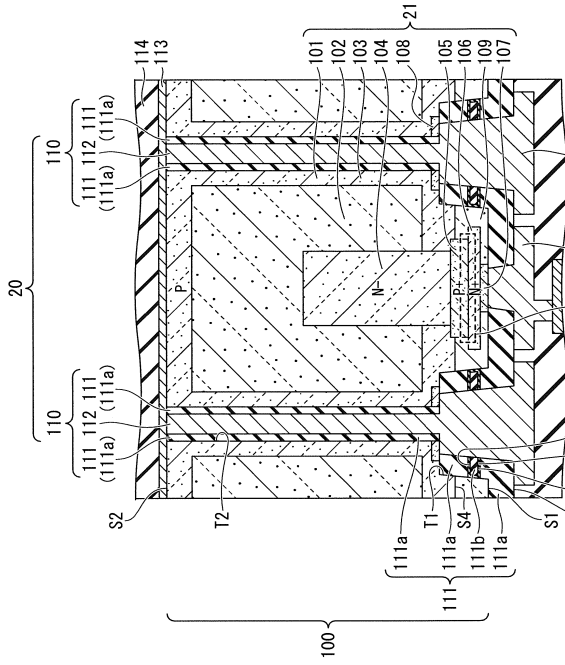


30

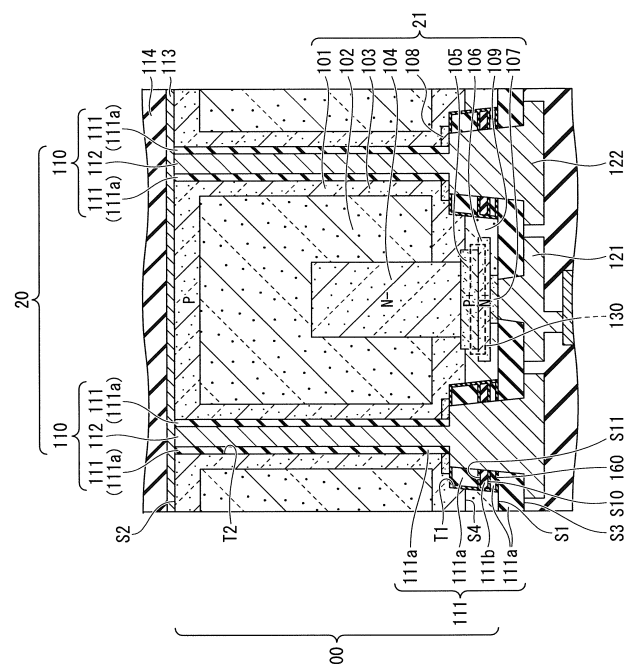
40

50

【 図 3 3 】



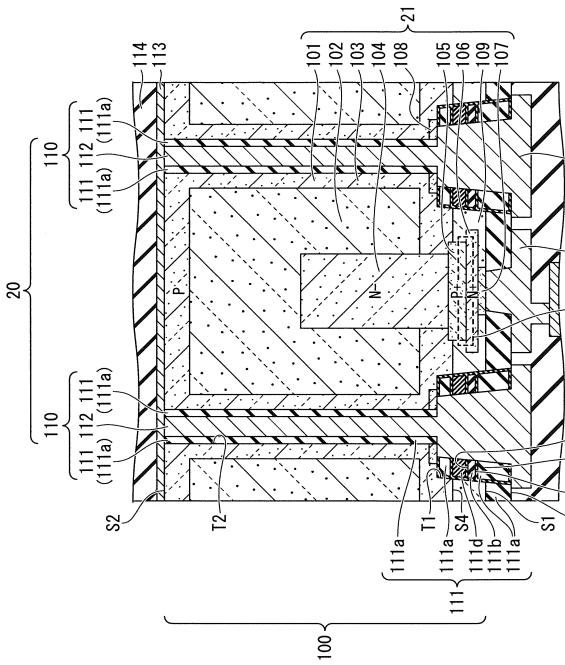
【 図 3 4 】



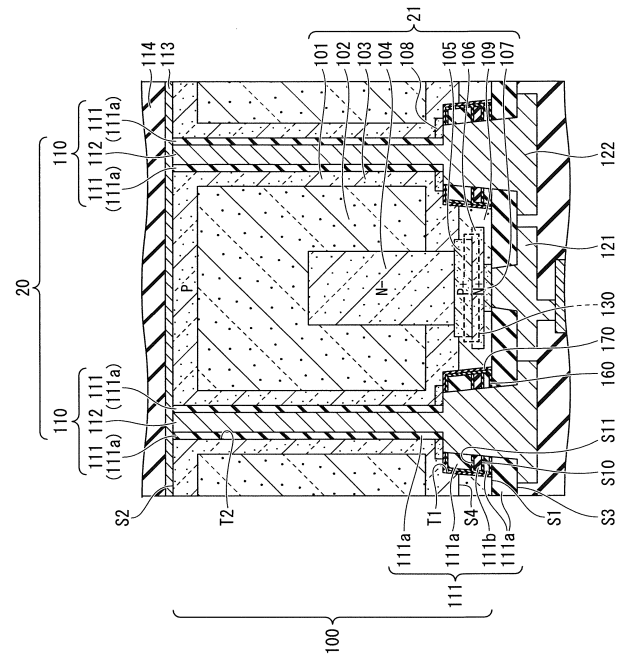
10

20

【 図 3 5 】



【 図 3 6 】



30

40

50

---

フロントページの続き

F ターム ( 参考 )            CA03 CB13 CB14 EA04 EA14 FA06 FA27 FA28 GA02 GB03  
                                 GB07 GB11 GB15 GC07 GD03 GD04 HA22 HA25  
5F149    AA07 BA08 BB03 DA05 EA04 EA07 EA13 HA05 HA10 KA11  
                                 KA20 XB38  
5F849    AA07 BA08 BB03 DA05 EA04 EA07 EA13 HA05 HA10 KA11  
                                 KA20 XB38