



(12) 发明专利申请

(10) 申请公布号 CN 104795326 A

(43) 申请公布日 2015. 07. 22

(21) 申请号 201410020189. 0

(22) 申请日 2014. 01. 16

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 韩秋华

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/336(2006. 01)

B82Y 40/00(2011. 01)

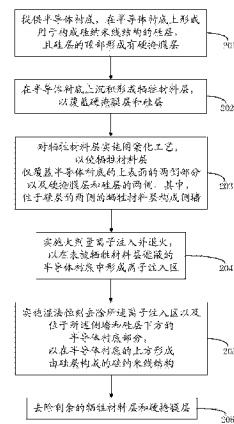
权利要求书1页 说明书4页 附图5页

(54) 发明名称

一种硅纳米线结构的制造方法

(57) 摘要

本发明提供一种硅纳米线结构的制造方法, 包括: 提供半导体衬底, 在其上形成用于构成硅纳米线结构的硅层, 且硅层的顶部形成有硬掩膜层; 在半导体衬底上沉积形成牺牲材料层, 覆盖硬掩膜层和硅层; 对牺牲材料层实施图案化工艺, 使牺牲材料层仅覆盖半导体衬底的上表面的两侧部分以及硬掩膜层和硅层的两侧, 位于硅层的两侧的牺牲材料层构成侧墙; 实施大剂量离子注入并退火, 在未牺牲材料层遮蔽的半导体衬底中形成离子注入区; 实施湿法蚀刻去除离子注入区以及位于侧墙和硅层下方的半导体衬底部分, 以在半导体衬底的上方形成由硅层构成的硅纳米线结构; 去除剩余的牺牲材料层和硬掩膜层。根据本发明, 形成硅纳米线结构的工艺窗口更大, 精度更易控制。



1. 一种硅纳米线结构的制造方法,包括:

提供半导体衬底(100),在所述半导体衬底上形成用于构成所述硅纳米线结构的硅层(101),且所述硅层的顶部形成有硬掩膜层(102);

在所述半导体衬底上沉积形成牺牲材料层(103),以覆盖所述硬掩膜层和所述硅层;

对所述牺牲材料层实施图案化工艺,以使所述牺牲材料层仅覆盖所述半导体衬底的上表面的两侧部分以及所述硬掩膜层和所述硅层的两侧,其中,位于所述硅层的两侧的牺牲材料层构成侧墙;

实施大剂量离子注入并退火,以在未被所述牺牲材料层遮蔽的半导体衬底中形成离子注入区;

实施湿法蚀刻去除所述离子注入区以及位于所述侧墙和所述硅层下方的半导体衬底部分,以在所述半导体衬底的上方形成由所述硅层构成的所述硅纳米线结构;

去除剩余的所述牺牲材料层和所述硬掩膜层。

2. 根据权利要求1所述的方法,其特征在于,形成所述顶部具有硬掩膜层的硅层的步骤包括:在所述半导体衬底上沉积形成硬掩膜层;通过旋涂、曝光、显影工艺形成具有所述硅层的顶部图案的光刻胶层;蚀刻去除未被所述光刻胶层遮蔽的硬掩膜层,形成具有所述硅层的顶部图案的硬掩膜层;通过灰化工艺去除所述光刻胶层;以所述具有所述硅层的顶部图案的硬掩膜层为掩膜,蚀刻所述半导体衬底,以形成所述硅层。

3. 根据权利要求2所述的方法,其特征在于,所述硬掩膜层的厚度为20-500埃,所述硅层的宽度为5-50nm,所述硅层的高度为5-50nm,所述硬掩膜层的材料为氮化硅或氮氧化硅。

4. 根据权利要求1所述的方法,其特征在于,所述牺牲材料层的厚度为2-50nm,所述牺牲材料层的材料为氮化硅或氮氧化硅。

5. 根据权利要求1所述的方法,其特征在于,所述离子注入的注入离子为砷或者磷,注入剂量大于 1.0×10^{18} 离子/平方厘米,注入能量为2-50KeV,注入离子的入射方向相对于与所述半导体衬底相垂直的方向之间的角度为0-7度,所述退火的温度高于1000℃。

6. 根据权利要求1所述的方法,其特征在于,去除所述离子注入区实施的所述湿法蚀刻的腐蚀液为对于所述离子注入区和所述半导体衬底的未形成掺杂离子的部分具有高选择性的化学物质。

7. 根据权利要求6所述的方法,其特征在于,所述湿法蚀刻的腐蚀液为浓度为1:10的稀释的HF酸。

8. 根据权利要求1所述的方法,其特征在于,采用湿法蚀刻工艺实施对所述剩余的所述牺牲材料层和所述硬掩膜层的去除。

9. 根据权利要求8所述的方法,其特征在于,所述湿法蚀刻的腐蚀液为磷酸。

一种硅纳米线结构的制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种硅纳米线(Nanowire)结构的制造方法。

背景技术

[0002] 根据摩尔定律,半导体器件的尺寸逐步按比例减小,在此情况下,为了更有效的控制短沟道效应,具有非平面结构的半导体器件得到广泛应用,例如鳍式场效应晶体管(FinFET)和纳米线场效应晶体管(Nanowire FET)。

[0003] 对于纳米线场效应晶体管而言,形成纳米线的工艺十分复杂,例如,首先,在半导体衬底上形成自下而上层叠的锗硅层和用于实施蚀刻以形成纳米线的硅层;接着,在硅层上形成第一硬掩膜层,图形化第一硬掩膜层;然后,形成覆盖经过图形化的第一硬掩膜层的第二硬掩膜层,图形化第二硬掩膜层,以露出部分第一硬掩膜层;接着,以经过图形化的第二硬掩膜层为掩膜,蚀刻去除所述露出的第一硬掩膜层及其下方的硅层,以露出锗硅层;最后,蚀刻去除锗硅层,形成纳米线结构。在上述工艺过程中,需要形成两次硬掩膜层,并分别对两个硬掩膜层实施不同的图形化过程,由于受到器件特征尺寸的制约,对上述图形化过程以及后续实施的蚀刻过程的工艺窗口以及参数条件有着极为严格的要求,对实施上述工艺过程的精度控制的难度非常大,极易出现偏差,进而造成最终形成的纳米线结构达不到器件设计的要求。

[0004] 因此,需要提出一种方法,通过更为简单易行的工艺过程来制作纳米线结构。

发明内容

[0005] 针对现有技术的不足,本发明提供一种硅纳米线结构的制造方法,包括:提供半导体衬底,在所述半导体衬底上形成用于构成所述硅纳米线结构的硅层,且所述硅层的顶部形成有硬掩膜层;在所述半导体衬底上沉积形成牺牲材料层,以覆盖所述硬掩膜层和所述硅层;对所述牺牲材料层实施图案化工艺,以使所述牺牲材料层仅覆盖所述半导体衬底的上表面的两侧部分以及所述硬掩膜层和所述硅层的两侧,其中,位于所述硅层的两侧的牺牲材料层构成侧墙;实施大剂量离子注入并退火,以在未被所述牺牲材料层遮蔽的半导体衬底中形成离子注入区;实施湿法蚀刻去除所述离子注入区以及位于所述侧墙和所述硅层下方的半导体衬底部分,以在所述半导体衬底的上方形成由所述硅层构成的所述硅纳米线结构;去除剩余的所述牺牲材料层和所述硬掩膜层。

[0006] 进一步,形成所述顶部具有硬掩膜层的硅层的步骤包括:在所述半导体衬底上沉积形成硬掩膜层;通过旋涂、曝光、显影工艺形成具有所述硅层的顶部图案的光刻胶层;蚀刻去除未被所述光刻胶层遮蔽的硬掩膜层,形成具有所述硅层的顶部图案的硬掩膜层;通过灰化工艺去除所述光刻胶层;以所述具有所述硅层的顶部图案的硬掩膜层为掩膜,蚀刻所述半导体衬底,以形成所述硅层。

[0007] 进一步,所述硬掩膜层的厚度为 20-500 埃,所述硅层的宽度为 5-50nm,所述硅层

的高度为 5-50nm,所述硬掩膜层的材料为氮化硅或氮氧化硅。

[0008] 进一步,所述牺牲材料层的厚度为 2-50nm,所述牺牲材料层的材料为氮化硅或氮氧化硅。

[0009] 进一步,所述离子注入的注入离子为砷或者磷,注入剂量大于 $1.0 \times e^{18}$ 离子/平方厘米,注入能量为 2-50KeV,注入离子的入射方向相对于与所述半导体衬底相垂直的方向之间的角度为 0-7 度,所述退火的温度高于 1000℃。

[0010] 进一步,去除所述离子注入区实施的所述湿法蚀刻的腐蚀液为对于所述离子注入区和所述半导体衬底的未形成掺杂离子的部分具有高选择性的化学物质。

[0011] 进一步,所述湿法蚀刻的腐蚀液为浓度为 1:10 的稀释的 HF 酸。

[0012] 进一步,采用湿法蚀刻工艺实施对所述剩余的所述牺牲材料层和所述硬掩膜层的去除。

[0013] 进一步,所述湿法蚀刻的腐蚀液为磷酸

[0014] 根据本发明,形成硅纳米线结构所需实施的光刻、蚀刻等工艺的工艺窗口更大,工艺简单易行,工艺精度更容易控制。

附图说明

[0015] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0016] 附图中:

[0017] 图 1A- 图 1E 为根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的俯视图;

[0018] 图 2A- 图 2E 为分别对应于图 1A- 图 1E 的沿着半导体衬底的中部与硅纳米线结构相垂直的走向得到的器件的示意性剖面图;

[0019] 图 3 为根据本发明示例性实施例的方法依次实施的步骤的流程图。

具体实施方式

[0020] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0021] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的硅纳米线结构的制造方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0022] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0023] [示例性实施例]

[0024] 参照图 1A- 图 1E 和图 2A- 图 2E,其中示出了根据本发明示例性实施例的方法依次

实施的步骤所分别获得的器件的俯视图和对应的沿着半导体衬底的中部与硅纳米线结构相垂直的走向得到的器件的示意性剖面图。

[0025] 首先,如图 1A 和图 2A 所示,提供半导体衬底 100,所述半导体衬底 100 的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅等。作为示例,在本实施例中,半导体衬底 100 选用单晶硅材料构成。

[0026] 接下来,在半导体衬底 100 上形成用于构成硅纳米线结构的硅层 101,且硅层 101 的顶部形成有硬掩膜层 102。在本实施例中,形成顶部具有硬掩膜层 102 的硅层 101 的工艺步骤包括:在半导体衬底 100 上沉积形成硬掩膜层 102,其构成材料优选氮化硅或氮氧化硅;通过旋涂、曝光、显影等工艺形成具有硅层 101 的顶部图案的光刻胶层;蚀刻去除未被所述光刻胶层遮蔽的硬掩膜层 102,形成具有硅层 101 的顶部图案的硬掩膜层 102;通过灰化工艺去除所述光刻胶层;以具有硅层 101 的顶部图案的硬掩膜层 102 为掩膜,蚀刻半导体衬底 100,以形成硅层 101。硬掩膜层 102 的厚度为 20-500 埃,硅层 101 的宽度为 5-50nm,硅层 101 的高度为 5-50nm。

[0027] 然后,在半导体衬底 100 上沉积形成牺牲材料层 103,以覆盖硬掩膜层 102 和硅层 101。接着,如图 1B 和图 2B 所示,对牺牲材料层 103 实施图案化工艺,以使牺牲材料层 103 仅覆盖半导体衬底 100 的上表面的两侧部分以及硬掩膜层 102 和硅层 101 的两侧,其中,位于硅层 101 的两侧的牺牲材料层 103 构成侧墙。在本实施例中,牺牲材料层 103 的材料优选氮化硅或氮氧化硅,牺牲材料层 103 的厚度为 2-50nm。

[0028] 接着,如图 1C 和图 2C 所示,实施大剂量离子注入 104 并退火,以在未被牺牲材料层 103 遮蔽的半导体衬底 100 中形成离子注入区。在本实施例中,大剂量离子注入 104 的注入离子为砷或者磷,注入剂量大于 1.0×10^{18} 离子/平方厘米,注入能量为 2-50KeV,注入离子的入射方向相对于与半导体衬底 100 相垂直的方向之间的角度为 0-7 度,退火的温度高于 1000°C。

[0029] 接着,如图 1D 和图 2D 所示,实施湿法蚀刻去除所述离子注入区以及位于所述侧墙和硅层 101 下方的半导体衬底 100 部分,以在半导体衬底 100 的上方形成由硅层 101 构成的硅纳米线结构。在本实施例中,所述湿法蚀刻的腐蚀液为浓度为 1:10 (HF:H₂O) 的稀释的 HF 酸或者其它对于所述离子注入区和半导体衬底 100 的未形成掺杂离子的部分具有高选择性的化学物质。

[0030] 接着,如图 1E 和图 2E 所示,去除剩余的牺牲材料层 103 和硬掩膜层 102。在本实施例中,采用湿法蚀刻工艺实施所述去除,所述湿法蚀刻的腐蚀液为磷酸。

[0031] 至此,完成了根据本发明示例性实施例的方法实施的工艺步骤,接下来,可以通过后续工艺完成整个半导体器件的制作。根据本发明,形成硅纳米线结构所需实施的光刻、蚀刻等工艺的工艺窗口更大,工艺简单易行,工艺精度更容易控制。

[0032] 参照图 2,其中示出了根据本发明示例性实施例的方法的流程图,用于简要示出整个制造工艺的流程。

[0033] 在步骤 201 中,提供半导体衬底,在半导体衬底上形成用于构成硅纳米线结构的硅层,且硅层的顶部形成有硬掩膜层;

[0034] 在步骤 202 中,在半导体衬底上沉积形成牺牲材料层,以覆盖硬掩膜层和硅层;

[0035] 在步骤 203 中,对牺牲材料层实施图案化工艺,以使牺牲材料层仅覆盖半导体衬

底的上表面的两侧部分以及硬掩膜层和硅层的两侧,其中,位于硅层的两侧的牺牲材料层构成侧墙;

[0036] 在步骤 204 中,实施大剂量离子注入并退火,以在未被牺牲材料层遮蔽的半导体衬底中形成离子注入区;

[0037] 在步骤 205 中,实施湿法蚀刻去除所述离子注入区以及位于所述侧墙和硅层下方的半导体衬底部分,以在半导体衬底的上方形成由硅层构成的硅纳米线结构;

[0038] 在步骤 206 中,去除剩余的牺牲材料层和硬掩膜层。

[0039] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

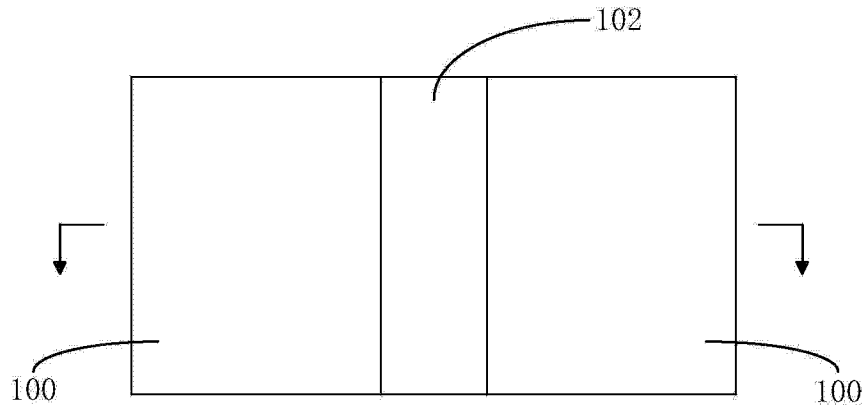


图 1A

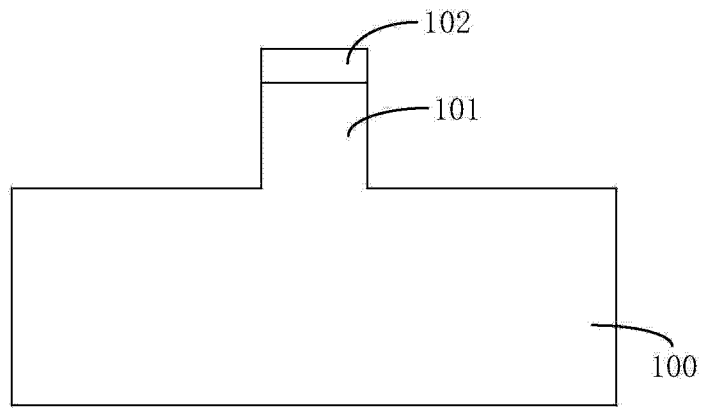


图 2A

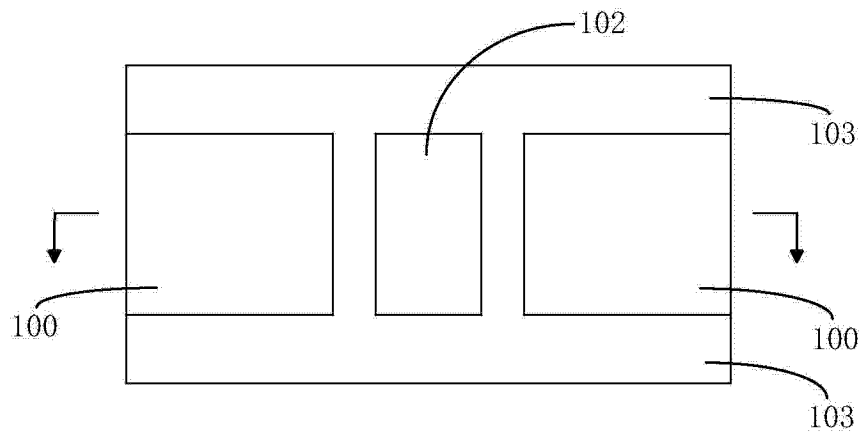


图 1B

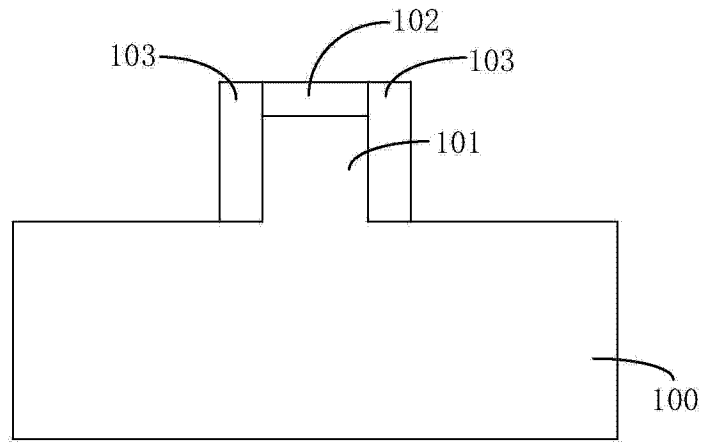


图 2B

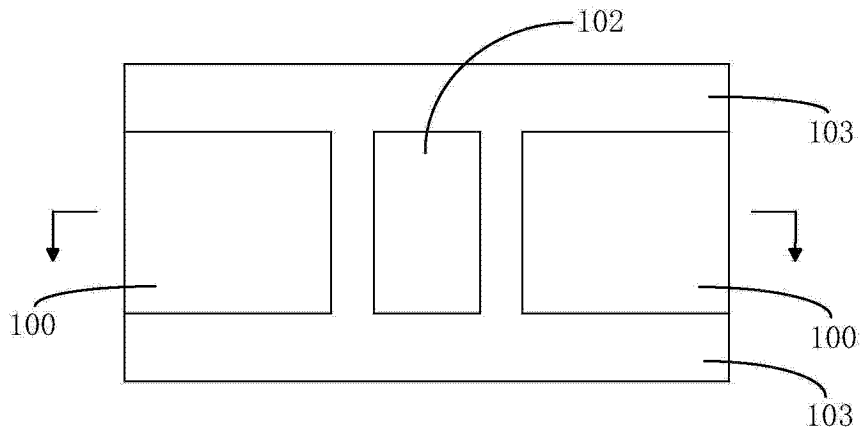


图 1C

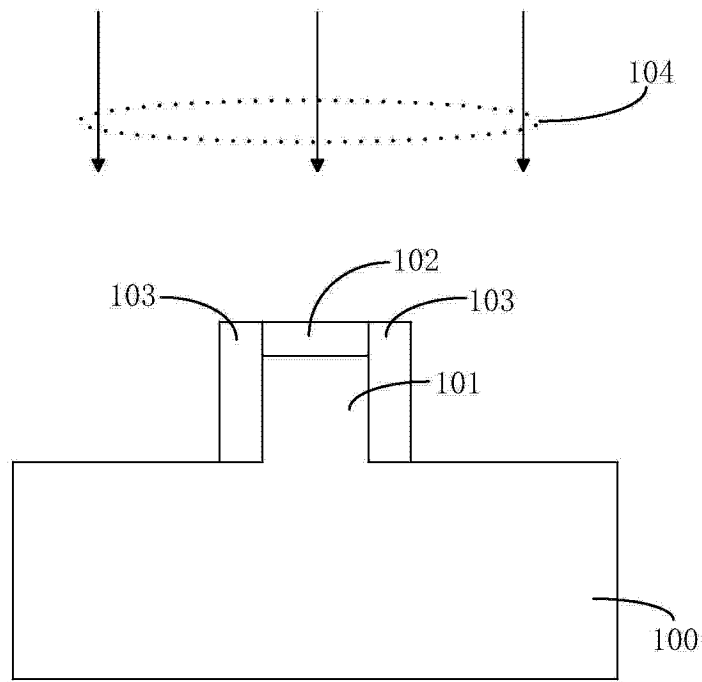


图 2C

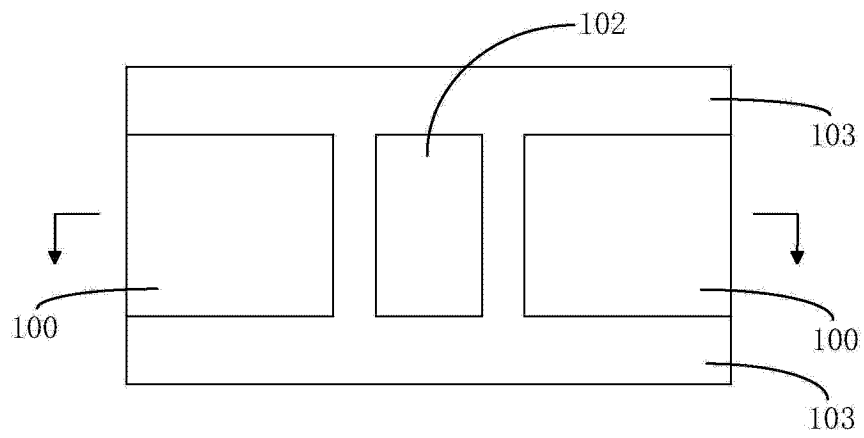


图 1D

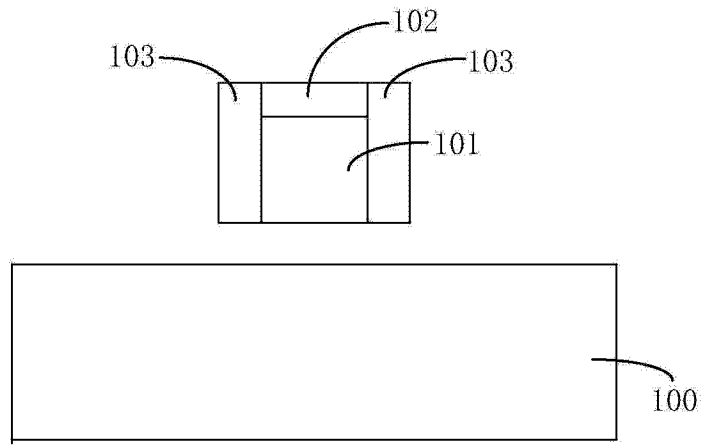


图 2D

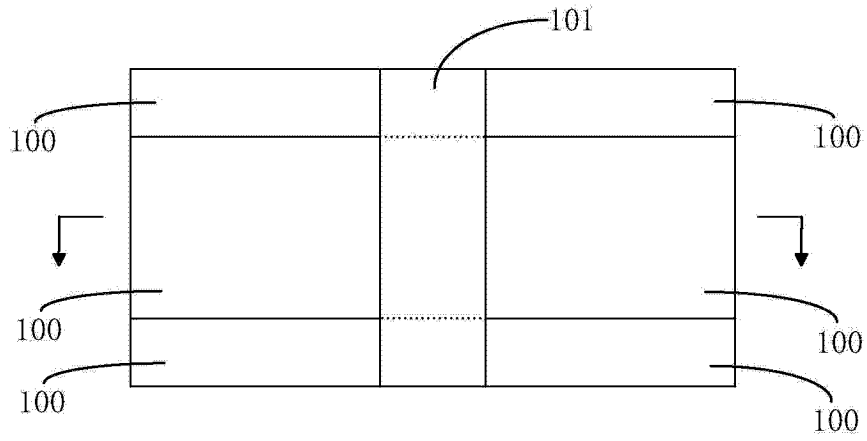


图 1E

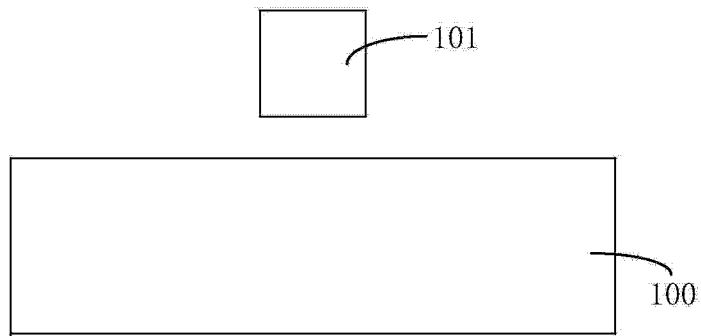


图 2E

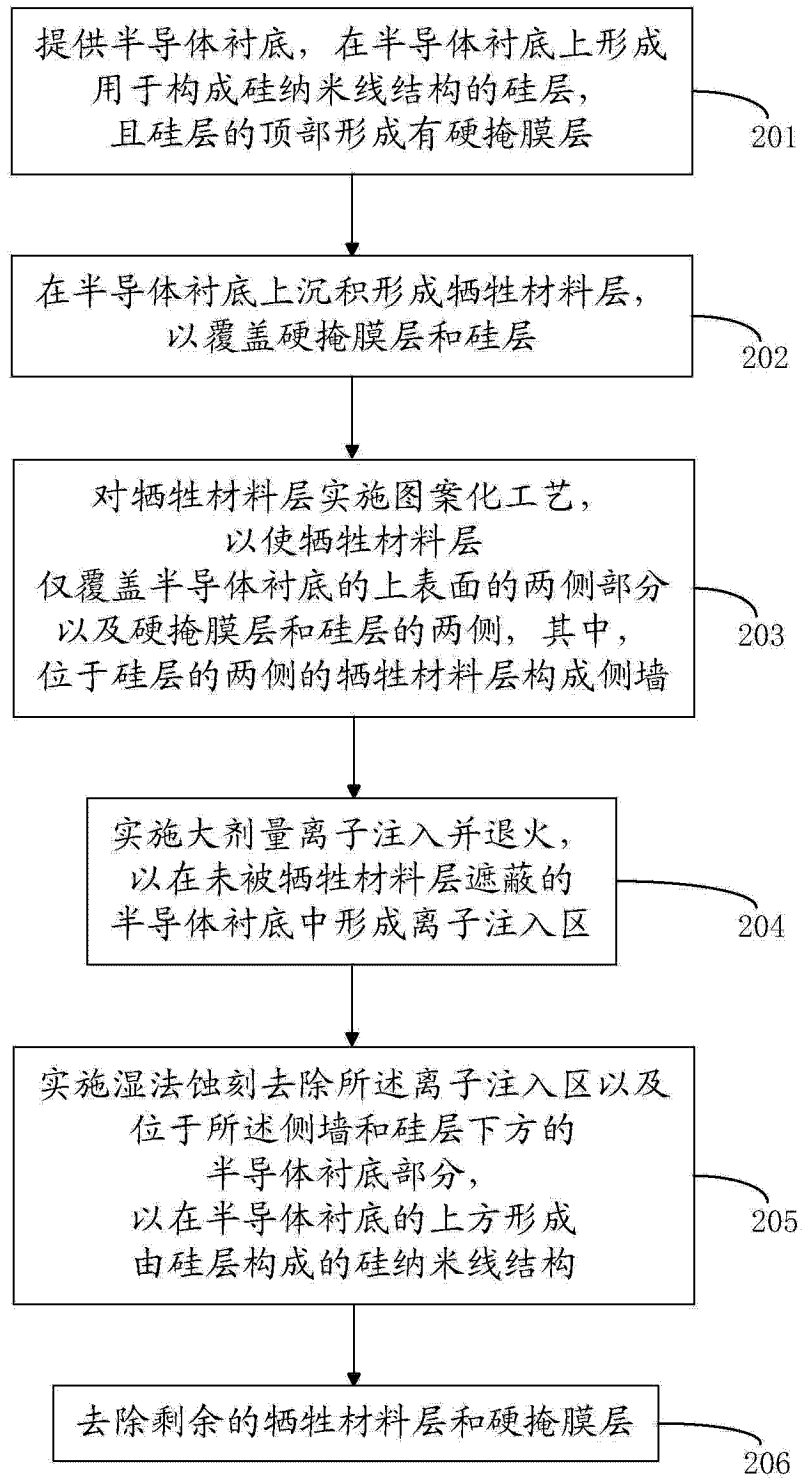


图3