

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/039835

発行日 平成25年2月21日 (2013. 2. 21)

(43) 国際公開日 平成23年4月7日 (2011. 4. 7)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 5/26 (2006.01)	H03K 5/26	G 5J039
H03L 7/085 (2006.01)	H03L 7/08	A 5J106
H03L 7/08 (2006.01)	H03L 7/08	M

審査請求 有 予備審査請求 未請求 (全 24 頁)

出願番号 特願2011-533975 (P2011-533975)	(71) 出願人 000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(21) 国際出願番号 PCT/JP2009/066936	(74) 代理人 100080001 弁理士 筒井 大和
(22) 国際出願日 平成21年9月29日 (2009. 9. 29)	(72) 発明者 福田 幸二 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
(81) 指定国 AP (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW	(72) 発明者 山下 寛樹 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
	Fターム(参考) 5J039 JJ07 JJ13 KK09 KK10 KK11 KK13 KK16 KK27 MM03 MM04 NN01 5J106 BB01 CC21 CC59 DD39 DD47 DD48 GG04 HH02 KK40

(54) 【発明の名称】 データ判定/位相比較回路

(57) 【要約】

クロック生成回路およびそれを備えた信号再生回路に関し、特に、単相のクロックでデータ判定と位相比較の両方を行うことが可能なデータ判定/位相比較回路、およびそれを備えたCDR (Clock Data Recovery) 回路を提供する。正しくデータ判定をするに必要なデータ確定期間 (セットアップ/ホールド時間) の異なる2つのデータ判定器G_GOOD、G_BADに同一のデータおよびクロックを入力し、必要なデータ確定期間が短い方のデータ判定器G_GOODの出力をデータ判定/位相比較回路のデータ出力とし、両データ判定器の出力が異なる場合にはクロック位相が早すぎることを示す信号Early、または、クロック位相が遅すぎることを示す信号Lateを出力する。前後のシンボルとあわせて合計3シンボルのデータ出力の関係によって、EarlyおよびLateのどちらを出力するかを決定論理EL_LOGICにて選択する。

図5A

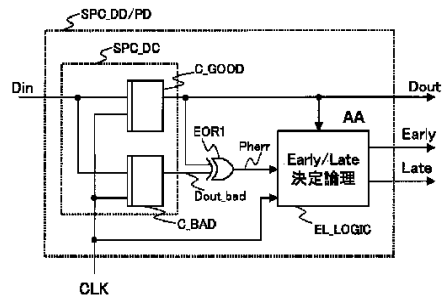


FIG. 5A: AA Early/Late Decision Logic

【特許請求の範囲】**【請求項 1】**

データ入力と、単一のクロック信号のみを入力されて、データ判定および位相比較が可能な、データ判定/位相比較回路であって、

前記データ入力を、前記クロック信号に同期してデータ判定する第1のデータ判定回路と、

前記データ入力を、前記クロック信号に同期してデータ判定する第2のデータ判定回路と、

前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、を入力されて、クロック位相が早すぎることを示す位相比較出力 *Early*、あるいは、クロック位相が遅すぎることを示す位相比較結果 *Late* を出力する位相比較論理回路と、を備え、

前記第2のデータ判定回路は、正しくデータ判定するのに必要なデータ入力の確定期間（必要セットアップ時間と必要ホールド時間の和）が、前記第1のデータ判定回路が、正しくデータ判定するのに必要なデータ入力の確定期間（必要セットアップ時間と必要ホールド時間の和）よりも長く、

前記第1のデータ判定回路の出力結果、あるいは該出力結果を遅延させたものを、データ判定/位相比較回路全体のデータ判定結果として出力し、

前記位相比較論理回路は、前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、が異なる場合にのみ、位相比較出力 *Early*、あるいは、*Late* を出力する可能性がある論理回路であることを特徴とするデータ判定/位相比較回路。

【請求項 2】

請求項1記載のデータ判定/位相比較回路において、

前記位相比較論理回路は、

前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、が入力される2入力排他的論理和回路と、前記2入力排他的論理和回路の出力を一方の入力とする2つの2入力論理積の出力が、それぞれ、位相比較出力 *Early*、あるいは、*Late* となっていることを特徴とするデータ判定/位相比較回路。

【請求項 3】

請求項1記載のデータ判定/位相比較回路において、

前記位相比較論理回路は、

前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、が異なる場合、前記異なる出力のシンボルを注目シンボルとして、前記第1のデータ判定回路の前記注目シンボルと前後のシンボルとを合わせた3シンボル分の出力、および、前記第2のデータ判定回路の前記注目シンボルと前後のシンボルとを合わせた3シンボル分の出力の、合計6シンボルの出力の組み合わせによって、位相比較出力 *Early* と *Late* を定めることを特徴とするデータ判定/位相比較回路。

【請求項 4】

請求項3記載のデータ判定/位相比較回路において、

前記位相比較論理回路は、

前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、が異なり、かつ、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル前の出力とが異なる場合に、位相比較出力 *Early* を出力し、

前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力と、が異なり、かつ、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル後の出力とが異なる場合に、位相比較出力 *Late* を出力することを特徴とするデータ判定/位相比較回路。

【請求項 5】

請求項3記載のデータ判定/位相比較回路において、

前記位相比較論理回路は、

現在のシンボルにおいて前記第1のデータ判定回路の出力と、前記第2のデータ判定回

10

20

30

40

50

路の出力とが異なり、かつ、1シンボル前および1シンボル後では、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル前の出力とが同一であり、かつ、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル前の出力とが異なる場合に、位相比較出力 *Early* を出力し、

現在のシンボルにおいて前記第1のデータ判定回路の出力と、前記第2のデータ判定回路の出力とが異なり、かつ、1シンボル前および1シンボル後では、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル前の出力とが同一であり、かつ、前記第1のデータ判定回路の現在の出力と、前記第1のデータ判定回路の1シンボル後の出力とが異なる場合に、位相比較出力 *Late* を出力することを特徴とするデータ判定/位相比較回路。

10

【請求項6】

請求項1～5のいずれか1項に記載のデータ判定/位相比較回路において、

前記第1のデータ判定回路が正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の比率、あるいは、前記第2のデータ判定回路が正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の比率、の一方または両方を調整する手段を有していることを特徴とするデータ判定/位相比較回路。

【請求項7】

請求項1～6のいずれか1項に記載のデータ判定/位相比較回路において、

前記第2のデータ判定回路が、正しくデータ判定するのに必要なデータ入力の確定期間（正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の和）を調整する手段を有していることを特徴とするデータ判定/位相比較回路。

20

【請求項8】

請求項7記載のデータ判定/位相比較回路において、

前記第2のデータ判定回路の正しくデータ判定するのに必要なデータ入力の確定期間（正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の和）を調整する手段が、前記第2のデータ判定回路の内部のノードに外部からオフセットを加えること、であることを特徴とするデータ判定/位相比較回路。

【請求項9】

請求項1～5のいずれか1項に記載のデータ判定/位相比較回路において、

前記第1のデータ判定回路と、前記第2のデータ判定回路は、マスター/スレーブ構成の回路であり、かつ、マスター側の回路は、前記第1のデータ判定回路と前記第2のデータ判定回路とで共有しており、スレーブ側の回路のみが異なることを特徴とするデータ判定/位相比較回路。

30

【請求項10】

請求項9記載のデータ判定/位相比較回路において、

前記第2のデータ判定回路のスレーブ側の回路が、正しくデータ判定するのに必要なデータ入力の確定期間（正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の和）を調整する手段を有していることを特徴とするデータ判定/位相比較回路。

【請求項11】

請求項10記載のデータ判定/位相比較回路において、

前記第2のデータ判定回路のスレーブ側の回路の正しくデータ判定するのに必要なデータ入力の確定期間（正しくデータ判定するのに必要な必要セットアップ時間と必要ホールド時間の和）を調整する手段が、前記第2のデータ判定回路のスレーブ側の回路の内部のノードに外部からオフセットを加えること、であることを特徴とするデータ判定/位相比較回路。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、クロック生成回路およびそれを備えた信号再生回路に関し、特に、単相のク

50

ロックでデータ判定と位相比較の両方を行うことが可能なデータ判定/位相比較回路、およびそれを備えたCDR (Clock Data Recovery) 回路に関するものである。

【背景技術】

【0002】

図1は、本発明の前提として検討した信号再生回路を示すものである。図1に示す信号再生回路CDR__Cは、特許文献1と同様の構成例となっている。信号再生回路CDR__Cは、データ判定/位相比較回路DD/PD、平均化回路AV、位相ポインタ制御回路PCON、位相補間回路PI、および、N相クロック生成回路NPG、によって構成される。

【0003】

データ判定/位相比較回路DD/PDは、n相クロックCLK_nのうちデータ取得用のクロック相に同期して、データ入力D_{in}を判定し、判定結果をデータ出力D_{out}に出力する。同時に、データ判定/位相比較回路DD/PDは、n相クロックCLK_nの複数のクロック相を利用することで、データ入力D_{in}とn相クロックCLK_nの位相を比較し、n相クロックCLK_nの位相がデータ入力D_{in}よりも早い場合にはEarly信号、n相クロックCLK_nの位相がデータ入力D_{in}よりも遅い場合にはLate信号、を出力する。

【0004】

平均化回路AVは、データ判定/位相比較回路DD/PDが出力した位相比較の結果、すなわちEarlyおよびLate信号を、ある一定期間積算することで、n相クロックCLK_nとデータ入力D_{in}の位相の平均的なずれを算出する。その結果、n相クロックCLK_nの位相がデータ入力D_{in}の位相よりも平均的に遅い場合にはUp信号、n相クロックCLK_nの位相がデータ入力D_{in}の位相よりも平均的に早い場合にはDown信号、を出力する。平均化回路AVによる処理は実質的にロウパスフィルタをかけていることと等価であり、平均化回路AVの代わりにアナログロウパスフィルタを用いる場合もある。

【0005】

位相ポインタ制御回路PCONは、上記Up信号およびDown信号に基づいて、位相補間回路PIの出力位相を制御する位相制御信号S_{ph}を出力する。平均化回路AVがUp信号を出力した場合には位相補間回路の出力クロックの位相を早めるように、逆に平均化回路AVがDown信号を出力した場合には位相補間回路の出力クロックの位相を遅らせるように制御する。

【0006】

位相補間回路PIは、典型的には、位相制御信号S_{ph}に基づいて、外部から入力されたリファレンスクロックCLK_{ref}の位相を変化させることで動作する。しかしながら、位相補間回路PIの本質的な機能は、位相制御信号S_{ph}に基づいて出力するクロックCLKの位相を変化させることであり、例えば、リファレンスクロックを用いずに、位相制御信号S_{ph}に基づいて出力位相を変化させることが可能な源発振器を位相補間回路PIに内蔵する、という方法も考えられる。

【0007】

N相クロック生成回路NPGは、位相補間回路PIが出力した単相のクロックCLKから、データ判定/位相比較回路DD/PDで必要とするn相のクロックを生成する回路である。このとき、n相クロックのうち特定のクロック相を、再生クロックCLK_{out}として信号再生回路CDR__Cの外部に出力する。

【0008】

図1の信号再生回路CDR__Cによれば、n相クロックCLK_nのうちデータ取得用のクロックが、常にデータ入力D_{in}の位相に追従し、正しいデータ判定が可能である。

【0009】

図2Aおよび図2Bは、それぞれ本発明の前提として検討したデータ判定/位相比較回路DD/PDの構成例を示すものである。ただし、これらの図は回路全体のうち本質的な

10

20

30

40

50

部分のみを描いたものであり、各信号間のリタイミング用の回路等は省かれている。

【0010】

図2Aは非特許文献1で開示されたアレキサンダー方式のデータ判定/位相比較回路DD/PDの構成を示すものである。図2Aに示したデータ判定/位相比較回路DD/PDは、データ入力Dinと、互いに1シンボル周期の半分の時間だけずれた2相のクロックclkDおよびclkEを入力されて、データ出力Dout、および、位相比較信号EarlyとLateを出力する。このとき、2相クロックのうち、clkDに同期してデータ入力Dinを判定した結果をDoutとして出力する。

【0011】

図2Bは特許文献1で開示されたアイトラッキング方式のデータ判定/位相比較回路DD/PDの構成を示すものである。図2Bに示したデータ判定/位相比較回路DD/PDは、データ入力Dinと、典型的には互いに1シンボル周期の1/4の時間だけずれた3相のクロックclkD、clkE、およびclkLを入力されて、データ出力Dout、および、位相比較信号EarlyとLateを出力する。このとき、3相クロックのうち、clkDに同期してデータ入力Dinを判定した結果をDoutとして出力する。

10

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2004-180188号公報

【非特許文献】

20

【0013】

【非特許文献1】J. D. H. Alexander, "Clock Recovery from Random Binary Data", Electronics Letters, Vol. 11, 1975年10月, p. 541-542

【発明の概要】

【発明が解決しようとする課題】

【0014】

図2Aおよび図2Bに示したデータ判定/位相比較回路DD/PDは、データ出力Doutのために必要なクロックclkDに加えて、位相比較信号EarlyおよびLateを出力するためにclkDとは位相が異なるクロックを必要とする。このため、データ判定/位相比較回路DD/PDの動作のために、単相のクロックではなく、2相もしくは3相のクロックCLKnを必要とする。このため、図1に示す信号再生回路CDR_Cでは、位相補間回路PIが出力した単相のクロックCLKから、N相クロック生成回路NPGによって2相もしくは3相のクロックCLKnを生成している。

30

【0015】

ところが、一般に、クロック相を増やすことは回路規模および消費電力の増大に直結する。とくに、データ判定/位相比較回路DD/PDは、高速なデータ入力Dinのデータ判定および位相比較をするために、高い周波数のクロックを必要とする。このため、多相クロックの生成および分配するために必要な、回路の規模および消費電力は大きなものとなる。さらに、近年、伝送速度を向上させるために、データ入力Dinおよびクロックの周波数がさらに高まってきており、多相クロックの生成および分配に用いる回路および消費電力が、信号再生回路全体の回路規模および消費電力のうちかなりの部分を占めるようになった。

40

【0016】

本発明は、このようなことを鑑みてなされたものであり、その目的の一つは、多相クロックを用いることなく、単相のクロックのみで、データの判定と位相比較の両方が可能なデータ判定/位相比較回路を提供することにある。本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0017】

本願において開示される発明のうち、代表的な実施の形態の概要を簡単に説明すれば、

50

次のとおりである。

【0018】

本実施の形態によるデータ判定/位相比較回路は、単一のクロックCLKに同期して動作する2つのデータ判定回路と、その後段に接続されたフリップフロップおよび論理積および排他的論理和からなる論理回路と、を備えた構成となっている。単一のクロックCLKに同期して動作する2つのデータ判定回路は、正しいデータ判定をするのに必要なデータ確定期間(必要セットアップ時間、および必要ホールド時間)が異なっている。

【0019】

データ判定/位相比較回路のデータ出力Doutは、正しいデータ判定をするのに必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短いほうのデータ判定回路の出力に接続されている。信号再生回路がロック状態にある限り、データ出力Doutは、ほぼ正しいデータを出力していると考えられる。

10

【0020】

位相比較信号EarlyおよびLateの出力は以下のように行う。もし、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が異なる2つのデータ判定回路が同じ判定結果を出力した場合には、Early、Lateとも出力しない。この場合には、必要なデータ確定期間が長いデータ判定回路も正しくデータを判定していることから、データ入力DinはクロックCLKに対して十分な確定期間があると考えられる。

【0021】

一方、もし、2つのデータ判定回路が異なる判定結果を出力した場合には、入力データDinのCLKに対するデータ確定期間が、必要なデータ確定期間が長い方のデータ判定回路が必要とするデータ確定期間よりも短くなって、必要なデータ確定期間が長い方のデータ判定回路が誤判定をした、つまり、データ入力DinのエッジがCLKに近づいている、と考えられる。この場合、そのシンボル(注目シンボル)の1シンボル前のデータおよび1シンボル後のデータを考えることで、クロックの位相が早すぎる(Early)のか、遅すぎるのか(Late)を判断することができる。

20

【0022】

具体的には、必要なデータ確定期間が短いほうのデータ判定結果が、注目シンボルと1つ前のシンボルとが同じ場合にはLateと判断し、注目シンボルと1つ後のシンボルとが同じ場合にはEarlyと判断する。この、クロックの位相が早すぎる(Early)のか、それとも遅すぎる(Late)のかを判断する手順については、実施の形態の説明にて更に詳細に記述する。

30

【0023】

このような構成を用いると、データ入力Dinと単一(单相)のクロックCLKのみを入力されて、データ判定出力Doutのみならず、位相比較出力EarlyおよびLateをも出力することが可能となる。このため、前述したような多相クロックを用いる場合に比べて回路規模および消費電力を削減することが可能となる。

【発明の効果】

【0024】

本願において開示される発明のうち、代表的な実施の形態によって得られる効果を簡単に説明すると、データ判定/位相比較回路が单相のクロックのみで動作可能となり、多相クロック信号の生成・分配に必要な回路規模および消費電力を削減できる。

40

【図面の簡単な説明】

【0025】

【図1】本発明の前提として検討した信号再生回路を示す図である。

【図2A】本発明の前提として検討した非特許文献1で開示されたデータ判定/位相比較回路を示す図である。

【図2B】本発明の前提として検討した特許文献1で開示されたデータ判定/位相比較回路を示す図である。

50

【図3】本発明の実施の形態1の光通信システムの構成例を示すブロック図である。

【図4】上記実施の形態1の単相クロック位相比較回路を示す図である。

【図5A】図4における単相クロックデータ判定/位相比較回路の詳細な構成を示すブロック図である。

【図5B】図5AにおけるEarly/Late決定論理EL__LOGICの詳細な構成例を示す図である。

【図6A】図5Bにおいて内部Early/Late決定論理EL__Logic1の部分をもっと詳細化したEarly/Late決定論理EL__LOGICの構成例を示す図である。

【図6B】図6AのEarly/Late決定論理EL__LOGICの動作原理を示す波形図である。

【図7A】本発明の実施の形態2の単相クロック位相比較回路に採用するEarly/Late決定論理EL__LOGIC'の回路図である。

【図7B】図7AのEarly/Late決定論理EL__LOGIC'の原理を説明する波形図である。

【図8A】本発明の実施の形態3の単相クロック位相比較回路に採用する単相クロックデュアルデータ判定器SPC__DC' (図5AのSPD__CDの代替)を示す回路図である。

【図8B】図8Aの単相クロックデュアルデータ判定器SPC__DC'の原理を説明する概念図である。

【図9A】図8Aのデータ判定器C__BADの一構成例のブロック図である。

【図9B】図8Aのデータ判定器C__BADの別の構成例のブロック図である。

【図10】図9Bのデータ判定器C__BADの詳細な構成を示す回路図である。

【図11】本発明の実施の形態4におけるデータ判定器C__BAD' (図9Bのデータ判定器C__BADの代替)を示す回路図である。

【図12】本発明の実施の形態5の単相クロックデュアルデータ判定器SPC__DC'' (図5AのSPD__CDの別の代替)を示す回路図である。

【発明を実施するための形態】

【0026】

以下に記述する各実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

【0027】

さらに、各実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0028】

また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。なお、実施の形態では、MISFET(Metal Insulator Semiconductor Field Effect Transistor)の一例としてMOS(Metal Oxide Semiconductor)トランジスタを用いる。図面において、Pチャネル型MOSトランジスタ(PMOSトランジスタ)にはゲートに丸印の記号を付すことで、Nチャネル型MOSトランジスタ(NMOSトランジスタ)と区別することとする。図面にはMOSトランジスタの基

10

20

30

40

50

板電位の接続は特に明記していないが、M O S トランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

【 0 0 2 9 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 3 0 】

(実施の形態 1)

図 3 は、本発明の実施の形態 1 による信号再生回路において、それを含めた光通信システムの構成例を示すブロック図である。図 3 に示す光通信システムは、光・電気変換ブロック O F E _ B L K と、シリアル・パラレル変換ブロック (S e r D e s : S E R i a l i z e r / D E S e r i a l i z e r) S D _ B L K と、上位層論理ブロック P U によって構成される。O F E _ B L K は、例えばフォトダイオード等を介して光入力データ信号 I N _ O P を電気信号に変換する光 / 電気変換回路 O E C と、半導体レーザ等を介して電気信号を光出力データ信号 O U T _ O P に変換する電気 / 光変換回路 E O C を備えている。

10

【 0 0 3 1 】

S D _ B L K は、入力系回路として、O E C からの微小なデータ信号を所定電圧レベルのデータ信号に増幅する入力回路 I F _ I と、その出力となるデータ信号 D i n からデータ信号 D o u t およびクロック信号 C L K o u t を再生する信号再生回路 C D R と、C L K o u t を用いてシリアルデータとなる D o u t をパラレルデータ信号 D A T o に変換するシリアル / パラレル変換回路 S P C を備えている。上位層論理ブロック P U は、この C L K o u t と D A T o を受けて所定の情報処理を行う。また、S D _ B L K は、出力系回路として、P U からのパラレルデータ信号 D A T i を P U からのクロック信号 C L K i n を用いてシリアルデータ信号に変換するパラレル / シリアル変換回路 P S C と、そのシリアルデータ信号に基づいた所定の電気信号によって電気 / 光変換回路 E O C を駆動する出力回路 I F _ O を備えている。

20

【 0 0 3 2 】

このような光通信システムでは、数十 G b p s を超える通信が行われるため、信号再生回路 C D R におけるクロック信号の周波数が非常に高くなる。このため、前述したように、図 2 A および図 2 B に示した多相クロックを用いてデータ判定および位相比較を行う方式では、多相クロックの生成・分配に必要な回路規模および消費電力が信号再生回路 C D R 全体の回路規模および消費電力のうち大きな部分を占めることになる。そこで、後述するように、単相のクロックで動作可能な本実施の形態によるデータ判定 / 位相比較回路を用いることで、回路規模および消費電力を削減することが可能となる。

30

【 0 0 3 3 】

図 4 は、図 3 の光通信システムにおいて、その信号再生回路 C D R の構成例を示すブロック図である。図 4 に示す信号再生回路 C D R は、単相クロックデータ判定 / 位相比較回路 S P C _ D D / P D 、平均化回路 A V 、位相ポインタ制御回路 P C O N 、および、位相補間回路 P I 、によって構成される。図 4 に示した信号再生回路 C D R は、図 1 に示した信号再生回路 C D R _ C と比べて、N 相クロック生成回路 N P G がなくなっていることが特徴となっている。すなわち、単相クロックデータ判定 / 位相比較回路 S P C _ D D / P D には、データ入力 D i n と、単相のクロック C L K が入力される。

40

【 0 0 3 4 】

単相クロックデータ判定 / 位相比較回路 S P C _ D D / P D は、単相クロック C L K に同期して、データ入力 D i n を判定し、判定結果をデータ出力 D o u t に出力する。同時に、データ入力 D i n とクロック C L K の位相を比較し、クロック C L K の位相がデータ入力 D i n よりも早い場合には E a r l y 信号、クロック C L K の位相がデータ入力 D i n よりも遅い場合には L a t e 信号、を出力する。

【 0 0 3 5 】

平均化回路 A V は、単層クロックデータ判定 / 位相比較回路 S P C _ D D / P D が出力

50

した位相比較の結果、すなわちE a r l yおよびL a t e信号を、ある一定期間積算することで、クロックC L Kとデータ入力D i nの位相の平均的なずれを算出する。その結果、クロックC L Kの位相がデータ入力D i nの位相よりも平均的に遅い場合にはU p信号、クロックC L Kの位相がデータ入力D i nの位相よりも平均的に早い場合にはD o w n信号、を出力する。平均化回路A Vによる処理は実質的にロウパスフィルタをかけていることと等価であり、平均化回路A Vの代わりにアナログロウパスフィルタを用いる構成も可能である。

【0036】

位相ポインタ制御回路P C O Nは、上記U p信号およびD o w n信号に基づいて、位相補間回路P Iの出力位相を制御する位相制御信号S p hを出力する。平均化回路A VがU p信号を出力した場合には位相補間回路の出力クロックの位相を早めるように、逆に平均化回路A VがD o w n信号を出力した場合には位相補間回路の出力クロックの位相を遅らせるように制御する。

10

【0037】

位相補間回路P Iは、典型的には、位相制御信号S p hに基づいて、外部から入力されたリファレンスクロックC L K r e fの位相を変化させることで動作する。これは、リファレンスクロックとして位相が90度ずつずれた4相のクロックを用い、これら4相のクロックに適切な係数をかけて足し合わせる位相補間回路といった公知の手段によって実現することができる。

【0038】

また、位相補間回路P Iの本質的な機能は、位相制御信号S p hに基づいて出力するクロックC L Kの位相を変化させることであり、例えば、リファレンスクロックを用いずに、位相制御信号S p hに基づいて出力位相を変化させることが可能な源発振器を位相補間回路P Iに内蔵する、という方法も考えられる。この場合、位相制御信号S p hに基づいて出力クロックC L Kの位相を直接変える構成や、位相制御信号S p hに基づいて出力クロックC L Kの周波数を変化させることで間接的に出力クロックC L Kの位相を変化させる構成、といった公知な手段を用いることができる。

20

【0039】

図5 Aは、図4における単相クロックデータ判定/位相比較回路S P C _ D D / P Dの詳細な構成例を示す図である。図5 Aに示す単相クロックデータ判定/位相比較回路S P C _ D D / P Dは、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短い、すなわち性能が良いクロック同期データ判定器C _ G O O Dと、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が長い、すなわち性能が悪いクロック同期データ判定器C _ B A Dと、2つのクロック同期データ判定器の出力の排他的論理和を出力する排他的論理和回路E O R 1と、E a r l y / L a t e決定論理E L _ L O G I Cとで構成される。

30

【0040】

正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短い、すなわち性能が良いクロック同期データ判定器C _ G O O Dは、クロックC L Kに同期してデータ入力D i nを判定した結果を、データ出力D o u tとして出力する。正しいデータ判定に必要なデータ確定期間(必要セットアップ時間必要ホールド時間の和)が長い、すなわち性能が悪いクロック同期データ判定器C _ B A Dは、クロックC L Kに同期してデータ入力D i nを判定した結果を、D o u t _ b a dとして出力する。つまり、2つのデータ判定器C _ G O O DとC _ B A Dは、同一のクロックC L Kに同期して同一のデータ入力D i nのデータを判定した結果を、それぞれ出力する。しかしながら、2つのデータ判定器は、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間、および必要ホールド時間)が異なるため、データの遷移のタイミングとクロックエッジとの時間関係によっては異なるデータ判定結果を出力することになる。ここで、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短い、すなわち性能が良いクロック同期データ判定器C _ G O O Dと、正しいデータ

40

50

判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が長い、すなわち性能が悪いクロック同期データ判定器 C_BAD と、を合わせたものを単相クロックデュアルデータ判定器 SPC_DC と呼ぶことにする。

【0041】

また、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が短い、すなわち性能が良いクロック同期データ判定器 C_GOOD の判定結果 $Dout$ は、そのまま、単相クロックデータ判定/位相比較回路 SPC_DD/PD のデータ出力 $Dout$ として出力される。ただし、後述する $Early/Late$ 決定論理 EL_LOGIC とのタイミングを合わせる等の目的で、データ判定器 C_GOOD の出力を、遅延回路、あるいはフリップフロップによるシフトレジスタ等によって、遅延させたものを、単相クロックデータ判定/位相比較回路 SPC_DD/PD のデータ出力 $Dout$ とする構成も可能である。

10

【0042】

排他的論理和回路 $EOR1$ は、データ判定器 C_GOOD の出力 $Dout$ と、データ判定器 C_BAD の出力 $Dout_bad$ と、の排他的論理和を計算して、位相エラー信号 $Pherr$ として出力する。

【0043】

CDR の位相調整機構がロックしている状態では、データ入力 Din に対して、2つのデータ判定器 C_GOOD と C_BAD のデータ確定期間が最大となるようにクロック CLK の位相が制御されている。したがって、 CDR の位相調整機構がロックしている状態では、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が短い、すなわち性能が良いクロック同期データ判定器 C_GOOD は、ほとんど常に正しくデータを判定すると考えられる。したがって、もし、データ判定器 C_GOOD の出力 $Dout$ と、データ判定器 C_BAD の出力 $Dout_bad$ と、が異なるなら、データ判定器 C_GOOD は正しくデータ判定を行い、 C_BAD が誤ってデータ判定を行った、と考えられる。すなわち、データ入力 Din のエッジがクロック CLK に近づいて、 C_BAD が正しくデータを判定するのに必要なデータ確定期間がとれなかった、詳しくは必要なセットアップ時間、もしくは必要なホールド時間がとれなかった、といえる。したがって、位相エラー信号 $Pherr$ は、単相クロックデータ判定/位相比較回路 SPC_DD/PD が位相比較信号 $Early$ または $Late$ を出力するための前提条件となっている。

20

30

【0044】

$Early/Late$ 決定論理 EL_LOGIC は、性能の良いデータ判定器 C_GOOD の出力 $Dout$ と、位相エラー信号 $Pherr$ とを入力されて、クロック CLK の位相がデータ入力 Din に対して早すぎることを示す信号 ($Early$) と、クロック CLK の位相がデータ入力 Din に対して遅すぎることを示す信号 ($Late$) と、を出力する論理回路である。

【0045】

図5Bに $Early/Late$ 決定論理 EL_LOGIC のより詳細な構成例を示した。図5Bに示した $Early/Late$ 決定論理 EL_LOGIC は、性能の良いデータ判定器 C_GOOD のデータ出力 $Dout$ と、位相エラー信号 $Pherr$ と、から $Early1$ および $Late1$ を計算する内部 $Early/Late$ 決定論理 EL_Logic1 と、位相エラー信号 $Pherr$ を必要なクロックサイクル分だけ遅延させるシフトレジスタ $SR1$ と、 $Early1$ と位相エラー信号 $Pherr$ との論理積を計算する論理積回路 $AND1$ と、 $Late1$ と位相エラー信号 $Pherr$ との論理積を計算する論理積回路 $AND2$ と、から構成される。

40

【0046】

前述のように、位相エラー信号 $Pherr$ は、単相クロックデータ判定/位相比較回路 SPC_DD/PD が位相比較信号 $Early$ または $Late$ を出力するための前提条件となっている。したがって、論理的には、 $Early/Late$ 決定論理 EL_LOGIC

50

Cの、Early出力、Late出力には、位相エラー信号Pher rとの論理積回路が入ることになる。このとき、内部Early/Late決定論理EL__Logic 1における遅延分だけ、位相エラー信号Pher rを遅延させる必要があるため、シフトレジスタSR 1が挿入されている。シフトレジスタSR 1の具体的な遅延量は、内部Early/Late決定論理EL__Logic 1で生じる遅延量に合わせて決まっており、内部Early/Late決定論理EL__Logic 1の実装の詳細によって、いろいろな値をとりえる。また、Early 1と位相エラー信号Pher rとの論理積を計算する論理積回路AND 1と、Late 1と位相エラー信号Pher rとの論理積を計算する論理積回路AND 2については、論理的にはEARLY/Late決定論理EL__LOGICの最終段に入る論理積回路という形で表されるが、実際の回路では論理圧縮等の論理の等価論理変換を施した結果、必ずしも、最終段に論理積回路が入らない場合も考えられる。

10

【0047】

図6Aは、図5Bにおける内部Early/Late決定論理EL__Logic 1の詳細な構成を含めて、Early/Late決定論理EL__LOGIC全体の構成例を表したものである。また、図6Bに図6Aの動作原理を表す波形図を示した。図6Bは、4種類の波形図を示しており、それぞれの波形は横軸に時間を、縦軸にデータ入力Dinをとって描かれている。図中のx印は、クロック同期データ判定器の判定位置を表しており、1シンボル時間ごとにおかれている。正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が短い、すなわち性能が良いクロック同期データ判定器C__GOODと、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が長い、すなわち性能が悪いクロック同期データ判定器C__BADは、同一のクロックCLKに同期して、同一のデータ入力Dinを判定しており、図6Bでは、1つのx印が、C__GOODとC__BADの両方の判定位置を表している。図6Bにおいて、ケース1およびケース2はデータ入力Dinの遷移が、中央の判定位置の直前にあり、クロックCLKの位相が早すぎる場合に相当する。逆に、ケース3およびケース4はデータ入力Dinの遷移が、中央の判定位置の直後にあり、クロックCLKの位相が早すぎる場合に相当している。ケース1からケース4の全ての場所で、中央の判定位置において、データ入力Dinの遷移が判定位置に近すぎるため、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が長い、すなわち性能が悪いクロック同期データ判定器C__BADは誤判定する可能性がある。一方で、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間と必要ホールド時間の和）が短い、すなわち性能が良いクロック同期データ判定器C__GOODは常に正しい判定をすると考えられる。結果的に、2つのクロック同期データ判定器C__GOODとC__BADの判定結果が異なることとなり、位相エラー信号Pher rが出力される。図6Bにおいて、判定位置を示すx印の周りに点線で囲った は、この判定位置で位相エラー信号Pher rが出力される可能性があることを示している。

20

30

【0048】

位相エラー信号Pher rが出力された場合に、クロック位相が早すぎる場合、つまりケース1もしくはケース2と、クロック位相が遅すぎる場合、つまりケース3もしくはケース4と、の識別は以下のようにして行うことが可能である。クロック位相が早すぎるケース1とケース2では、Pher rが出力された中央の判定位置とその1シンボル前（左側）の判定位置でデータ入力Dinが異なっている一方で、Pher rが出力された中央の判定位置とその1シンボル後（右側）の判定位置とでデータ入力Dinが同一である。逆に、クロック位相が遅すぎるケース3とケース4では、Pher rが出力された中央の判定位置とその1シンボル前（左側）の判定位置でデータ入力Dinが同一である一方で、Pher rが出力された中央の判定位置とその1シンボル後（右側）の判定位置とでデータ入力Dinが異なる。したがって、位相エラー信号Pher rが出力されたシンボルにおけるデータ入力Dinすなわち性能が良いクロック同期データ判定器C__GOODの判定結果と、その前後のシンボルにおけるデータ入力Dinすなわち性能が良いクロック同期データ判定器C__GOODの判定結果と、の排他的論理和を計算して、前後どちらで

40

50

データ入力 D_{in} の遷移が起きているかを調べることで、クロック位相が早すぎる場合と、クロック位相が遅すぎる場合を識別することが可能である。

【0049】

図6Aに示した、内部 $Early/Late$ 決定論理 EL_Logic1 はこの考え方に基づいた回路の構成例である。図6Aにおいて、データ出力 D_{out} 、すなわち性能が良いクロック同期データ判定器 C_GOOD の出力を2つのD型フリップフロップ $DF1$ および $DF2$ によって遅延させることで、合わせて3シンボル分のデータ出力 D_{out} を記憶している。2つの排他的論理和回路 $EOR2$ および $EOR3$ によってこれら3シンボル分のデータ出力 D_{out} 間の排他的論理和を計算することで、位相エラー信号 $Pherr$ が入力された場合に、クロック CLK の位相がデータ入力 D_{in} に対して早すぎることを示す信号 ($Early$) と、クロック CLK の位相がデータ入力 D_{in} に対して遅すぎることを示す信号 ($Late$) と、を出力する。このとき、内部 $Early/Late$ 決定論理 EL_Logic1 内で1シンボル分遅延が発生するため、位相エラー信号 $Pherr$ 側にも1シンボル遅延させるシフトレジスタ回路 $SR1$ を挿入してある。

10

【0050】

以上のとおり、実施の形態1による単相クロックデータ判定/位相比較回路およびそれを備えた信号再生回路を用いることで、必要なクロック相を従来の2相以上から、単相に減らすことが可能となり、回路規模および消費電力を低減することが可能となる。

【0051】

(実施の形態2)

20

実施の形態2では、単相クロックデータ判定/位相比較回路としては図5Aに示した実施の形態1の構成と変わりが無い。ただし、 $Early/Late$ 決定論理は図6Aの EL_LOGIC に代えて図7Aの $Early/Late$ 決定論理 EL_LOGIC' を用いる。

【0052】

前述したように、位相エラー信号 $Pherr$ が出力されたときには、その前後どちらのシンボルでデータ入力 D_{in} の遷移が起きているかを調べることで、クロック位相が早すぎる場合とクロック位相が遅すぎる場合を識別することが可能である。しかしながら、図6Bで説明した実施の態様1の判定方法ではクロック位相が早すぎる、またはクロック位相が遅すぎるという識別を誤る可能性がある。図7Bにこの状況を説明する波形図を示した。

30

【0053】

図7Bにおいて、中央の判定位置と、その1シンボル後(右側)の判定位置において、データ入力 D_{in} の遷移が判定位置の直前または直後で起こっており、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短い、すなわち性能が良いクロック同期データ判定器 C_GOOD の判定結果と、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が長い、すなわち性能が悪いクロック同期データ判定器 C_BAD の判定結果とが異なる、すなわち位相エラー信号 $Pherr$ が出力される可能性がある。しかしながら、図7Bのように、中央の判定位置ではデータ入力 D_{in} の遷移が判定位置の前にあり、かつ、その1シンボル後(右側)の判定位置ではデータ入力 D_{in} の遷移が判定位置の後にある場合、本来であれば、クロック位相が早すぎるのか、あるいは、クロック位相が遅すぎるのか、を識別することは不可能であり、クロックの位相が遅れた結果、図7Bの状態に陥る場合もあり得る。ところが、この場合、中央の判定位置とその1つ前(左側)の判定位置でのデータ出力 D_{out} が異なる一方で、中央の判定位置とその1つ後(右側)の判定位置でのデータ出力 D_{out} が同一であるため、図6Aに示した構成による $Early/Late$ 決定論理 EL_LOGIC では、クロック CLK の位相がデータ入力 D_{in} に対して早すぎることを示す信号 ($Early$) が出力されることになる。この結果、信号再生回路 CDR によって、クロック CLK の位相が更に遅らされることになるが、これは、本来望ましい動作ではない。逆に、クロック遅れにもかかわらず $Late$ が出力される場合もある。

40

50

【0054】

図7AのEarly/Late決定論理EL__LOGIC'は、図6AのEARLY/LATE決定論理EL__LOGICの上述の欠点を改善したものである。図7Aにおいて、位相エラー信号Pher rは、2つのD型フリップフロップDF F3およびDF F4によって遅延され、合わせて3シンボル分の位相エラー信号Pher rが記憶されている。これら3シンボル分の位相エラー信号は、否定論理和回路NOR1と論理積回路AND3に入力される。図7Aに示したEarly/Late決定論理EL__LOGIC'では、中央の判定位置でのみ位相エラー信号Pher rが出力され、その前後のシンボルでは位相エラー信号Pher rが出力されなかった場合、すなわち、図6Bに示した4種類に相当する場合のみ、Early/Late決定論理EL__LOGIC'の最終段に入る論理積回路AND1およびAND2に、位相エラー信号Pher rが入力される。この結果、図7Bのように、中央の判定位置のみならず、その前後の判定位置においても位相エラー信号Pher rが出力された場合には、Early/Late決定論理EL__LOGIC'は、Early信号およびLate信号のいずれをも出力しないこととなる。したがって、Early信号もしくはLate信号が誤って出力されることがなくなる。

10

【0055】

以上のとおり、実施の形態2の単相クロックデータ判定/位相比較回路およびそれを備えた信号再生回路では、位相比較器が誤った位相比較結果を出力することがなくなり、信号再生回路の再生エラーの発生が減少する。

20

【0056】

(実施の形態3)

実施の形態3は、図5Aで説明した実施の形態1の単相クロックデータ判定/位相比較回路SPC__DD/PDの各構成要素のうち、単相クロックデュアルデータ判定器SPC__DCを図8Bに示すSPC__DC'に置き換えたものである。図8Bは、図8Aの単相クロックデュアルデータ判定器SPC__DC'の原理的な動作を示す概念図である。図8Bは、横軸として時間を取り、クロックCLKと、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が短い、すなわち性能が良いクロック同期データ判定器C__GOODが誤判定をする可能性がある期間と、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が長い、すなわち性能が悪いクロック同期データ判定器C__BADが誤判定をする期間と、を図示したものである。ここで、性能が良いクロック同期データ判定器C__GOODは正しくデータ判定する一方で、性能が悪いクロック同期データ判定器C__BADが誤判定をする可能性がある期間は、本発明におけるデータ判定/位相比較回路において、位相比較信号が出る可能性がある期間である。このうち、図8Bに示したように、クロック立ち上がりに対して前側の期間をアイトラックウィンドウ期間1あるいはTW1、クロック立ち上がりに対して後側の期間をアイトラックウィンドウ期間2あるいはTW2、と呼ぶことにする。データ入力Dinの遷移がTW1の期間中に起こるとEarly信号が、データ入力Dinの遷移がTW2の期間中に起こるとLate信号が出力される可能性がある。

30

【0057】

信号再生回路CDRの性能を高めるには、TW1と、TW2の時間幅が同程度の長さであることが必要である。信号再生回路CDRは、Early信号とLate信号の出現確率を同頻度にするようにクロック信号CLKの位相を制御するフィードバックをかけるため、例えば、TW1の時間幅が、TW2の時間幅に対して長い場合には、クロックCLKの位相が本来最適な位置に対して早すぎる位置で固定されてしまうことになる。

40

【0058】

図8Aに示した単相クロックデュアルデータ判定器SPC__DCでは、前後のアイトラックウィンドウTW1とTW2の時間幅を同程度にするために、2つのデータ判定器C__GOODおよびC__BADに入力されるクロックに、それぞれ可変遅延回路VD1およびVD2が挿入されている。ここで、可変遅延回路VD1の遅延を増加させると、図8BのC__GOODが誤判定する可能性がある期間が遅くなるため、結果として、前側のアイト

50

ラックウィンドウTW1の時間幅は増加し、後側のイトラックウィンドウTW2の時間幅は減少することになる。逆に、可変遅延回路VD2の遅延を増加させると、図8BのC__BADが誤判定する可能性がある期間が遅くなるため、結果として、前側のイトラックウィンドウTW1の時間幅は減少し、後側のイトラックウィンドウTW2の時間幅は増加することになる。したがって、2つの可変遅延回路VD1およびVD2の遅延量を適切な値に調整することで、前後のイトラックウィンドウTW1およびTW2の時間幅を同程度になるように調整することが可能となる。

【0059】

ここで、2つの可変遅延回路VD1およびVD2を、2つのデータ判定器C__GOODおよびC__BADのクロック入力に挿入する代わりに、例えば、C__GOODの前には固定の遅延を挿入し、C__BADの前に挿入されている可変遅延回路VD2のみでTW1とTW2の時間幅のバランスを調整するような構成も可能である。ここで、C__GOODの前に挿入される固定遅延は、必ずしも、回路図上で陽に表れている必要はなく、データ判定器C__GOODに不可避的に内在している遅延を利用することもできる。また、クロックに可変遅延を挿入する代わりに、それぞれのデータ判定器に入力されるデータ入力に可変遅延を入力する構成も考えられる。この場合、例えば、C__GOODのデータ入力に挿入されている遅延量を増やすと、前側のイトラックウィンドウTW1の時間幅は減少し、後側のイトラックウィンドウTW2の時間幅は増加することになる。

10

【0060】

ここで、前後のイトラックウィンドウTW1とTW2の実際の長さを調整する代わりに、信号再生回路CDRのフィードバックループにおいてEarlyとLateの頻度の比を、同一ではないある特定の値になるように調整することで、クロックCLKの位相が最適な位置にくるようにする、という構成も可能である。

20

【0061】

信号再生回路CDRの性能を高めるには、TW1とTW2の時間幅のバランスに加えて、TW1およびTW2の時間幅の絶対量にも考慮を払う必要がある。一般に、データ入力Dinに含まれるジッタ量が小さい場合には、TW1とTW2の時間幅を長くすると性能が向上し、データ入力Dinに含まれるジッタ量が大きい場合にはTW1とTW2の時間幅を短くすると性能が向上する。ここで、データ入力Dinに含まれるジッタ量は主に信号を伝送する配線損失に依存しているため、データ入力Dinに含まれるジッタ量は送受信器が使われる状況によって異なり、あらかじめ設計段階で想定することは難しい。したがって、TW1とTW2の時間幅の絶対量を、使用する状況に合わせて調整可能とすることが望ましい。

30

【0062】

図8Bより、TW1とTW2の時間幅の絶対量の調整は、C__BADが誤判定をする可能性がある期間を調整可能とすることで、実現可能なことがわかる。図8Aに示した単相クロックデュアルデータ判定器SPC__DC'では、正しいデータ判定に必要なデータ確定期間(必要セットアップ時間と必要ホールド時間の和)が長い、すなわち性能が悪いクロック同期データ判定器C__BADの、必要なデータ確定期間(必要セットアップ時間、および必要ホールド時間)を外部からの制御信号SHcontによって制御可能としている。

40

【0063】

図9Aは、図8Aのデータ判定器C__BADの一構成例を示す。また、図9Bはデータ判定器C__BADの別の構成例を表す図である。図9Aのデータ判定器、および図9Bのデータ判定器の双方とも、それぞれ逆相のクロックCLKに同期して動作する2つのD型ラッチ回路(レベルトリガラッチ回路)D1__BADおよびD2__BADを含み、マスター/スレーブ構成のD型フリップフロップ回路を構成している。

【0064】

図9Aに示したデータ判定器C__BADでは、マスター側のD型ラッチ回路(レベルトリガラッチ回路)D1__BADに、制御信号SHcontが入力されており、D1__BA

50

Dが正しくデータ保持動作をするのに必要なデータ確定期間を、制御信号SHcontによって調整可能としている。この結果、制御信号SHcontによって、データ判定器C__BAD全体の、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間、および必要ホールド時間）を可変とし、アイトラックウィンドウTW1とTW2の時間幅の絶対量を調整することができる。

【0065】

図9Bに示したデータ判定器C__BADでは、スレーブ側のD型ラッチ回路（レベルトリガラッチ回路）D2__BADに、制御信号SHcontが入力されており、D2__BADが正しくデータ保持動作をするのに必要なデータ確定期間を、制御信号SHcontによって調整可能としている。この結果、図9Aと同様に、制御信号SHcontによって、データ判定器C__BAD全体の、正しいデータ判定に必要なデータ確定期間（必要セットアップ時間、および必要ホールド時間）を可変とし、アイトラックウィンドウTW1とTW2の時間幅の絶対量を調整することができる。

10

【0066】

また、マスター側のD型ラッチ回路（レベルトリガラッチ回路）D1__BAD、あるいは、スレーブ側のD型ラッチ回路（レベルトリガラッチ回路）D2__BADのみに制御信号SHcontを入力するのではなく、マスター側およびスレーブ側の両方のD型ラッチ回路（レベルトリガラッチ回路）に制御信号SHcontを入力し、2つのD型ラッチ回路（レベルトリガラッチ回路）が正しくデータ保持動作をするのに必要なデータ確定期間を、同時に調整する構成も可能である。

20

【0067】

図10は、図9Bに示したデータ判定器C__BADの詳細な構成例を示す回路図である。図10に示したデータ判定器C__BADは、CMOS回路で一般的なパストランジスタを用いたセミスタティック構成のD型ラッチ回路（レベルトリガラッチ回路）によって構成されている。ここで、スレーブ側のD型ラッチ回路（レベルトリガラッチ回路）が正しくデータ保持動作をするのに必要なデータ確定期間を可変にするために、パストランジスタ直後のデータ判定用のCMOSインバータの各トランジスタのソース側に可変抵抗を挿入した。この可変抵抗の抵抗値を大きくすると、CMOSインバータの電流量が制限されるため、データ入力の変化に対する感度が低下し、必要なデータ確定期間が長くなる。逆に、可変抵抗の抵抗値を小さくすることで、CMOSインバータの電流量を増加させ、必要なデータ確定期間が短くなる。したがって、可変抵抗の抵抗値を制御信号SHcontで制御することで、データ判定器C__BADの必要なデータ確定期間（必要セットアップ時間、および必要ホールド時間）を可変とし、アイトラックウィンドウTW1とTW2の時間幅の絶対量を調整することが可能となる。

30

【0068】

図10において、CMOSインバータに挿入する可変抵抗は、必ずしもNMOS側とPMOS側の両方に入れる必要はなく、NMOS側のみ、あるいはPMOS側のみ挿入する構成も可能である。この場合、動作としては、後述する実施の形態4におけるデータ判定器C__BADと同様に、データ判定器C__BADに強制的にオフセットを導入したことに相当する。

40

【0069】

以上、本実施の形態3による単相クロックデータ判定/位相比較回路およびそれを備えた信号再生回路を用いることで、位相比較回路の前後のアイトラックウィンドウTW1およびTW2のバランスおよび絶対時間を調整することが可能となり、信号再生回路を伝送路の状態に合わせて最適な動作とすることが可能となる。

【0070】

（実施の形態4）

実施の形態4では、図8Aに示した単相クロックデュアルデータ判定器の「性能が悪い」方のデータ判定器C__BADとして、図11に示すものを用いる。図11のデータ判定器C__BAD'は、2つの完全差動構成のカレントモードロジック回路（CML回路）に

50

よるD型ラッチ回路(レベルトリガラッチ回路)D1__BAD'およびD2__BAD'と、これらD型ラッチ回路(レベルトリガラッチ回路)D1__BAD'およびD2__BAD'の間に配置されている2つの可変電流源と、から構成されている。この2つの可変電流源は、カレントモードロジック回路(CML回路)のオフセット調整用に一般的に使われる回路と同様のものである。この2つの可変電流源を制御信号SHcontによって制御することで、スレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D2__BAD'に強制的にオフセットを導入することができる。オフセットが導入されることで、等価的に、データ判定器C__BADが正しくデータ判定をするのに必要なデータ確定期間を長くすることが可能である。

【0071】

たとえば、オフセットを導入することで、スレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D2__BAD'は、“1”に比べて“0”を出力しやすい状態になったとする。このとき、データ入力Dinが“0”から“1”に遷移する場合を考えると、オフセットを導入したことによりD2__BAD'は“0”を出力しやすくなっているため、D2__BAD'の出力Dout__badが、“0”から“1”に遷移するためには、オフセットがない状態に比べて長時間データ入力確定している必要がある。一方で、データ入力Dinが“1”から“0”に遷移する場合にはオフセットがない状態に比べて必要なデータ入力の確定期間は短くなる。しかしながら、データ判定器C__BAD全体としてみたときの必要なデータ確定期間は、最も必要なデータ確定期間が長くなるようなデータパターンによって規定されているため、オフセットを導入することで、データ判定器C__BAD'が正しくデータ判定をするのに必要なデータ確定期間は長くなる。

【0072】

以上より、導入するオフセットの量を、制御信号SHcontによって調整することで、データ判定器C__BAD'の必要なデータ確定期間(必要セットアップ時間、および必要ホールド時間)を可変とし、アイトラックウィンドウTW1とTW2の時間幅の絶対量を調整することが可能となる。

【0073】

ここで、図11で示した可変電流源による方法以外にも、差動信号線のpおよびnに、それぞれ可変容量を付加する、といった公知の方法によってデータ判定器C__BADにオフセットを導入することも可能である。

【0074】

オフセット導入による必要データ確定期間の長時間化は、前後のアイトラックウィンドウTW1およびTW2に同じように利くため、オフセット導入に伴って、実施の形態3に関しての記述で前述した、前後のアイトラックウィンドウTW1とTW2の時間幅のアンバランスが生じる問題が起こらない、という利点がある。

【0075】

以上、本実施の形態4による単相クロックデータ判定/位相比較回路およびそれを備えた信号再生回路を用いることで、位相比較器の前後のアイトラックウィンドウTW1およびTW2の絶対時間をそのバランスを保ちながら調整することが可能となり、信号再生回路を伝送路の状態に合わせて最適な動作とすることが可能となる。

【0076】

(実施の形態5)

実施の形態5は、図5Aに示した実施の形態1の単相クロックデータ判定/位相比較回路SPC__DD/PDの各構成要素のうち、単相クロックデュアルデータ判定器SPC__DCを図12に示すSPC__DC"に置き換えたものである。図12の単相クロックデュアルデータ判定器SPC__DC"は、3つのD型ラッチ回路(レベルトリガラッチ回路)D3__GOOD、D4__GOOD、および、D2__BADから構成される。本回路は、図5Aに示した単相クロックデュアルデータ判定器SPC__DCにおける性能の良いデータ判定器C__GOOD、および、性能が悪いデータ判定器C__BADで、マスター側のD型ラッチ回路(レベルトリガラッチ回路)を共有しており、スレーブ側のD型ラッチ回路(

10

20

30

40

50

レベルトリガラッチ回路)のみを別々にしたものと言える。D型ラッチ回路(レベルトリガラッチ回路)D2__BADが正しくデータ保持するのに必要なデータ確定期間を制御信号SHcontで調整することで、性能の悪いデータ判定器C__BADが正しくデータ判定するのに必要なデータ確定期間、すなわちアイトラックウィンドウTW1およびTW2の時間幅の絶対量を調整することが可能である。この調整には、実施の形態3の説明で述べた方法、もしくは実施の形態4の説明で述べた方法を適用する。

【0077】

本実施の形態5では、マスター側のD型ラッチ回路(レベルトリガラッチ回路)D3__GOODは、性能の良いデータ判定器C__GOOD、および、性能が悪いデータ判定器C__BADとで共有されている。このため、もし、性能が悪いデータ判定器C__BADのスレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D2__BADを、性能の良いデータ判定器C__GOODのスレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D4__GOODと全く同一のものであれば、2つの判定器は全く同一の結果を出力することになる。この状態から、制御信号SHcontによって、性能が悪いデータ判定器C__BADのスレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D2__BADが正しくデータ保持するのに必要なデータ確定期間を長くしていくことで、アイトラックウィンドウTW1およびTW2の時間幅を望ましい量に調整することができる。このときに、実施の形態4で説明したようなオフセット導入によって、性能が悪いデータ判定器C__BADのスレーブ側のD型ラッチ回路(レベルトリガラッチ回路)D2__BADが正しくデータ保持するのに必要なデータ確定期間を長くすると、オフセット導入に伴って、実施の形態3に関して記述した、前後のアイトラックウィンドウTW1とTW2の時間幅のアンバランスが生じる問題が起こらない。したがって、前後のアイトラックウィンドウTW1とTW2の時間幅のバランスを調整する回路が不要となり、回路規模および消費電力を削減することが可能となる。

【0078】

以上、実施の形態5による単相クロックデータ判定/位相比較回路およびそれを備えた信号再生回路を用いることで、マスター側のD型ラッチ回路(レベルトリガラッチ回路)を2つのデータ判定器で共有することにより回路規模および消費電力を削減することが可能となるのみならず、位相比較器の前後のアイトラックウィンドウTW1およびTW2の絶対時間をそのバランスを保ちながら調整することが可能となり、信号再生回路を伝送路の状態に合わせて最適な動作とすることが可能となる。

【0079】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は記述された実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

【産業上の利用可能性】

【0080】

本発明の種々の実施の形態による光通信装置は、特に、数十Gbpsを超える通信速度を備えた光通信システムにおいて、その受信部の回路に適用して有効なものである。

【符号の説明】

【0081】

CDR： 信号再生回路

S_PC_DD/PD： 単相クロックデータ判定/位相比較回路

S_PC_DC、S_PC_DC'、S_PC_DC"： 単相クロックデュアルデータ判定器

C_GOOD、C_BAD： 単相クロックデータ判定器

EL_LOGIC、EL_LOGIC'： Early/Late決定論理

DF1、DF2、DF3、DF4： D型フリップフリップ

SR1： シフトレジスタ

D1_BAD、D2_BAD、D3_GOOD、D4_GOOD： D型ラッチ回路

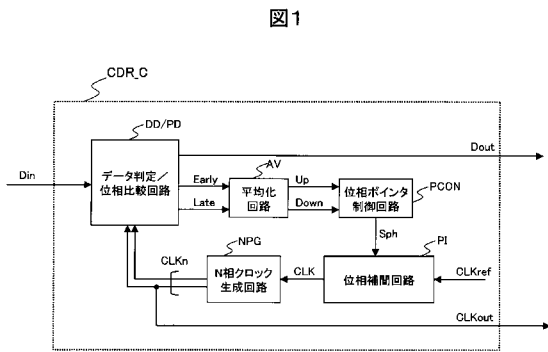
10

20

30

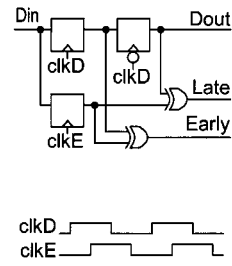
40

【 図 1 】



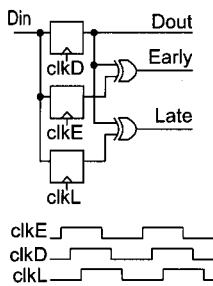
【 図 2 A 】

図2A



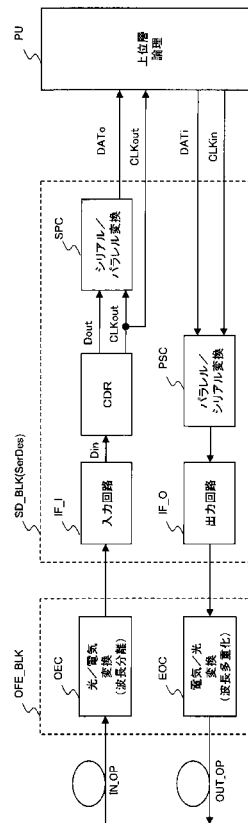
【 図 2 B 】

図2B

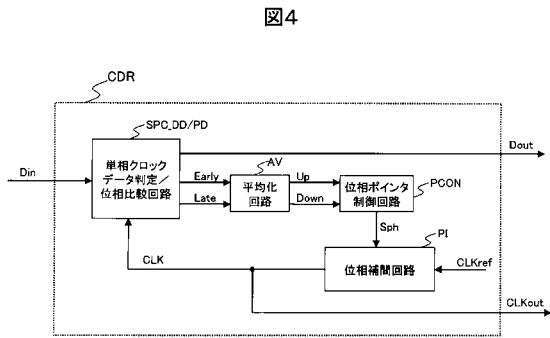


【 図 3 】

図3

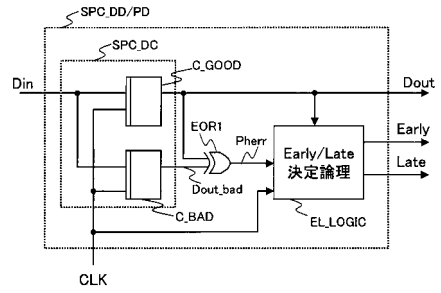


【 図 4 】



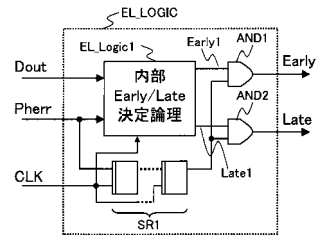
【 図 5 A 】

図5A



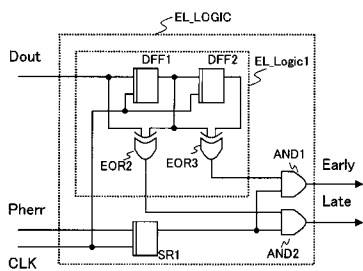
【 図 5 B 】

図5B



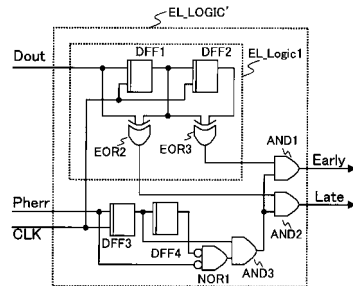
【 図 6 A 】

図6A



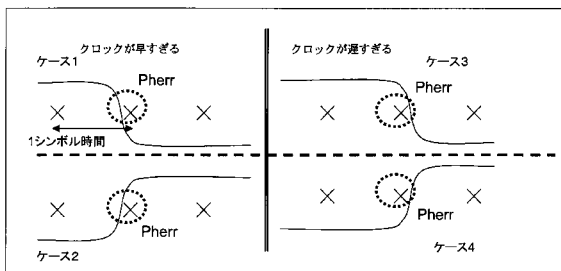
【 図 7 A 】

図7A



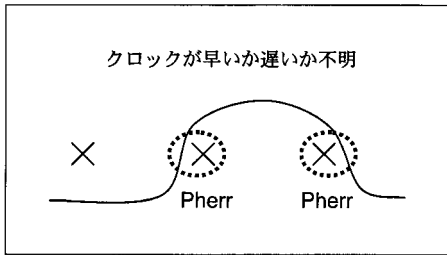
【 図 6 B 】

図6B



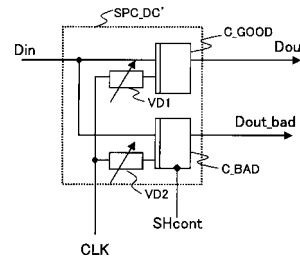
【 図 7 B 】

図7B



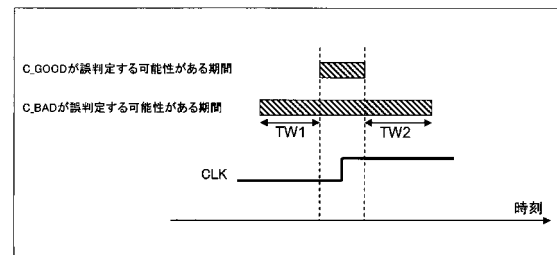
【 図 8 A 】

図8A



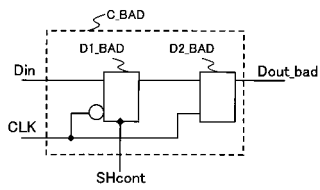
【 図 8 B 】

図8B



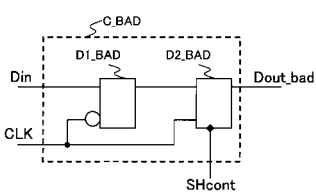
【 図 9 A 】

図9A



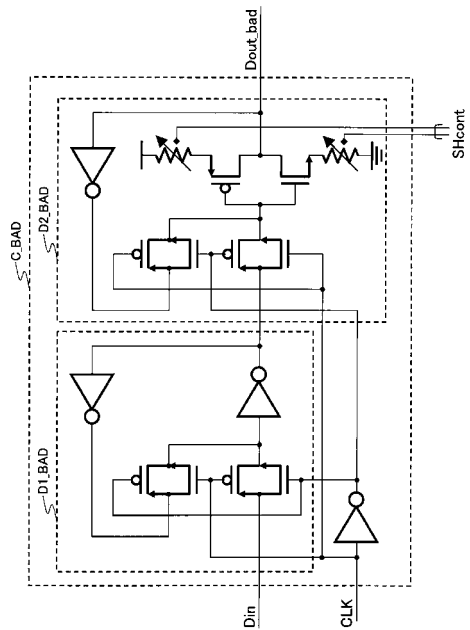
【 図 9 B 】

図9B



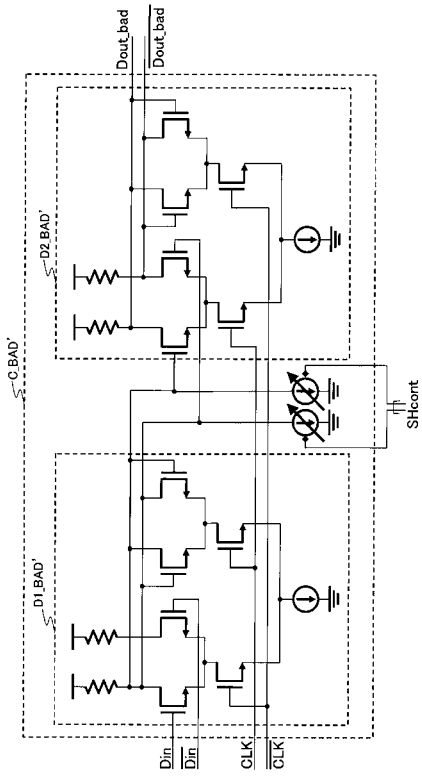
【 図 1 0 】

図10



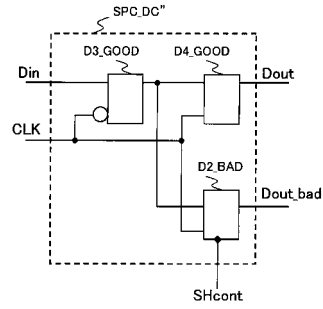
【 図 1 1 】

图11



【 图 1 2 】

图12



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/066936

A. CLASSIFICATION OF SUBJECT MATTER H03K5/26(2006.01)i, H03L7/06(2006.01)i, H03L7/085(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K5/26, H03L7/06, H03L7/085		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 60-256227 A (Enu Be Firippusu Furuiranbenfuaburiken), 17 December 1985 (17.12.1985), entire text; fig. 3 & US 04689577 A	1-11
A	JP 11-112335 A (NEC Corp.), 23 April 1999 (23.04.1999), entire text; fig. 4 & US 06314151 B1	1-11
A	JP 11-355133 A (NEC Corp.), 24 December 1999 (24.12.1999), entire text; fig. 3 & US 06421404 B1	1-11
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 16 October, 2009 (16.10.09)		Date of mailing of the international search report 27 October, 2009 (27.10.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 9 / 0 6 6 9 3 6									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03K5/26(2006.01)i, H03L7/06(2006.01)i, H03L7/085(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03K5/26, H03L7/06, H03L7/085											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	J P 6 0 - 2 5 6 2 2 7 A (エヌ・ペー・フィリップス・フルーイランベンフアブリケン) 1985. 12. 17、全文、FIG. 3 & US 04689577 A	1-11									
A	J P 1 1 - 1 1 2 3 3 5 A (日本電気株式会社) 1999. 04. 23、全文、図4 & US 06314151 B1	1-11									
A	J P 1 1 - 3 5 5 1 3 3 A (日本電気株式会社) 1999. 12. 24、全文、図3 & US 06421404 B1	1-11									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 16. 10. 2009		国際調査報告の発送日 27. 10. 2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石田 勝	5 X 3 5 7 2								
		電話番号 03-3581-1101 内線	3 5 9 6								

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。