

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6487364号
(P6487364)

(45) 発行日 平成31年3月20日(2019.3.20)

(24) 登録日 平成31年3月1日(2019.3.1)

(51) Int.Cl.		F I			
HO 1 G	4/30	(2006.01)	HO 1 G	4/30	3 1 1 D
HO 1 G	4/12	(2006.01)	HO 1 G	4/30	3 1 1 Z
			HO 1 G	4/30	2 0 1 P
			HO 1 G	4/30	2 0 1 F
			HO 1 G	4/12	

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2016-67671 (P2016-67671)	(73) 特許権者	000204284
(22) 出願日	平成28年3月30日 (2016.3.30)		太陽誘電株式会社
(65) 公開番号	特開2017-183468 (P2017-183468A)		東京都中央区京橋二丁目7番19号
(43) 公開日	平成29年10月5日 (2017.10.5)	(74) 代理人	100104215
審査請求日	平成29年3月14日 (2017.3.14)		弁理士 大森 純一
前置審査		(74) 代理人	100160989
			弁理士 関根 正好
		(72) 発明者	大野 亮
			東京都台東区上野6丁目16番20号 太陽誘電株式会社内
		(72) 発明者	福岡 哲彦
			東京都台東区上野6丁目16番20号 太陽誘電株式会社内
		審査官	中野 和彦
			最終頁に続く

(54) 【発明の名称】 積層セラミック電子部品の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の方向に積層された複数のセラミック層と、前記第1の方向に直交する第2の方向を向いた側面と、前記複数のセラミック層の間に配置された内部電極と、を有する未焼成の積層チップを用意し、

前記側面にエッチング液によるエッチング処理を施すことにより、前記内部電極が前記側面から突出している突出部を形成し、

前記側面に、絶縁性セラミックスからなり、前記突出部を被覆するサイドマージン部を設けることにより素体を作製し、

前記素体を焼成する

積層セラミック電子部品の製造方法。

【請求項2】

請求項1に記載の積層セラミック電子部品の製造方法であって、

前記内部電極はニッケルを主成分とし、

前記サイドマージン部は、マグネシウムを含み、

前記素体を焼成することは、前記突出部にニッケル及びマグネシウムを含む酸化物を生成させることを含む

積層セラミック電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、サイドマージン部が後付けされる積層セラミック電子部品及びその製造方法に関する。

【背景技術】

【0002】

近年、電子機器の小型化及び高性能化に伴い、電子機器に用いられる積層セラミックコンデンサに対する小型化、大容量化及び信頼性確保等の要望がますます強くなってきている。この要望に応えるためには、積層セラミックコンデンサの内部電極の交差面積を極力大きくすることが有効である。

【0003】

例えば、特許文献1及び2には、内部電極を側面に露出させた積層チップに、内部電極の周囲の絶縁性を確保するためのサイドマージン部を後付けで形成する技術が開発されている。この技術により、サイドマージン部を薄く形成することが可能となり、内部電極の交差面積を相対的に大きくとることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-143392号公報

【特許文献2】特開2014-204113号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1及び2に記載の発明では、製造過程で積層チップの側面に内部電極由来の異物が付着したり、切断刃による内部電極の引き摺り等が生じたりすることがある。このため、焼結後の素体の側面で、内部電極同士が互いに導通し合い、内部電極間の短絡不良が発生するおそれがある。

【0006】

以上のような事情に鑑み、本発明の目的は、内部電極間の短絡不良を防止することが可能な積層セラミック電子部品及びその製造方法を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明の一形態に係る積層セラミック電子部品は、積層部と、サイドマージン部と、を具備する。

上記積層部は、第1の方向に積層された複数のセラミック層と、上記第1の方向に直交する第2の方向を向いた側面と、上記複数のセラミック層の間に配置され、上記側面から突出する突出部を備える内部電極と、を有する。

上記サイドマージン部は、絶縁性セラミックスからなり、上記側面に形成され、上記突出部を被覆する。

【0008】

この構成では、積層部の側面から突出させた内部電極の突出部が、サイドマージン部によって被覆されている。これにより、相互に隣接する内部電極の突出部がサイドマージン部を介して互いに離間される。従って、この構成では、積層部の側面における内部電極間の短絡不良が生じにくい。

【0009】

上記内部電極は、前記突出部の少なくとも一部に、酸化された酸化領域を有していてもよい。

【0010】

この構成では、内部電極に、酸化により導電性が低下した酸化領域が設けられている。このため、相互に隣接する内部電極の突出部において、当該突出部同士が近接又は接触する場合にも、内部電極同士が導通しにくい。従って、この構成では、内部電極間の短絡不

10

20

30

40

50

良が更に生じにくい。

【0011】

上記内部電極はニッケルを主成分とし、
上記サイドマージン部は、マグネシウムを含み、
上記酸化領域は、ニッケル及びマグネシウムを含む酸化物を含んでいてもよい。

【0012】

内部電極の主成分をニッケルとし、サイドマージン部にマグネシウムを含ませる場合に、焼成時に内部電極の突出部にニッケル及びマグネシウムを含む酸化物が生成されやすい。これにより、内部電極の突出部を容易に酸化させることができる。

【0013】

上記第2の方向における上記突出部の長さは、 $0.8\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であってもよい。

これにより、所望とする静電容量が確保されつつ、内部電極間の短絡不良を防止することが可能な積層セラミック電子部品を提供することができる。

【0014】

本発明の一形態に係る積層セラミック電子部品の製造方法は、第1の方向に積層された複数のセラミック層と、上記第1の方向に直交する第2の方向を向いた側面と、上記複数のセラミック層の間に配置された内部電極と、を有する未焼成の積層チップが用意される。

上記側面に表面処理を施すことにより、上記内部電極が上記側面から突出している突出部を形成する。

上記側面に、絶縁性セラミックスからなり、上記突出部を被覆するサイドマージン部を設けることにより素体が作製される。

上記素体が焼成される。

【0015】

上記製造方法によれば、第1の方向と直交する第2の方向を向いた側面に表面処理が施される。

これにより、未焼成の積層チップの側面に傷や付着物等が付いていたとしてもこれらが除去される。従って、上記傷及び付着物等に起因した積層部の側面における内部電極同士の導通が抑制される。よって、内部電極間の短絡不良を防止することが可能な積層セラミック電子部品を提供することが可能となる。

【0016】

上記内部電極はニッケルを主成分とし、

上記サイドマージン部は、マグネシウムを含み、

上記素体を焼成することによって、上記突出部にニッケル及びマグネシウムを含む酸化物を生成させてもよい。

【発明の効果】

【0017】

内部電極間の短絡不良を防止することが可能な積層セラミック電子部品及びその製造方法を提供することができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態に係る積層セラミックコンデンサの斜視図である。

【図2】上記積層セラミックコンデンサの図1のA-A'線に沿った断面図である。

【図3】上記積層セラミックコンデンサの図1のB-B'線に沿った断面図である。

【図4】上記積層セラミックコンデンサの図3の領域Pを拡大して示す模式図である。

【図5】上記積層セラミックコンデンサの製造方法を示すフローチャートである。

【図6】上記積層セラミックコンデンサの製造過程を示す平面図である。

【図7】上記積層セラミックコンデンサの製造過程を示す斜視図である。

【図8】上記積層セラミックコンデンサの製造過程を示す平面図である。

10

20

30

40

50

【図 9】上記積層セラミックコンデンサの製造過程を示す斜視図である。

【図 10】上記積層セラミックコンデンサの製造過程における積層チップの図 9 の C - C' 線に沿った断面図である。

【図 11】上記積層セラミックコンデンサの製造過程を示す斜視図である。

【発明を実施するための形態】

【0019】

以下、図面を参照しながら、本発明の実施形態を説明する。

図面には、適宜相互に直交する X 軸、Y 軸、及び Z 軸が示されている。X 軸、Y 軸、及び Z 軸は全図において共通である。

【0020】

[積層セラミックコンデンサ 10 の全体構成]

図 1 ~ 3 は、本発明の一実施形態に係る積層セラミックコンデンサ 10 を示す図である。図 1 は、積層セラミックコンデンサ 10 の斜視図である。図 2 は、積層セラミックコンデンサ 10 の図 1 の A - A' 線に沿った断面図である。図 3 は、積層セラミックコンデンサ 10 の図 1 の B - B' 線に沿った断面図である。

【0021】

積層セラミックコンデンサ 10 は、素体 11 と、第 1 外部電極 14 と、第 2 外部電極 15 と、を具備する。

素体 11 は、典型的には、Y 軸方向を向いた 2 つの側面と、Z 軸方向を向いた 2 つの正面と、を有する。素体 11 の各面を接続する稜部は面取りされている。なお、素体 11 の形状はこのような形状に限定されない。例えば、素体 11 の各面は曲面であってもよく、素体 11 は全体として丸みを帯びた形状であってもよい。

第 1 及び第 2 外部電極 14, 15 は、素体 11 の X 軸方向両端面を覆い、X 軸方向両端面に接続する 4 つの面に延出している。これにより、第 1 及び第 2 外部電極 14, 15 のいずれにおいても、X - Z 平面に平行な断面及び X - Y 軸に平行な断面の形状が U 字状となっている。

【0022】

素体 11 は、積層部 16 と、サイドマージン部 17 と、を有する。

積層部 16 は、X - Y 平面に沿って延びる平板状の複数のセラミック層が Z 軸方向に積層された構成を有する。

【0023】

積層部 16 は、容量形成部 18 と、カバー部 19 と、を有する。

容量形成部 18 は、複数の第 1 内部電極 12 と、複数の第 2 内部電極 13 と、を有する。第 1 及び第 2 内部電極 12, 13 は、複数のセラミック層の間に、Z 軸方向に沿って交互に配置されている。第 1 内部電極 12 は、第 1 外部電極 14 に接続され、第 2 外部電極 15 から絶縁されている。第 2 内部電極 13 は、第 2 外部電極 15 に接続され、第 1 外部電極 14 から絶縁されている。

【0024】

第 1 及び第 2 内部電極 12, 13 は、それぞれ導電性材料からなり、積層セラミックコンデンサ 10 の内部電極として機能する。当該導電性材料としては、例えばニッケル (Ni)、銅 (Cu)、パラジウム (Pd)、白金 (Pt)、銀 (Ag)、金 (Au)、又はこれらの合金を含む金属材料を用いることができ、典型的にはニッケル (Ni) を主成分とする金属材料が採用される。

【0025】

容量形成部 18 は、セラミックスによって形成されている。容量形成部 18 では、第 1 内部電極 12 と第 2 内部電極 13 との間の各セラミック層の容量を大きくするため、セラミック層を構成する材料として高誘電率の材料が用いられる。容量形成部 18 の主相は、例えば、チタン酸バリウム (BaTiO₃) 系材料の多結晶体、つまりバリウム (Ba) 及びチタン (Ti) を含むペロブスカイト構造の多結晶体を用いることができる。

【0026】

10

20

30

40

50

また、容量形成部 18 の主相は、チタン酸バリウム ($BaTiO_3$) 系以外にも、チタン酸ストロンチウム ($SrTiO_3$) 系、チタン酸カルシウム ($CaTiO_3$) 系、チタン酸マグネシウム ($MgTiO_3$) 系、ジルコン酸カルシウム ($CaZrO_3$) 系、チタン酸ジルコン酸カルシウム (PCZT) 系、ジルコン酸バリウム ($BaZrO_3$) 系又は酸化チタン (TiO_2) 系材料等の多結晶体であってもよい。

【0027】

カバー部 19 は、X - Y 平面に沿って延びる平板状であり、容量形成部 18 の Z 軸方向上下面をそれぞれ覆っている。カバー部 19 には、第 1 及び第 2 内部電極 12, 13 が設けられていない。

【0028】

サイドマージン部 17 は、図 3 に示すように、容量形成部 18 及びカバー部 19 の Y 軸方向を向いた両側面 S1, S2 に形成されている。

【0029】

このように、素体 11 において、容量形成部 18 の第 1 及び第 2 外部電極 14, 15 が設けられた X 軸方向両端面以外の面がサイドマージン部 17 及びカバー部 19 によって覆われている。サイドマージン部 17 及びカバー部 19 は、主に、容量形成部 18 の周囲を保護し、第 1 及び第 2 内部電極 12, 13 の絶縁性を確保する機能を有する。

【0030】

サイドマージン部 17 及びカバー部 19 も、セラミックスによって形成されている。サイドマージン部 17 及びカバー部 19 を形成する材料は絶縁性セラミックスであり、容量形成部 18 の主相と同種の組成系の多結晶体を主相とする誘電体を用いることにより素体 11 における内部応力が抑制される。

【0031】

本実施形態に係るサイドマージン部 17 は、バリウム (Ba) 及びチタン (Ti) 以外に、マグネシウム (Mg) を含む。また、容量形成部 18 及びカバー部 19 も、バリウム (Ba) 及びチタン (Ti) 以外に、マグネシウム (Mg) を含んでいてもよい。

【0032】

さらに、サイドマージン部 17、容量形成部 18 及びカバー部 19 は、上述で列挙した元素以外に、マンガン (Mn)、ニッケル (Ni)、リチウム (Li) 及びケイ素 (Si) や、これらの酸化物等を含有してもよい。

【0033】

上記の構成により、積層セラミックコンデンサ 10 では、第 1 外部電極 14 と第 2 外部電極 15 との間に電圧が印加されると、第 1 内部電極 12 と第 2 内部電極 13 との間の複数のセラミック層に電圧が加わる。これにより、積層セラミックコンデンサ 10 では、第 1 外部電極 14 と第 2 外部電極 15 との間の電圧に応じた電荷が蓄えられる。

【0034】

なお、本実施形態に係る積層セラミックコンデンサ 10 は、積層部 16 及びサイドマージン部 17 を備えていればよく、その他の構成について適宜変更可能である。例えば、第 1 及び第 2 内部電極 12, 13 の枚数は、積層セラミックコンデンサ 10 に求められるサイズや性能に応じて、適宜決定可能である。

また、図 2, 3 では、第 1 及び第 2 内部電極 12, 13 の対向状態を見やすくするために、第 1 及び第 2 内部電極 12, 13 の枚数をそれぞれ 4 枚に留めている。しかし、実際には、積層セラミックコンデンサ 10 の容量を確保するために、より多くの第 1 及び第 2 内部電極 12, 13 が設けられている。

【0035】

図 4 は、図 3 に示した領域 P を拡大して示す模式図である。第 1 及び第 2 内部電極 12, 13 は、図 4 に示すように、積層部 16 の側面 S1, S2 から突出する突出部 22, 23 を備える。ここで、本実施形態に係るサイドマージン部 17 は、同図に示すように、突出部 22, 23 を被覆している。

これにより、Z 軸方向に隣接する突出部 22 と突出部 23 は、サイドマージン部 17 を

10

20

30

40

50

介して互いに離間することとなる。従って、積層セラミックコンデンサ10は、積層部16の側面S1, S2における第1内部電極12と第2内部電極13間の短絡不良や、IR (Insulation Resistance) 不良等が生じにくい構成となる。

【0036】

また、第1及び第2内部電極12, 13は、図4に示すように、酸化により導電性が低下した領域である酸化領域12a, 13aを有する。酸化領域12a, 13aは、典型的にはニッケル(Ni)及びマグネシウム(Mg)を含む酸化物を含む。これにより、突出部22と突出部23が近接又は接触する場合にも、第1内部電極12と第2内部電極13との導通が抑制される。従って、積層セラミックコンデンサ10は、第1内部電極12と第2内部電極13間の短絡不良が更に生じにくい構成である。なお、酸化領域12a, 13aは突出部22, 23の一部に形成されていてもよく、全部に形成されていてもよい。

10

【0037】

突出部22, 23のY軸方向の長さは、特に限定されないが、好適には、0.3µm以上4µm以下であり、より好適には0.8µm以上2µm以下である。これにより、積層セラミックコンデンサ10は、所望とする静電容量が確保されつつ、第1内部電極12と第2内部電極13間の短絡不良や、IR不良の発生が抑制された構成となる。

【0038】

[積層セラミックコンデンサ10の製造方法]

図5は、積層セラミックコンデンサ10の製造方法を示すフローチャートである。図6~11は積層セラミックコンデンサ10の製造過程を示す図である。以下、積層セラミックコンデンサ10の製造方法について、図5に沿って、図6~11を適宜参照しながら説明する。

20

【0039】

(ステップS01:セラミックシート準備工程)

ステップS01では、容量形成部18を形成するための第1セラミックシート101及び第2セラミックシート102と、カバー部19を形成するための第3セラミックシート103と、を準備する。第1乃至第3セラミックシート101, 102, 103は、未焼成の誘電体グリーンシートとして構成され、例えば、ロールコーターやドクターブレードを用いてシート状に成形される。

【0040】

図6は、第1乃至第3セラミックシート101, 102, 103の平面図である。この段階では、第1乃至第3セラミックシート101, 102, 103は各積層セラミックコンデンサ10ごとに切り分けられていない。図6には、各積層セラミックコンデンサ10ごとに切り分ける際の切断線Lx, Lyが示されている。切断線LxはX軸に平行であり、切断線LyはY軸に平行である。

30

【0041】

図6に示すように、第1セラミックシート101には第1内部電極12に対応する未焼成の第1内部電極112が形成され、第2セラミックシート102には第2内部電極13に対応する未焼成の第2内部電極113が形成されている。なお、カバー部19に対応する第3セラミックシート103には内部電極が形成されていない。

40

【0042】

第1及び第2内部電極112, 113は、例えば、ニッケル(Ni)を含む導電性ペーストを用いて形成することができる。導電性ペーストによる第1及び第2内部電極112, 113の形成には、例えば、スクリーン印刷法やグラビア印刷法を用いることができる。

【0043】

第1及び第2内部電極112, 113は、切断線Lyによって仕切られたX軸方向に隣接する2つの領域にわたって配置され、Y軸方向に帯状に延びている。第1内部電極112と第2内部電極113とでは、切断線Lyによって仕切られた領域1列ずつX軸方向にずらされている。つまり、第1内部電極112の中央を通る切断線Lyが第2内部電極1

50

1 3 の間の領域を通り、第 2 内部電極 1 1 3 の中央を通る切断線 L_y が第 1 内部電極 1 1 2 の間の領域を通っている。

【 0 0 4 4 】

(ステップ S 0 2 : 積層工程)

ステップ S 0 2 では、ステップ S 0 1 で準備した第 1 乃至第 3 セラミックシート 1 0 1 , 1 0 2 , 1 0 3 を積層することにより積層シート 1 0 4 を作製する。

【 0 0 4 5 】

図 7 は、ステップ S 0 2 で得られる積層シート 1 0 4 の斜視図である。図 7 では、説明の便宜上、第 1 乃至第 3 セラミックシート 1 0 1 , 1 0 2 , 1 0 3 を分解して示している。しかし、実際の積層シート 1 0 4 では、第 1 乃至第 3 セラミックシート 1 0 1 , 1 0 2 , 1 0 3 が静水圧加圧や一軸加圧などにより圧着されて一体化される。これにより、高密度の積層シート 1 0 4 が得られる。

10

【 0 0 4 6 】

積層シート 1 0 4 では、容量形成部 1 8 に対応する第 1 セラミックシート 1 0 1 及び第 2 セラミックシート 1 0 2 が Z 軸方向に交互に積層されている。

また、積層シート 1 0 4 では、交互に積層された第 1 及び第 2 セラミックシート 1 0 1 , 1 0 2 の Z 軸方向上下面にカバー部 2 0 に対応する第 3 セラミックシート 1 0 3 が積層される。なお、図 7 に示す例では、第 3 セラミックシート 1 0 3 がそれぞれ 3 枚ずつ積層されているが、第 3 セラミックシート 1 0 3 の枚数は適宜変更可能である。

【 0 0 4 7 】

(ステップ S 0 3 : 切断工程)

ステップ S 0 3 では、ステップ S 0 2 で得られた積層シート 1 0 4 を回転刃や押し切り刃などによって切断することにより未焼成の積層チップ 1 1 6 を作製する。

20

【 0 0 4 8 】

図 8 は、ステップ S 0 3 の後の積層シート 1 0 4 の平面図である。積層シート 1 0 4 は、保持部材 C に固定された状態で、切断線 L_x , L_y に沿って切断される。これにより、積層シート 1 0 4 が個片化され、積層チップ 1 1 6 が得られる。このとき、保持部材 C は切断されておらず、各積層チップ 1 1 6 は保持部材 C によって接続されている。

【 0 0 4 9 】

図 9 は、ステップ S 0 3 で得られる積層チップ 1 1 6 の斜視図である。積層チップ 1 1 6 には、未焼成の容量形成部 1 1 8 及びカバー部 1 1 9 が形成されている。積層チップ 1 1 6 では、切断面である Y 軸方向を向いた両側面 S 3 , S 4 に未焼成の第 1 及び第 2 内部電極 1 1 2 , 1 1 3 が露出している。

30

【 0 0 5 0 】

(ステップ S 0 4 : 表面処理工程)

図 1 0 は、ステップ S 0 4 で得られた積層チップ 1 1 6 の図 9 の C - C' 線に沿った断面図である。ステップ S 0 4 では、ステップ S 0 3 で得られた積層チップ 1 1 6 (容量形成部 1 1 8 及びカバー部 1 1 9) に対して、上記の切断面である Y 軸方向を向いた各側面 S 3 , S 4 から表面処理を施す。

これにより、図 1 0 に示すように、表面処理後の積層チップ 1 1 6 の側面 S 3 , S 4 から第 1 内部電極 1 1 2 が突出している突出部 1 2 2 と、第 2 内部電極 1 1 3 が突出している突出部 1 2 3 が形成される。

40

【 0 0 5 1 】

また、ステップ S 0 3 の後に得られた積層チップ 1 1 6 の各側面 S 3 , S 4 に、切断刃により付けられた傷や、第 1 及び第 2 内部電極 1 1 2 , 1 1 3 由来の付着物等があったとしても、上記表面処理によってこれらを取り除くことができる。よって、上述の傷や付着物に起因した側面 S 3 , S 4 における第 1 内部電極 1 1 2 と第 2 内部電極 1 1 3 との導通が抑制される。つまり、第 1 内部電極 1 1 2 と第 2 内部電極 1 1 3 間の短絡不良を防止することが可能な積層セラミックコンデンサ 1 0 を提供することが可能となる。

【 0 0 5 2 】

50

上記表面処理としては、例えば、研磨処理やエッチング処理等が採用される。研磨処理の方法は特に限定されないが、例えば、積層チップ116と研磨媒体とを用いたバレル研磨法や、未焼成の第1及び第2内部電極112, 113が露出した積層チップ116の両側面S3, S4に研磨用粉体を吹き付けて研磨を行うサンドブラスト法等であってもよい。

【0053】

エッチング処理の方法も特に限定されず、例えば、両側面S3, S4を、それぞれ酸に所定時間ずつ浸漬する方法であってもよい。この場合、エッチング処理に用いるエッチング液は、容量形成部118及びカバー部119を構成しているセラミックスを溶かし、第1及び第2内部電極112, 113を溶かさないうエッチング液であればよく、例えば、フッ化水素酸等を用いることができる。これにより、積層チップ116の両側面S3, S4から選択的に容量形成部118及びカバー部119をエッチングし、突出部122, 123を形成することができる。

10

【0054】

なお、積層チップ116のX軸方向を向いた各端面がエッチングされないように、上述したY軸方向を向いた各側面S3, S4のみをエッチング液に浸漬することが好ましい。あるいは、積層チップ116のX軸方向を向いた各端面をマスクして積層チップ116をエッチング液に浸漬してもよい。

【0055】

ステップS04では、積層チップ116の両側面S3, S4に上述のような手法を取る表面処理を施すことにより、サイドマージン部117が突出部22, 23を被覆するY軸方向の長さを制御することができる。つまり、突出部22, 23のY軸方向の長さを任意の長さとするすることができる。

20

【0056】

(ステップS05：サイドマージン部形成工程)

ステップS05では、ステップS04で得られた表面処理後の積層チップ116の側面S3, S4に未焼成のサイドマージン部117を設けることにより、未焼成の素体111を作製する。

【0057】

本実施形態に係るサイドマージン部117は、マグネシウム(Mg)を含むセラミックスからなるペースト材に、上記表面処理後の積層チップ116の各側面S3, S4を浸漬させて引き上げることによって形成され得る(ディップ法)。これにより、ステップS05後の積層チップ116は、各側面S3, S4と、突出部122, 123がサイドマージン部117によって覆われ、突出部122, 123が互いに離間する構成となる。

30

【0058】

なお、ステップS05のサイドマージン部117を形成する方法は、突出部122, 123を良好に被覆可能な方法であればよく、上記のディップ法に限られない。例えば、サイドマージン部117を形成可能なディップ法以外の方法としては、スプレードライ法が挙げられる。

【0059】

図11は、ステップS05によって得られる未焼成の素体111の斜視図である。図11では、サイドマージン部117を破線で示し、サイドマージン部117を透過させて積層チップ116を示している。ステップS04の後でステップS05を行ったことにより、突出部122, 123がサイドマージン部117により被覆されている。

40

【0060】

(ステップS06：焼成工程)

ステップS06では、ステップS05で得られた未焼成の素体111を焼成して焼結させることにより、図1~3に示す積層セラミックコンデンサ10の素体11を作製する。

つまり、ステップS06により第1及び第2内部電極112, 113が第1及び第2内部電極12, 13になり、突出部122, 123が突出部22, 23になる。また、積層

50

チップ 116 が積層部 16 になり、サイドマージン部 117 がサイドマージン部 17 になる。

【0061】

ステップ S06 における素体 111 の焼成温度は、積層チップ 116 及びサイドマージン部 117 の焼結温度に基づいて決定することができる。例えば、セラミックスとしてチタン酸バリウム (BaTiO_3) 系材料を用いる場合には、素体 111 の焼成温度は 1000 ~ 1300 程度とすることができる。また、焼成は、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において行うことができる。

【0062】

ここで、本実施形態に係る素体 111 の突出部 122, 123 は、マグネシウム (Mg) を含むサイドマージン部 117 により被覆されている。

10

内部電極 112, 113 に含まれるニッケル (Ni) は、焼成時にサイドマージン部 117 に含まれるマグネシウム (Mg) と結びつくことによって酸化されやすくなる。このため、焼成時の内部電極 112, 113 では、特に突出部 122, 123 に、ニッケル (Ni) 及びマグネシウム (Mg) を含む酸化物が生成されやすくなる。従って、突出部 122, 123 を容易に酸化させることができるため、上記で説明した作用効果を得ることが可能となる。

なお、内部電極 112, 113 の突出部 122, 123 を酸化させる方法はこの他の方法であっても構わない。

【0063】

20

(ステップ S07: 外部電極形成工程)

ステップ S07 では、ステップ S06 で得られた素体 11 に第 1 及び第 2 外部電極 14, 15 を形成することにより、図 1 ~ 3 に示す積層セラミックコンデンサ 10 を作製する。

【0064】

ステップ S07 では、まず、素体 11 の一方の X 軸方向端面を覆うように未焼成の電極材料を塗布し、素体 11 の他方の X 軸方向端面を覆うように未焼成の電極材料を塗布する。塗布された未焼成の電極材料を、例えば、還元雰囲気下、又は低酸素分圧雰囲気下において焼き付け処理を行って、素体 11 に下地膜を形成する。そして、素体 11 に焼き付けられた下地膜の上に、中間膜及び表面膜を電解メッキなどのメッキ処理で形成して、第 1 及び第 2 外部電極 14, 15 が完成する。

30

【0065】

なお、上記のステップ S07 における処理の一部を、ステップ S06 の前に行ってもよい。例えば、ステップ S06 の前に未焼成の素体 111 の X 軸方向両端面に未焼成の電極材料を塗布し、ステップ S06 において、未焼成の素体 111 を焼結させると同時に、未焼成の電極材料を焼き付けて第 1 及び第 2 外部電極 14, 15 の下地膜を形成してもよい。

【0066】

[その他の実施形態]

以上、本発明の実施形態について説明したが、本発明は上述の実施形態にのみ限定されるものではなく種々変更を加え得ることは勿論である。

40

【0067】

例えば、積層セラミックコンデンサ 10 では、容量形成部 18 が Z 軸方向に複数に分割して設けられていてもよい。この場合、各容量形成部 18 において第 1 及び第 2 内部電極 12, 13 が Z 軸方向に沿って交互に配置されていればよく、容量形成部 18 が切り替わる部分において第 1 内部電極 12 又は第 2 内部電極 13 が連続して配置されていてもよい。

【0068】

また、上記実施形態では、積層セラミック電子部品の一例として積層セラミックコンデンサについて説明したが、本発明は、相互に対を成す内部電極が交互に配置される積層セラミック電子部品全般に適用可能である。このような積層セラミック電子部品としては、

50

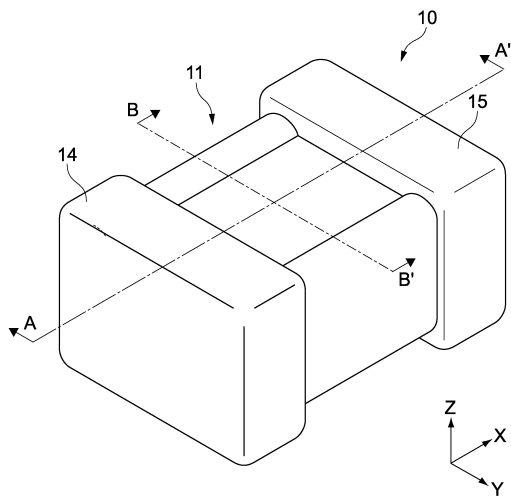
例えば、圧電素子などが挙げられる。

【符号の説明】

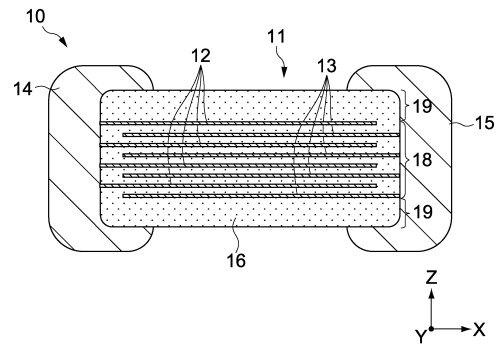
【0069】

- 10 ... 積層セラミックコンデンサ
- 11 ... 素体
- 12 ... 第1内部電極
- 12 a , 13 a ... 酸化領域
- 13 ... 第2内部電極
- 14 ... 第1外部電極
- 15 ... 第2外部電極
- 16 ... 積層部
- 17 ... サイドマージン部
- 18 ... 容量形成部
- 19 ... カバー部
- 22 , 23 ... 突出部
- 111 ... 未焼成の素体
- 116 ... 未焼成の積層チップ
- S1 , S2 ... 側面

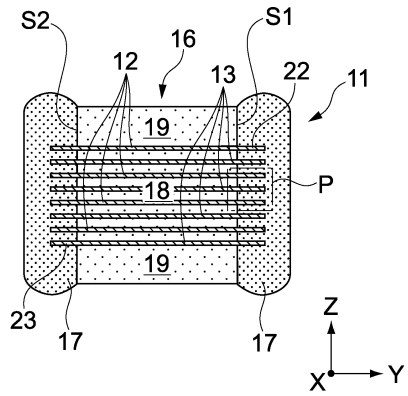
【図1】



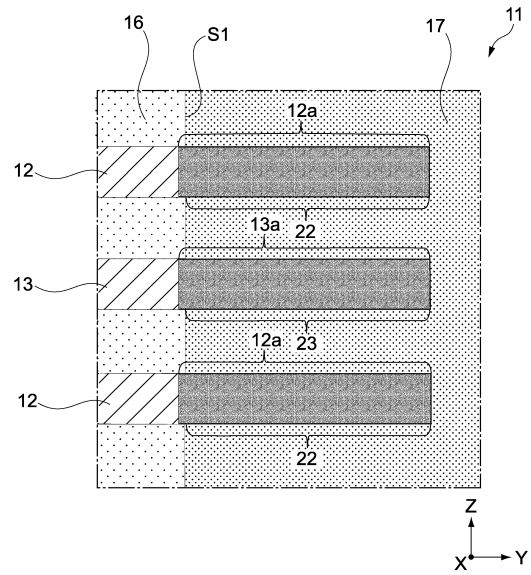
【図2】



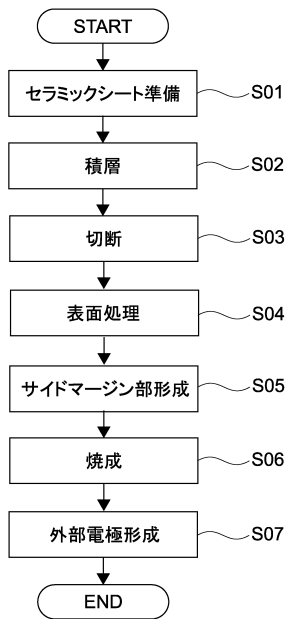
【図3】



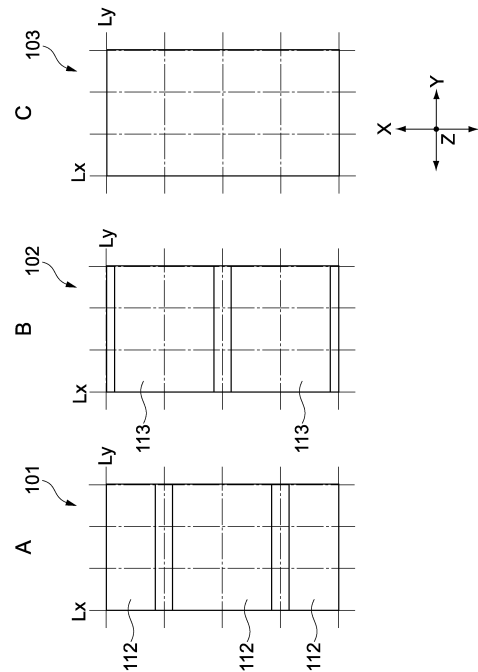
【図4】



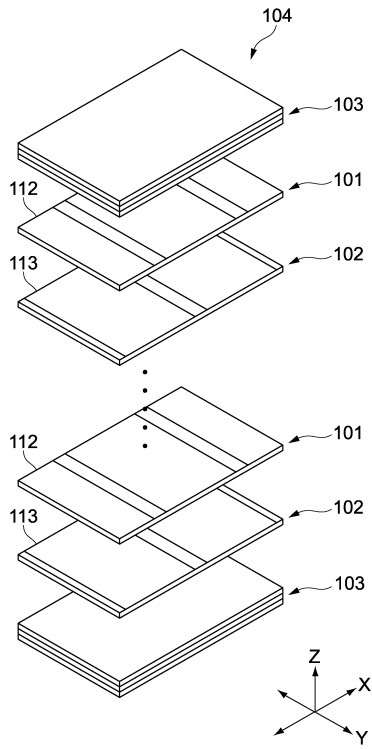
【図5】



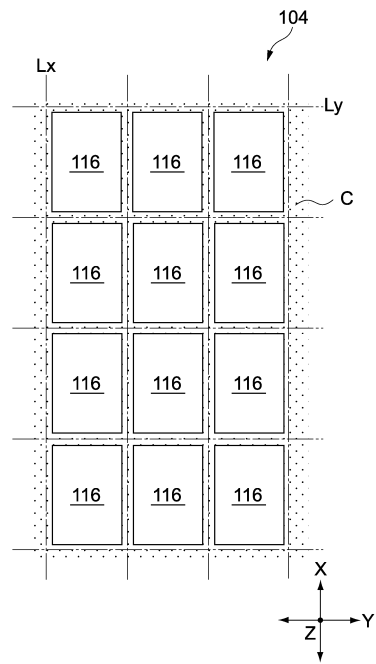
【図6】



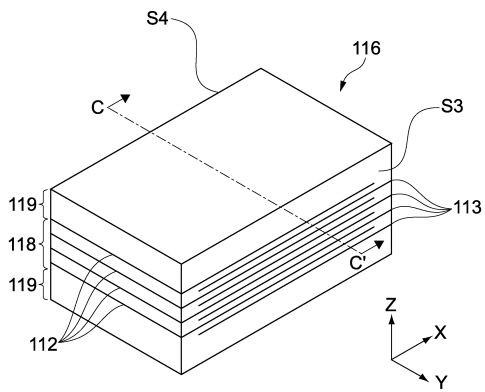
【 図 7 】



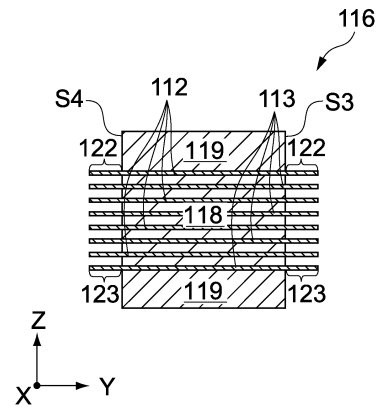
【 図 8 】



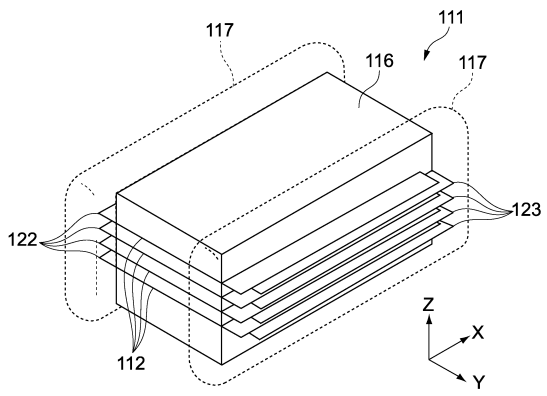
【 図 9 】



【 図 10 】



【 図 1 1 】



フロントページの続き

- (56)参考文献 特開2012-227354(JP,A)
特開2011-023707(JP,A)
特開2009-302129(JP,A)
特開平11-288841(JP,A)
特開2009-016796(JP,A)
特開2013-179267(JP,A)
特開2012-230973(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/30
H01G 4/12