

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ H01L 21/762 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월08일 10-0550346 2006년02월02일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0066589 2004년08월24일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김홍근 경기도 수원시 팔달구 원천동 원천주공2단지아파트 548번지 208동 1103호 홍은기 경기도 수원시 팔달구 망포동 벽산아파트 110동1901호 나규태 서울특별시 용산구 이촌1동 강촌아파트 105동704호
(74) 대리인	박영우

심사관 : 김수미

(54) 반도체 장치와 그의 제조 방법 및 이를 이용한 트렌치소자 분리막의 제조 방법

요약

반도체 장치와 그의 제조 방법 및 이를 이용한 트렌치 소자 분리막의 제조 방법에 관한 것이다. 챔버에 제1 구조물을 로딩한다. 이어서, 상기 챔버로 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공한다. 그 결과, 상기 제1 구조물에는 적어도 2층의 다층 박막으로 이루어지는 제2 구조물이 형성된다. 아울러, 상기 제1 구조물에 트렌치와 같은 리세스가 있을 경우 상기 리세스 내에 보이드, 심 등의 발생없이 충분히 매립되는 제2 구조물을 형성할 수 있다.

대표도

도 10c

명세서

도면의 간단한 설명

도 1, 도 2, 도 3a 및 도 3b, 도 4a 및 도 4b 그리고 도 5a 및 도 5b는 본 발명의 구체적인 예들에 따른 반도체 장치들을 설명하기 위한 개략적인 단면도들이다.

도 6a 및 도 6b는 본 발명의 실시예 1에 따른 반도체 장치의 제조 방법을 설명하기 위한 개략적인 단면도들이다.

도 7은 도 6b의 제2 구조물을 형성할 때 반응 물질들이 제공되는 공정 조건을 나타내는 흐름도이다.

도 8a 및 도 8b는 본 발명의 실시예 2에 따른 반도체 장치의 제조 방법을 설명하기 위한 개략적인 단면도들이다.

도 9는 도 8b의 제2 구조물을 형성할 때 반응 물질들이 제공되는 공정 조건을 나타내는 흐름도이다.

도 10a 내지 도 10d는 본 발명의 실시예 3에 따른 트렌치 소자 분리막의 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 11은 본 발명의 실시예 4에 따른 트렌치 소자 분리막의 형성 방법을 설명하기 위한 개략적인 단면도이다.

도 12는 본 발명의 방법 1에 따라 트렌치 소자 분리막을 제조할 때 공정 조건을 나타내는 흐름도이다.

도 13은 본 발명의 방법 2에 따라 트렌치 소자 분리막을 제조할 때 공정 조건을 나타내는 흐름도이다.

도 14는 도 12에서의 방법을 수행하여 제조한 트렌치 소자 분리막을 갖는 결과물을 나타내는 사진이다.

도 15는 종래의 방법에 따라 제조한 트렌치 소자 분리막을 갖는 결과물을 나타내는 사진이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치와 그의 제조 방법 및 이를 이용한 트렌치 소자 분리막의 제조 방법에 관한 것으로서, 보다 상세하게는 적어도 2층의 다층 박막으로 이루어지는 구조물을 포함하는 반도체 장치와 그의 제조 방법 및 이를 이용한 트렌치 소자 분리막의 제조 방법에 관한 것이다.

최근, 반도체 장치가 고집적화 됨에 따라 반도체 기판에 형성하는 패턴들은 그 크기가 작아질 뿐만 아니라 패턴들 사이의 간격도 점점 좁아지고 있다. 그러므로, 보이드(void), 심(seam) 등의 발생없이 상기 패턴들 사이를 충분하게 매립시키는 기술도 매우 중요하게 대두되고 있다.

상기 매립에 의해 형성되는 반도체 구조물의 예로서는 트렌치 소자 분리막, 실린더 타입의 커패시터 하부 전극의 노드를 분리하기 위한 희생막, 게이트 패턴 사이에 형성하는 층간 절연막 등을 들 수 있다. 그리고, 상기 트렌치 소자 분리막, 희생막, 층간 절연막 등과 같은 반도체 구조물은 주로 화학 기상 증착을 수행하여 형성하는 실리콘 산화막을 이용하고 있다. 하지만, 종횡비가 대략 3 이상인 매우 협소한 패턴들 사이를 상기 실리콘 산화막을 이용하여 매립할 경우에는 스텝 커버리지에 의한 보이드, 심 등이 종종 발생한다. 즉, 상기 스텝 커버리지가 양호하지 못한 상태에서 계속적인 적층에 의해 상기 패턴들 사이의 입구 부위에서 오버행(over hang)이 발생하기 때문에 상기 보이드, 심 등이 발생하는 것이다.

발명이 이루고자 하는 기술적 과제

본 발명의 제1 목적은 매우 협소한 패턴들 사이를 충분하게 매립시키는 구조물을 갖는 반도체 장치를 제공하는데 있다.

본 발명의 제2 목적은 매우 협소한 패턴들 사이를 충분하게 매립시키는 구조물을 용이하게 제조하기 위한 방법을 제공하는데 있다.

본 발명의 제3 목적은 매우 협소한 트렌치를 충분하게 매립시키는 트렌치 소자 분리막을 제조하는 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 제1 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 반도체 장치는 제1 구조물과, 상기 제1 구조물에 형성되고, 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공하여 획득하는 적어도 2층의 다층 박막으로 이루어지는 제2 구조물을 포함한다.

상기 제2 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 반도체 장치의 제조 방법은 챔버에 제1 구조물을 로딩한다. 이어서, 상기 챔버로 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공한다. 그 결과, 상기 제1 구조물에는 적어도 2층의 다층 박막으로 이루어지는 제2 구조물이 형성된다.

상기 제3 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 트랜치 소자 분리막의 제조 방법은 반도체 기판에 트랜치를 형성한다. 이어서, 상기 반도체 기판 상부로 제1 반응 물질과 제2 반응 물질을 함께 제공하여 상기 트랜치의 측벽과 저면에 제1 박막을 연속적으로 형성한 후, 상기 제1 반응 물질과 제2 반응 물질의 제공을 중단시키는 휴지기를 갖는다. 그리고, 상기 제1 반응 물질과 제2 반응 물질의 제공 및 휴지기를 적어도 1회 반복적으로 수행한다. 그 결과, 상기 제1 박막 상에 상기 제1 박막을 포함하는 다층 박막을 형성함으로써 상기 트랜치의 매립이 이루어진다.

이와 같이, 본 발명에서는 제1 구조물 상에 적어도 2층 이상의 다층 박막으로 이루어지는 제2 구조물을 형성한다. 그리고, 상기 제2 구조물은 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가면서 반복적으로 제공하는 화학 기상 증착을 수행하여 형성한다. 특히, 상기 제1 구조물에 리세스가 형성되어 있을 경우 상기 리세스 내에 보이드, 심 등이 발생하지 않게 상기 제2 구조물을 충분히 매립시킬 수 있다.

이하, 본 발명에 대하여 구체적으로 설명한다.

도 1, 도 2, 도 3a 및 도 3b, 도 4a 및 도 4b 그리고 도 5a 및 도 5b는 본 발명의 구체적인 예들에 따른 반도체 장치들을 설명하기 위한 개략적인 단면도들이다.

도 1 및 도 2를 참조하면, 제1 구조물(10, 20)과 상기 제1 구조물(10, 20) 상에 형성된 제2 구조물(12, 22)이 있다. 특히, 상기 제2 구조물(12, 22)은 적어도 2층의 다층 박막으로 이루어지는 것이 바람직하다. 따라서, 상기 제2 구조물(12, 22)이 제1 박막(12a, 22a), 제2 박막(12b, 22b) 내지 제 $n-1$ 박막(12c, 22c) 및 제 n 박막(n 은 4이상의 자연수)(12d, 22d)을 포함하는 것이 바람직하다. 특히, 상기 제2 구조물(12, 22)이 약 3 내지 5층의 다층 박막으로 이루어지는 것이 보다 바람직하다.

또한, 도 1에서와 같이, 제1 박막(12a), 제2 박막(12b) 내지 제 $n-1$ 박막(12c) 및 제 n 박막(12d)은 모두 동일한 두께를 갖는 것이 바람직하다. 이와 더불어, 도 2에서와 같이, 제1 박막(22a), 제2 박막(22b) 내지 제 $n-1$ 박막(22c) 및 제 n 박막(22d)은 상부로 갈수록 두꺼운 두께를 갖는 것도 바람직하다. 구체적으로, 상기 제1 박막(22a)의 제1 두께보다는 상기 제2 박막(22b)의 제2 두께가 더 두껍고, 상기 제2 박막(22b)의 제2 두께보다는 상기 제 $n-1$ 박막(22c)의 제 $n-1$ 두께가 더 두껍고, 상기 $n-1$ 박막(22c)의 제 $n-1$ 두께보다는 제 n 박막(22d)의 제 n 두께가 더 두꺼운 것이 바람직하다.

아울러, 상기 제2 구조물(12, 22)은 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공하는 화학 기상 증착에 의해 획득하는 것이 바람직하다. 이때, 상기 제1 반응 물질은 실리콘 소스 물질인 것이 바람직하고, 상기 제2 반응 물질은 산화제인 것이 바람직하다. 따라서, 상기 제2 구조물(12, 22)은 실리콘 산화막인 것이 바람직하다.

특히, 본 발명에서는 상기 제1 구조물(10, 20)에 리세스(도시되지 않음)가 형성되어 있고, 상기 제2 구조물로서 상기 리세스를 매립시키는 것이 바람직하다.

구체적으로, 도 3a를 참조하면, 리세스(31)를 갖는 제1 구조물(30)의 예로서는 반도체 기판을 들 수 있다. 그리고, 상기 리세스(31)의 예로서는 반도체 기판에 형성된 트랜치를 들 수 있다. 따라서, 도 3b에 도시된 바와 같이, 상기 제1 구조물(30)의 리세스(31)인 트랜치 내에 적어도 2층 이상의 다층 박막(32a, ..., 32b, 32c)으로 이루어지는 제2 구조물(32)을 매립시킨다. 특히, 상기 제2 구조물(32)이 적어도 2층 이상의 다층 박막(32a, ..., 32b, 32c)으로 이루어지기 때문에 상기 리세스(31) 내에 충분히 매립되는 구조를 갖는다. 그리고, 상기 제2 구조물(32)의 다층 박막(32a, ..., 32b, 32c) 중에서 최하부에 형성하는 제1 박막(32a)은 상기 트랜치의 측벽과 저면에 연속적으로 형성하는 것이 바람직하다. 따라서, 보이드, 심 등의 발생이 없는 트랜치 소자 분리막의 획득이 가능하다.

도 4a를 참조하면, 리세스(41)를 갖는 제1 구조물(42)의 예로서는 반도체 기판(40) 상에 형성된 게이트 패턴들을 들 수 있다. 그러므로, 상기 리세스(41)는 상기 제1 구조물(42)인 게이트 패턴들 사이의 영역인 갭(gap) 영역이 된다. 따라서, 도

4b에 도시된 바와 같이, 상기 제1 구조물(42)의 리세스(41)인 상기 갭 영역 내에 적어도 2층 이상의 다층 박막(44a, ..., 44b, 44c)으로 이루어지는 제2 구조물(44)을 매립시킨다. 특히, 상기 제2 구조물(44)이 적어도 2층 이상의 다층 박막(44a, ..., 44b, 44c)으로 이루어지기 때문에 상기 리세스(41) 내에 충분히 매립되는 구조를 갖는다. 그리고, 상기 제2 구조물(44)의 다층 박막(44a, ..., 44b, 44c) 중에서 최하부에 형성하는 제1 박막(44a)은 상기 갭 영역의 측벽과 저면에 연속적으로 형성하는 것이 바람직하다. 따라서, 보이드, 심 등의 발생이 없는 상기 게이트 패턴들 사이의 갭 영역을 충분히 매립시키는 플러그(plug) 타입의 층간 절연막의 획득이 가능하다.

도 5a를 참조하면, 리세스(55)를 갖는 제1 구조물(52)의 예로서는 반도체 기판(50) 상에 형성되고, 실린더 타입의 커패시터 하부 전극(54)이 형성되는 층간 절연막 패턴을 들 수 있다. 그러므로, 상기 리세스(55)는 상기 제1 구조물(52)인 층간 절연막 패턴에 의해 형성되는 개구부이다. 따라서, 도 5b에 도시된 바와 같이, 상기 제1 구조물(52)의 리세스(55)인 상기 개구부 내에 적어도 2층 이상의 다층 박막(56a, ..., 56b, 56c)으로 이루어지는 제2 구조물(56)을 매립시킨다. 특히, 상기 제2 구조물(56)이 적어도 2층 이상의 다층 박막(56a, ..., 56b, 56c)으로 이루어지기 때문에 상기 리세스(55) 내에 충분히 매립되는 구조를 갖는다. 그리고, 상기 제2 구조물(56)의 다층 박막(56a, ..., 56b, 56c) 중에서 최하부에 형성하는 제1 박막(56a)은 상기 개구부의 측벽과 저면에 연속적으로 형성하는 것이 바람직하다. 따라서, 보이드, 심 등의 발생이 없는 상기 개구부에 충분히 매립시키는 희생막의 획득이 가능하다.

이하, 본 발명의 바람직한 실시예들을 도면을 참조하여 상세히 설명한다.

실시예 1

도 6a 및 도 6b는 본 발명의 실시예 1에 따른 반도체 장치의 제조 방법을 설명하기 위한 개략적인 단면도들이고, 도 7은 도 6b의 제2 구조물을 형성할 때 반응 물질들이 제공되는 공정 조건을 나타내는 흐름도(timing chart)이다.

도 6a를 참조하면, 제1 구조물(60)을 마련한다. 상기 제1 구조물(60)의 예로서는 실리콘 기판, 실리콘-온-인슐레이터(silicon on insulator : SOI) 기판, 트랜치가 형성된 실리콘 기판, 트랜치가 형성된 실리콘-온-인슐레이터 기판, 게이트 패턴들을 갖는 구조물, 실리콘 타입의 커패시터 하부 전극이 형성되는 층간 절연막 패턴을 갖는 구조물 등을 들 수 있다.

도 6b 및 도 7을 참조하면, 상기 제1 구조물(60) 상부로 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공한다. 특히, 본 실시예에서는 수 내지 수십 회 반복적으로 제공할 수 있다. 그 결과, 상기 제1 구조물(60) 상에 제1 박막(62a), 제2 박막(62b) 내지 제n-1 박막(62c) 및 제n 박막(62d)(n은 4이상의 자연수)으로 이루어지는 제2 구조물(62)이 형성된다. 즉, 상기 회수를 3회 수행할 경우에는 상기 제1 구조물(60) 상에 3층의 다층 박막으로 이루어지는 제2 구조물(62)이 형성되고, 상기 회수를 5회 수행할 경우에는 상기 제1 구조물(60) 상에 5층의 다층 박막으로 이루어지는 제2 구조물(62)이 형성되는 것이다.

그리고, 본 실시예에서는 상기 제2 구조물(62)의 제1 박막(62a), 제2 박막(62b) 내지 제n-1 박막(62c) 및 제n 박막(62d)이 모두 동일한 두께를 갖는 것이 바람직하다. 따라서, 상기 제1 박막(62a), 제2 박막(62b) 내지 제n-1 박막(62c) 및 제n 박막(62d)을 형성하는 모든 구간에서 상기 제1 반응 물질은 동일하게 제공하고, 상기 제2 반응 물질은 동일하면서 일정하게 제공된다. 하지만, 상기 제1 반응 물질의 경우, 도 7에서와 같이, 각 구간에서는 점차적으로 증가되는 램핑 방식으로 제공한다. 즉, 상기 각 구간에서 상기 제1 반응 물질은 일정하게 증가시키면서 제공하는 것이다. 또한, 상기 제1 반응 물질보다는 제2 반응 물질이 보다 많은 양으로 제공한다.

여기서, 상기 제1 반응 물질의 예로서는 실리콘 소스 물질을 들 수 있고, 상기 제2 반응 물질의 예로서는 산화제를 들 수 있다. 상기 실리콘 소스 물질의 예로서는 $\text{Si}(\text{OC}_2\text{H}_5)_4$, SiH_2Cl_2 , $\text{SiCl}_3\text{SiCl}_3$, SiR_4 (R은 -H, $-\text{OCH}_3$, $-\text{OCH}_2\text{CH}_2$ 또는 $\text{O}(\text{CH}_2)_n\text{CH}_3$ (n은 2 내지 20)) 등을 들 수 있다. 이들은 단독으로 사용하는 것이 바람직하지만, 경우에 따라서 둘 이상을 혼합하여 사용할 수도 있다. 아울러, 본 실시예에서는 상기 제1 반응 물질인 실리콘 소스 물질로서 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 를 사용한다. 특히, 상기 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 은 액체이기 때문에 주로 버블러를 사용하여 기체로 기화시켜 사용하는 것이 바람직하다. 따라서, 도 7에 도시된 바와 같이, 상기 제1 반응 물질을 유량(sccm)을 표현할 수 있는 것이다. 그리고, 상기 산화제의 예로서는 O_3 , O_2 , H_2O , H_2O_2 등을 들 수 있다. 이들은 단독으로 사용하는 것이 바람직하지만, 경우에 따라서 둘 이상을 혼합하여 사용할 수도 있다. 아울러, 본 실시예에서는 상기 제2 반응 물질인 산화제로서 반응성이 우수한 O_3 를 사용한다.

또한, 상기 제1 반응 물질과 제2 반응 물질을 함께 제공할 때 상기 챔버의 온도가 약 400°C 미만이면 반응 속도가 매우 느리기 때문에 바람직하지 않고, 약 550°C 를 초과하면 반응 속도의 제어가 힘들기 때문에 바람직하지 않다. 따라서, 약 400

내지 550℃의 온도에서 상기 제1 반응 물질과 제2 반응 물질을 함께 제공하는 것이 바람직하다. 그리고, 약 430 내지 540℃ 온도에서 상기 제1 반응 물질과 제2 반응 물질을 함께 제공하는 것이 보다 바람직하고, 약 480 내지 520℃의 온도에서 상기 제1 반응 물질과 제2 반응 물질을 함께 제공하는 것이 더욱 바람직하고, 약 500℃의 온도에서 상기 제1 반응 물질과 제2 반응 물질을 함께 제공하는 것이 가장 바람직하다. 아울러, 상기 온도 범위에서 상기 제1 반응 물질과 제2 반응 물질을 함께 제공할 때 약 200 내지 760Torr의 압력을 갖도록 조절하는 것이 바람직하다. 상기 압력은 약 400 내지 760Torr을 갖도록 조절하는 것이 보다 바람직하고, 약 600 내지 760Torr을 갖도록 조절하는 것이 더욱 바람직하고, 약 760Torr을 갖도록 조절하는 것이 가장 바람직하다.

상기 휴지기에는 상기 제1 반응 물질과 제2 반응 물질의 제공을 중단시키는 것이 바람직하다. 그러므로, 상기 휴지기에는 상기 챔버로 퍼지 가스를 제공하고, 상기 챔버를 펌핑시키는 것이 바람직하다. 이는, 상기 챔버 내에 잔류하는 미반응 물질들을 제거하기 위함이다. 아울러, 상기 퍼지 가스의 예로서는 불활성 가스를 들 수 있다. 특히, 상기 불활성 가스의 예로서는 질소, 아르곤, 헬륨 등을 들 수 있고, 이들은 단독으로 사용하는 것이 바람직하지만, 경우에 따라서 둘 이상을 혼합하여 사용할 수도 있다.

이와 같이, 본 실시예에서는 상기 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공하는 회수를 n번 수행함으로써 상기 제1 구조물(60) 상에 제1 박막(62a), 제2 박막(62b) 내지 제n-1 박막(62c) 및 제n 박막(62d)으로 이루어지는 제2 구조물(62)을 형성할 수 있다.

구체적으로, 상기 제1 구조물(60)을 챔버로 로딩시킨 후, 상기 챔버의 온도와 압력을 적절하게 조절한다. 그리고, 상기 제1 구조물(60) 상부로 제1 반응 물질과 제2 반응 물질을 제공한다. 특히, 상기 제1 반응 물질은 점차적으로 증가되게 제공한다. 이어서, 상기 챔버로 퍼지 가스를 제공하고, 펌핑을 수행한다. 그 결과, 상기 제1 구조물(60) 상에는 제1 박막(62a)이 형성된다.

이어서, 상기 제1 박막(62a)이 형성된 결과물을 대상으로 상기 제1 박막(62a)을 형성하는 조건과 동일한 공정을 수행한다. 그 결과, 상기 제1 박막(62a) 상에는 제2 박막(62b)이 형성된다.

계속해서, 상기 제1 박막(62a)을 형성하는 조건과 동일한 공정을 반복적으로 수행한다. 그 결과, 상기 제1 구조물(60) 상에는 제1 박막(62a), 제2 박막(62b) 내지 제n-1 박막(62c) 및 제n 박막(62d)으로 이루어지는 제2 구조물(62)이 형성된다.

여기서, 본 실시예와 같이 반복적인 적층(cyclic deposition)을 통하여 다층 박막으로 이루어지는 구조물을 형성하는 예는 미합중국 공개특허 2003-104126호, 미합중국 공개특허 2003-235961호 등에 개시되어 있다. 하지만, 미합중국 공개특허 2003-104126호와 미합중국 공개특허 2003-235961호에는 휴지기를 가지지 않기 때문에 본 실시예의 방법과는 차이가 있다. 아울러, 본 실시예에서는 반복되는 모든 구간의 시간이 동일하다는 관점에서도 미합중국 공개특허 2003-104126호와 미합중국 공개특허 2003-235961호에 개시된 방법과는 차이가 있다. 특히, 본 실시예에서는 제1 반응 물질과 제2 반응 물질을 함께 제공하고, 화학 기상 증착을 수행하기 때문에 최근에 반도체 장치의 제조에 많이 이용되고 있는 원자층 적층 방법과도 분명 차이가 있다.

이와 같이, 본 실시예에 의하면 상기 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가면서 반복적으로 제공하는 화학 기상 증착을 수행하여 상기 제1 구조물(60) 상에 동일한 두께를 갖는 다층 박막으로 이루어지는 제2 구조물(62)을 용이하게 형성할 수 있다.

실시예 2

도 8a 및 도 8b는 본 발명의 실시예 2에 따른 반도체 장치의 제조 방법을 설명하기 위한 개략적인 단면도들이고, 도 9는 도 8b의 제2 구조물을 형성할 때 반응 물질들이 제공되는 공정 조건을 나타내는 흐름도이다.

도 8a, 도 8b 및 도 9를 참조하면, 본 실시예는 제1 구조물(80) 상에 형성하는 제2 구조물(82)의 제1 박막(82a), 제2 박막(82b) 내지 제n-1 박막(82c) 및 제n 박막(82d) 각각의 두께가 다른 것을 제외하고는 실시예 1과 동일하다. 특히, 상기 제1 박막(82a)의 제1 두께보다는 상기 제2 박막(82b)의 제2 두께가 더 두껍고, 상기 제2 박막(82b)의 제2 두께보다는 상기 제n-1 박막(82c)의 제n-1 두께가 더 두껍고, 상기 n-1 박막(82c)의 제n-1 두께보다는 제n 박막(82d)의 제n 두께가 더 두꺼운 것이 바람직하다.

따라서, 상기 제1 박막(82a), 제2 박막(82b) 내지 제n-1 박막(82c) 및 제n 박막(82d)을 형성하는 모든 구간에서 제2 반응 물질은 동일하면서 일정하게 제공하지만, 제1 반응 물질은 각각의 구간에서 서로 다르면서 일정하게 제공한다. 즉, 상기

제1 박막(82a)을 형성할 때에는 제1 유량으로 제1 반응 물질을 제공하고, 제2 박막(82b)을 형성할 때에는 상기 제1 유량보다 많은 제2 유량으로 제1 반응 물질을 제공하고, 상기 제 $n-1$ 박막(82c)을 형성할 때에는 상기 제2 유량보다 많은 제 $n-1$ 유량으로 제1 반응 물질을 제공하고, 제 n 박막(82d)을 형성할 때에는 상기 제 $n-1$ 유량보다 많은 제 n 유량으로 제1 반응 물질을 제공하는 것이 바람직하다.

구체적으로, 상기 제1 구조물(80)을 챔버로 로딩시킨 후, 상기 챔버의 온도와 압력을 조절한다. 그리고, 상기 제1 구조물(80) 상부로 제1 반응 물질과 제2 반응 물질을 제공한다. 특히, 상기 제1 반응 물질은 제1 유량으로 제공한다. 이어서, 상기 챔버로 퍼지 가스를 제공하고, 펌핑을 수행한다. 그 결과, 상기 제1 구조물(80) 상에는 제1 두께를 갖는 제1 박막(82a)이 형성된다.

이어서, 상기 제1 반응 물질을 상기 제1 유량보다 많은 제2 유량으로 제공하는 것을 제외하고는 상기 제1 박막(82a)을 형성하는 조건과 동일한 공정을 수행한다. 그 결과, 상기 제1 박막(82a) 상에는 제2 두께를 갖는 제2 박막(82b)이 형성된다. 이때, 상기 제2 박막(82b)의 제2 두께는 상기 제1 박막(82a)의 제1 두께보다 두껍게 형성된다.

계속해서, 상기 제1 반응 물질이 제공되는 유량을 제외하고는 상기 제1 박막(82a)을 형성하는 조건과 동일한 공정을 반복적으로 수행한다. 그 결과, 상기 제1 구조물(80) 상에는 상기 제1 두께를 갖는 제1 박막(82a), 상기 제2 두께를 갖는 제2 박막(82b) 내지 상기 제 $n-1$ 두께를 갖는 제 $n-1$ 박막(82c) 및 상기 제 n 두께를 갖는 제 n 박막(82d)으로 이루어지는 제2 구조물(82)이 형성된다.

이와 같이, 본 실시예에 의하면 상기 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가면서 반복적으로 제공하는 화학 기상 증착을 수행하여 상기 제1 구조물(80) 상에 상부로 갈수록 두꺼운 두께를 갖는 다층 박막으로 이루어지는 제2 구조물(82)을 용이하게 형성할 수 있다.

실시예 3

도 10a 내지 도 10d는 본 발명의 실시예 3에 따른 트렌치 소자 분리막의 형성 방법을 설명하기 위한 개략적인 단면도들이다.

도 10a를 참조하면, 반도체 기판(100) 상에 패드 산화막과 패드 질화막을 순차적으로 형성한 후, 사진 식각 공정을 실시하여 패드 질화막 패턴(104)과 패드 산화막 패턴(102)을 형성한다. 이어서, 상기 패드 질화막 패턴(104)과 패드 산화막 패턴(102)에 의해 노출되는 반도체 기판(100)을 식각한다. 그 결과, 상기 반도체 기판(100)에는 트렌치(105)가 형성된다. 이어서, 상기 트렌치(105)를 형성하기 위한 식각에 의해 상기 반도체 기판(100)에 가해진 손상을 보상하기 위한 일련을 공정들을 더 수행하기도 한다.

도 10b 및 도 10c를 참조하면, 본 실시예에서는 실시예 1의 제2 구조물을 형성하기 위한 공정과 동일한 공정을 수행한다. 그 결과, 상기 트렌치(105)가 형성된 결과물 상에 제1 박막(106a) 내지 제 $n-1$ 박막(106b) 및 제 n 박막(106c)으로 이루어지는 다층 박막(106)이 형성된다. 여기서, 상기 다층 박막(106)의 제1 박막(106a) 내지 제 $n-1$ 박막(106b) 및 제 n 박막(106c) 모두는 동일한 두께를 갖는다. 특히, 상기 다층 박막(106)의 경우 실시예 1과 동일한 화학 기상 증착을 수행하여 형성하기 때문에 상기 다층 박막(106)의 제1 박막(106a)은 상기 트렌치(105)의 측벽과 저면에 연속적으로 형성된다. 계속해서, 상기 제 $n-1$ 박막(106b) 및 제 n 박막(106c) 모두 하부에 형성된 결과물의 표면을 따라 연속적으로 형성된다.

만약, 상기 트렌치를 갖는 결과물에 단일 박막을 형성할 경우, 지속적인 적층에 의해 상기 트렌치의 입구 부위에서 오버행이 발생하고, 그 결과 상기 트렌치 내에 매립되는 구조물에는 보이드, 심 등이 발생한다. 하지만, 본 실시예에서는 제1 박막(106a), 제 $n-1$ 박막(106b) 및 제 n 박막(106c)을 반복적인 공정을 수행하여 순차적으로 적층하기 때문에 충분한 매립이 가능하다. 따라서, 상기 트렌치(105) 내에는 보이드, 심 등의 발생이 없이 충분하게 매립되는 다층 박막(106)이 형성된다.

도 10d를 참조하면, 상기 패드 질화막 패턴(104)의 표면이 노출될 때까지 상기 다층 박막(106)의 일부를 제거한다. 이때, 상기 다층 박막(106)의 제거는 화학기계적 연마를 수행하는 것이 바람직하다. 이와 같이, 상기 다층 박막(106)의 일부를 제거한 후, 상기 패드 질화막 패턴(104)과 패드 산화막 패턴(102)을 순차적으로 제거한다. 그 결과, 상기 반도체 기판(100)의 트렌치(105)에는 상기 다층 박막(106)의 구조물들(108a, 108b, ..., 108c)로 이루어지고, 보이드, 심 등의 발생없이 충분하게 매립되는 트렌치 소자 분리막(108)이 형성된다.

실시예 4

도 11은 본 발명의 실시예 4에 따른 트렌치 소자 분리막의 형성 방법을 설명하기 위한 개략적인 단면도이다.

도 11을 참조하면, 본 실시예에서는 실시예 3의 트렌치를 형성하는 방법과 동일한 방법을 수행하여 반도체 기판(110)에 트렌치(115)를 형성한다.

계속해서, 본 실시예에서는 상기 트렌치(115)를 갖는 결과물에 실시예 2의 제2 구조물을 형성하기 위한 공정과 동일한 공정을 수행한다. 그 결과, 상기 트렌치(115)가 형성된 결과물 상에 상부로 갈수록 더 두꺼운 두께를 갖는 제1 박막 내지 제 n-1 박막 및 제 n 박막으로 이루어지는 다층 박막(도시되지 않음)이 형성된다. 이는, 상기 다층 박막이 상부로 갈수록 더 얇은 두께를 가질 경우 상기 트렌치(115) 내에 충분히 매립되고, 보이드, 심 등이 빈번하게 발생하기 때문에 바람직하지 않다.

이와 같이, 본 실시예에서는 상기 트렌치(115) 내에 충분히 매립되는 다층 박막을 형성한다. 그리고, 본 실시예에서는 실시예 3과 동일한 공정을 수행하여 상기 다층 박막의 일부와 나머지 구조물들인 패드 질화막 패턴 및 패드 산화막 패턴을 순차적으로 제거한다. 그 결과, 상기 반도체 기판(110)의 트렌치(115)에는 상기 다층 박막의 구조물들(112a, 112b, ..., 112c)로 이루어지고, 보이드, 심 등의 발생없이 충분히 매립되는 트렌치 소자 분리막(112)이 형성된다.

이상과 같이 실시예 3과 실시예 4에서는 트렌치 소자 분리막을 형성하기 위한 방법에 대하여 살펴보았으나, 실시예 3 또는 실시예 4의 방법을 플러그 타입의 층간 절연막 또는 실린더 타입의 커패시터 하부 전극의 노드를 분리하기 위한 희생막을 형성하는 공정에도 용이하게 적용할 수 있다. 따라서, 상기 플러그 타입의 층간 절연막의 경우에도 보이드, 심 등의 발생없이 충분히 매립되도록 형성할 수 있고, 상기 실린더 타입의 커패시터 하부 전극의 노드를 분리하기 위한 희생막의 경우에도 보이드, 심 등의 발생없이 충분히 매립되도록 형성할 수 있다.

트렌치 소자 분리막의 형성 1

도 12는 본 발명의 방법 1에 따라 트렌치 소자 분리막을 제조할 때 공정 조건을 나타내는 흐름도이다.

개략적으로, 반도체 기판에 깊이가 약 3,000 내지 4,000Å이고, 폭이 약 500 내지 1,000Å인 트렌치를 형성한다. 이어서, 상기 트렌치를 갖는 결과물 상부로 제1 반응 물질과 제2 반응 물질을 함께 제공한다. 상기 제1 반응 물질은 약 100sccm에서 약 3,000sccm으로 증가하도록 제공하고, 상기 제2 반응 물질은 약 6,000 내지 20,000sccm을 일정하게 제공한다. 아울러, 상기 제1 반응 물질의 증가는 초당 약 2 내지 50sccm으로 이루어지도록 조정한다. 그리고, 퍼지 가스를 제공하고, 펌핑을 수행한다. 여기서, 상기 제1 반응 물질과 제2 반응 물질은 약 200 내지 250초 동안 제공하고, 상기 퍼지 가스는 약 12 내지 20초 동안 제공하고, 상기 펌핑은 약 12 내지 20초 동안 수행한다. 이때, 온도는 약 400 내지 550°C로 조정하고, 압력은 약 200 내지 760Torr로 조정한다.

실제로는, 도 12를 참조하면, 깊이가 약 3,500Å이고, 폭이 약 600Å인 트렌치를 형성하였다. 그리고, 약 220초 동안 상기 제1 반응 물질로서는 Si(OC₂H₅)₄ (이하, "TEOS"라 한다)을 버블러를 사용하여 기화시킨 상태에서 약 100sccm에서 약 600sccm으로 증가되도록 제공하였고, 상기 제2 반응 물질로서 O₃를 약 17,000sccm을 일정하게 제공하였다. 그리고, 약 15초 동안 퍼지 가스로 질소 가스를 제공하였고, 약 15초 동안 펌핑을 수행하였다. 아울러, 상기 온도는 약 500°C로 조정하였고, 상기 압력은 약 760Torr로 조정하였다. 그 결과, 상기 트렌치의 측벽과 저면에는 약 200Å의 두께를 갖는 제1 박막이 형성되었다.

계속해서, 제1 박막의 형성과 동일한 공정 조건으로 제2 박막과 제3 박막을 순차적으로 형성하였다. 그 결과, 상기 트렌치 내에 상기 제1 박막, 제2 박막 및 제3 박막으로 이루어지고, 보이드 심 등의 발생없이 충분히 매립되는 트렌치 소자 분리막을 얻을 수 있었다.

트렌치 소자 분리막의 형성 2

도 13은 본 발명의 방법 2에 따라 트렌치 소자 분리막을 제조할 때 공정 조건을 나타내는 흐름도이다.

도 13을 참조하면, 언급한 방법 1에와 동일한 깊이와 폭을 갖는 트렌치를 형성하였다. 그리고, 약 220초 동안 상기 TEOS를 버블러를 사용하여 기화시킨 상태에서 약 600sccm을 일정하게 제공하였고, 상기 O₃를 약 17,000sccm으로 일정하게

제공하였다. 그리고, 약 15초 동안 퍼지 가스로서 질소 가스를 제공하였고, 약 15초 동안 펌핑을 수행하였다. 아울러, 상기 온도는 약 500℃로 조정하였고, 상기 압력은 약 760Torr로 조정하였다. 그 결과, 상기 트랜치의 측벽과 저면에는 약 160Å의 두께를 갖는 제1 박막이 형성되었다.

이어서, 상기 TEOS를 약 800sccm으로 일정하게 제공하는 것을 제외하고는 상기 제1 박막을 형성하는 조건과 동일하게 공정을 수행하였다. 그 결과, 약 190Å의 두께를 갖는 제2 박막이 형성되었다. 계속해서, 상기 TEOS를 약 1,000sccm으로 제공하는 것을 제외하고는 상기 제1 박막을 형성하는 조건과 동일하게 공정을 수행하였다. 그 결과, 약 250Å의 두께를 갖는 제3 박막이 형성되었다.

이에 따라, 상기 트랜치 내에 상기 제1 박막, 제2 박막 및 제3 박막으로 이루어지고, 보이드, 심 등의 발생없이 충분히 매립되는 트랜치 소자 분리막을 얻을 수 있었다.

매립 특성의 평가

도 14는 상기 방법 1을 수행하여 트랜치 소자 분리막을 형성한 후, 게이트 산화막과 게이트 도전막을 순차적으로 형성한 결과물의 단면을 주사 전자 현미경으로 촬영한 것으로서, 상기 트랜치 소자 분리막이 보이드, 심 등의 발생없이 충분히 매립되어 있는 것을 확인할 수 있다.

도 15는 종래의 TEOS를 사용한 열적 화학 기상 증착을 수행하여 형성한 트랜치 소자 분리막을 형성한 후, 게이트 산화막과 게이트 도전막을 순차적으로 형성한 결과물의 단면을 주사 전자 현미경으로 촬영한 것으로서, 상기 트랜치 소자 분리막에 보이드, 심 등이 발생한 것을 확인할 수 있다.

이와 같이, 본 발명의 방법에 따라 제조한 적어도 2층의 다층 박막으로 이루어지는 구조물은 트랜치와 같은 리세스 내에 보이드, 심 등의 발생없이 충분히 매립되는 것을 확인할 수 있다.

반사도 특성의 평가

상기 방법 1을 수행하여 수득한 트랜치 소자 분리막과 종래의 방법을 수행하여 수득한 트랜치 소자 분리막의 반사도를 측정한 결과, 상기 방법 1의 트랜치 소자 분리막의 경우 약 1.44를 나타내고, 종래의 트랜치 소자 분리막의 경우 약 1.43을 나타내는 것을 확인할 수 있었다. 따라서, 본 발명의 방법에 따라 트랜치 소자 분리막을 형성하여도 반사도에는 별다른 영향을 끼치지 않음을 확인할 수 있었다.

식각 속도 특성의 평가

상기 방법 1의 트랜치 소자 분리막과 종래의 트랜치 소자 분리막의 식각 속도에 대하여 평가하였다. 이때, 상기 식각 속도를 평가하기 위한 식각액으로서는 약 200 : 1로 희석시킨 불화수소를 사용하였다. 상기 평가 결과, 상기 방법 1의 트랜치 소자 분리막은 약 80Å/min의 식각 속도를 나타내고, 종래의 트랜치 소자 분리막은 약 190Å/min의 식각 속도를 나타내는 것을 확인할 수 있었다.

따라서, 본 발명의 방법에 따라 제조한 트랜치 소자 분리막의 경우 상기 불화 수소를 사용한 식각 공정에서 식각 속도의 제어가 용이함을 확인할 수 있었다.

수축율 특성의 평가

상기 방법 1의 트랜치 소자 분리막과 종래의 트랜치 소자 분리막의 열에 대한 수축율을 평가하였다. 상기 수축율의 평가에서는 상기 방법 1의 트랜치 소자 분리막을 갖는 결과물과 종래의 트랜치 소자 분리막을 갖는 결과물 각각을 약 900℃의 온도로 가열하였다. 상기 평가 결과, 상기 방법 1의 트랜치 소자 분리막의 수축율은 약 2.2%를 나타내고, 종래의 트랜치 소자 분리막의 수축율은 약 4.6%를 나타내는 것을 확인할 수 있었다.

따라서, 본 발명의 방법에 따라 제조한 트랜치 소자 분리막의 경우 열에 대한 수축율 특성이 우수한 것을 확인할 수 있었다.

발명의 효과

이와 같이, 본 발명에 의하면 리세스 내에 보이드, 심 등의 발생없이 충분히 매립되는 구조물을 용이하게 형성할 수 있다. 그러므로, 미세 패턴을 요구하는 최근의 반도체 장치에 적극적으로 적용할 수 있는 효과가 있다.

본 발명은 바람직한 실시예들을 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

제1 구조물; 및

상기 제1 구조물에 형성되고, 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기(the period of suspension)를 가지면서 반복적으로 제공하여 획득하는 적어도 2층의 다층 박막으로 이루어지는 제2 구조물을 포함하는 반도체 장치.

청구항 2.

제1 항에 있어서, 상기 제1 구조물은 리세스를 갖고, 상기 제2 구조물은 상기 리세스 내에 매립되는 트렌치 소자 분리막, 상기 리세스 내에 매립되는 플러그 타입의 층간 절연막 또는 실린더 타입의 커패시터 하부 전극의 노드를 분리하기 위한 희생막인 것을 특징으로 하는 반도체 장치.

청구항 3.

제2 항에 있어서, 상기 리세스 내에 매립되는 제2 구조물의 다층 박막 중에서 최하부에 위치하는 제1 박막은 상기 리세스의 측벽과 저면에 연속적으로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 4.

제1 항에 있어서, 상기 제2 구조물은 동일한 두께를 갖는 박막들로 이루어지는 다층 박막인 것을 특징으로 하는 반도체 장치.

청구항 5.

제1 항에 있어서, 상기 제2 구조물은 상부로 갈수록 더 두꺼운 두께를 갖는 박막들로 이루어지는 다층 박막인 것을 특징으로 하는 반도체 장치.

청구항 6.

제1 항에 있어서, 상기 제2 구조물은 실리콘 산화막인 것을 특징으로 하는 반도체 장치.

청구항 7.

제1 항에 있어서, 상기 제1 반응 물질은 실리콘 소스 물질이고, 제2 반응 물질은 산화제인 것을 특징으로 하는 반도체 장치.

청구항 8.

a) 챔버에 제1 구조물을 로딩하는 단계; 및

b) 상기 챔버로 제1 반응 물질과 제2 반응 물질을 함께 그리고 휴지기를 가지면서 반복적으로 제공하여 상기 제1 구조물에 적어도 2층의 다층 박막으로 이루어지는 제2 구조물을 형성하는 단계를 포함하는 반도체 장치의 제조 방법.

청구항 9.

제8 항에 있어서, 상기 b) 단계는,

b-1) 상기 챔버로 상기 제1 반응 물질과 제2 반응 물질을 함께 제공하여 상기 제1 구조물에 제1 박막을 형성하는 단계;

b-2) 상기 제1 반응 물질과 제2 반응 물질의 제공을 중단시키는 휴지기를 갖는 단계; 및

b-3) 상기 b-1)과 b-2)를 적어도 1회 반복적으로 수행하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10.

제9 항에 있어서, 상기 제1 반응 물질은 b-1) 단계와 b-3) 단계 모두에서 동일하면서 점차적으로 증가되는 램핑(ramping) 방식으로 제공하고, 상기 제2 반응 물질은 b-1) 단계와 b-3) 단계 모두에서 동일하면서 일정하게 제공하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11.

제9 항에 있어서, 상기 제1 반응 물질은 b-1) 단계보다는 많으면서 b-3) 단계의 반복 회수에 따라 계속적으로 증가되도록 제공하고, 상기 제2 반응 물질은 b-1) 단계와 b-3) 단계 모두에서 동일하면서 일정하게 제공하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12.

제9 항에 있어서, 상기 b-2) 단계는,

상기 챔버로 퍼지 가스를 제공하는 단계; 및

상기 챔버를 펌핑시키는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13.

제12 항에 있어서, 상기 퍼지 가스는 불활성 가스를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14.

제8 항에 있어서, 상기 b) 단계는 400 내지 550℃의 온도와 200 내지 760Torr의 압력에서 수행하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15.

제8 항에 있어서, 상기 제1 반응 물질은 실리콘 소스 물질이고, 상기 제2 반응 물질은 산화제인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16.

제15 항에 있어서, 상기 실리콘 소스 물질은 $\text{Si}(\text{OC}_2\text{H}_5)_4$, SiH_2Cl_2 , $\text{SiCl}_3\text{SiCl}_3$ 및 SiR_4 (R은 -H, -OCH₃, -OCH₂CH₂ 또는 $\text{O}(\text{CH}_2)_n\text{CH}_3$ (n은 2 내지 20))로 구성되는 그룹으로부터 선택되는 적어도 어느 하나이고, 상기 산화제는 O₃, O₂, H₂O 및 H₂O₂로 구성되는 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17.

제8 항에 있어서, 상기 제1 구조물에 리세스가 형성되어 있을 경우, 상기 적어도 2층의 다층 박막으로 이루어지는 제2 구조물을 상기 리세스 내에 매립하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18.

제17 항에 있어서, 상기 리세스는 트렌치 소자 분리막을 형성하기 위한 트렌치, 게이트 패턴들에 의해 형성되는 패턴 또는 실리콘 타입의 커패시터 하부 전극의 노드를 분리할 때 형성되는 패턴인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19.

제17 항에 있어서, 상기 리세스 내에 매립되는 제2 구조물의 다층 박막 중에서 최하부에 형성되는 제1 박막은 상기 리세스의 측벽과 저면에 연속적으로 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20.

- a) 반도체 기판에 트렌치를 형성하는 단계;
- b) 상기 반도체 기판 상부로 제1 반응 물질과 제2 반응 물질을 함께 제공하여 상기 트렌치의 측벽과 저면에 제1 박막을 연속적으로 형성하는 단계;
- c) 상기 제1 반응 물질과 제2 반응 물질의 공급을 중단시키는 휴지기를 갖는 단계; 및
- d) b) 단계와 c) 단계를 적어도 1회 반복적으로 수행하여 상기 제1 박막 상에 상기 제1 박막을 포함하는 다층 박막을 형성함으로써 상기 트렌치를 매립시키는 단계를 포함하는 트렌치 소자 분리막의 제조 방법.

청구항 21.

제20 항에 있어서, 상기 제1 반응 물질은 b) 단계와 d) 단계 모두에서 동일하면서 점차적으로 증가되는 램핑 방식으로 제공하고, 상기 제2 반응 물질은 b) 단계와 d) 단계 모두에서 동일하면서 일정하게 제공하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 22.

제20 항에 있어서, 상기 제1 반응 물질은 b) 단계보다는 많으면서 d) 단계의 반복 회수에 따라 계속적으로 증가되도록 제공하고, 상기 제2 반응 물질은 b) 단계와 d) 단계 모두에서 동일하면서 일정하게 제공하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 23.

제20 항에 있어서, 상기 c) 단계는,

상기 챔버로 퍼지 가스를 제공하는 단계; 및

상기 챔버를 펌핑시키는 단계를 포함하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 24.

제20 항에 있어서, 상기 c) 단계는 400 내지 550°C의 온도와 200 내지 760Torr의 압력에서 수행하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 25.

제20 항에 있어서, 상기 제1 반응 물질은 실리콘 소스 물질이고, 상기 제2 반응 물질은 산화제인 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 26.

제25 항에 있어서, 상기 실리콘 소스 물질은 $\text{Si}(\text{OC}_2\text{H}_5)_4$, SiH_2Cl_2 , $\text{SiCl}_3\text{SiCl}_3$ 및 SiR_4 (R은 -H, -OCH₃, -OCH₂CH₂ 또는 $\text{O}(\text{CH}_2)_n\text{CH}_3$ (n은 2 내지 20))로 구성되는 그룹으로부터 선택되는 적어도 어느 하나이고, 상기 산화제는 O₃, O₂, H₂O 및 H₂O₂로 구성되는 그룹으로부터 선택되는 적어도 어느 하나인 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 27.

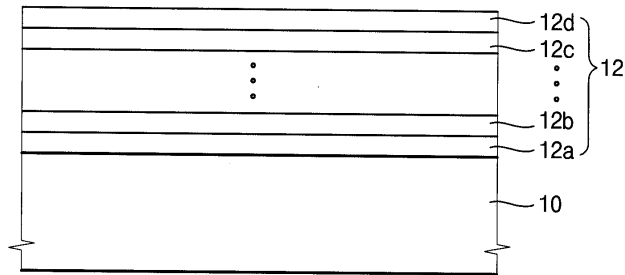
제20 항에 있어서, 상기 트랜치의 입구 부위가 노출될 때까지 상기 다층 박막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

청구항 28.

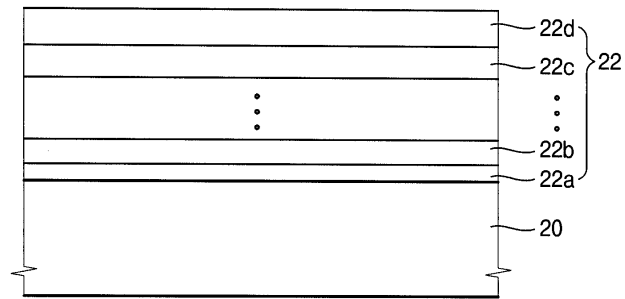
제27 항에 있어서, 상기 다층 박막은 화학기계적 연마를 수행하여 제거하는 것을 특징으로 하는 트랜치 소자 분리막의 제조 방법.

도면

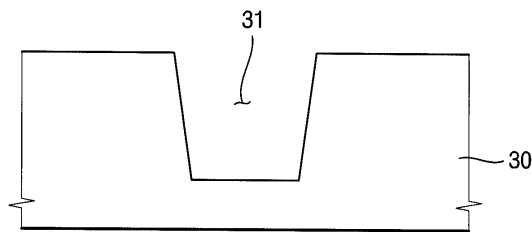
도면1



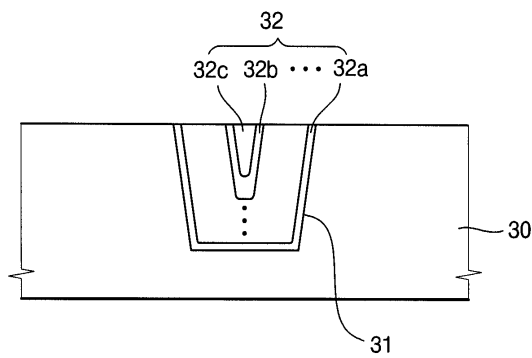
도면2



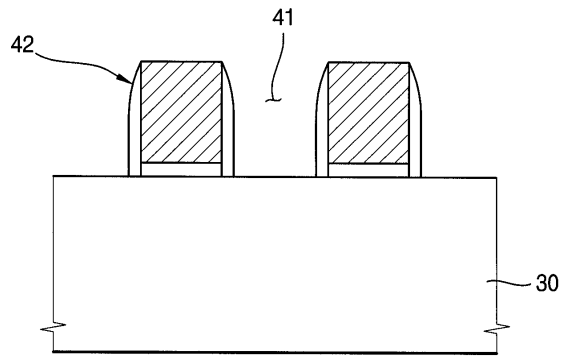
도면3a



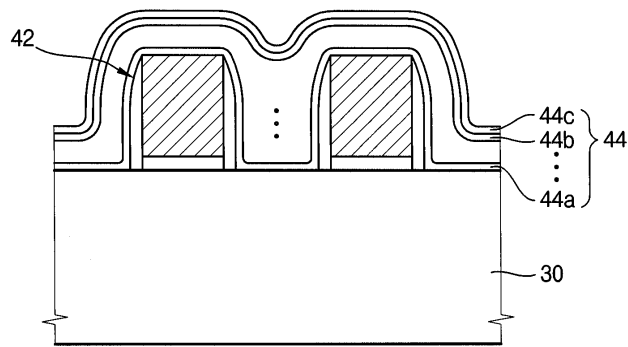
도면3b



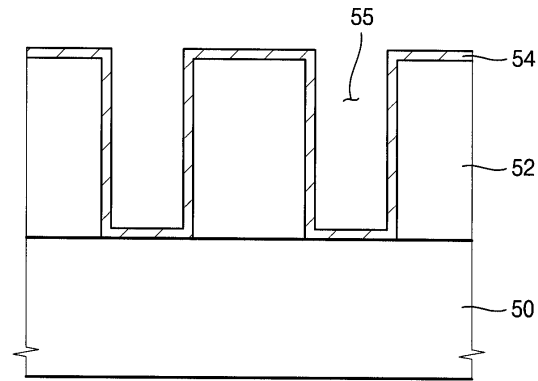
도면4a



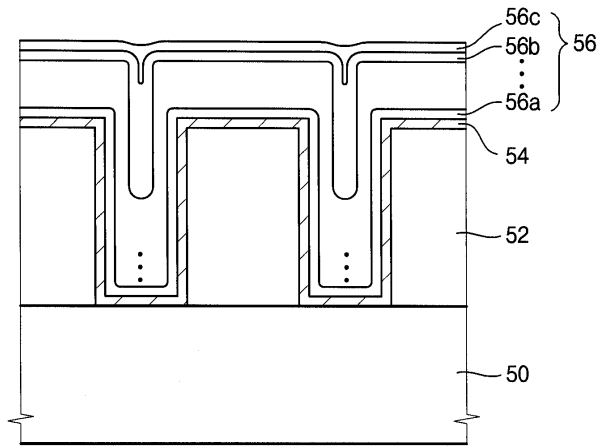
도면4b



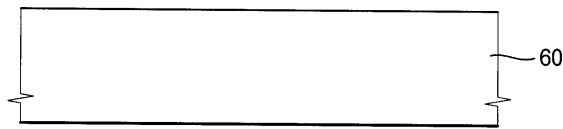
도면5a



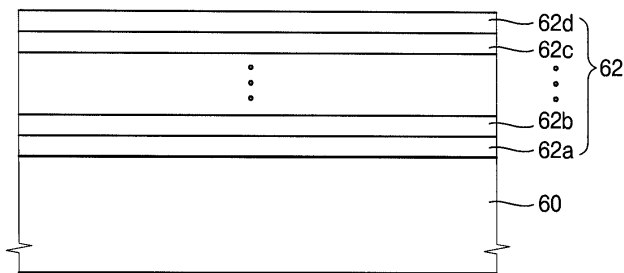
도면5b



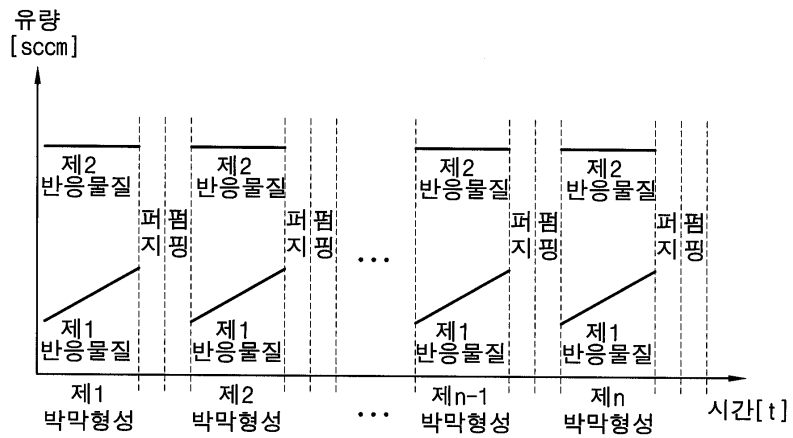
도면6a



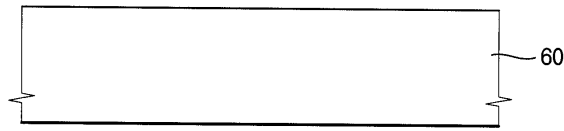
도면6b



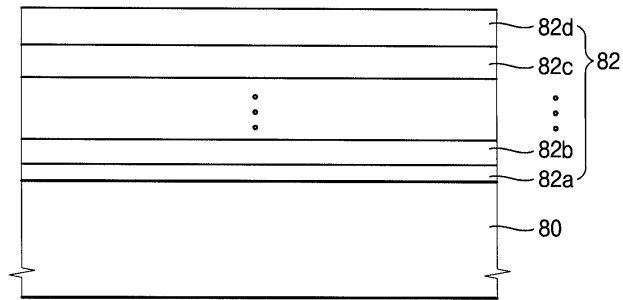
도면7



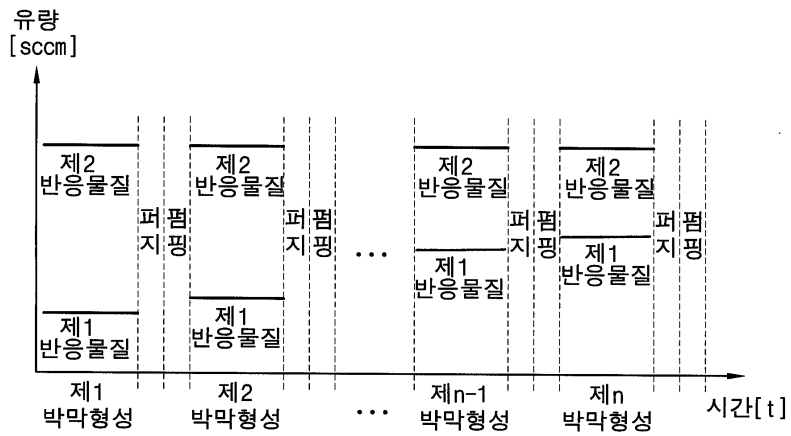
도면8a



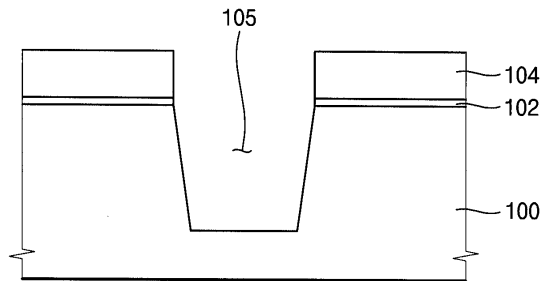
도면8b



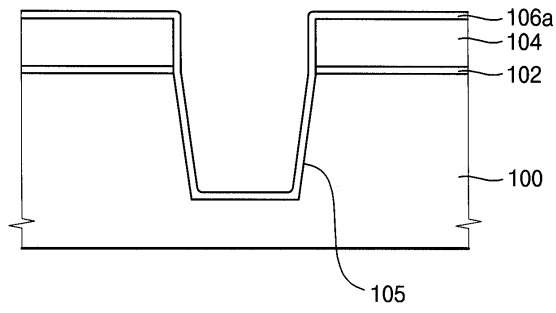
도면9



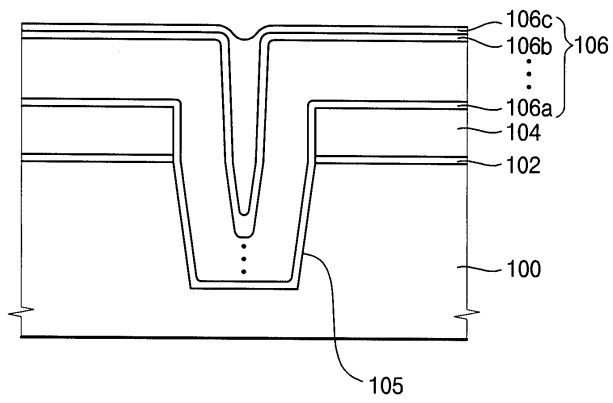
도면10a



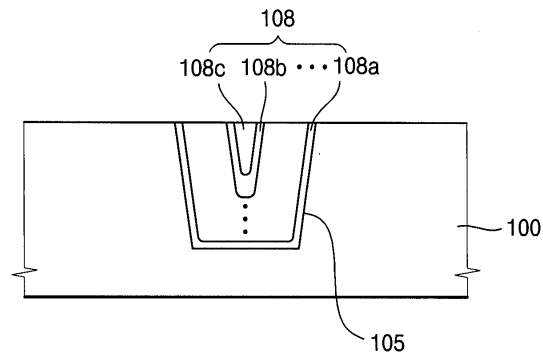
도면10b



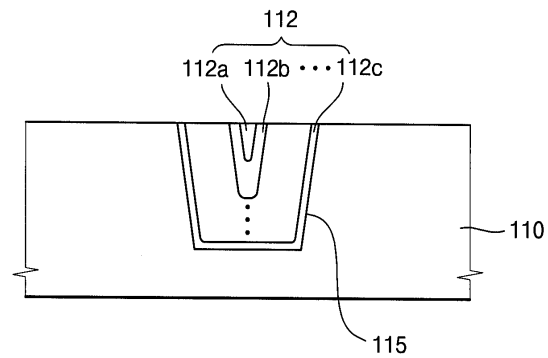
도면10c



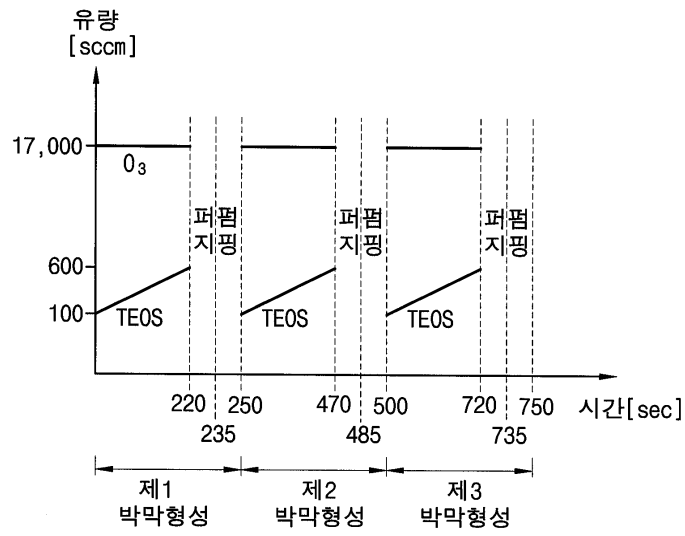
도면10d



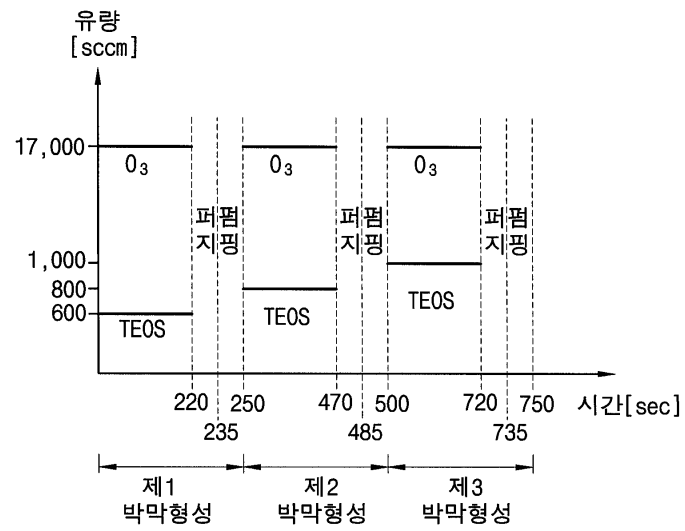
도면11



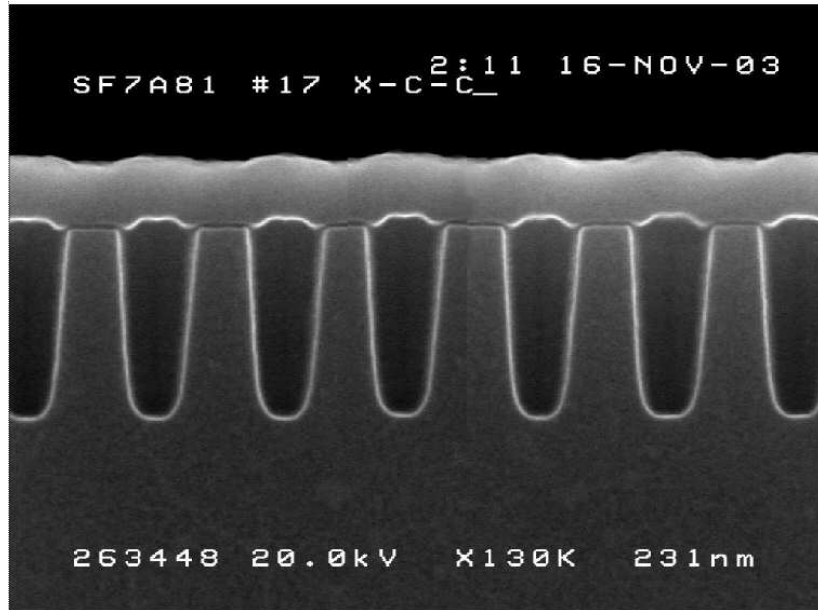
도면12



도면13



도면14



도면15

