



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년08월25일  
 (11) 등록번호 10-1059629  
 (24) 등록일자 2011년08월19일

(51) Int. Cl.  
*H01L 23/48* (2006.01) *H01L 23/49* (2006.01)  
 (21) 출원번호 10-2009-0133354  
 (22) 출원일자 2009년12월29일  
 심사청구일자 2010년01월29일  
 (65) 공개번호 10-2011-0076606  
 (43) 공개일자 2011년07월06일  
 (56) 선행기술조사문헌  
 JP09097815 A  
 JP2009010311 A  
 KR1020010005136 A  
 KR1020070045901 A

(73) 특허권자  
**하나 마이크론(주)**  
 충남 아산시 음봉면 원남리 95-1  
 (72) 발명자  
**정진욱**  
 충청남도 아산시 음봉면 덕지리 포스코더샵 아파트 116동 1301호  
**강남규**  
 서울특별시 성동구 응봉동 대림강변아파트 109동 1303호  
 (74) 대리인  
**특허법인리온**

전체 청구항 수 : 총 5 항

심사관 : 설관식

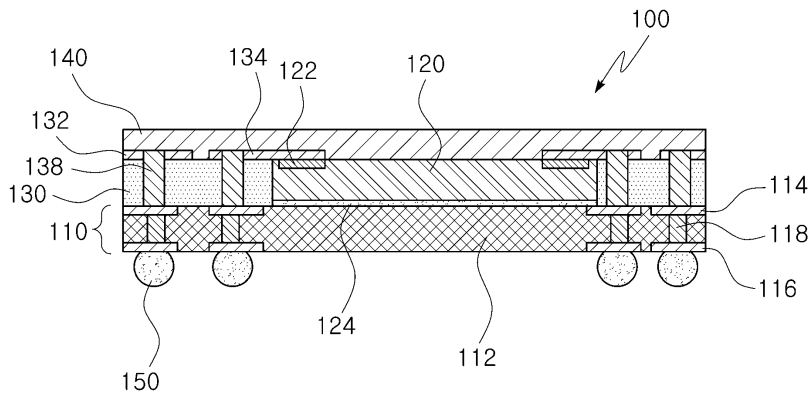
**(54) 반도체 패키지 제조방법**

**(57) 요약**

반도체 패키지 제조방법을 제공한다.

본 발명은 기판을 준비하는 단계 ; 상기 기판상에 반도체 칩을 다이본딩하는 단계; 상기 반도체 칩의 상부면에 형성된 다이패드들 외부노출시키면서 상기 반도체 칩을 보호하도록 에워싸는 보호부를 형성하도록 1차 인캡슐레이션하는 단계 ; 상기 다이패드와 전기적으로 연결되도록 상기 보호부의 상부면에 재배선회로를 형성하는 단계 ; 상기 기판에 형성된 연결패드가 외부노출되도록 상기 보호부에 비어홀을 형성하는 단계; 상기 재배선회로와 기판이 전기적으로 연결되도록 도전성 페이스트로서 상기 비어홀을 충전하는 단계 ; 상기 재배선회로와 반도체 칩의 상부면을 덮어 보호하는 보호층을 형성하도록 2차 인캡슐레이션하는 단계를 포함한다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

기판을 준비하는 단계 ;

상기 기판상에 반도체 칩을 다이본딩하는 단계;

상기 반도체 칩의 상부면에 형성된 다이패드를 외부노출시키면서 상기 반도체 칩을 보호하도록 에워싸는 보호부를 형성하도록 1차 인캡슐레이션하는 단계 ;

상기 다이패드와 전기적으로 연결되도록 상기 보호부의 상부면에 재배선회로를 형성하는 단계 ;

상기 기판에 형성된 연결패드가 외부노출되도록 상기 보호부에 비어홀을 형성하는 단계;

상기 재배선회로와 기판이 전기적으로 연결되도록 도전성 페이스트로서 상기 비어홀을 충전하는 단계 ;

상기 재배선회로와 반도체 칩의 상부면을 덮어 보호하는 보호층을 형성하도록 2차 인캡슐레이션하는 단계를 포함하는 반도체 패키지 제조방법.

**청구항 2**

제1항에 있어서,

상기 비어홀을 형성하는 단계 이전에 상기 재배선회로상에 솔더 레지스트인 절연층을 도포하고, 패턴대로 식각하여 상부 재배선회로를 형성하는 단계를 추가 포함함을 특징으로 하는 반도체 패키지 제조방법.

**청구항 3**

제1항에 있어서,

상기 비어홀을 형성하는 단계이전에 상기 반도체 칩상에 접착제를 매개로 상부 반도체 칩을 다이본딩하고, 상기 반도체 칩의 다이패드가 외부로 노출되면서 상기 상부 반도체 칩을 감싸도록 상부 보호부를 형성하고, 상기 다이패드와 전기적으로 연결되는 상부 재배선회로를 형성하며, 상기 기판의 연결패드가 외부노출되도록 상기 재배선회로 및 상부 재배선회로와 대응하는 보호부에 일정깊이의 비어홀을 형성하고, 상기 비어홀에 도전성 페이스트를 충전하여 도전성 비어홀을 형성한 다음, 상기 상부 반도체 칩과 상부 재배선회로를 덮도록 보호층을 형성함을 특징으로 하는 반도체 패키지 제조방법.

**청구항 4**

제1항에 있어서,

상기 1차 인캡슐레이션하는 단계는 상,하부 금형사이에 반도체 칩이 탑재된 기판을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 필름을 기판상에 부착하는 방식으로 형성함을 특징으로 하는 반도체 패키지 제조방법.

**청구항 5**

제1항에 있어서,

상기 2차 인캡슐레이션 하는 단계는 상,하부 금형사이에 반도체 칩이 탑재된 기판을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 또는 내열성 필름을 상기 재배선회로와 보호부상에 부착하는 방식으로 형성함을 특징으로 하는 반도체 패키지 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 반도체 패키지를 제조하는 방법에 관한 것으로, 더욱 상세히는 와이어본딩 공정의 필요없이 반도체 칩을 기판상에 실장하면서 반도체 패키지의 높이를 줄여 반도체 패키지 제품의 박형화 및 소형화를 도모하고, 반도체 칩의 외부로 회로를 재배선하여 외부와 연결되는 본딩패드의 집적화율을 높일 수 있는 반도체 패키지 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 반도체 패키지는 각종 전자 회로 및 배선이 형성된 단일 소자, 집적 회로, 또는 하이브리드 회로 등과 같은 반도체 칩을 패키지의 캐비티내에 적어도 하나 이상 패키징함으로써, 주변의 가스, 온도 및 습도 등을 포함하는 외부환경에 민감하게 반응하는 반도체 칩이 보다 안정적으로 작동되도록 외부환경과 반도체칩을 서로 격리시키고 동시에 제품의 소형화에 맞추어 패키지를 칩사이즈로 구성하는 것이다.

[0003] 이러한 반도체 패키지를 제조하는 기술 중 기판상에 반도체 칩을 탑재한 다음 상기 기판에 형성된 패턴회로와 반도체 칩의 입출력 패드사이를 전기적으로 연결하는 와이어부재를 매개로 와이어본딩하여 패키징하는 기술이 개시되어 있다.

[0004] 그러나 이러한 와이어 본딩방식을 채용하는 반도체 패키지 제조공정에서 와이어부재는 일정한 루프를 형성해야 하고 몰딩부를 형성하기 위한 성형시 주입되는 에폭시몰드컴파운드에 의하여 와이어부재가 휘어지는 것을 예방하기 위하여 반도체 패키지는 추가적인 높이를 유지해야만 하기 때문에 반도체 패키지의 전체두께가 커져 전체 부피를 줄여 소형화하는데 제한적인 요소로 작용하였다.

[0005] 또한, 상기 반도체 칩과 기판을 와이어본딩하는 와이어부재를 사용하는 경우, 상기 와이어의 단부가 본딩되는 본딩패드의 피치가 충분히 넓게 확보되어야 하기 때문에 반도체 칩의 제한된 외부영역에서 본딩패드의 설치개수를 늘리지 못하는 원인이 되었다.

[0006] 최근들어 전자기기의 박형화·소형화 추세에 따라 반도체 소자를 탑재하는 패키징(packaging)기술도 고속, 고기능, 고밀도 실장이 요구되며, 이러한 요구에 부응하여 칩 스케일 패키지 형태의 플립칩 실장 기술이 등장하게 되었다.

**발명의 내용**

**해결 하고자하는 과제**

[0007] 따라서, 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 그 목적은 와이어본딩 공정의 필요없이 반도체 칩을 기판상에 실장하면서 반도체 패키지의 높이를 줄여 반도체 패키지 제품의 박형화 및 소형화를 도모하고, 반도체 칩의 외부로 회로를 재배선하여 외부와 연결되는 본딩패드의 집적화율을 높일 수 있는 반도체 패키지 제조방법을 제공하고자 한다.

**과제 해결수단**

[0008] 상기와 같은 목적을 달성하기 위한 구체적인 수단으로서, 본 발명은 기판을 준비하는 단계 ; 상기 기판상에 반도체 칩을 다이본딩하는 단계; 상기 반도체 칩의 상부면에 형성된 다이패드를 외부노출시키면서 상기 반도체 칩을 보호하도록 에워싸는 보호부를 형성하도록 1차 인캡슐레이션하는 단계 ; 상기 다이패드와 전기적으로 연결되도록 상기 보호부의 상부면에 재배선회로를 형성하는 단계 ; 상기 기판에 형성된 연결패드가 외부노출되도록 상기 보호부에 비어홀을 형성하는 단계; 상기 재배선회로와 기판이 전기적으로 연결되도록 도전성 페이스트로서 상기 비어홀을 충전하는 단계 ; 상기 재배선회로와 반도체 칩의 상부면을 덮어 보호하는 보호층을 형성하도록 2차 인캡슐레이션하는 단계를 포함하는 반도체 패키지 제조방법을 제공한다.

[0009] 바람직하게, 상기 비어홀을 형성하는 단계 이전에 상기 재배선회로상에 솔더 레지스트인 절연층을 도포하고, 패턴대로 식각하여 상부 재배선 회로를 형성하는 단계를 추가 포함한다.

[0010] 바람직하게, 상기 비어홀을 형성하는 단계이전에 상기 반도체 칩상에 접착제를 매개로 상부 반도체 칩을 다이본딩하고, 상기 반도체 칩의 다이패드가 외부로 노출되면서 상기 상부 반도체 칩을 감싸도록 상부 보호부를 형성하고, 상기 다이패드와 전기적으로 연결되는 상부 재배선회로를 형성하며, 상기 기판의 연결패드가 외부노출되도록 상기 재배선회로 및 상부 재배선회로와 대응하는 보호부에 일정깊이의 비어홀을 형성하고, 상기 비어홀에 도전성 페이스트를 충전하여 도전성 비어홀을 형성한 다음, 상기 상부 반도체 칩과 상부 재배선회로를 덮고

록 보호층을 형성한다.

- [0011] 바람직하게, 상기 1차 인캡슐레이션하는 단계는 상,하부 금형사이에 반도체 칩이 탑재된 기판을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 필름을 기판상에 부착하는 방식으로 형성한다.
- [0012] 바람직하게, 상기 2차 인캡슐레이션 하는 단계는 상,하부 금형사이에 반도체 칩이 탑재된 기판을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 또는 내열성 필름을 상기 재배선회로와 보호부상에 부착하는 방식으로 형성한다.

**효과**

- [0013] 본 발명에 의하면, 기판상에 다이본딩된 반도체 칩을 감싸도록 형성되는 보호부의 상부면에 재배선회로를 패턴 인쇄하고, 보호부에 형성되는 도전성 비어홀을 매개로 재배선회로와 연결패드를 서로 전기적으로 연결한 다음 반도체 칩상에 보호층을 형성함으로써 와이어본딩 공정의 필요없이 반도체 칩의 다이패드와 기판의 연결패드를 서로 전기적으로 연결할 수 있기 때문에 반도체 패키지의 전체높이를 줄여 패키지 제품의 박형화 및 소형화 설계가 가능해지고, 반도체 칩의 외부로 회로를 재배선하여 외부와 연결되는 본딩패드의 집적화율을 높일 수 있는 한편 와이어 본딩방식으로 구현이 불가능한 패키지 구조도 설계가능하여 패키지 설계자유도를 높일 수 있는 효과가 얻어진다.

**발명의 실시를 위한 구체적인 내용**

- [0014] 이하 본 발명의 바람직한 실시 예에 대해 첨부된 도면에 따라 더욱 상세히 설명한다.
- [0015] 도 1은 본 발명의 실시 예에 따른 반도체 패키지 제조방법에 의해서 제조되는 반도체 패키지를 도시한 종단면도이고, 도 2는 본 발명의 실시 예에 따른 반도체 패키지 제조방법을 도시한 공정 순서도이며, 도 3(a) 내지 도 3(g)는 본 발명의 실시 예에 따른 반도체 패키지 제조방법을 도시한 공정 흐름도이다.
- [0016] 본 발명의 실시 예에 따른 반도체 패키지 제조방법은 도 1 내지 도 3(g)에 도시한 바와 같이, 기판을 준비하는 단계(S201), 반도체 칩을 다이본딩하는 단계(S202), 1차 인캡슐레이션하는 단계(S203), 재배선회로를 형성하는 단계(S204), 비어홀을 형성하는 단계(S205), 비어홀을 충전하는 단계(S206) 및 2차 인캡슐레이션하는 단계(S207)을 포함하여 두께가 얇으면서 외부연결용 편부의 집적율을 높일 수 있는 반도체 패키지(100)를 제조완성하는 것이다.
- [0017] 상기 기판(110)을 준비하는 단계(S201)는 도 3(a)에 도시한 바와 같이, 패턴회로가 인쇄되고, 상부면에 형성된 연결패드(114)와 하부면에 형성된 외부단자(116)사이를 연결하는 복수개의 비어홀(118)을 구비하는 웨이퍼(112)를 제공하는 것이다
- [0018] .
- [0019] 상기 반도체 칩(120)을 다이본딩하는 단계(S202)는 도 3(a)에 도시한 바와 같이 상부면에 복수개의 다이패드(122)를 갖는 반도체 칩(120)을 상기 기판(110)의 상부면에 에폭시 또는 점착필름과 같은 점착제(124)를 매개로 접합고정하여 다이본딩하는 것이다.
- [0020] 상기 1차 인캡슐레이션하는 단계(S203)는 도 3(b)에 도시한 바와 같이, 상기 반도체 칩(120)이 다이본딩된 기판(110)의 상부면에 형성된 연결패드(114)를 덮으면서 상기 반도체 칩(120)에 형성된 다이패드(122)를 외부로 노출시키도록 상기 반도체 칩(120)의 외부를 감싸는 보호부(130)를 절연성 수지재로 형성하는 것이다.
- [0021] 이러한 보호부(130)는 상,하부 금형사이에 반도체 칩이 탑재된 기판을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 필름을 기판상에 부착하는 방식으로 형성할 수 있지만 이에 한정되는 것은 아니며, 절연성 수지재를 이용하여 다양한 방법으로 형성할 수 있다.
- [0022] 상기 재배선회로를 형성하는 단계(S204)는 도 3(c)에 도시한 바와 같이, 상기 보호부(130)의 상부면에 외부노출

되는 반도체 칩(120)의 다이패드(122)와 전기적으로 연결되도록 재배선회로(132, 134)를 상기 보호부(130)의 상부면에 패턴인쇄한다.

[0023] 이러한 재배선회로(132,134)는 상기 기관(110)에 형성된 비어홀(118)과 대응하는 영역에 형성되는 것이 바람직하다.

[0024] 상기 비어홀을 형성하는 단계(S205)는 도 3(d)에 도시한 바와 같이, 상기 기관(110)의 상부면에 형성된 연결패드(114)가 외부노출되도록 상기 재배선회로(132,134)와 대응하는 보호부(130)에 일정깊이의 비어홀(136)을 형성함에 따라, 상기 연결패드(114)는 상기 비어홀(36)의 바닥면에 외부노출된다.

[0025] 이러한 비어홀(136)은 레이저빔을 이용하는 레이저 공정 또는 기계식 드릴에 의한 드릴가공에 의해서 형성될 수 있다.

[0026] 상기 비어홀을 충전하는 단계(S206)는 도 3(e)에 도시한 바와 같이, 상기 보호부(130)상에 패턴인쇄된 재배선회로(132,134)와 상기 기관(110)의 상부면에 패턴인쇄된 연결패드(114)를 서로 전기적으로 연결하도록 상기 비어홀(136)에 도전성 페이스트를 충전함으로써 상기 반도체칩(120)과 연결된 재배선회로(134)와 기관(110)을 서로 전기적으로 연결하는 도전성 비어홀(138)을 형성하게 된다.

[0027] 상기 2차 인캡슐레이션하는 단계(S207)는 도 3(f)에 도시한 바와 같이, 상기 재배선회로(132,134)와 반도체 칩(120)을 덮어 외부환경으로부터 보호하도록 적어도 1층이상의 보호층(140)을 형성하여 2차 인캡슐레이션하여 반도체 패키지(100)를 제조완성하게 된다. .

[0028] 이러한 2차 인캡슐레이션 단계도 상기 1차 인캡슐레이션과 마찬가지로 상,하부 금형사이에 반도체 칩이 탑재된 기관을 고정배치한 다음 수지재를 주입하는 성형방식으로 성형하거나 절연성 필름 또는 내열성 필름을 상기 재배선회로(132,134)와 보호부(130)에 부착하는 방식으로 형성할 수 있다.

[0029] 한편, 상기 반도체 패키지(100)는 도 3(g)에 도시한 바와 같이, 상기 기관(110)의 하부면에 형성된 외부단자(116)에 접하는 솔더볼(150)을 매개로 하여 미도시된 메인기관상에 플립칩본딩방식으로 탑재될 수 있다.

[0030] 또한, 상기 비어홀을 형성하는 단계(S205)이전에 도 4에 도시한 바와 같이, 상기 보호부(130)의 상부면에 패턴인쇄되는 재배선회로(132,134)를 형성한 상태에서 상기 재배선회로(132,134)상에 솔더 레지스트인 절연층(462)을 도포한 다음 패턴대로 식각하여 상부 재배선 회로(460)를 형성함으로써 상기 보호부(130)상에 2층 구조의 재배선회로를 형성한다.

[0031] 이어서, 상기 상부 재배선회로(460)와 재배선회로(132,134)를 관통하는 비어홀에 도전성 페이스트를 충전하여 도전성 비어홀을 형성함으로써 와이어본딩없이 상기 반도체칩(120)과 기관(110)사이를 전기적으로 연결하는 다른 형태의 반도체 패키지(400)를 제조할 수 있는 것이다.

[0032] 그리고, 상기 비어홀을 형성하는 단계(S205)이전에 도 5에 도시한 바와 같이, 상기 반도체 칩(120)상에 접촉제(152)를 매개로 하층에 배치된 반도체 칩과 서로 다른 기능을 갖는 상부 반도체 칩(520)을 다이본딩하고, 상층에 배치된 상부 반도체 칩(520)의 다이패드(522)가 외부로 노출되면서 상기 상부 반도체 칩(520)을 감싸도록 상부 보호부(530)를 형성하고, 상기 다이패드(522)와 전기적으로 연결되는 상부 재배선회로(532,534)를 형성하며, 상기 기관(110)의 연결패드(114)가 외부노출되도록 상기 재배선회로(132,134) 및 상부 재배선회로(532,534)와 대응하는 보호부(130)와 상부 보호부(530)에 상기 기관의 연결패드(114)가 외부노출되도록 일정깊이의 비어홀(536)을 형성하고, 상기 비어홀(536)에 도전성 페이스트를 충전하여 도전성 비어홀(138)을 형성한 다음, 상기 상부 반도체 칩(520)과 상부 재배선회로(532,534)를 덮도록 보호층(140)을 형성함으로써 서로 다른 기능을 갖는 복수개의 반도체 칩을 상하적층한 다른 형태의 스택형 반도체 패키지(500)를 제조할 수 있는 것이다.

[0033] 본 발명은 특정한 실시 예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를 벗어나지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있음을 밝혀두고자 한다.

**도면의 간단한 설명**

[0034] 도 1은 본 발명의 실시 예에 따른 반도체 패키지 제조방법에 의해서 제조되는 반도체 패키지를 도시한 종단면도이다.

[0035] 도 2는 본 발명의 실시 예에 따른 반도체 패키지 제조방법을 도시한 공정 순서도이다.

[0036] 도 3(a) 내지 도 3(g)는 본 발명의 실시 예에 따른 반도체 패키지 제조방법을 도시한 공정 흐름도이다.

[0037] 도 4는 본 발명의 다른 실시 예에 따른 반도체 패키지 제조방법에 의해서 제조되는 반도체 패키지를 도시한 종단면도이다.

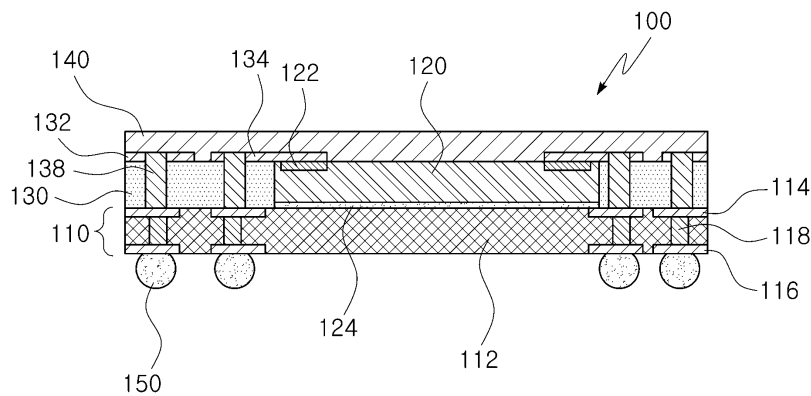
[0038] 도 5는 본 발명의 또 다른 실시 예에 따른 반도체 패키지 제조방법에 의해서 제조되는 반도체 패키지를 도시한 종단면도이다.

[0039] \* 도면의 주요부분에 대한 부호의 설명 \*

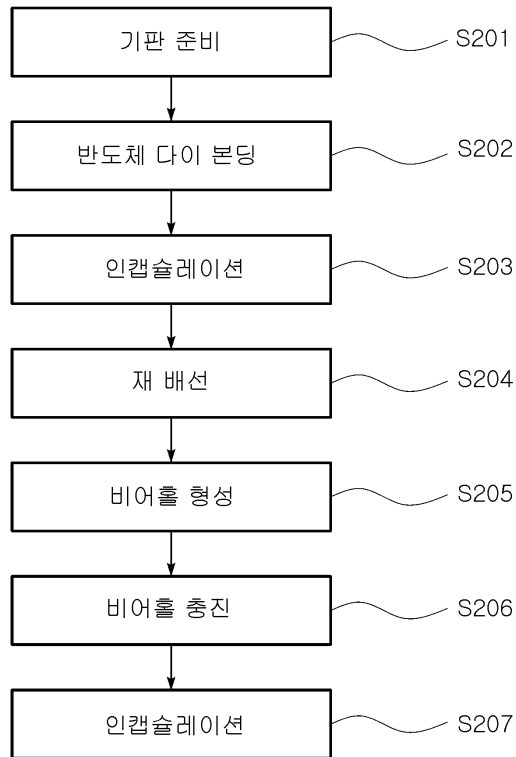
- |        |                  |             |
|--------|------------------|-------------|
| [0040] | 110 : 반도체 패키지    | 114 : 연결패드  |
| [0041] | 116 : 외부단자       | 120 : 반도체 칩 |
| [0042] | 122 : 다이패드       | 130 : 보호부   |
| [0043] | 132,134 : 재배선 회로 | 136 : 비어홀   |
| [0044] | 138 : 도전성 비어홀    | 140 : 보호층   |
|        | 150              | 112         |

**도면**

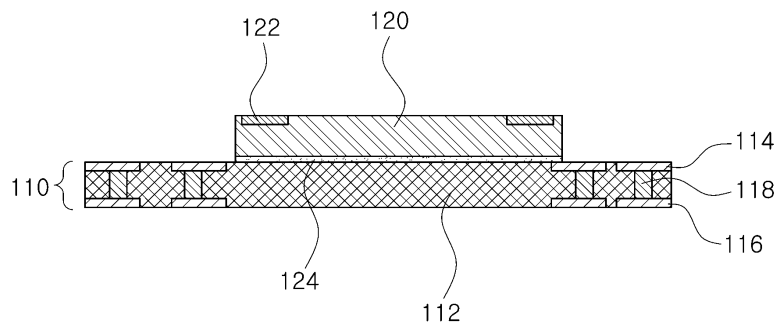
**도면1**



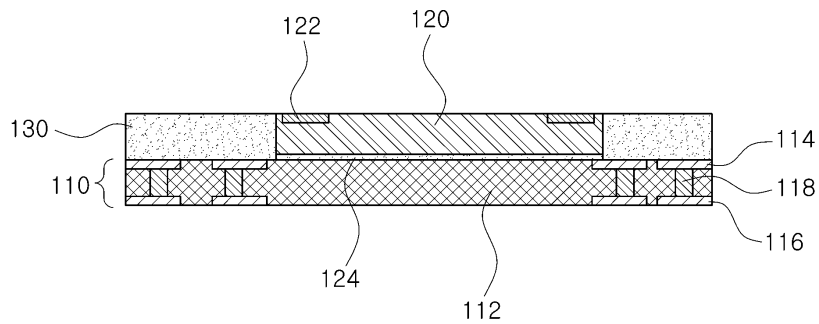
도면2



도면3a

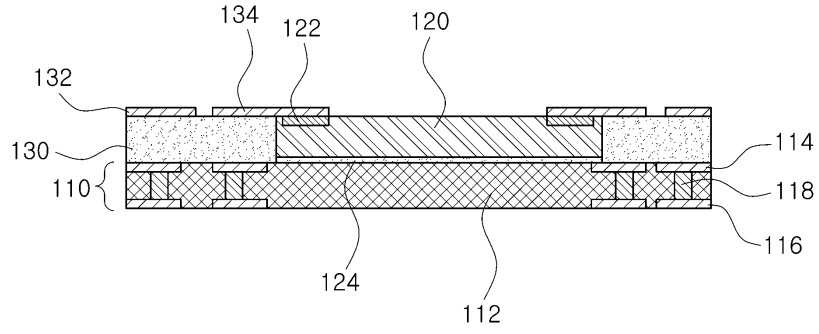


도면3b

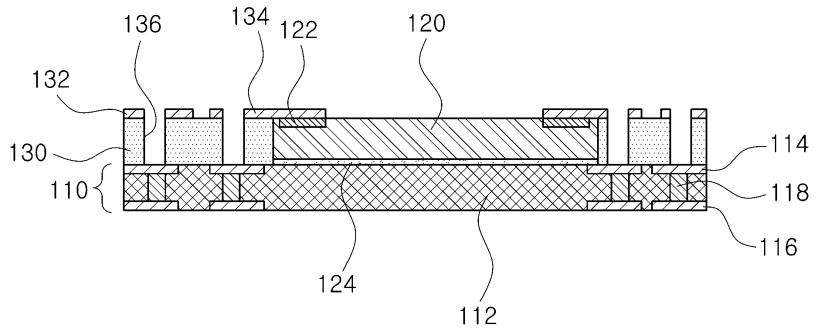




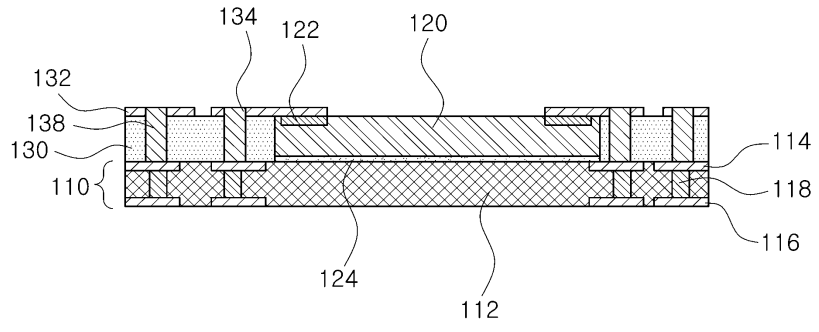
도면3c



도면3d

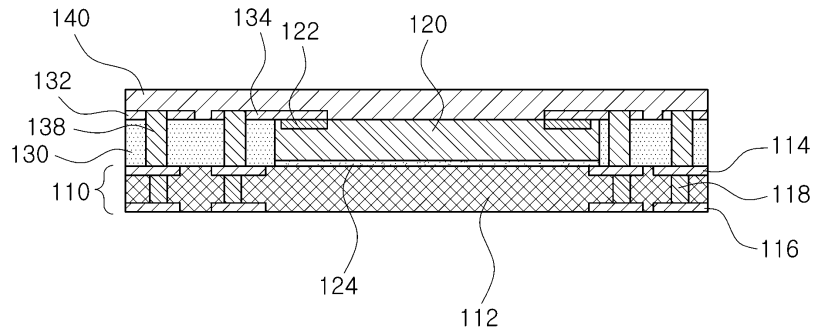


도면3e

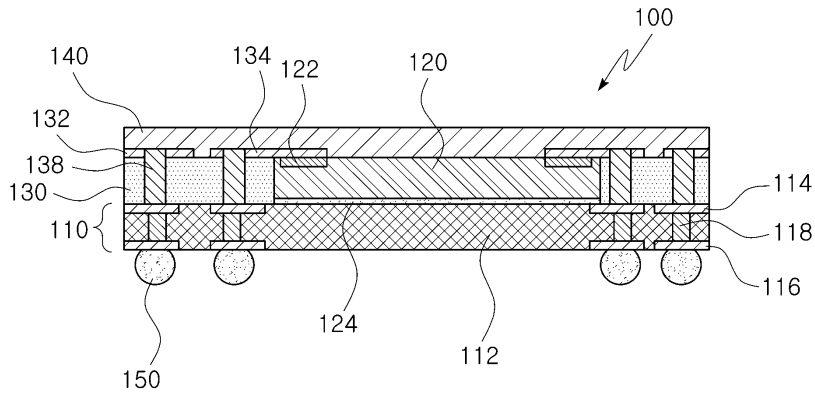




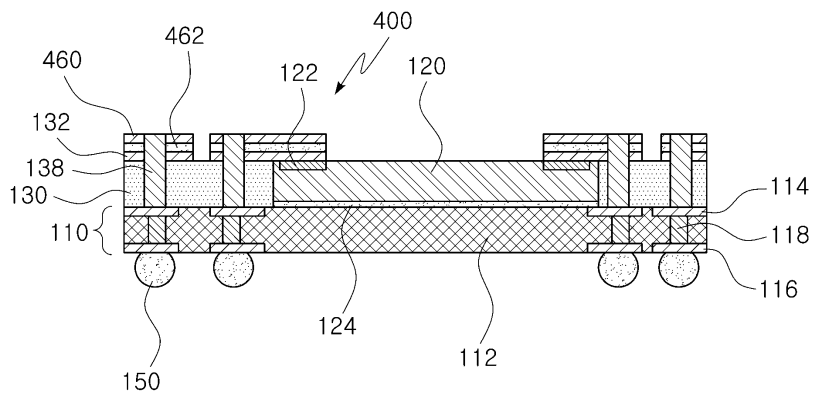
도면3f



도면3g



도면4



도면5

