



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2021년08월20일  
(11) 등록번호 10-2291639  
(24) 등록일자 2021년08월12일

(51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2021.01) G11C 16/32 (2006.01)  
G11C 7/22 (2015.01)  
(52) CPC특허분류  
G11C 7/1063 (2013.01)  
G11C 16/32 (2013.01)  
(21) 출원번호 10-2015-0099188  
(22) 출원일자 2015년07월13일  
심사청구일자 2020년04월21일  
(65) 공개번호 10-2017-0008009  
(43) 공개일자 2017년01월23일  
(56) 선행기술조사문헌  
KR1020100005201 A\*  
(뒷면에 계속)

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
정재형  
서울특별시 송파구 올림픽로 435, 104동 1103호  
(신천동, 파크리오)  
김광현  
경기도 용인시 기흥구 동백평촌로 39, 1206동 801호 (동백동, 호수마을동보노빌리티아파트)  
(74) 대리인  
오중한, 문용호

전체 청구항 수 : 총 3 항

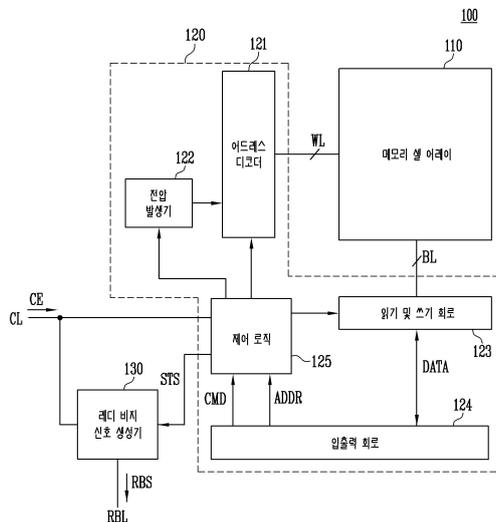
심사관 : 박소정

(54) 발명의 명칭 레디 비지 신호를 출력하는 반도체 메모리 장치 및 그것을 포함하는 메모리 시스템

(57) 요약

본 발명의 실시 예에 따른 반도체 메모리 장치는 메모리 셀들을 제어하도록 구성되며 칩 선택 신호가 인에이블될 때 외부 장치와의 통신이 가능한 제 1 모드로 동작하고 칩 선택 신호가 디스에이블될 때 외부 장치와 통신하지 않는 제 2 모드로 동작하는 주변 회로, 그리고 칩 선택 신호가 인에이블될 때 주변 회로가 레디 상태를 갖는지 비지 상태를 갖는지 여부에 따라 레디 비지 라인을 바이어스하도록 구성되는 레디 비지 신호 생성기를 포함한다.

대표도 - 도3



(52) CPC특허분류

*G11C 7/1051* (2013.01)

*G11C 7/22* (2018.05)

(56) 선행기술조사문헌

KR1020150057397 A\*

KR1020150072469 A\*

KR1020030011251 A

KR1020070003515 A

KR1020080095684 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

반도체 메모리 장치에 있어서:

메모리 셀들;

상기 메모리 셀들을 제어하도록 구성되며, 칩 선택 신호가 인에이블될 때 외부 장치와의 통신이 가능한 제 1 모드로 동작하고, 상기 칩 선택 신호가 디스에이블될 때 상기 외부 장치와 통신하지 않는 제 2 모드로 동작하는 주변 회로; 및

상기 칩 선택 신호가 인에이블되는 동안에 상기 주변 회로가 레디 상태를 갖는지 비지 상태를 갖는지 여부를 나타내는 상태 신호를 출력하고, 상기 상태 신호에 따라 레디 비지 라인을 통해 상기 외부 장치로 레디 비지 신호를 출력하는 레디 비지 신호 생성기를 포함하는 반도체 메모리 장치.

#### 청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 레디 비지 신호 생성기는 상기 칩 선택 신호가 디스에이블될 때 상기 주변 회로가 상기 레디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 관계없이 상기 레디 비지 라인을 디스에이블하는 반도체 메모리 장치.

#### 청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 레디 비지 신호 생성기는 상기 칩 선택 신호가 인에이블될 때,

상기 주변 회로가 상기 레디 상태에 해당하면 상기 레디 비지 라인을 디스에이블하고, 상기 주변 회로가 상기 비지 상태에 해당하면 상기 레디 비지 라인을 인에이블하는 반도체 메모리 장치.

#### 청구항 4

◆청구항 4은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 레디 비지 라인에 바이어스된 전압은 상기 외부 장치에 상기 레디 비지 신호로서 제공되는 반도체 메모리 장치.

#### 청구항 5

◆청구항 5은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 반도체 메모리 장치는 다른 반도체 메모리 장치와 상기 레디 비지 라인을 공유하는 반도체 메모리 장치.

#### 청구항 6

◆청구항 6은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 레디 비지 신호 생성기는,

상기 상태 신호를 제 1 단자를 통해 출력하고, 고정 전압을 제 2 단자를 통해 출력하도록 구성되는 레디 비지 신호 생성부를 포함하는 반도체 메모리 장치.

**청구항 7**

◆청구항 7은(는) 설정등록료 납부시 포기되었습니다.◆

제 6 항에 있어서,

상기 레디 비지 신호 생성기는,

상기 칩 선택 신호가 인에이블될 때, 상기 제 1 단자의 상기 상태 신호의 논리값에 따라 상기 제 2 단자의 상기 고정 전압을 상기 레디 비지 라인으로 출력하는 반도체 메모리 장치.

**청구항 8**

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 6 항에 있어서,

상기 레디 비지 신호 생성기는,

상기 칩 선택 신호가 인에이블될 때 상기 제 1 단자의 상기 상태 신호를 제 3 단자에 출력하고, 상기 칩 선택 신호가 디스에이블될 때 상기 제 1 단자의 상기 상태 신호를 차단하도록 구성되는 칩 선택 신호 감지부; 및

상기 제 3 단자의 상기 출력에 응답하여 상기 제 2 단자의 상기 고정 전압을 상기 레디 비지 라인에 출력하는 3 상태 버퍼(Three-state buffer)를 더 포함하는 반도체 메모리 장치.

**청구항 9**

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 8 항에 있어서,

상기 3 상태 버퍼는 상기 제 3 단자의 출력이 논리값 하이(high)일 때 상기 고정 전압을 제 4 단자에 전달하고, 상기 제 3 단자의 출력이 논리값 로우(low)일 때 상기 제 4 단자를 플로트(float)하는 반도체 메모리 장치.

**청구항 10**

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 주변 회로는,

읽기 인에이블 신호 및 쓰기 인에이블 신호를 수신하되,

상기 칩 선택 신호가 인에이블되고 상기 읽기 인에이블 신호가 인에이블될 때 상기 외부 장치에 데이터를 출력하고,

상기 칩 선택 신호가 인에이블되고 상기 쓰기 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 데이터를 수신하고,

상기 칩 선택 신호가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 외부 장치와 데이터를 통신하지 않는 반도체 메모리 장치.

**청구항 11**

◆청구항 11은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 주변 회로는,

어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호를 수신하되,

상기 칩 선택 신호가 인에이블되고 상기 어드레스 래치 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 어드레스를 수신하고,

상기 칩 선택 신호가 인에이블되고 상기 커맨드 래치 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 커맨드를 수신하는 반도체 메모리 장치.

**청구항 12**

◆청구항 12은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

상기 래디 비지 신호 생성기는 상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를 제어 비트들로서 수신하되,

상기 칩 선택 신호가 인에이블되고 상기 제어 비트들이 정해진 값일 때 상기 주변 회로가 상기 래디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 따라 상기 래디 비지 라인을 바이어스하는 반도체 메모리 장치.

**청구항 13**

◆청구항 13은(는) 설정등록료 납부시 포기되었습니다.◆

제 11 항에 있어서,

상기 래디 비지 신호 생성기는 상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를 제어 비트들로서 수신하고, 상기 제어 비트들의 값에 따라 상태 요청 신호를 생성하도록 구성되는 상태 요청 신호 생성부를 포함하며,

상기 래디 비지 신호 생성기는 상기 칩 선택 신호가 인에이블되고 상기 상태 요청 신호가 인에이블될 때, 상기 주변 회로가 상기 래디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 따라 상기 래디 비지 라인을 바이어스하는 반도체 메모리 장치.

**청구항 14**

채널에 연결된 복수의 반도체 메모리 장치들; 및

상기 채널에 연결되며, 칩 선택 신호들에 기반하여 상기 복수의 반도체 메모리 장치들 중 하나를 선택하고, 상기 선택된 반도체 메모리 장치와 상기 채널을 통해 통신하도록 구성되는 컨트롤러를 포함하되,

상기 컨트롤러는 공통의 래디 비지 라인을 통해 상기 복수의 반도체 메모리 장치에 연결되며,

상기 컨트롤러는 상기 칩 선택 신호들 중 어느 하나가 인에이블될 때 상기 래디 비지 라인을 통해 전송되는 래디 비지 신호를 감지하고, 상기 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치가 래디 상태를 갖는지 여부를 상기 래디 비지 신호에 따라 판별하고,

상기 복수의 반도체 메모리 장치들 각각은,

상기 칩 선택 신호들 중 상기 컨트롤러로부터 수신한 칩 선택 신호가 인에이블되는 동안에 상기 래디 상태를 갖는지 비지 상태를 갖는지 여부를 나타내는 상태 신호를 출력하고, 상기 상태 신호에 따라 상기 컨트롤러로 상기 래디 비지 신호를 출력하는 메모리 시스템.

**청구항 15**

◆청구항 15은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

상기 컨트롤러는

상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치가 상기 래디 상태를 갖는 것으로 판별될 때, 해당 반도체 메모리 장치에 상기 채널을 통해 프로그램 동작, 읽기 동작 및 소거 동작 중 어느 하나를 커맨드하는 메모리 시스템.

**청구항 16**

◆청구항 16은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

상기 컨트롤러는,

상기 복수의 반도체 메모리 장치들에 쓰기 인에이블 신호 및 읽기 인에이블 신호를 전송하되,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 쓰기 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 데이터를 출력하고,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로부터 상기 채널을 통해 데이터를 수신하고,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치와 상기 채널을 통해 통신하지 않는 메모리 시스템.

**청구항 17**

◆청구항 17은(는) 설정등록료 납부시 포기되었습니다.◆

제 16 항에 있어서,

상기 컨트롤러는,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 레디 비지 라인을 통해 전송되는 상기 레디 비지 신호를 감지하는 메모리 시스템.

**청구항 18**

◆청구항 18은(는) 설정등록료 납부시 포기되었습니다.◆

제 14 항에 있어서,

상기 컨트롤러는,

상기 복수의 반도체 메모리 장치들에 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호를 전송하되,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 어드레스 래치 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 어드레스를 출력하고,

상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 커맨드 래치 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 커맨드를 출력하는 메모리 시스템.

**청구항 19**

◆청구항 19은(는) 설정등록료 납부시 포기되었습니다.◆

제 18 항에 있어서,

상기 복수의 반도체 메모리 장치들은 메모리 그룹들로 구분되고, 상기 칩 선택 신호들은 각각 상기 메모리 그룹들에 전송되며,

상기 컨트롤러는,

상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를, 상기 인에이블된 칩 선택 신호를 수신하는 메모리 그룹의 반도체 메모리 장치들 중 어느 하나를 특정하기 위한 제어 비트들로서 전송하되,

상기 특정된 반도체 메모리 장치가 상기 레디 상태를 갖는지 여부를 상기 레디 비지 신호에 따라 판별하는 메모리 시스템.

**청구항 20**

메모리 시스템에 있어서:

레디 비지 라인을 공유하는 복수의 반도체 메모리 장치들을 포함하되,

상기 복수의 반도체 메모리 장치들 각각은,

메모리 셀들을 제어하도록 구성되며, 해당 칩 선택 신호가 인에이블될 때 외부 장치와의 통신이 가능한 제 1 모드로 동작하고, 상기 칩 선택 신호가 디스에이블될 때 상기 외부 장치와 통신하지 않는 제 2 모드로 동작하는 주변 회로; 및

상기 칩 선택 신호가 인에이블되는 동안에 상기 주변 회로가 레디 상태를 갖는지 비지 상태를 갖는지 여부를 나타내는 상태 신호를 출력하고, 상기 상태 신호에 따라 상기 외부 장치로 레디 비지 신호를 출력하는 레디 비지 신호 생성기를 포함하는 메모리 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 전자 장치에 관한 것으로, 좀 더 구체적으로는 레디 비지 신호를 출력하는 반도체 메모리 장치 및 그것을 포함하는 메모리 시스템에 관한 것이다.

**배경 기술**

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리는 크게 노어 타입과 낸드 타입으로 구분된다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 실시 예는 향상된 동작 속도를 갖는 메모리 시스템을 제공하기 위한 것이다.

**과제의 해결 수단**

[0005] 본 발명의 실시 예에 따른 반도체 메모리 장치는 메모리 셀들; 상기 메모리 셀들을 제어하도록 구성되며, 칩 선택 신호가 인에이블될 때 외부 장치와의 통신이 가능한 제 1 모드로 동작하고, 상기 칩 선택 신호가 디스에이블될 때 상기 외부 장치와 통신하지 않는 제 2 모드로 동작하는 주변 회로; 및 상기 칩 선택 신호가 인에이블될 때, 상기 주변 회로가 레디(ready) 상태를 갖는지 비지(busy) 상태를 갖는지 여부에 따라 레디 비지 라인을 바이어스하도록 구성되는 레디 비지 신호 생성기를 포함한다.

[0006] 실시 예로서, 상기 레디 비지 신호 생성기는 상기 칩 선택 신호가 디스에이블될 때 상기 주변 회로가 상기 레디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 관계없이 상기 레디 비지 라인을 디스에이블할 수 있다.

[0007] 실시 예로서, 상기 레디 비지 신호 생성기는 상기 칩 선택 신호가 인에이블될 때, 상기 주변 회로가 상기 레디 상태에 해당하면 상기 레디 비지 라인을 디스에이블하고, 상기 주변 회로가 상기 비지 상태에 해당하면 상기 레디 비지 라인을 인에이블할 수 있다.

- [0008] 실시 예로서, 상기 래디 비지 라인에 바이어스된 전압은 상기 외부 장치에 래디 비지 신호로서 제공될 수 있다.
- [0009] 실시 예로서, 상기 반도체 메모리 장치는 다른 반도체 메모리 장치와 상기 래디 비지 라인을 공유할 수 있다.
- [0010] 실시 예로서, 상기 래디 비지 신호 생성기는, 상기 주변 회로가 상기 래디 상태를 갖는지 상기 비지 상태를 갖는지 여부를 나타내는 상태 신호를 제 1 단자를 통해 출력하고, 고정 전압을 제 2 단자를 통해 출력하도록 구성되는 래디 비지 신호 생성부를 포함할 수 있다.
- [0011] 실시 예로서, 상기 래디 비지 신호 생성기는, 상기 칩 선택 신호가 인에이블될 때, 상기 제 1 단자의 상기 상태 신호의 논리값에 따라 상기 제 2 단자의 상기 고정 전압을 상기 래디 비지 라인으로 출력할 수 있다.
- [0012] 실시 예로서, 상기 래디 비지 신호 생성기는, 상기 칩 선택 신호가 인에이블될 때 상기 제 1 단자의 상기 상태 신호를 제 3 단자에 출력하고, 상기 칩 선택 신호가 디스에이블될 때 상기 제 1 단자의 상기 상태 신호를 차단하도록 구성되는 칩 선택 신호 감지부; 및 상기 제 3 단자의 상기 출력에 응답하여 상기 제 2 단자의 상기 고정 전압을 상기 래디 비지 라인에 출력하는 3 상태 버퍼(Three-state buffer)를 더 포함할 수 있다.
- [0013] 실시 예로서, 상기 3 상태 버퍼는 상기 제 3 단자의 출력이 논리값 하이(high)일 때 상기 고정 전압을 제 4 단자에 전달하고, 상기 제 3 단자의 출력이 논리값 로우(low)일 때 상기 제 4 단자를 플로트(float)할 수 있다.
- [0014] 실시 예로서, 상기 주변 회로는, 읽기 인에이블 신호 및 쓰기 인에이블 신호를 수신하되, 상기 칩 선택 신호가 인에이블되고 상기 읽기 인에이블 신호가 인에이블될 때 상기 외부 장치에 데이터를 출력하고, 상기 칩 선택 신호가 인에이블되고 상기 쓰기 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 데이터를 수신하고, 상기 칩 선택 신호가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 외부 장치와 데이터를 통신하지 않을 수 있다.
- [0015] 실시 예로서, 상기 주변 회로는, 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호를 수신하되, 상기 칩 선택 신호가 인에이블되고 상기 어드레스 래치 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 어드레스를 수신하고, 상기 칩 선택 신호가 인에이블되고 상기 커맨드 래치 인에이블 신호가 인에이블될 때 상기 외부 장치로부터 커맨드를 수신할 수 있다.
- [0016] 실시 예로서, 상기 래디 비지 신호 생성기는 상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를 제어 비트들로서 수신하되, 상기 칩 선택 신호가 인에이블되고 상기 제어 비트들이 정해진 값일 때 상기 주변 회로가 상기 래디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 따라 상기 래디 비지 라인을 바이어스할 수 있다.
- [0017] 실시 예로서, 상기 래디 비지 신호 생성기는 상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를 제어 비트들로서 수신하고, 상기 제어 비트들의 값에 따라 상태 요청 신호를 생성하도록 구성되는 상태 요청 신호 생성부를 포함하며, 상기 래디 비지 신호 생성기는 상기 칩 선택 신호가 인에이블되고 상기 상태 요청 신호가 인에이블될 때, 상기 주변 회로가 상기 래디 상태를 갖는지 상기 비지 상태를 갖는지 여부에 따라 상기 래디 비지 라인을 바이어스할 수 있다.
- [0018] 본 발명의 다른 일면은 반도체 메모리 장치들을 포함하는 메모리 시스템에 관한 것이다. 본 발명의 실시 예에 따른 메모리 시스템은 채널에 연결된 복수의 반도체 메모리 장치들; 및 상기 채널에 연결되며, 칩 선택 신호들에 기반하여 상기 복수의 반도체 메모리 장치들 중 하나를 선택하고, 상기 선택된 반도체 메모리 장치와 상기 채널을 통해 통신하도록 구성되는 컨트롤러를 포함한다. 상기 컨트롤러는 공통의 래디 비지 라인을 통해 상기 복수의 반도체 메모리 장치에 연결되며, 상기 컨트롤러는 상기 칩 선택 신호들 중 어느 하나가 인에이블될 때 상기 래디 비지 라인을 통해 전송되는 래디 비지 신호를 감지하고, 상기 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치가 래디 상태를 갖는지 여부를 상기 래디 비지 신호에 따라 판별한다.
- [0019] 실시 예로서, 상기 컨트롤러는 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치가 상기 래디 상태를 갖는 것으로 판별될 때, 해당 반도체 메모리 장치에 상기 채널을 통해 프로그램 동작, 읽기 동작 및 소거 동작 중 어느 하나를 커맨드할 수 있다.
- [0020] 실시 예로서, 상기 컨트롤러는, 상기 복수의 반도체 메모리 장치들에 쓰기 인에이블 신호 및 읽기 인에이블 신호를 전송하되, 상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 쓰기 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 데이터를 출력하고, 상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로부터 상기 채널을 통해 데이터를 수신하고, 상기 칩 선택 신호

들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치와 상기 채널을 통해 통신하지 않을 수 있다.

[0021] 실시 예로서, 상기 컨트롤러는, 상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 읽기 인에이블 신호 및 상기 쓰기 인에이블 신호가 디스에이블될 때 상기 레디 비지 라인을 통해 전송되는 상기 레디 비지 신호를 감지할 수 있다.

[0022] 실시 예로서, 상기 컨트롤러는, 상기 복수의 반도체 메모리 장치들에 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호를 전송하되, 상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 어드레스 래치 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 어드레스를 출력하고, 상기 칩 선택 신호들 중 어느 하나가 인에이블되고 상기 커맨드 래치 인에이블 신호가 인에이블될 때 상기 인에이블된 칩 선택 신호에 대응하는 상기 반도체 메모리 장치로 상기 채널을 통해 커맨드를 출력할 수 있다.

[0023] 실시 예로서, 상기 복수의 반도체 메모리 장치들은 메모리 그룹들로 구분되고, 상기 칩 선택 신호들은 각각 상기 메모리 그룹들에 전송되며, 상기 컨트롤러는, 상기 어드레스 래치 인에이블 신호 및 상기 커맨드 래치 인에이블 신호를, 상기 인에이블된 칩 선택 신호를 수신하는 메모리 그룹의 반도체 메모리 장치들 중 어느 하나를 특정하기 위한 제어 비트들로서 전송하되, 상기 특정된 반도체 메모리 장치가 상기 레디 상태를 갖는지 여부를 상기 레디 비지 신호에 따라 판별할 수 있다.

[0024] 본 발명의 다른 실시 예에 따른 메모리 시스템은, 레디 비지 라인을 공유하는 복수의 반도체 메모리 장치들을 포함하되, 상기 복수의 반도체 메모리 장치들 각각은, 메모리 셀들을 제어하도록 구성되며, 해당 칩 선택 신호가 인에이블될 때 외부 장치와의 통신이 가능한 제 1 모드로 동작하고, 상기 칩 선택 신호가 디스에이블될 때 상기 외부 장치와 통신하지 않는 제 2 모드로 동작하는 주변 회로; 및 상기 칩 선택 신호가 인에이블될 때, 상기 주변 회로가 레디 상태를 갖는지 비지 상태를 갖는지 여부에 따라 상기 레디 비지 라인을 바이어스하도록 구성되는 레디 비지 신호 생성기를 포함할 수 있다.

**발명의 효과**

[0025] 본 발명의 실시 예에 따르면, 향상된 동작 속도를 갖는 메모리 시스템이 제공된다.

**도면의 간단한 설명**

- [0026] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
- 도 2는 반도체 메모리 장치들 중 어느 하나를 보여주는 블록도이다.
- 도 3은 반도체 메모리 장치들 각각의 일 실시 예를 보여주는 블록도이다.
- 도 4는 도 3의 반도체 메모리 장치의 동작 방법을 보여주는 순서도이다.
- 도 5는 도 3의 레디 비지 신호 생성기의 일 실시 예를 보여주는 블록도이다.
- 도 6은 칩 선택 신호에 따른 레디 비지 신호 생성기의 출력을 보여주는 테이블이다.
- 도 7은 도 1의 컨트롤러의 동작 방법을 보여주는 순서도이다.
- 도 8은 본 발명의 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.
- 도 9는 도 8의 메모리 시스템의 변형 실시 예를 보여주는 블록도이다.
- 도 10은 도 8의 반도체 메모리 장치들 각각의 일 실시 예를 보여주는 블록도이다.
- 도 11은 도 10의 반도체 메모리 장치의 동작 방법을 보여주는 순서도이다.
- 도 12는 도 10의 레디 비지 신호 생성기의 일 실시 예를 보여주는 블록도이다.
- 도 13은 칩 선택 신호, 어드레스 래치 인에이블 신호, 및 커맨드 래치 인에이블 신호에 따른 레디 비지 신호 생성기의 출력을 보여주는 테이블이다.
- 도 14는 도 8의 컨트롤러의 동작 방법을 보여주는 순서도이다.
- 도 15는 본 발명의 또 다른 실시 예에 따른 메모리 시스템을 보여주는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0027] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 모호하지 않도록 하기 위해 생략될 것이라는 것을 유의하여야 한다. 또한 본 발명은 여기에서 설명되는 실시 예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 여기에서 설명되는 실시 예는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0028] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0029] 도 1은 본 발명의 실시 예에 따른 메모리 시스템(1000)을 보여주는 블록도이다.
- [0030] 도 1을 참조하면, 메모리 시스템(1000)은 복수의 반도체 메모리 장치들(SMD1~SMD4) 및 컨트롤러(1200)를 포함한다.
- [0031] 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 하나의 공통 채널(CH)을 통해 컨트롤러(1200)와 통신한다. 도 1에서, 4개의 반도체 메모리 장치들(SMD1~SMD4)이 제공되는 것으로 도시되나, 이는 예시적인 것으로서 채널(CH)에 연결된 반도체 메모리 장치들의 수는 다양하게 변경될 수 있음이 이해될 것이다.
- [0032] 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 각각 제 1 내지 제 4 칩 선택 신호들(CE1~CE4)을 수신한다. 제 1 내지 제 4 칩 선택 신호들(CE1~CE4)은 컨트롤러(1200)에 의해 제공된다. 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 각각 제 1 내지 제 4 칩 선택 신호들(CE1~CE4)에 의해 선택된다. 각 반도체 메모리 장치는 해당 칩 선택 신호가 인에이블될 때 컨트롤러(1200)와의 통신이 가능한 제 1 모드로서 동작하고, 해당 칩 선택 신호가 디스에이블될 때 컨트롤러(1200)와 통신하지 않는 제 2 모드로서 동작한다. 예를 들면, 컨트롤러(1200)가 제 1 내지 제 4 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블하면, 인에이블된 칩 선택 신호에 해당하는 반도체 메모리 장치는 커맨드, 어드레스, 및 저장 데이터 중 적어도 하나를 채널(CH)을 통해 컨트롤러(1200)와 통신할 수 있다. 디스에이블된 칩 선택 신호에 해당하는 반도체 메모리 장치는 채널(CH)을 통해 컨트롤러(1200)와 통신하지 않는다. 이는, 인에이블된 칩 선택 신호에 해당하는 반도체 메모리 장치는 채널(CH)을 점유할 수 있고, 나머지 반도체 메모리 장치들은 채널(CH)을 점유하지 못함을 의미한다. 이러한 방식에 따라, 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 하나의 공통 채널(CH)을 통해 컨트롤러(1200)와 통신할 수 있다.
- [0033] 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 공통의 레디 비지 라인(RBL)에 연결된다. 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4) 각각은, 그것이 레디(ready) 상태에 해당하는지 비지(busy) 상태에 해당하는지 여부를 나타내는 레디 비지 신호를 생성하고, 생성된 레디 비지 신호를 레디 비지 라인(RBL)을 통해 출력한다.
- [0034] 반도체 메모리 장치가 레디 상태에 해당하는 것은 해당 반도체 메모리 장치가 내부 동작을 완료하고, 대기하고 있음을 의미할 수 있다. 예를 들면, 반도체 메모리 장치가 레디 상태에 해당하는 것은 해당 반도체 메모리 장치가 컨트롤러(1200)에 의해 커맨드된 프로그램 동작, 읽기 동작, 또는 소거 동작을 완료하였음을 의미할 수 있다.
- [0035] 반도체 메모리 장치가 비지 상태에 해당하는 것은 해당 반도체 메모리 장치가 내부 동작을 수행하고 있음을 의미할 수 있다. 예를 들면, 반도체 메모리 장치가 비지 상태에 해당하는 것은 해당 반도체 메모리 장치가 컨트롤러(1200)에 의해 커맨드된 프로그램 동작, 읽기 동작 또는 소거 동작을 아직 수행하고 있음을 의미한다.
- [0036] 반도체 메모리 장치마다 레디 비지 라인이 제공될 때, 레디 비지 라인들의 수는 증가하며 컨트롤러(1200)의 해당 입출력 핀들의 수는 증가하며 결과적으로 메모리 시스템(1000)의 면적은 증가할 것이다. 도 1의 실시 예에 따르면, 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 하나의 레디 비지 라인(RBL)을 공유하여 메모리 시스템(1000)의 면적을 감소시킨다.
- [0037] 컨트롤러(1200)는 채널(CH)을 통해 반도체 메모리 장치들(SMD1~SMD4)의 제반 동작을 제어하도록 구성된다. 컨트롤러(1200)는 채널(CH)을 통해 반도체 메모리 장치들(SMD1~SMD4)의 제반 동작을 제어하도록 구성된다. 컨트롤러(1200)는 채널(CH)을 통해 반도체 메모리 장치들(SMD1~SMD4)의 제반 동작을 제어하도록 구성된다. 컨트롤러(1200)는 채널(CH)을 통해 반도체 메모리 장치들(SMD1~SMD4)의 제반 동작을 제어하도록 구성된다.

롤러(1200)는 반도체 메모리 장치들(SMD1~SMD4) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 실시 예로서, 컨트롤러(1200)는 반도체 메모리 장치들(SMD1~SMD4)을 제어하기 위한 펌웨어(firmware)를 포함한다.

- [0038] 컨트롤러(1200)는 호스트(Host)로부터의 요청에 따라, 또는 컨트롤러(1200)에서 내부적으로 발생하는 요청에 따라, 채널(CH)을 통해 반도체 메모리 장치들(SMD1~SMD4)을 커맨드한다. 컨트롤러(1200)는 프로그램 동작, 읽기 동작 또는 소거 동작 등을 수행하도록 반도체 메모리 장치들(SMD1~SMD4)을 커맨드할 것이다.
- [0039] 컨트롤러(1200)는 제 1 내지 제 4 칩 선택 신호들(CE1~CE4)을 각각 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)에 전송한다.
- [0040] 프로그램 동작 시, 컨트롤러(1200)는 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블하여 반도체 메모리 장치들(SMD1~SMD4) 중 하나의 반도체 메모리 장치를 선택한다. 그리고, 컨트롤러(1200)는 프로그램 커맨드, 어드레스 및 저장 데이터를 채널(CH)을 통해 선택된 반도체 메모리 장치에 제공할 것이다. 선택된 반도체 메모리 장치는 어드레스가 가리키는 저장 영역에 저장 데이터를 프로그램할 것이다.
- [0041] 읽기 동작 시 컨트롤러(1200)는 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블하여 반도체 메모리 장치들(SMD1~SMD4) 중 하나의 반도체 메모리 장치를 선택한다. 그리고, 컨트롤러(1200)는 읽기 커맨드 및 어드레스를 선택된 반도체 메모리 장치에 제공할 것이다. 선택된 반도체 메모리 장치는 어드레스가 가리키는 저장 영역로부터 저장 데이터를 읽고, 저장 데이터를 채널(CH)을 통해 컨트롤러(1200)로 출력할 것이다.
- [0042] 소거 동작 시, 컨트롤러(1200)는 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블하여 반도체 메모리 장치들(SMD1~SMD4) 중 하나의 반도체 메모리 장치를 선택한다. 그리고, 컨트롤러(1200)는 소거 커맨드 및 어드레스를 선택된 반도체 메모리 장치에 제공할 것이다. 선택된 반도체 메모리 장치는 어드레스가 가리키는 저장 영역에 대해 소거를 수행할 것이다.
- [0043] 컨트롤러(1200)는 레디 비지 라인(RBL)을 통해 반도체 메모리 장치들(SMD1~SMD4)에 연결되어 있다. 컨트롤러(1200)는 레디 비지 라인(RBL)을 통해 수신되는 레디 비지 신호를 참조하여 레디 상태에 해당하는 반도체 메모리 장치가 어떤 것인지 여부를 인지할 것이다. 이후, 컨트롤러(1200)는 레디 상태에 해당하는 반도체 메모리 장치를 선택하고 선택된 반도체 메모리 장치를 커맨드할 수 있다. 예를 들면, 컨트롤러(1200)는 레디 상태에 해당하는 반도체 메모리 장치에 프로그램 동작, 읽기 동작 또는 소거 동작을 커맨드할 것이다.
- [0044] 도 2는 반도체 메모리 장치들(SMD1~SMD4) 중 어느 하나(SMD1)를 보여주는 블록도이다.
- [0045] 도 2를 참조하면, 반도체 메모리 장치(SMD1)는 입출력 라인들(IO1~IO8), 칩 선택 라인(CL), 레디 비지 라인(RBL), 쓰기 인에이블 라인(WEL), 읽기 인에이블 라인(REL), 어드레스 래치 인에이블 라인(ALEL), 및 커맨드 래치 인에이블 라인(CLEL)을 포함한다.
- [0046] 도 1을 참조하여 도 2를 설명하면, 입출력 라인들(IO1~IO8)은 채널(CH)에 연결된다. 반도체 메모리 장치(SMD1)는 입출력 라인들(IO1~IO8) 및 채널(CH)을 통해 컨트롤러(1200)와 통신한다.
- [0047] 반도체 메모리 장치(SMD1)는 칩 선택 라인(CL)을 통해 해당 칩 선택 신호(CE1)를 수신한다. 반도체 메모리 장치(SMD1)는 레디 비지 라인(RBL)을 통해 레디 비지 신호를 출력한다.
- [0048] 도 1에는 인식의 편의를 위해 도시되지 않으나, 반도체 메모리 장치(SMD1)는 쓰기 인에이블 라인(WEL), 읽기 인에이블 라인(REL), 어드레스 래치 인에이블 라인(ALEL), 및 커맨드 래치 인에이블 라인(CLEL)을 통해 컨트롤러(1200)와 연결되어 있다. 실시 예로서, 하나의 채널(CH)의 반도체 메모리 장치들(SMD1~SMD4)은 쓰기 인에이블 라인(WEL), 읽기 인에이블 라인(REL), 어드레스 래치 인에이블 라인(ALEL), 및 커맨드 래치 인에이블 라인(CLEL) 각각을 공유할 수 있다.
- [0049] 컨트롤러(1200)로부터 쓰기 인에이블 라인(WEL)을 통해 쓰기 인에이블 신호가 전송될 수 있다. 컨트롤러(1200)로부터 읽기 인에이블 라인(REL)을 통해 읽기 인에이블 신호가 전송될 수 있다. 컨트롤러(1200)로부터 어드레스 래치 인에이블 라인(ALEL)을 통해 어드레스 래치 인에이블 신호가 전송될 수 있다. 컨트롤러(1200)로부터 커맨드 래치 인에이블 라인(CLEL)을 통해 커맨드 래치 인에이블 신호가 전송될 수 있다.
- [0050] 쓰기 인에이블 신호가 인에이블되는 것은, 컨트롤러(1200)로부터 채널(CH)을 통해 데이터가 전송되는 것을 의미한다. 제 1 칩 선택 신호(CE1)가 인에이블되고 쓰기 인에이블 신호가 인에이블될 때, 컨트롤러(1200)로부터 채널(CH)을 통해 제 1 반도체 메모리 장치(SMD1)에 데이터가 전송될 것이다.

- [0051] 읽기 인에이블 신호가 인에이블되는 것은 선택된 반도체 메모리 장치로부터 데이터가 전송되는 것을 의미한다. 제 1 칩 선택 신호(CE1)가 인에이블되고 읽기 인에이블 신호가 인에이블될 때, 제 1 반도체 메모리 장치(SMD1)로부터 채널(CH)을 통해 컨트롤러(1200)로 데이터가 전송될 것이다.
- [0052] 반면, 해당 칩 선택 신호(CE1)가 인에이블되더라도 쓰기 인에이블 신호 및 읽기 인에이블 신호 모두가 인에이블되지 않을 때 제 1 반도체 메모리 장치(SMD1)와 컨트롤러(1200)는 데이터를 통신하지 않을 수 있다.
- [0053] 한편, 어드레스 래치 인에이블 신호가 인에이블될 때 채널(CH)을 통해 어드레스가 전송된다. 커맨드 래치 인에이블 신호가 인에이블될 때 채널(CH)을 통해 커맨드가 전송된다.
- [0054] 제 1 칩 선택 신호(CE1)가 인에이블되고 쓰기 인에이블 신호가 인에이블되고 커맨드 래치 인에이블 신호가 인에이블될 때, 제 1 반도체 메모리 장치(SMD1)는 컨트롤러(1200)로부터 채널(CH)을 통해 전송되는 데이터를 커맨드로서 수신할 것이다. 예를 들면, 쓰기 인에이블 신호가 토글(toggle)되는 것에 응답하여 제 1 반도체 메모리 장치(SMD1)에 커맨드가 획득될 것이다.
- [0055] 제 1 칩 선택 신호(CE1)가 인에이블되고 쓰기 인에이블 신호가 인에이블되고 어드레스 래치 인에이블 신호가 인에이블될 때, 제 1 반도체 메모리 장치(SMD1)는 컨트롤러(1200)로부터 채널(CH)을 통해 전송되는 데이터를 어드레스로서 수신할 것이다. 예를 들면, 쓰기 인에이블 신호가 토글(toggle)되는 것에 응답하여 제 1 반도체 메모리 장치(SMD1)에 어드레스가 획득될 것이다.
- [0056] 제 1 칩 선택 신호(CE1)가 인에이블되고 쓰기 인에이블 신호가 인에이블되고, 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호가 디스에이블될 때, 제 1 반도체 메모리 장치(SMD1)는 컨트롤러(1200)로부터 채널(CH)을 통해 전송되는 데이터를 저장 데이터로서 수신할 것이다. 예를 들면, 쓰기 인에이블 신호가 토글(toggle)되는 것에 응답하여 제 1 반도체 메모리 장치(SMD1)에 저장 데이터가 획득될 것이다.
- [0057] 칩 선택 신호(CE1)가 인에이블되고 읽기 인에이블 신호가 인에이블될 때, 제 1 반도체 메모리 장치(SMD1)는 채널(CH)을 통해 컨트롤러(1200)에 데이터를 전송한다. 예를 들면, 읽기 동작이 완료된 후, 칩 선택 신호(CE1) 및 읽기 인에이블 신호가 인에이블될 수 있다. 제 1 반도체 메모리 장치(SMD1)는 읽기 인에이블 신호가 토글되는 것에 응답하여 저장 데이터를 출력할 것이다.
- [0058] 도 3은 반도체 메모리 장치들(SMD1~SMD4) 각각의 일 실시 예(100)를 보여주는 블록도이다.
- [0059] 도 3을 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 주변 회로(120) 및 레디 비지 신호 생성기(130)를 포함한다.
- [0060] 메모리 셀 어레이(110)는 워드 라인들(WL)을 통해 어드레스 디코더(121)에 연결된다. 메모리 셀 어레이(110)는 비트 라인들(BL)을 통해 읽기 및 쓰기 회로(123)에 연결된다.
- [0061] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함한다. 복수의 메모리 블록들 각각은 복수의 페이지들을 포함한다. 복수의 페이지들 각각은 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성(non volatile) 메모리 셀들이다. 실시 예로서, 복수의 메모리 셀들 각각은 싱글 레벨 셀(single level cell) 또는 멀티 레벨 셀(multi level cells)로 정의될 수 있다.
- [0062] 주변 회로(120)는 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 회로(124), 및 제어 로직(125)을 포함한다.
- [0063] 어드레스 디코더(121)은 워드 라인들(WL)을 통해 메모리 셀 어레이(110)에 연결된다. 어드레스 디코더(121)은 제어 로직(125)의 제어에 응답하여 워드 라인들(WL)을 제어하도록 구성된다. 어드레스 디코더(121)은 제어 로직(125)으로부터 어드레스(ADDR)를 수신한다.
- [0064] 실시 예로서, 반도체 메모리 장치(100)의 프로그램 동작 및 읽기 동작은 페이지 단위로 수행된다. 프로그램 동작 및 읽기 동작 시에, 어드레스(ADDR)는 블록 어드레스 및 행 어드레스를 포함할 것이다. 어드레스 디코더(121)은 수신된 어드레스(ADDR) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)은 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택한다. 어드레스 디코더(121)은 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(121)은 디코딩된 행 어드레스에 따라 선택된 메모리 블록의 워드 라인들 중 어느 하나를 선택한다. 이에 따라, 하나의 페이지가 선택된다.

- [0065] 실시 예로서, 소거 동작 시에 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(121)은 블록 어드레스를 디코딩하고, 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택한다.
- [0066] 실시 예로서, 어드레스 디코더(121)은 블록 디코더, 행 디코더 및 어드레스 버퍼 등을 포함할 수 있다.
- [0067] 전압 발생기(122)는 제어 로직(125)의 제어에 응답하여 동작한다. 전압 발생기(122)는 반도체 메모리 장치(100)에 공급되는 외부 전원 전압을 이용하여 내부 전원 전압을 생성한다. 예를 들면, 전압 발생기(122)는 외부 전원 전압을 레귤레이팅하여 내부 전원 전압을 생성한다. 이렇게 생성된 내부 전원 전압은 어드레스 디코더(121), 읽기 및 쓰기 회로(123), 입출력 회로(124), 제어 로직(125) 및 래디 비지 신호 생성기(130)에 제공되어 반도체 메모리 장치(100)의 동작 전압으로서 사용된다.
- [0068] 전압 발생기(122)는 외부 전원 전압 및 내부 전원 전압 중 적어도 하나를 이용하여 복수의 전압들을 생성한다. 실시 예로서, 전압 발생기(122)는 내부 전원 전압을 수신하는 복수의 펌핑 커패시터들을 포함하고, 제어 로직(125)의 제어에 응답하여 복수의 펌핑 커패시터들을 선택적으로 활성화함으로써 복수의 전압들을 생성한다. 예를 들면, 전압 발생기(122)는 워드 라인들(WL)에 인가되기 위한 다양한 전압들을 생성하고, 생성된 전압들을 어드레스 디코더(121)에 제공할 수 있다.
- [0069] 읽기 및 쓰기 회로(123)은 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 읽기 및 쓰기 회로(123)은 제어 로직(125)의 제어에 응답하여 동작한다.
- [0070] 프로그램 동작 시에, 읽기 및 쓰기 회로(123)는 입출력 회로(124)로부터의 저장 데이터(DATA)를 비트 라인들(BL)에 전달한다. 전달된 데이터(DATA)에 따라 선택된 메모리 셀들은 프로그램된다. 읽기 동작 시에, 읽기 및 쓰기 회로(123)는 선택된 메모리 셀들로부터 비트 라인들(BL)을 통해 저장 데이터(DATA)를 읽고, 저장 데이터(DATA)를 입출력 회로(124)로 출력한다. 소거 동작 시에, 읽기 및 쓰기 회로(123)은 비트 라인들(BL)을 플로팅시킬 수 있다.
- [0071] 실시 예로서, 읽기 및 쓰기 회로(123)은 페이지 버퍼들(또는 페이지 레지스터들), 열 선택 회로 등을 포함할 수 있다.
- [0072] 제어 로직(125)은 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 회로(124), 및 래디 비지 신호 생성기(130)에 연결된다. 제어 로직(125)은 입출력 회로(124)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신한다. 제어 로직(125)은 커맨드(CMD)에 응답하여 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(125)은 어드레스(ADDR)를 어드레스 디코더(121)에 전송한다.
- [0073] 제어 로직(125)은 칩 선택 라인(CL)에 연결된다. 제어 로직(125)은 칩 선택 신호(CE)가 인에이블될 때, 외부 장치(도 1의 1200 참조)와의 통신이 가능한 제 1 모드로 동작하도록 주변 회로(120) 또는 입출력 회로(124)를 제어할 수 있다. 제어 로직(125)은 칩 선택 신호(CE)가 디스에이블될 때, 외부 장치와 통신하지 않는 제 2 모드로 동작하도록 주변 회로(120) 또는 입출력 회로(124)를 제어할 수 있다.
- [0074] 제어 로직(125)은 칩 선택 신호(CE)가 인에이블될 때 쓰기 인에이블 신호의 토글링에 응답하여 데이터를 수신하도록 입출력 회로(124)를 제어할 것이다. 커맨드 래치 인에이블 신호가 인에이블될 때 제어 로직(125)은 수신된 데이터를 커맨드(CMD)로서 수신할 것이다. 어드레스 래치 인에이블 신호가 인에이블될 때 제어 로직(125)은 수신된 데이터를 어드레스(ADDR)로서 수신할 것이다. 커맨드 래치 인에이블 신호 및 어드레스 래치 인에이블 신호 중 어느 것도 인에이블되지 않을 때, 제어 로직(125)은 수신된 데이터를 저장 데이터(DATA)로서 읽기 및 쓰기 회로(123)로 전송하도록 입출력 회로(124)를 제어할 것이다.
- [0075] 제어 로직(125)은 칩 선택 신호(CE)가 인에이블될 때 읽기 인에이블 신호의 토글링에 응답하여 저장 데이터(DATA)를 외부 장치로 출력하도록 입출력 회로(124)를 제어할 것이다.
- [0076] 한편, 제어 로직(125)은 반도체 메모리 장치(100)의 동작 상태에 따라 상태 신호(STS)를 생성하고, 생성된 상태 신호(STS)를 래디 비지 신호 생성기(130)에 출력한다. 상태 신호(STS)는 주변 회로(120)가 래디 상태에 해당하는지 아니면 비지 상태에 해당하는지 여부에 대한 정보에 대응한다. 예를 들면, 제어 로직(125)은 주변 회로(120)가 내부 동작을 수행하는 중일 때 상태 신호(STS)를 인에이블할 수 있다. 제어 로직(125)은 주변 회로(120)가 내부 동작의 수행을 완료하였을 때, 상태 신호(STS)를 디스에이블할 수 있다.
- [0077] 래디 비지 신호 생성기(130)는 칩 선택 라인(CL)에 연결된다. 본 발명의 실시 예에 따르면, 래디 비지 신호 생성기(130)는 칩 선택 라인(CL)을 통해 수신되는 칩 선택 신호(CE)가 인에이블될 때 상태 신호(STS)에 따라 래디 비지 라인(RBL)을 바이어스하도록 구성된다. 래디 비지 라인(RBL)에 바이어스된 전압은 래디 비지 신호(RBS)로

서 제공될 것이다. 래디 비지 신호 생성기(130)에 대해서는, 도 5 및 도 6을 참조하여 더 상세히 설명된다.

- [0078] 실시 예로서, 반도체 메모리 장치(100)는 플래시 메모리 장치(Flash Memory Device) 일 수 있다.
- [0079] 도 4는 도 3의 반도체 메모리 장치(100)의 동작 방법을 보여주는 순서도이다.
- [0080] 도 3 및 도 4를 참조하면, S110단계에서, 반도체 메모리 장치(100)에 대응하는 칩 선택 신호가 인에이블되는지 여부가 판별된다. 만약 칩 선택 신호가 인에이블되면, S120단계가 수행된다. 만약 칩 선택 신호가 인에이블되지 않으면, S130단계가 수행된다.
- [0081] S120단계에서, 주변 회로(120)가 래디 상태를 갖는지 비지 상태를 갖는지 여부에 따라 래디 비지 신호(RBS)가 생성된다. 즉, 래디 비지 신호(RBS)는 칩 선택 신호가 인에이블될 때 제공된다. 실시 예로서, 칩 선택 신호가 인에이블될 때, 래디 비지 라인(RBL)은 인에이블 또는 디스에이블될 수 있다.
- [0082] S130단계에서, 래디 비지 신호는 생성되지 않는다. 실시 예로서, 칩 선택 신호가 인에이블되지 않을 때, 래디 비지 라인(RBL)은 주변 회로(120)가 래디 상태를 갖는지 비지 상태를 갖는지 여부에 관계없이 디스에이블될 수 있다.
- [0083] 다시 도 1을 참조하면, 컨트롤러(1200)는 하나의 반도체 메모리 장치가 래디 상태인지 비지 상태인지 여부를 판별하기 위해 칩 선택 신호들(CE1~CE4) 중 해당 칩 선택 신호를 인에이블하고, 나머지 칩 선택 신호들을 디스에이블할 것이다. 실시 예로서, 이때 쓰기 인에이블 신호 및 읽기 인에이블 신호는 디스에이블될 것이다. 이러한 경우, 칩 선택 신호가 인에이블되더라도 컨트롤러(1200)는 해당 반도체 메모리 장치와 채널(CH)을 통해 통신하지 않을 수 있다. 해당 반도체 메모리 장치의 래디 비지 신호 생성기(130)는 인에이블된 칩 선택 신호에 응답하여 래디 비지 신호(RBS)를 출력할 것이다. 나머지 반도체 메모리 장치들은, 해당 칩 선택 신호들이 디스에이블되므로, 래디 비지 신호(RBS)를 출력하지 않는다. 이에 따라, 반도체 메모리 장치들(SMD1~SMD4)이 래디 비지 라인(RBL)을 공유하면서도, 컨트롤러(1200)는 선택된 하나의 반도체 메모리 장치를 조회할 수 있다.
- [0084] 이와 다르게, 칩 선택 신호에 관계없이 반도체 메모리 장치들(SMD1~SMD4) 각각이 래디 비지 신호(RBS)를 출력한다고 가정한다. 즉 반도체 메모리 장치들(SMD1~SMD4) 모두는 동작 상태에 따라 래디 비지 라인(RBL)을 바이어스한다고 가정한다. 예를 들면, 비지 상태에 해당하는 반도체 메모리 장치는 래디 비지 라인(RBL)을 접지 전압으로 바이어스하고, 래디 상태에 해당하는 반도체 메모리 장치는 래디 비지 라인(RBL)을 플로팅(floating)할 수 있다. 이러한 경우, 반도체 메모리 장치들(SMD1~SMD4) 중 적어도 하나의 반도체 메모리 장치가 비지 상태에 해당하면, 래디 비지 라인(RBL)은 접지 전압으로 바이어스된다. 반도체 메모리 장치들(SMD1~SMD4) 모두가 래디 상태에 해당할 때 래디 비지 라인(RBL)을 플로팅된다. 따라서, 반도체 메모리 장치들(SMD1~SMD4) 모두가 비지 상태에 해당하는 것과 반도체 메모리 장치들(SMD1~SMD4) 중 일부는 래디 상태에 해당하는 것은 래디 비지 라인(RBL)에 의해 구분될 수 없다. 컨트롤러(1200)는 반도체 메모리 장치들(SMD1~SMD4) 중 일부가 래디 상태에 해당하더라도, 적어도 하나의 반도체 메모리 장치가 비지 상태에 해당할 때 어떤 반도체 메모리 장치가 래디 상태에 해당하는지 인지할 수 없다. 이에 따라 컨트롤러(1200)는 래디 상태에 해당하는 반도체 메모리 장치에 즉각적으로 새로운 동작을 커맨드할 수 없다.
- [0085] 만약 컨트롤러(1200)가 채널(CH)을 통해 상태 읽기(status read)를 전송하여 각 반도체 메모리 장치의 동작 상태를 인지한다고 가정한다. 예를 들면, 컨트롤러(1200)는 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블하고, 채널(CH)을 통해 해당 반도체 메모리 장치에 대해 상태 읽기를 수행할 수 있다. 이러한 상태 읽기를 반복적으로 수행하는 것은 채널(CH)의 부하(load)를 증가시킴을 의미한다. 예를 들면, 반도체 메모리 장치에 대해 채널(CH)을 통해 상태 읽기를 반복적으로 수행하는 것은, 나머지 반도체 메모리 장치들과 채널(CH)을 통해 통신할 수 있는 시간이 감소함을 의미한다.
- [0086] 본 발명의 실시 예에 따르면, 반도체 메모리 장치는 칩 선택 신호에 응답하여 래디 비지 신호를 출력한다. 컨트롤러는 래디 비지 신호에 따라 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치의 상태를 인지한다. 따라서, 반도체 메모리 장치들(SMD1~SMD4)이 하나의 래디 비지 라인(RBL)을 공유하면서도, 컨트롤러(1200)는 반도체 메모리 장치들(SMD1~SMD4) 중 하나를 선택하고 선택된 반도체 메모리 장치의 동작 상태를 빠르게 조회할 수 있다. 결과적으로, 향상된 동작 속도를 갖는 메모리 시스템(1000)이 제공된다.

- [0087] 도 5는 도 3의 래디 비지 신호 생성기(130)의 일 실시 예를 보여주는 블록도이다.
- [0088] 도 5를 참조하면, 래디 비지 신호 생성기(130)는 래디 비지 신호 생성부(131), 칩 선택 신호 감지부(132), 및 3 상태 버퍼(Three-state buffer)를 포함한다.
- [0089] 래디 비지 신호 생성부(131)는 상태 신호(STS)를 수신한다. 래디 비지 신호 생성부(131)는 상태 신호(STS)를 제 1 출력 노드(NDa)로 출력한다. 예를 들면, 상태 신호(STS)가 인에이블될 때 제 1 출력 노드(NDa)는 논리값 '하이'를 갖는다. 상태 신호(STS)가 디스에이블될 때 제 1 출력 노드(NDa)는 논리값 '로우'를 갖는다. 래디 비지 신호 생성부(131)는 고정 전압을 제 2 출력 노드(NDb)에 출력한다. 예를 들면, 고정 전압은 접지 전압(Ground)일 수 있다.
- [0090] 칩 선택 신호 감지부(132)는 칩 선택 신호(CE)가 인에이블될 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 스위칭 노드(NDc)에 출력하고, 칩 선택 신호(CE)가 디스에이블될 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 차단한다. 칩 선택 신호 감지부(132)는 인버터(133) 및 논리곱 게이트(134)를 포함한다. 인버터(133)는 칩 선택 신호(CE)를 반전하고 반전된 칩 선택 신호를 논리곱 게이트(134)에 출력한다. 실시 예로서, 칩 선택 신호(CE)는 논리값 '로우'로서 인에이블될 수 있다. 인버터(133)는 칩 선택 신호(CE)가 논리값 '로우'를 가질 때 논리값 '하이'를 논리곱 게이트(134)에 출력할 것이다. 따라서, 논리곱 게이트(134)는 칩 선택 신호(CE)가 인에이블될 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 스위칭 노드(NDc)에 출력하고, 칩 선택 신호(CE)가 디스에이블될 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 차단할 것이다.
- [0091] 3 상태 버퍼(135)는 스위칭 노드(NDc)의 논리값에 따라 제 2 출력 노드(NDb)와 래디 비지 라인(RBL)을 전기적으로 연결한다. 3 상태 버퍼(135)는 스위칭 노드(NDc)의 논리값이 '하이'일 때 제 2 출력 노드(NDb)의 고정 전압(예를 들면 접지 전압)을 래디 비지 라인(RBL)에 출력한다. 래디 비지 신호(RBS)는 논리값 '로우'로서 인에이블된다. 3 상태 버퍼(135)는 스위칭 노드(NDc)의 논리값이 '로우'일 때 래디 비지 라인(RBL)을 플로팅한다. 예를 들면, 래디 비지 라인(RBL)은 고 임피던스에 연결된다. 래디 비지 신호(RBS)는 플로팅으로서 디스에이블된다.
- [0092] 즉, 칩 선택 신호(CE)가 인에이블될 때, 상태 신호(STS)에 따라 제 2 출력 노드(NDb)의 고정 전압이 래디 비지 라인(RBL)으로 출력되거나 또는 래디 비지 라인(RBL)은 플로팅된다.
- [0093] 도 6은 칩 선택 신호(CE)에 따른 래디 비지 신호 생성기(130)의 출력을 보여주는 테이블이다.
- [0094] 도 6을 참조하면, 칩 선택 신호(CE)가 논리값 '로우'로 인에이블될 때 상태 신호(STS)에 따라 래디 비지 신호(RBS)가 결정된다. 반도체 메모리 장치(100, 도 3 참조)가 비지 상태에 해당하여 상태 신호(STS)가 논리값 '하이'일 때, 래디 비지 신호(RBS)는 논리값 '로우'로서 인에이블된다. 반도체 메모리 장치(100)가 래디 상태에 해당하여 상태 신호(STS)가 논리값 '로우'일 때, 래디 비지 신호(RBS)는 플로팅으로서 디스에이블된다.
- [0095] 반면, 칩 선택 신호(CE)가 논리값 '하이'로 디스에이블될 때 상태 신호(STS)에 관계없이 래디 비지 신호(RBS)는 플로팅으로서 디스에이블된다.
- [0096] 도 7은 도 1의 컨트롤러(1200)의 동작 방법을 보여주는 순서도이다.
- [0097] 도 1 및 도 7을 참조하면, S210단계에서, 컨트롤러(1200)는 칩 선택 신호들(CE1-CE4) 중 어느 하나를 인에이블한다. 이때, 컨트롤러(1200)는 쓰기 인에이블 신호 및 읽기 인에이블 신호를 디스에이블할 수 있다. 따라서, 채널(CH)을 통해 데이터를 통신하는 것 없이, 반도체 메모리 장치의 동작 상태를 판별하기 위한 칩 선택 신호가 제공될 수 있다.
- [0098] S220단계에서, 컨트롤러(1200)는 래디 비지 라인(RBL)을 통해 전송되는 래디 비지 신호를 감지한다. 래디 비지 라인(RBL)을 통해 전송되는 래디 비지 신호는 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치로부터 전송된 신호이다.
- [0099] S230단계에서, 컨트롤러(1200)는 래디 비지 신호가 인에이블되는지 여부를 판별한다. 예를 들면, 래디 비지 신호는 논리값 '로우'로서 인에이블되고, 플로팅으로서 디스에이블될 수 있다.
- [0100] S240단계에서, 컨트롤러(1200)는 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치를 비지 상태로 판별한다. S250단계에서, 컨트롤러(1200)는 인에이블된 칩 선택 신호에 대응하는 반도체 메모리 장치를 래디 상태로

판별한다.

- [0101] 도 8은 본 발명의 다른 실시 예에 따른 메모리 시스템(2000)을 보여주는 블록도이다.
- [0102] 도 8을 참조하면, 메모리 시스템(2000)은 복수의 반도체 메모리 장치들(SMD1~SMD4) 및 컨트롤러(2200)를 포함한다.
- [0103] 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 하나의 공통 채널(CH)을 통해 컨트롤러(1200)와 통신한다. 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 공통의 래디 비지 라인(RBL)에 연결된다.
- [0104] 도 1의 실시 예와 다르게, 제 1 내지 제 4 반도체 메모리 장치들(SMD1~SMD4)은 복수의 메모리 그룹들로 구분되고, 하나의 메모리 그룹의 반도체 메모리 장치는 하나의 칩 선택 신호(CE1)를 공유한다. 도 8에서, 제 1 및 제 2 반도체 메모리 장치들(SMD1, SMD2)은 제 1 칩 선택 신호(CE1)를 수신하고, 제 3 및 제 4 반도체 메모리 장치들(SMD3, SMD4)은 제 2 칩 선택 신호(CE2)를 수신하는 것으로 도시된다.
- [0105] 실시 예로서, 컨트롤러(2200)는 하나의 칩 선택 신호를 인에이블함으로써 하나의 메모리 그룹을 선택할 것이다. 그리고 컨트롤러(2200)는 어드레스(도 10의 ADDR 참조)에 2개의 반도체 메모리 장치들 중 어느 하나를 선택하기 위한 데이터 비트를 추가함으로써, 선택된 메모리 그룹 중 하나의 반도체 메모리 장치를 선택할 수 있다.
- [0106] 도 9는 도 8의 메모리 시스템(2000)의 변형 실시 예를 보여주는 블록도이다.
- [0107] 도 9를 참조하면, 하나의 메모리 그룹은 하나의 패키지(package)로 실장될 수 있다. 도 9에서, 제 1 및 제 2 반도체 메모리 장치들(SMD1, SMD2)은 제 1 메모리 그룹(2110)을 이루고, 하나의 패키지로서 실장될 수 있다. 제 3 및 제 4 반도체 메모리 장치들(SMD3, SMD4)은 제 2 메모리 그룹(2120)을 이루고, 하나의 패키지로서 실장될 수 있다. 실시 예로서, 각 메모리 그룹은 하나의 로직 유닛(Logical Unit, LUN)을 구성할 수 있다.
- [0108] 이하, 설명의 편의를 위해 도 8의 실시 예를 중심으로 본 발명의 실시 예가 설명된다.
- [0109] 도 10은 도 8의 반도체 메모리 장치들(SMD1~SMD4) 각각의 일 실시 예(200)를 보여주는 블록도이다.
- [0110] 도 10을 참조하면, 반도체 메모리 장치(200)는 메모리 셀 어레이(210), 주변 회로(220), 및 래디 비지 신호 생성기(230)를 포함한다. 주변 회로(220)는 어드레스 디코더(221), 전압 발생기(222), 읽기 및 쓰기 회로(223), 입출력 회로(224), 및 제어 로직(225)을 포함한다. 어드레스 디코더(221), 전압 발생기(222), 읽기 및 쓰기 회로(223), 입출력 회로(224), 및 제어 로직(225)은 도 3을 참조하여 설명된 어드레스 디코더(121), 전압 발생기(122), 읽기 및 쓰기 회로(123), 입출력 회로(124), 및 제어 로직(125)과 각각 마찬가지로 구성된다. 이하, 중복되는 설명은 생략된다.
- [0111] 래디 비지 신호 생성기(230)는 칩 선택 라인(CL), 어드레스 래치 인에이블 라인(ALEL), 및 커맨드 래치 인에이블 라인(CLEL)에 연결된다. 칩 선택 라인(CL), 어드레스 래치 인에이블 라인(ALEL), 및 커맨드 래치 인에이블 라인(CLEL)을 통해 칩 선택 신호(CE), 어드레스 래치 인에이블 신호(ALE), 및 커맨드 래치 인에이블 신호(CLE)가 각각 수신된다. 칩 선택 신호(CE), 어드레스 래치 인에이블 신호(ALE), 및 커맨드 래치 인에이블 신호(CLE)는 제어 로직(225)에도 제공된다.
- [0112] 본 발명의 실시 예에 따르면, 래디 비지 신호 생성기(230)는 칩 선택 신호(CE), 어드레스 래치 인에이블 신호(ALE), 및 커맨드 래치 인에이블 신호(CLE)를 참조함으로써, 상태 신호(STS)에 따라 래디 비지 라인(RBL)을 바이어스하도록 구성된다. 래디 비지 라인(RBL)에 바이어스된 전압은 래디 비지 신호(RBS)로서 제공될 것이다. 래디 비지 신호 생성기(230)에 대해서는, 도 12 및 도 13을 참조하여 더 상세히 설명된다.
- [0113] 도 11은 도 10의 반도체 메모리 장치(200)의 동작 방법을 보여주는 순서도이다.
- [0114] 도 8 및 도 11을 참조하면, S310단계에서, 칩 선택 신호가 인에이블되는지 여부가 판별된다. 만약 칩 선택 신호가 인에이블되면, S120단계가 수행된다. 만약 칩 선택 신호가 인에이블되지 않으면, S130단계가 수행된다.
- [0115] S320단계에서, 어드레스 래치 인에이블 신호(ALE, 도 10 참조) 및 커맨드 래치 인에이블 신호(CLE, 도 10 참

조)에 의해 정의되는 제어 비트들의 값이 정해진 값에 해당하는지 여부가 판별된다. 만약 그렇다면, S330단계가 수행된다. 만약 그렇지 않다면 S340단계가 수행된다.

- [0116] 실시 예로서, 정해진 값은 반도체 메모리 장치마다 상이할 것이다. 예를 들면, 제 1 반도체 메모리 장치(SMD1)와 관련하여 정해진 값은 논리값 '00'이고, 제 2 반도체 메모리 장치(SMD2)와 관련하여 정해진 값은 논리값 '01'이고, 제 3 반도체 메모리 장치(SMD3)와 관련하여 정해진 값은 논리값 '10'이고, 제 4 반도체 메모리 장치(SMD4)와 관련하여 정해진 값은 논리값 '11'일 수 있다.
- [0117] 이에 따라, 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호에 따라 정의되는 제어 비트들에 의해 반도체 메모리 장치들(SMD1~SMD4) 중 어느 하나가 선택될 수 있다. 따라서, 2 이상의 반도체 메모리 장치들이 하나의 칩 선택 신호를 공유하더라도, 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호에 의해 해당 반도체 메모리 장치들 중 하나가 선택될 수 있다.
- [0118] S330단계에서, 주변 회로(120)가 래디 상태를 갖는지 비지 상태를 갖는지 여부에 따라 래디 비지 신호(RBS)가 생성된다. S340단계에서, 래디 비지 신호는 생성되지 않는다.
- [0119] 도 12는 도 10의 래디 비지 신호 생성기(230)의 일 실시 예를 보여주는 블록도이다.
- [0120] 도 12를 참조하면, 래디 비지 신호 생성기(230)는 래디 비지 신호 생성부(231), 칩 선택 신호 감지부(232), 및 3 상태 버퍼(237)를 포함한다.
- [0121] 래디 비지 신호 생성부(231)는 상태 신호(STS)를 수신한다. 래디 비지 신호 생성부(231)는 상태 신호(STS)를 제 1 출력 노드(NDa)로 출력하고, 고정 전압(예를 들면, 접지 전압)을 제 2 출력 노드(NDb)로 출력한다.
- [0122] 칩 선택 신호 감지부(232)는, 칩 선택 신호(CE)가 인에이블되고 어드레스 래치 인에이블 신호(ALE) 및 커맨드 래치 인에이블 신호(CLE)에 의해 정의되는 제어 비트들이 정해진 값일 때, 제 1 출력 노드(NDa)의 상태 신호(STS)를 스위칭 노드(NDc)에 출력한다. 칩 선택 신호 감지부(232)는 인버터(233), 상태 요청 신호 생성부(234), 제 1 및 제 2 논리곱 게이트들(235, 236)을 포함한다. 인버터(233)는 칩 선택 신호(CE)를 반전하고 반전된 칩 선택 신호를 제 1 논리곱 게이트(235)에 출력한다.
- [0123] 상태 요청 신호 생성부(234)는 어드레스 래치 인에이블 신호(ALE) 및 커맨드 래치 인에이블 신호(CLE)에 의해 정의되는 제어 비트들이 정해진 값일 때 상태 요청 신호(SRS)를 논리값 '하이'로서 인에이블한다. 상태 요청 신호(SRS)는 제 1 논리곱 게이트(235)에 출력된다. 예를 들면, 상태 요청 신호 생성부(234)가 제 1 반도체 메모리 장치(SMD1, 도 8 참조)에 포함될 때 정해진 값은 논리값 '00'일 수 있다. 상태 요청 신호 생성부(234)가 제 2 반도체 메모리 장치(SMD2, 도 8 참조)에 포함될 때 정해진 값은 논리값 '01'일 수 있다. 상태 요청 신호 생성부(234)가 제 3 반도체 메모리 장치(SMD3, 도 8 참조)에 포함될 때 정해진 값은 논리값 '10'일 수 있다. 그리고, 상태 요청 신호 생성부(234)가 제 4 반도체 메모리 장치(SMD4, 도 8 참조)에 포함될 때 정해진 값은 논리값 '11'일 수 있다.
- [0124] 제 1 논리곱 게이트(235)는 반전된 칩 선택 신호와 상태 요청 신호(SRS)에 대해 논리곱 연산을 수행한다. 제 1 논리곱 게이트(235)는, 반전된 칩 선택 신호가 논리값 '하이'를 갖고 상태 요청 신호(SRS)가 논리값 '하이'를 가질 때 논리값 '하이'를 출력할 것이다.
- [0125] 제 2 논리곱 게이트(236)는 제 1 논리곱 게이트(235)의 출력이 논리값 '하이'를 가질 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 스위칭 노드(NDc)에 출력한다. 제 2 논리곱 게이트(236)는 제 1 논리곱 게이트(235)의 출력이 논리값 '로우'를 가질 때 제 1 출력 노드(NDa)의 상태 신호(STS)를 차단할 것이다.
- [0126] 3 상태 버퍼(237)는 스위칭 노드(NDc)의 논리값에 따라 제 2 출력 노드(NDb)와 래디 비지 라인(RBL)을 전기적으로 연결한다.
- [0127] 즉, 칩 선택 신호(CE)가 인에이블되고 어드레스 래치 인에이블 신호(ALE) 및 커맨드 래치 인에이블 신호(CLE)에 의해 정의되는 제어 비트들이 정해진 값일 때, 상태 신호(STS)에 따라 제 2 출력 노드(NDb)의 고정 전압(예를 들면, 접지 전압)이 래디 비지 라인(RBL)으로 출력되거나 또는 래디 비지 라인(RBL)은 플로팅된다.
- [0128] 도 13은 칩 선택 신호(CE), 어드레스 래치 인에이블 신호(ALE), 및 커맨드 래치 인에이블 신호(CLE)에 따른 래

디 비지 신호 생성기(230)의 출력을 보여주는 테이블이다.

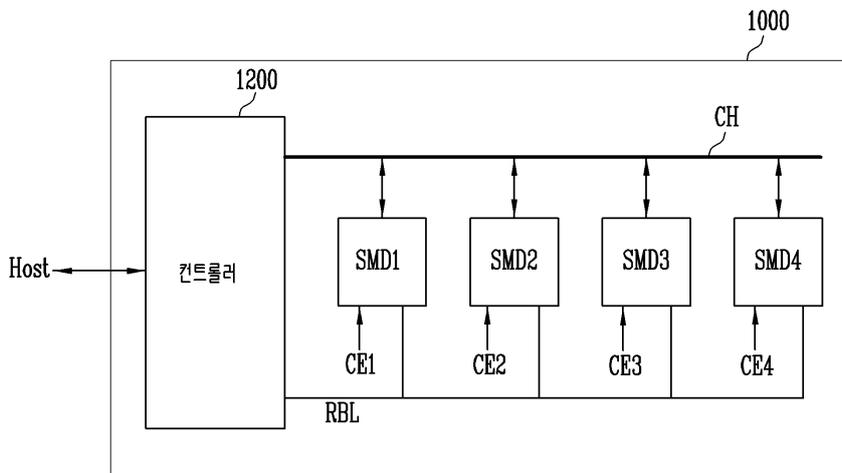
- [0129] 도 13을 참조하면, 어드레스 래치 인에이블 신호(ALE) 및 커맨드 래치 인에이블 신호(CLE)에 의해 정의되는 제어 비트들이 논리값 '00'일 때, 래디 비지 신호 생성기(230)는 도 6을 참조하여 설명된 바와 같이 래디 비지 신호(RBS)를 생성한다. 도 13에 도시되지는 않으나, 어드레스 래치 인에이블 신호(ALE), 및 커맨드 래치 인에이블 신호(CLE)에 의해 정의되는 제어 비트들이 논리값 '00'이 아닐 때, 래디 비지 신호 생성기(230)는 칩 선택 신호(CE) 및 상태 신호(STS)에 관계없이 래디 비지 신호(RBS)를 플로팅으로서 디스에이블할 것이다.
- [0130] 본 발명의 실시 예에 따르면, 하나의 칩 선택 신호를 2개 이상의 반도체 메모리 장치들이 공유할 때 어드레스 래치 인에이블 신호 및 커맨드 래치 인에이블 신호에 의해 해당 반도체 메모리 장치들 중 하나가 선택될 수 있다. 따라서, 별도의 라인이 추가되는 것 없이, 컨트롤러(2200)는 하나의 반도체 메모리 장치를 선택하고 선택된 반도체 메모리 장치의 동작 상태를 빠르게 조회할 수 있다.
- [0131] 도 14는 도 8의 컨트롤러(2200)의 동작 방법을 보여주는 순서도이다.
- [0132] 도 8 및 도 14를 참조하면, S410단계에서, 컨트롤러(2200)는 칩 선택 신호들(CE1~CE4) 중 어느 하나를 인에이블한다. 이때, 컨트롤러(2200)는 쓰기 인에이블 신호 및 읽기 인에이블 신호를 디스에이블할 것이다.
- [0133] S420단계에서, 컨트롤러(2200)는 어드레스 래치 인에이블 신호(ALE) 및 커맨드 래치 인에이블 신호(CLE)를 제어 비트들로서 출력하여 하나의 반도체 메모리 장치를 선택한다.
- [0134] S430단계에서, 컨트롤러(2200)는 래디 비지 라인(RBL)을 통해 전송되는 래디 비지 신호를 감지한다. S440단계에서, 컨트롤러(2200)는 래디 비지 신호가 인에이블되는지 여부에 따라 S450단계 또는 S460단계를 수행한다. S450단계에서, 컨트롤러(2200)는 선택된 반도체 메모리 장치를 비지 상태로 판별한다. S460단계에서, 컨트롤러(2200)는 선택된 반도체 메모리 장치를 래디 상태로 판별한다.
- [0135] 도 15는 본 발명의 또 다른 실시 예에 따른 메모리 시스템(3000)을 보여주는 블록도이다.
- [0136] 도 15를 참조하면, 메모리 시스템(3000)은 복수의 반도체 메모리 장치들(SMD11~SMD14, SMDk1~SMDk4) 및 컨트롤러(3200)를 포함한다. 복수의 반도체 메모리 장치들(SMD11~SMD14, SMDk1~SMDk4)은 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(3200)와 연결되어 있다. 컨트롤러(3200)은 제 1 내지 제 k 채널들(CH1~CHk) 각각을 통해 해당 반도체 메모리 장치들을 제어하도록 구성된다. 이와 같은 구성에 따라, 메모리 시스템(3000)은 더 많은 저장 공간을 제공할 수 있다.
- [0137] 도 15에서, 래디 비지 라인(RBL)이 생략되어 있다. 그러나, 이는 인식의 편의를 위한 것으로서 하나의 채널을 공유하는 반도체 메모리 장치들은 하나의 래디 비지 라인에 연결되어 있음이 이해될 것이다. 도 3을 참조하여 설명된 바와 마찬가지로, 컨트롤러(3200)는 하나의 채널을 공유하는 반도체 메모리 장치들에 각각 칩 선택 신호들을 제공할 수 있다. 도 8 및 도 9를 참조하여 설명된 바와 마찬가지로, 하나의 채널을 공유하는 반도체 메모리 장치들은 복수의 메모리 그룹들로 구분되고, 컨트롤러(3200)는 각 메모리 그룹에 칩 인에이블 신호를 제공할 수 있다.
- [0138] 본 발명의 실시 예에 따르면, 반도체 메모리 장치는 칩 선택 신호에 응답하여 래디 비지 신호를 출력한다. 반도체 메모리 장치들이 래디 비지 라인을 공유하면서도, 컨트롤러는 하나의 반도체 메모리 장치를 선택하고 선택된 반도체 메모리 장치의 동작 상태를 빠르게 조회할 수 있다. 결과적으로, 향상된 동작 속도를 갖는 메모리 시스템이 제공된다.
- [0139] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 다양한 변경이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

**부호의 설명**

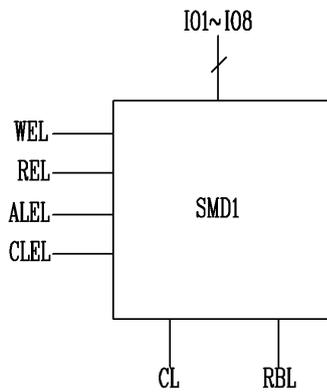
- [0140] 1000, 2000, 3000: 메모리 시스템
- 1200, 2200, 3200: 컨트롤러
- SMD: 반도체 메모리 장치
- CH: 채널
- CL: 칩 선택 라인
- RBL: 레디 비지 라인
- WEL: 쓰기 인에이블 라인
- REL: 읽기 인에이블 라인
- ALEL: 어드레스 래치 인에이블 라인
- CLEL: 커맨드 래치 인에이블 라인
- 130, 230: 레디 비지 신호 생성기

**도면**

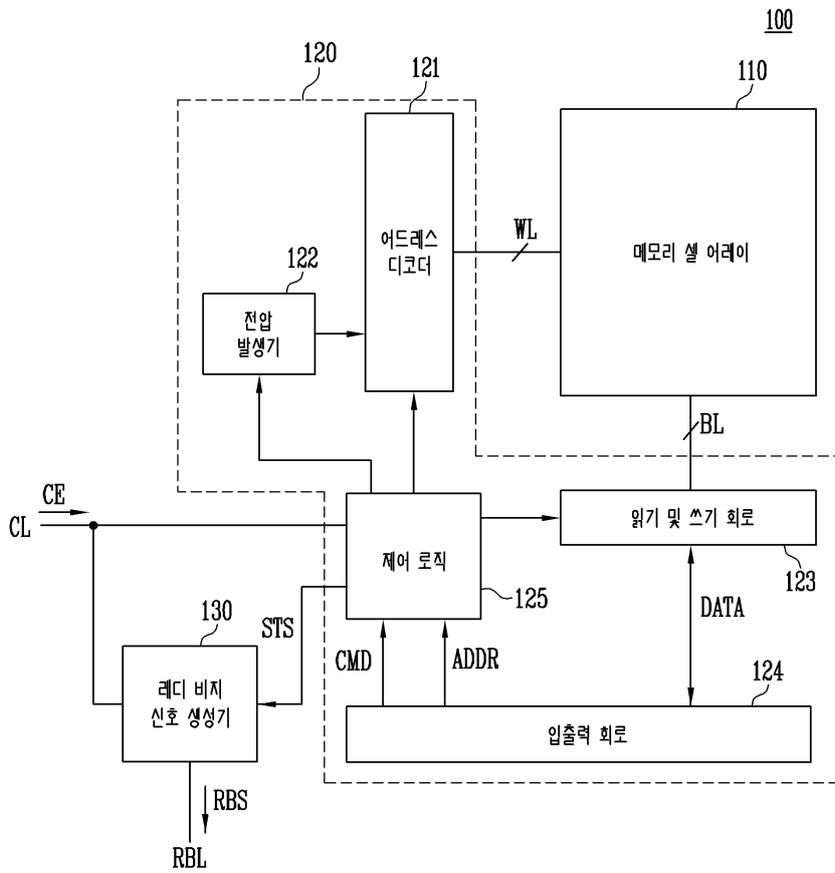
**도면1**



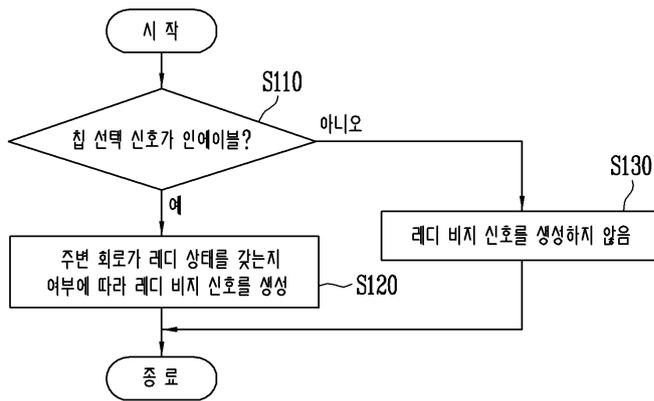
**도면2**



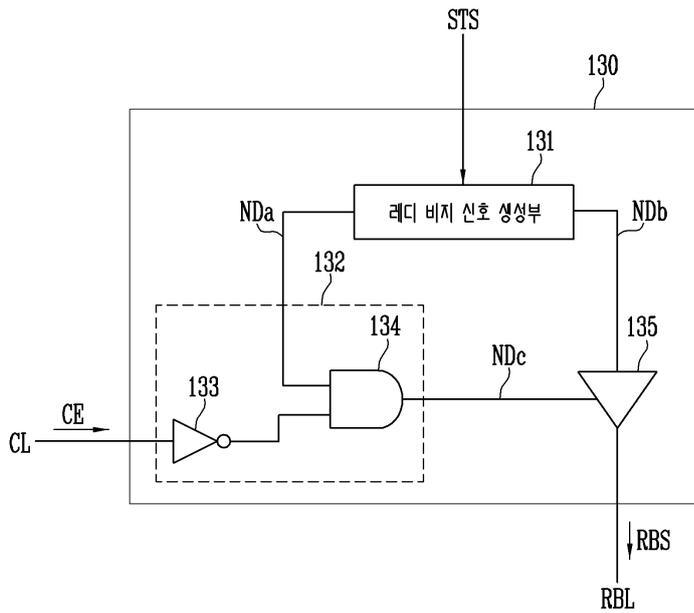
도면3



도면4



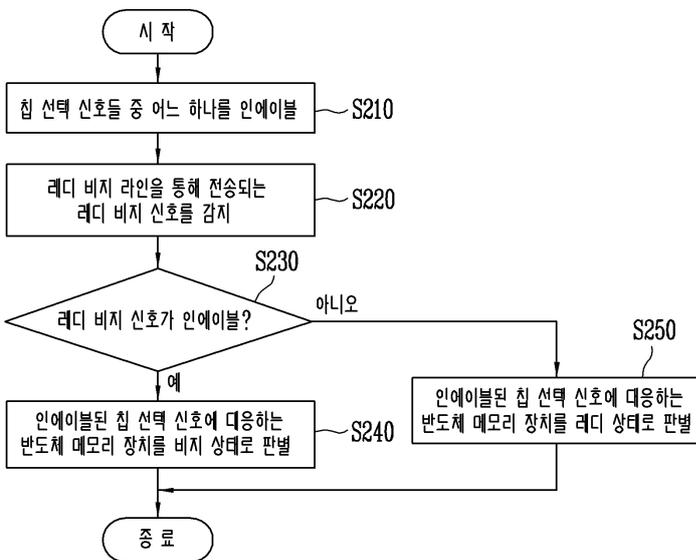
도면5



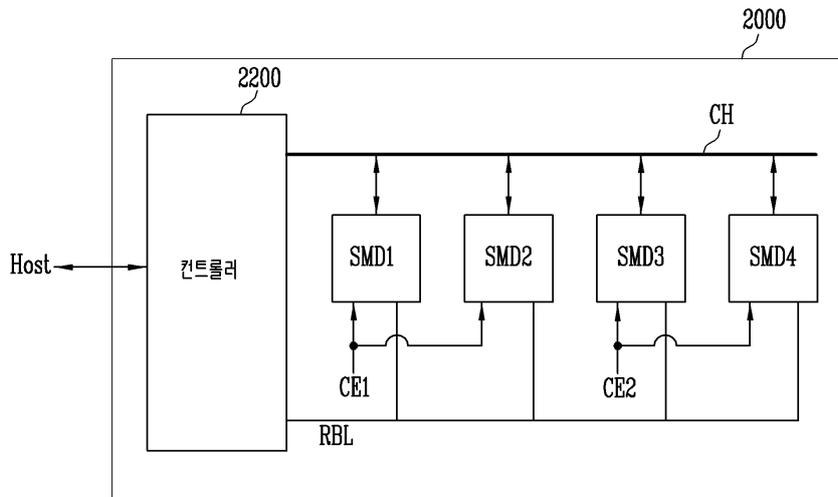
도면6

CE	STS	RBS
0	1 (busy)	0
0	0 (ready)	floating
1	1 (busy)	floating
1	0 (ready)	floating

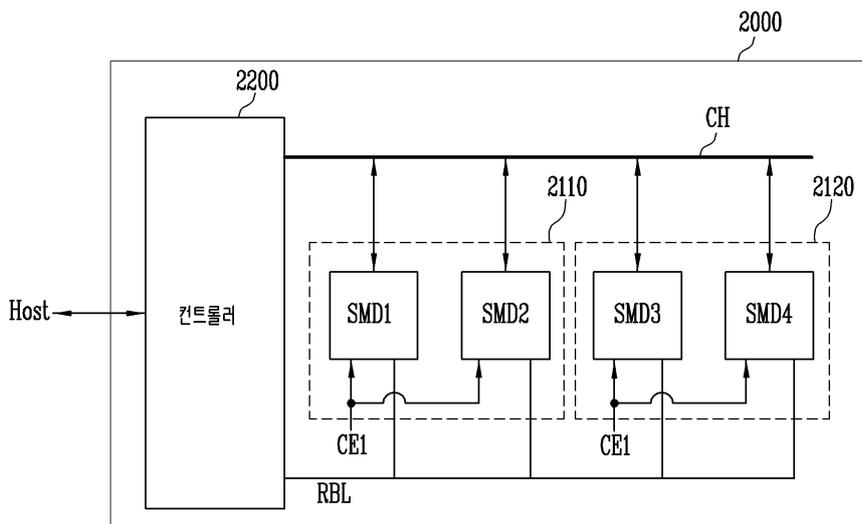
도면7



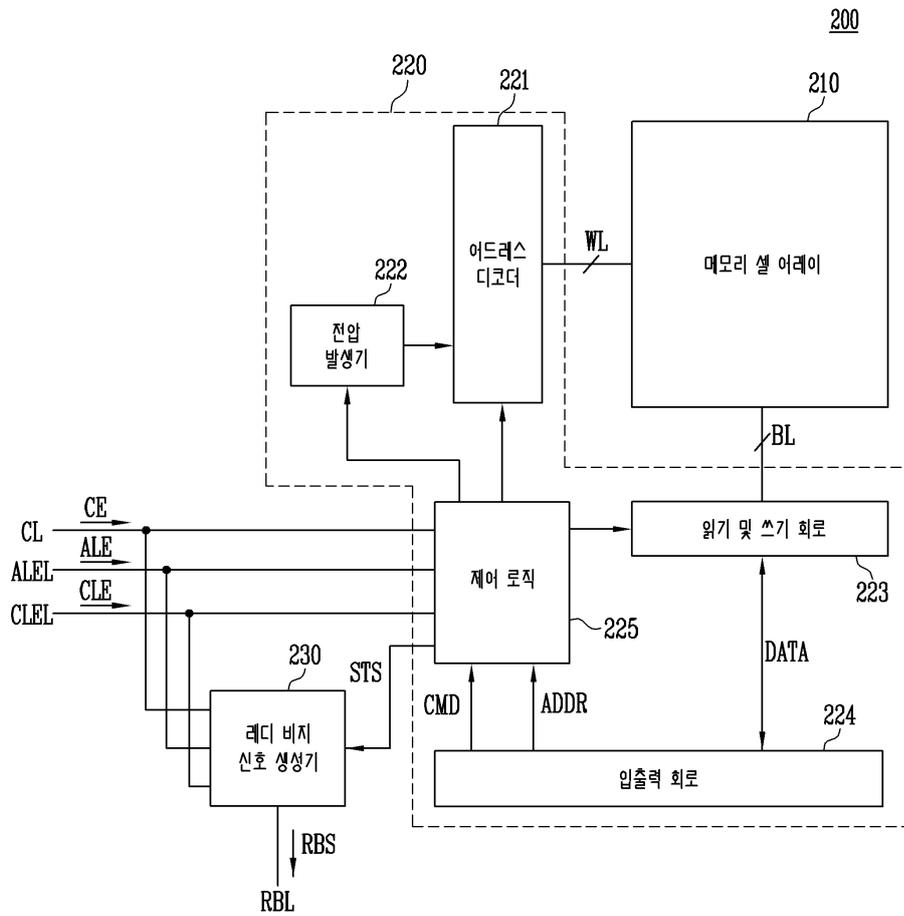
도면8



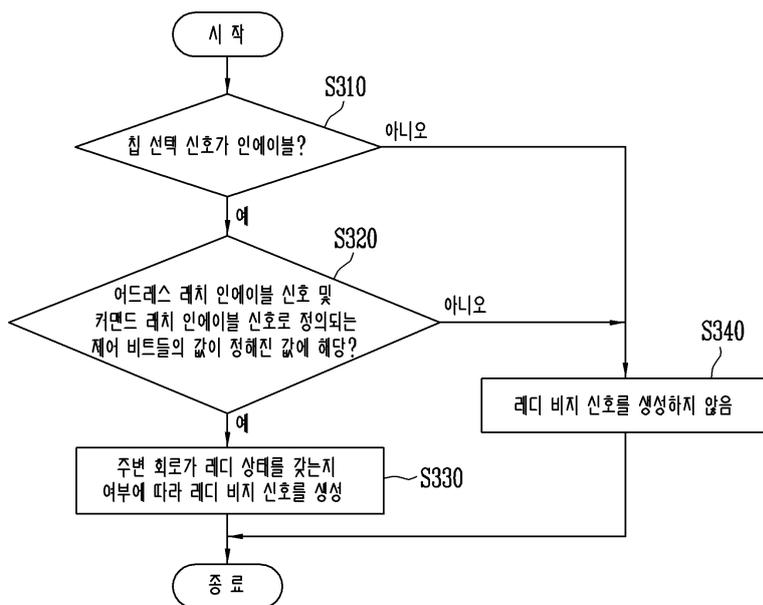
도면9



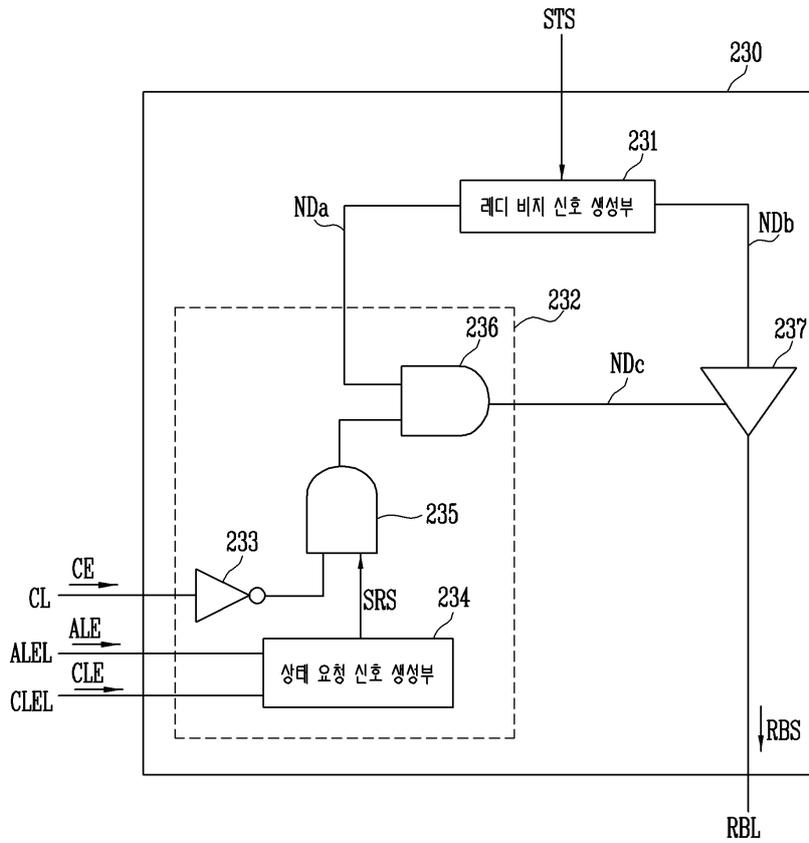
도면10



도면11



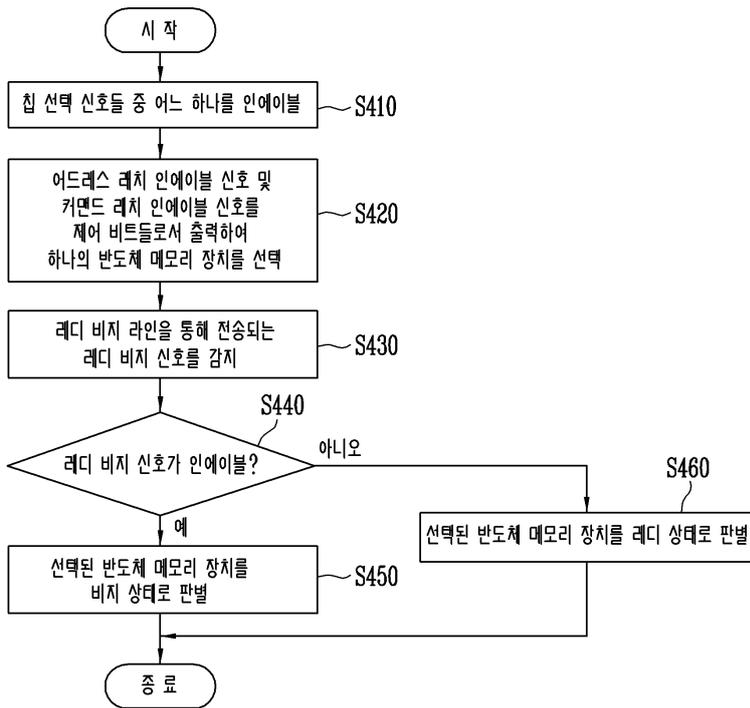
도면12



도면13

control bits by ALE and CLE	CE	STS	RBS
00	0	1 (busy)	0
00	0	0 (ready)	floating
00	1	1 (busy)	floating
00	1	0 (ready)	floating

도면14



도면15

