

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4567177号
(P4567177)

(45) 発行日 平成22年10月20日 (2010.10.20)

(24) 登録日 平成22年8月13日 (2010.8.13)

(51) Int. Cl.	F 1				
H03F 3/34	(2006.01)	H03F 3/34		A	
H03F 1/32	(2006.01)	H03F 1/32			
H03F 1/42	(2006.01)	H03F 1/42			
H03F 3/08	(2006.01)	H03F 3/08			
H03F 3/45	(2006.01)	H03F 3/45		Z	
請求項の数 6 (全 7 頁) 最終頁に続く					

(21) 出願番号 特願2000-364057 (P2000-364057)
 (22) 出願日 平成12年11月30日 (2000.11.30)
 (65) 公開番号 特開2002-171147 (P2002-171147A)
 (43) 公開日 平成14年6月14日 (2002.6.14)
 審査請求日 平成19年10月15日 (2007.10.15)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 貴志 元晴
 東京都港区芝五丁目7番1号 日本電気株式会社内
 審査官 儀同 孝信

最終頁に続く

(54) 【発明の名称】 広帯域プリアンプ

(57) 【特許請求の範囲】

【請求項1】

多段に接続された差動型の増幅器を含む広帯域プリアンプにおいて、第n（nは正の整数）段目の増幅器の正相出力端子と逆相出力端子との間に現れるオフセットを検出するオフセットレベル検出手段を備え、該オフセットレベル検出手段の出力信号を第（n+1）段目以降の増幅器の出力回路に入力することによりオフセットをキャンセルすることを特徴とする広帯域プリアンプ。

【請求項2】

前記オフセットレベル検出手段は、前記第n段目の増幅器の2つの出力端子のそれぞれに接続された積分回路と、各積分回路の積分値が入力される差動増幅回路により構成されていることを特徴とする請求項1記載の広帯域プリアンプ。

【請求項3】

前記オフセットレベル検出手段に並列に接続された1若しくは複数の増幅器の増幅率（複数の増幅器の場合には総合増幅率）と、前記差動増幅回路の増幅率が等しいことを特徴とする請求項2記載の広帯域プリアンプ。

【請求項4】

初段の増幅器の前段には単極性の信号を出力するプリアンプが接続されていることを特徴とする請求項1～3の何れかに記載の広帯域プリアンプ。

【請求項5】

前記複数の増幅器、または、前記複数の増幅器および前記差動増幅回路、または、前記複

数の増幅器、前記差動増幅回路および前記プリアンプが、1チップ上に形成されていることを特徴とする請求項1～4の何れかに記載の広帯域プリアンプ。

【請求項6】

前記複数の増幅器、または、前記複数の増幅器および前記差動増幅回路、または、前記複数の増幅器、前記差動増幅回路および前記プリアンプが、電界効果トランジスタを含んで構成されていることを特徴とする請求項1～5の何れかに記載の広帯域プリアンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、広帯域プリアンプに関し、特に光通信用受光モジュール等に搭載される広帯域プリアンプに関するものである。

10

【0002】

【従来の技術】

近年、IT（情報技術）の進展に伴い通信需要が高まり、それに連れて光通信の重要性が高まりつつある。光通信を支えるキーデバイスの一つに受光モジュールがある。この受光モジュールには、アバランシェフォトダイオード等の受光素子と、受光素子によって検出された微小な光電流を電圧信号に変換し、この信号を規格に適合するロジックレベルにまで増幅するIC（MMIC）とが搭載される。而して、規格を満たすには、受光モジュール内の増幅回路において、光電流を100kHz～2.5GHzの帯域で800mVにまで増幅することが求められる。このような広い帯域にわたる信号を高い増幅度にて増幅するには、HEMTないしMESFETなどを用いたコモンソース型差動増幅器を、回路段間のカップリングコンデンサを用いない直流結合で縦続接続することが必要となる。

20

【0003】

図3は、従来の光通信用受光モジュールの回路図である。図中、太線は受光モジュールのパッケージを示し、従って太線内が受光モジュールを構成する回路である。受光モジュール内には、光の強弱を検出する、アバランシェフォトダイオード（APD）等からなる受光素子1と、受光素子1において生成された光電流を電圧信号に変換するプリアンプ2と、プリアンプ2の出力信号を増幅する差動型の電圧増幅器3～5と、抵抗R1とコンデンサC1とによって構成される積分回路と、が搭載されている。この内、受光素子1とコンデンサC1とが個別部品であり、プリアンプ2、電圧増幅器3～5および抵抗R1は、ワンチップ上に構成されている。

30

入力される光信号はduty = 50%であることが想定されており、そのため積分回路の出力信号はプリアンプ2の出力信号のほぼ振幅中心を示すことになる。

【0004】

【発明が解決しようとする課題】

上述したように、広帯域プリアンプでは、電圧増幅器が直流結合で多段に接続されるため、初段の増幅器にオフセットが発生すると、これが各段で次々と増幅されていくことになる。オフセットは、対となるトランジスタを近接して対称配置することによって軽減することができるが、高周波回路では正相信号と逆相信号とのクロストークを避けるための配線配置が優先され、相対精度が犠牲にされることがあるため、対のトランジスタのしきい値電圧 V_{th} が異なって形成されることがありオフセットが生じやすい。

40

【0005】

図4は、図3の回路の各部の信号波形を示す図である。図4の波形上に記載されている記号は、図3の各部に付された記号に対応している。受光素子1に光が入射するとその光信号に応じて波形Aの電流が流れ、プリアンプ2より負極性の波形Bの電圧が出力される。この電圧信号とその積分値が入力される電圧増幅器3にオフセット V_{os} が発生していると、その出力信号は波形D、Eに示すように、オフセットを含んだものとなる。そして、このオフセット V_{os} は次段の増幅器の増幅率をAとすると次段の出力信号でのオフセット分は波形F、Gに示されるように $A \cdot V_{os}$ となる。このようにオフセットは各段において増幅されるため、最集段からは大きなオフセットが出力されることになる。そして、

50

これが出力ダイナミックレンジを越えるとき、信号の判別が不可能になる。また、出力ダイナミックレンジを越えないまでも信号に大きなオフセットが含まれているとき、波形 F、G；波形 J、K に示されるように、波形歪みが生じ誤判別の原因となる。

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、初段増幅器にて生じたオフセットを後段でキャンセルできるようにして、誤りなく判定することのできる信号を出力する広帯域プリアンプを提供できるようにすることである。

【0006】

【課題を解決するための手段】

上記の目的を達成するため、本発明によれば、多段に接続された差動型の増幅器を含む広帯域プリアンプにおいて、第 n (n は正の整数) 段目の増幅器の 正相出力端子と逆相出力端子との間 に現れるオフセットを検出するオフセットレベル検出手段を備え、該オフセットレベル検出手段の出力信号を第 ($n + 1$) 段目以降の増幅器の出力回路に入力することによりオフセットをキャンセルすることを特徴とする広帯域プリアンプ、が提供される。

10

そして、好ましくは、前記オフセットレベル検出手段は、前記第 n 段目の増幅器の 2 つの出力端子のそれぞれに接続された積分回路と、各積分回路の積分値が入力される差動増幅回路とにより構成される。

【0007】

【発明の実施の形態】

次に、図面を参照して本発明の実施の形態について実施例に即して詳細に説明する。

20

図 1 は、本発明の一実施例を示す回路であって、図の太線の内部が光通信用受光モジュールを構成する回路である。また、図中、VDD、VSS、VPD は、それぞれ電源を示す。

アバランシェフォトダイオードである受光素子 1 の一端は、受光素子用電源 VPD に接続され、その他端は、受光素子 1 の出力電流を電圧信号を変換するプリアンプ 2 の入力端子に接続されている。プリアンプ 2 の出力は電圧増幅器 3 の正入力端子 (+) に入力されるとともに、抵抗 R1 (200k) とコンデンサ C1 (100pF) とから構成される積分回路に入力される。この積分回路の出力信号は電圧増幅器 3 の負入力端子 (-) に入力される。

【0008】

30

電圧増幅器 3 の正相出力端子 (+) と逆相出力端子 (-) は、それぞれ電圧増幅器 4 の正入力端子 (+) と負入力端子 (-) に接続され、さらに電圧増幅器 4 の正相出力端子 (+) と逆相出力端子 (-) は、それぞれ電圧増幅器 5 の正入力端子 (+) と負入力端子 (-) に接続されている。そして、電圧増幅器 5 の逆相出力端子 (-) と正相出力端子 (+) は、それぞれコンデンサ C4 (0.1μF)、C5 (0.1μF) を介して抵抗 R4 (50)、R5 (50) で終端されている。また、プリアンプ 2 と電圧増幅器 3 ~ 5 の電源端子は、それぞれ電源 VDD、VSS に接続されている。

【0009】

電圧増幅器 4 には、本発明に係るオフセットキャンセル回路が並列に接続されている。オフセットキャンセル回路 10 は、抵抗 R2 (100k) と抵抗 R3 (100k) およびコンデンサ C2 (100pF) と C3 (100pF) により構成される 2 つの積分回路と、これらの積分回路の出力信号が入力される、電界効果型のトランジスタ 6、7 と定電流源 8 により構成される差動増幅回路と、を備えている。すなわち、抵抗 R2 (R3) の一端は、電圧増幅器 4 の負 (正) 入力端子 (-) [(+)] に接続され、その他端は、トランジスタ 6 (7) のゲートに接続されるとともにコンデンサ C2 (C3) を介して接地されており、そしてトランジスタ 6 (7) のドレインは電圧増幅器 4 の逆 (正) 相出力端子 (-) [(+)] に接続されている。またトランジスタ 6、7 のソースは共通に定電流源 8 を介して電源 VSS に接続されている。

40

ここで、プリアンプ 2 と電圧増幅器 3 ~ 5 は、電界効果型のトランジスタを用いて構成されており、また、光通信用受光モジュールの回路は、受光素子 1 とチップコンデンサで

50

あるC1～C3を除いてワンチップ上に構成されている。

【0010】

次に、図1の本発明の一実施例の回路動作について、図2に示す各部の波形と併せて詳細に説明する。

図2の波形上に記載されている記号は、図1の各部に付された記号に対応している。受光素子1に光が入射するとその光信号に応じて波形Aの電流が流れ、プリアンプ2より負極性の波形Bの電圧が出力される。この波形Bの信号は抵抗R1とコンデンサC1により構成される積分回路に入力される。ここで、入力信号をduty = 50%と仮定すると、波形Cは、波形Bの振幅のほぼ1/2の直流電圧を示す。

【0011】

電圧増幅器3の出力は、波形D、Eのようにオフセット電圧Vosを含んだ波形となり、それぞれの信号は次段の電圧増幅器4と本発明に係るオフセットキャンセル回路10に並列に入力される。

波形D、Eの信号が抵抗R2、R3、コンデンサC2、C3により構成される積分回路に入力されると、積分回路は波形D、Eの振幅のほぼ中間値の波形H、Iを出力する(duty = 50%と仮定して)。

【0012】

すなわち、両波形の電圧差がオフセット電圧Vosとなる。このオフセット電圧Vosはトランジスタ6、7のゲート電極に入力される。ここで、トランジスタ6、7により構成される差動増幅回路の増幅度を電圧増幅器4の増幅度と一致するようにしておけば、オフセットを電圧増幅器4の出力部においてキャンセルすることができる。すなわち、電圧増幅器5へは、オフセット分を含まない波形F、Gの信号が入力される。

その結果、この光通信用受光モジュールからは、波形J、Kに示されるような歪みのない信号が出力されることになり、出力信号に対して誤った判定がなされることが回避される。

【0013】

以上、本発明の好ましい実施例について説明したが、本発明は、上記実施例に限定されるものではなく、本発明の要旨を逸脱することのない範囲内において適宜の変更が可能なものである。例えば、本実施例では電圧増幅器が3段構成と成っているが、適宜増幅率の関係で段数を増加しても構わない。また、オフセットキャンセル回路が並列接続される電圧増幅器は2段目に限定されずそれ以降の増幅器であってもよく、さらにオフセットキャンセル回路が複数段の増幅器を跨ぐように接続されてもよい。また、抵抗、コンデンサの定数は実施例での値に限定されるものではなく、適宜変更可能である。また、実施例では、電界効果型のトランジスタを用いて回路を構成していたが、電界効果型トランジスタに代えてバイポーラ型のトランジスタを用いてもよい。

【0014】

【発明の効果】

以上説明したように、本発明による広帯域プリアンプは、多段増幅器を構成する一増幅器の出力信号に含まれるオフセット分を検出し、これを用いてその後段の増幅器の出力信号に含まれるオフセットをキャンセルするものである。直流結合により広帯域の増幅回路を形成しても、オフセットの発生を抑制することができ、波形歪みの少ない出力電圧を得ることが可能になる。従って、この広帯域プリアンプを用いて受光モジュールを構成した場合には、出力信号の誤判定を防止して安定した動作の受光モジュールを実現することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の回路図。

【図2】 図1に示す実施例の各部の波形図。

【図3】 従来例の回路図。

【図4】 図3に示す従来例の各部の波形図。

【符号の説明】

10

20

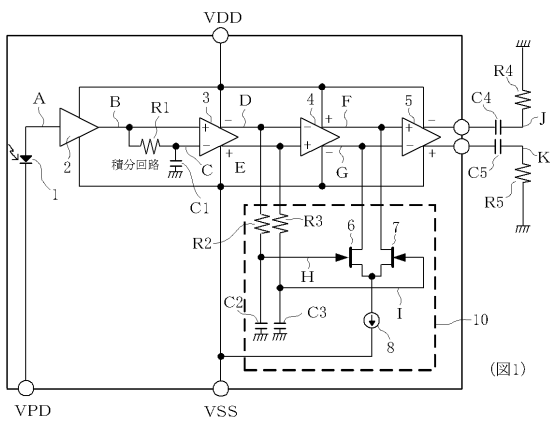
30

40

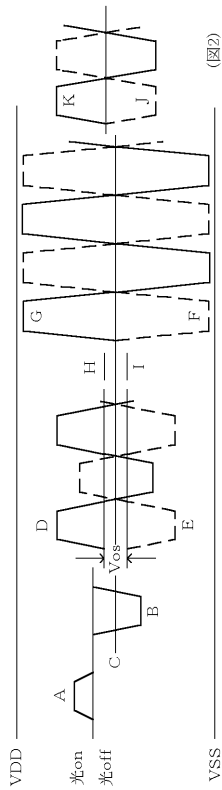
50

- 1 受光素子
- 2 プリアンプ
- 3、4、5 電圧増幅器
- 6、7 トランジスタ
- 8 定電流源
- 10 オフセットキャンセル回路

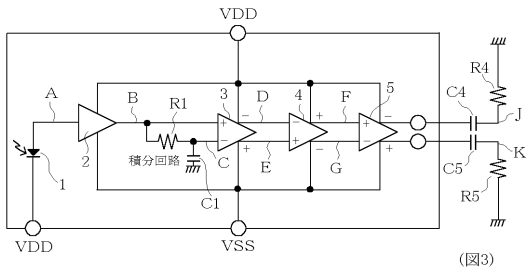
【図1】



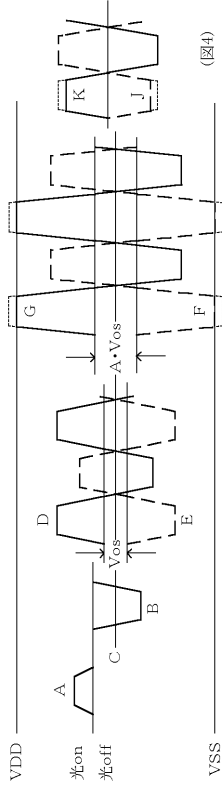
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl. F I
H 0 3 F 3/68 (2006.01) H 0 3 F 3/68 Z

(56)参考文献 特開平04 - 074010 (JP, A)
特開平10 - 126183 (JP, A)
特許第2814990 (JP, B2)
特開平08 - 279718 (JP, A)
特開平08 - 223228 (JP, A)
特開平08 - 116243 (JP, A)
特開2000 - 106509 (JP, A)
特表2002 - 524899 (JP, A)
特開平04 - 056506 (JP, A)
特開平07 - 154162 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03F 1/00- 3/45、 3/50- 3/52、
3/62- 3/64、 3/68- 3/72