



DEUTSCHES PATENTAMT

In der vom Anmelder eingereichten Fassung veröffentlicht

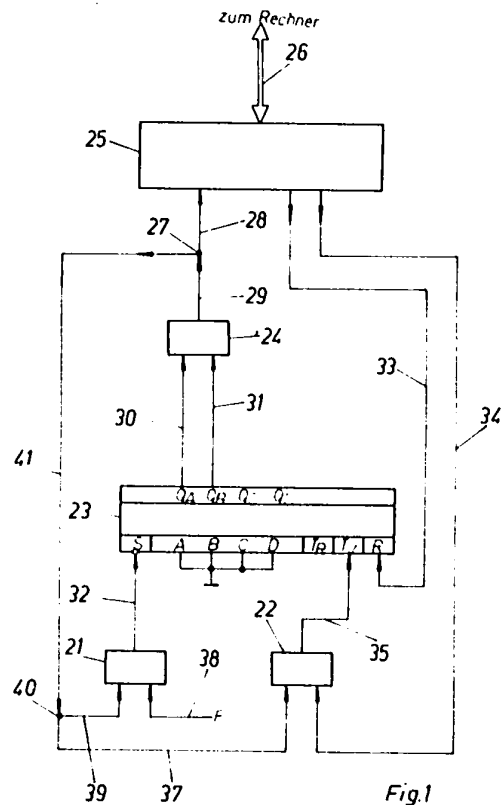
(21) DD H 03 K / 341 638 6 (22) 14.06.90 (44) 24.10.91

(71) siehe (73)
(72) Plewka, Kurt, Dipl.-Ing., DE
(73) Carl Zeiss JENA GmbH, Carl-Zeiss-Straße 1, O - 6900 Jena, DE

(54) Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen

(55) Störimpulsbeseitigung; Digitalsignale; Zählerschaltkreis; Logikelemente, mehrere; Steuereinheit; Mikrorechner; Fehlersignal

(57) Die Erfindung betrifft eine Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen. Die Schaltungsanordnung dient der Ausblendung auftretender Störimpulse in Digitalsignalen, die zeitlich unterhalb einer vorbestimmten Minimallänge liegen. Sie wird in Anlagen, die Digitalsignale mit kurzzeitigen Störungen verarbeiten, genutzt. Ein digitales Fehlersignal wird einem ersten Logikelement zugeführt, das ausgangsseitig mit dem Setzeingang eines Zählerschaltkreises verbunden ist. Ein zweites Logikelement ist ausgangsseitig an den vorwärtszählenden Takteingang des Zählerschaltkreises angeschlossen, dessen Eingang mit dem anderen Eingang des ersten Logikelementes verbunden und an den Eingang einer Steuereinheit geführt ist. Ein drittes Logikelement ist ausgangsseitig an diesen Eingang geschaltet. Die entsprechenden Ausgänge des Zählerschaltkreises sind mit den beiden Eingängen des dritten Logikelementes verbunden. Ein Ausgang der Steuereinheit ist an den Rücksetzeingang des Zählerschaltkreises gelegt, wobei ihr anderer Ausgang am weiteren Eingang des zweiten Logikelementes liegt. Ein Bus verbindet die Steuereinheit mit einem Rechner, wobei in Abhängigkeit von der Art der Auswertung der Signale im Rechner (Interrupt- oder Pollingbetrieb) die Steuereinheit zur sofortigen Auswertung oder beliebig langen Speicherung des angezeigten Fehlersignales vorgesehen ist. Fig. 1



Patentansprüche:

1. Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen, die sich aus einem Zählerschaltkreis, mehreren Logikelementen und einer Steuereinheit zusammensetzt, wobei elektronische Bauelemente zur Anwendung vorgesehen sind, bei der alle Dateneingänge des Zählerschaltkreises an ein Massepotential gelegt sind, bei der ein Setzeingang des Zählerschaltkreises mit einem Ausgang eines ersten Logikelementes verbunden ist, bei der ein Rücksetzeingang des Zählerschaltkreises an einen ersten Ausgang der Steuereinheit gelegt ist, deren Eingang leitungsmäßig über einen ersten und einen zweiten Knotenpunkt an einen Eingang des ersten Logikelementes geführt ist, bei der ein weiterer Eingang des ersten Logikelementes zur Aufnahme eines Fehlersignales vorgesehen ist, wobei zwischen einem Rechner und der Steuereinheit ein Mikrorechnerbus installiert ist, bei der alle Verbindungen elektrisch leitend gestaltet sind, **gekennzeichnet dadurch**, daß der zweite Knotenpunkt (40) mit einem Eingang eines zweiten Logikelementes (22) verbunden ist, dessen weiterer Eingang an einem zweiten Ausgang der Steuereinheit (25) gelegt ist, daß ein vorwärtzählender Takteingang (T_V) des Zählerschaltkreises (23) mit einem Ausgang des zweiten Logikelementes (22) verbunden ist, daß zwischen den beiden Ausgängen (Q_A ; Q_B) des Zählerschaltkreises (23) und den beiden Eingängen eines dritten Logikelementes (24) eine Verbindung vorgesehen ist und daß ein Ausgang des dritten Logikelementes (24) mit dem ersten Knotenpunkt (27) verbunden ist.
2. Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen nach Anspruch 1, **gekennzeichnet dadurch**, daß das erste Logikelement (21) und das zweite Logikelement (22) ein ODER-Glied und das dritte Logikelement (24) ein UND-Glied ist.
3. Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen nach Anspruch 1, **gekennzeichnet dadurch**, daß nur ein Ausgang (Q_A) des Zählerschaltkreises (23) belegt und mit dem ersten Knotenpunkt (27) verbunden ist.

Hierzu 4 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen. Sie dient der Verarbeitung von Digitalsignalen, beispielsweise in Anlagen der EDVA, die kurzzeitige Störungen enthalten.

Charakteristik des bekannten Standes der Technik

In Geräten mit umfangreicher Elektronik sind weitestgehend besondere Maßnahmen erforderlich, um deren Funktion zuverlässig über die gesamte Nutzungsdauer zu garantieren. Diese Tatsache erfordert eine Erkennung bzw. Berücksichtigung von Einflüssen, die eine sichere Funktionsweise des Gerätes ausschließen. Solche Einflüsse zeigen sich beispielsweise im Ausfall der Netzspannung, in einer vom Betreiber entgegen den Vorschriften vorgenommenen Überlastung, einer Überhitzung oder ähnlichen Erscheinungen. Sie erzeugen Fehlersignale meistens digitaler Art, die die Meldung zu einer steuernden Elektronik realisieren. Selten lassen sich dabei längere Leitungen vermeiden. Kurze Störimpulse infolge von Schaltvorgängen an größeren Verbrauchern bzw. induktiven Lasten sind bei den üblichen niedrigen Pegeln logischer Signale kaum vermeidbar. Sie können eine Havarie vortäuschen und die Abschaltung des gesamten Gerätes durch die Fehlersignale bewirken.

Um zu vermeiden, daß durch kurzzeitige Störungen eine niedrige Zuverlässigkeit der Geräte vorgetäuscht wird, ist es üblich, die Störsignale zu unterdrücken. Hierzu existieren mehrere Lösungen, die eine Störsignalunterdrückung oder -ausblendung bei digitaler Signalübertragung realisieren. Aus der DD-PS 225579 ist eine Schaltungsanordnung zum Ausblenden von Störimpulsen bekannt, bei der ein Schieberegister lösungsbezogen angewendet wird. Das Fehlersignal steuert hier den Eingang für Schieberegister so an, daß während der Zeitdauer des Fehlers ein Durchschieben des am seriellen Eingang angelegten hohen Pegels erfolgt. Bei nicht mehr vorhandenem Fehler wird dagegen die Parallelübergabe aktiviert. Sie schaltet den niedrigen Pegel der Dateneingänge auf die Ausgänge und löscht damit alle vorhandenen hohen Pegel. Wenn die von einer Parallelein- bzw. -ausgabeeinheit (PIO) eines Mikrorechnersystem als steuernde Elektronik gelieferten Takte den höheren Pegel bis zu dem Ausgang weitergeschoben haben, an dem ein NOR-Glied angeschlossen ist, steuert dieses sofort einen nachgeschalteten Trigger an, der den Fehlerfall speichert und ihn der PIO mitteilt. Zur Kontrolle der NOR-Glieder und Trigger wird hier ein zusätzlicher Diagnosezyklus nötig. Nachteilig ist bei dieser Lösung der erhöhte Aufwand beim Ausblenden der Störsignale anzumerken, der mit der Feststellung eines geringeren Variabilitätsbereiches der Ausblendezeiten korrespondiert.

Die DD-PS 225579 unterteilt die bekannten Lösungen ferner nach folgenden Aspekten:

1. Anwendung von Zeitgliedern in Verbindung mit Logikelementen;
2. Verzögerung des Fehlersignales mit monostabilen Multivibratoren und nachfolgender logischer Verknüpfung;
3. Ausblendung kurzer Impulse durch Verzögerungsleitungen und logische Elemente;

4. Anlegen des Störsignales an den seriellen Eingang eines Schieberegisters und Überwachung der Ausgänge durch ein Koinzidenzgatter.

Zu diesen Lösungen zählen auch die DD-AS 1 186502 und die DE-AS 2415564, die eine Schaltung zur Sperrung von Eingangsimpulsen, welche hier lösungsbezogen eine Mindestdauer unterschreiten, und eine Schaltung zur Störsignalunterdrückung bei digitaler Signalübertragung beschreiben. Die Lösung der DE-AS 1 186502 besitzt den Nachteil, daß sie fertigungstechnisch nur mit erhöhtem Aufwand realisierbar ist, wobei die benutzten Verzögerungsleitungen zu groß und zu teuer sowie nicht integrierbar sind. Die Anordnung ist nur für Impulse kurzer Dauer mit ca. 1 µs und nur für dynamische Ankopplung geeignet. Nachteilig wirkt sich bei der DE-AS 2415564 aus, daß der Nutzimpuls beim Auftreten eines negativen Störimpulses nach einer Mindestimpulsnutzlänge nur verkürzt anliegt, da hier die Schieberegisterkoinzidenzzeit abzurechnen ist, wobei die Anzahl der Schieberegisterstufen mit beispielsweise nur drei begrenzt ist. Mit dieser Lösung ist auch die Speicherung des Fehlersignals nicht möglich. Die Sperrung der Anordnung ist nur durch ein zusätzlich installiertes Flipflop gelöst. Mit der EP 0236840 bzw. DE-AS 3608440 ist weiterhin eine Lösung bekannt, die ein Verfahren und eine Anordnung zur Störsignal-Unterdrückung anbietet. Hier ist mit Hilfe einer Störsignal-Unterdrückungsschaltung, die in einem digitalen Signalverarbeitungssystem zwischen einer Impuls-Verarbeitungsschaltung und einer Eingangssignalleitung angeordnet ist, die Beseitigung von positiven und negativen Störimpulsen vorgesehen, wobei die Amplitude der Störimpulse der Amplitude der Nutzsignale etwa entspricht. Die Störsignal-Unterdrückungsschaltung umfaßt eine Impulslängen-Bewertungsschaltung und eine Impulspausen-Bewertungsschaltung, die jeweils nur die Impulse bzw. Impulspausen, deren zeitliche Länge kleiner als der erste vorgegebene Grenzwert ist, unterdrücken. Mit ihr werden nur die negativen und positiven Störspannungsspitzen abgeschnitten. Ein weiterer Nachteil zeigt sich in einem hohen Aufwand der Realisierbarkeit der Anordnung und Fertigung derselben, wobei hier die Impulslängenbewertung als Analogschaltung schlecht integrierbar ist. Es sind weitere Lösungen im Stand der Technik bekannt, wie sie beispielsweise in der DD-PS 245542 und der DD-PS 248008 angegeben sind. Die DD-PS 245542 benutzt ebenfalls ein Schieberegister zur digitalen Aussiebung von Störimpulsen, aber nur innerhalb weniger Taktimpulse. Die DD-PS 248008 verwendet eine Schaltungsanordnung zur Klassifizierung von Impulsen verschiedener Länge bei gleichzeitiger Eliminierung von Störimpulsen, deren Bestandteil ein Impulzzähler ist, der die Grenzen der zu unterscheidenden Impulslängen festlegen soll. Dieser Zähler wird nicht gleichzeitig als Speicher verwendet, so daß separate Speicher in der Anordnung dem Zähler nachgeschaltet sind. Ein ausgangsseitig mit der Schaltung verknüpft UND-Glied, das eingangsseitig einerseits an den Ausgang eines Flipflop und andererseits an einen Ausgang des Impulzzählers geschaltet ist, realisiert hier nur eine Schutzzählerfunktion und eine Zählerzustandsübertragung, aber keine Zählerzustandsauswertung.

Ziel der Erfindung

Ziel der Erfindung ist es, eine Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen zu realisieren, die mit vertretbarem technischem Aufwand das Ausblenden von Störimpulsen in Digitalsignalen ermöglicht.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen zu schaffen, mit der in Digitalsignalen zuverlässig auftretende Störimpulse ausblendbar sind, die zeitlich unterhalb einer vorbestimmten Minimallänge liegen.

Erfindungsgemäß wird diese Aufgabe für eine Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen, die sich aus einem Zählerschaltkreis, mehreren Logikelementen und einer Steuereinheit zusammensetzt, wobei elektronische Bauelemente zur Anwendung vorgesehen sind, bei der alle Dateneingänge des Zählerschaltkreises an ein Massepotential gelegt sind, bei der ein Setzeingang des Zählerschaltkreises mit einem Ausgang eines ersten Logikelementes verbunden ist, bei der ein Rücksetzeingang des Zählerschaltkreises an einen ersten Ausgang der Steuereinheit gelegt ist, deren Eingang leitungsmäßig über einen ersten und einen zweiten Knotenpunkt an einen Eingang des ersten Logikelementes geführt ist, bei der ein weiterer Eingang des ersten Logikelementes zur Aufnahme eines Fehlersignales vorgesehen ist, wobei zwischen einem Rechner und der Steuereinheit ein Mikrorechnerbus installiert ist, bei der alle Verbindungen elektrisch leitend gestaltet sind, dadurch gelöst, daß der zweite Knotenpunkt mit einem Eingang eines zweiten Logikelementes verbunden ist, dessen weiterer Eingang an einen zweiten Ausgang der Steuereinheit gelegt ist, daß ein vorwärtszählender Takteingang des Zählerschaltkreises mit einem Ausgang des zweiten Logikschaltkreises verbunden ist, daß zwischen den beiden Ausgängen des Zählerschaltkreises und den beiden Eingängen eines dritten Logikelementes eine Verbindung vorgesehen ist und daß ein Ausgang des dritten Logikelementes mit dem ersten Knotenpunkt verbunden ist.

Die Schaltungsanordnung ist so gestaltet, daß das erste und das zweite Logikelement ein ODER-Glied und das dritte Logikelement ein UND-Glied ist. Sie ist durchaus auch ohne Einbindung eines UND-Gliedes als drittes Logikelement realisierbar, in dem nur ein Ausgang des Zählerschaltkreises belegt und mit dem ersten Knotenpunkt verbunden ist. Die Steuereinheit der Schaltung stellt ein Mikroprozessorsystem dar, dessen Paralleleingabe- bzw. -ausgabeeinheit über einen Mikrorechnerbus mit einem Rechner verbunden ist.

Der schaltungsmäßig vorgesehene Zählerschaltkreis soll als Baustein sowohl die Ausblende- als auch die Speicherfunktion Störsignale übernehmen. Zur Festlegung der Ausblendezeit sind vorteilhafterweise mit einer Koinzidenzschaltung auch Zählerstände heranziehbar, die gleiche Pegel an mehreren Ausgängen des Zählerbausteins erfassen.

Die Steuereinheit kann die sofortige Auswertung eines angezeigten Fehlersignals vornehmen (Interruptbetrieb). Erfolgt nicht sofort die Abarbeitung des Fehlersignals (Pollingbetrieb), so läßt sich eine beliebig lange Speicherzeit des Fehlers erreichen. Sie entsteht durch geeignete Ausbildung oder Programmierung der Steuereinheit in der Weise, daß nach der Fehlerfeststellung die abgefragten Taktimpulse ausbleiben oder in einer vorteilhaften Ergänzung der erfindungsgemäßen

Lösung durch Einfügen eines einfachen logischen Verknüpfungselementes vor dem Takteingang des Zählerschaltkreises. Außerdem entsteht durch geeignete Wahl der Taktzeitpunkte eine universelle Anpaßbarkeit der erfindungsgemäßen Anordnung an die auftretenden Störprobleme.

Wesentlich ist, daß ein Zählerbaustein auch als Bauelement zur Speicherung eines Fehlers geeignet ist. Es wird deutlich, daß in Abhängigkeit von der Art der Auswertung im Mikrorechner (Interrupt- oder Pollingbetrieb) unterschiedliche logische Verknüpfungen bei minimalem Aufwand möglich sind. Die größere zeitliche Variationsbreite wird sichtbar, da der Zählerbaustein wesentlich mehr unterschiedliche Zählerstellungen aufweist als äquivalente andere Schaltelemente. Die vorgeschlagene Schaltungsanordnung ist zur Beseitigung von Störimpulsen in Digitalsignalen auftretenden Störimpulse zuverlässig ausblendbar, die zeitlich unterhalb einer vorbestimmten Miniränge liegen. Sie ist mit vertretbarem technischem Aufwand realisierbar.

Ausführungsbeispiele

Die Erfindung soll nachfolgend an zwei Ausführungsbeispielen erläutert werden. In den dazugehörigen Zeichnungen zeigt

Fig. 1: die erfindungsgemäße Schaltungsanordnung zur Beseitigung von Störimpulsen in Digitalsignalen;

Fig. 2: das Impulsdigramm der erfindungsgemäßen Schaltungsanordnung;

Fig. 3: die erfindungsgemäße Schaltungsanordnung mit verschiedenen möglichen Varianten;

Fig. 4: das Impulsdigramm der erfindungsgemäßen Schaltungsanordnung mit verschiedenen möglichen Varianten.

Die in Fig. 1 dargestellte Schaltungsanordnung in allgemeiner Form umfaßt einen Zählerschaltkreis 23, drei Logikelemente 21, 22, 24 und eine Steuereinheit 25. Das erste Logikelement 21 und das zweite Logikelement 22 verkörpert jeweils ein ODER-Glied, wobei das dritte Logikelement 24 ein UND-Glied ist. Die Steuereinheit 25 stellt schaltungsgemäß eine Paralleleingabe- bzw. -ausgabeeinheit (PIO) dar, die über einen Mikrorechnerbus 26 mit einem Rechner verbunden ist. Alle in der Anordnung zwischen den Schaltelementen aufgeführten Verbindungen sind elektrisch leitend ausgelegt.

Die Realisierungsform der Schaltung sieht den Einsatz elektronischer Schaltelemente vor, wobei die Dateneingänge A, B, C, D des Zählerschaltkreises 23 über eine Leitungsbrücke miteinander verbunden und an ein Massepotential gelegt sind. Das Fehlersignal F liegt auf der Leitung 38 im stationären Fall auf niedrigem Potential. Der Zählerschaltkreis 23 ist im Ausgangszustand und nach der Abarbeitung eines Fehlers durch das Rücksetzsignal auf der Leitung 33, das die Steuereinheit 25 des Mikrorechnersystems erzeugt, auf seinen Ausgangszustand zurückgesetzt, das heißt niedriges Potential liegt an seinen Ausgängen Q_A , Q_B , Q_C , Q_D . Das ODER-Glied 21 erzeugt demzufolge am Setzeingang S des Zählerschaltkreises 23 ebenfalls niedriges Potential.

Damit ist gesichert, daß die Ausgänge Q_A , Q_B , Q_C , Q_D des Zählerschaltkreises 23 auf niedrigem Potential trotz eintreffender Taktimpulse am Takteingang T_V des Zählerschaltkreises 23 bleiben, weil die Dateneingänge A bis D an Masse liegen. Sobald ein Fehlersignal F auftritt führt die Leitung 38 hohes Potential, das auf den Setzeingang S des Zählerschaltkreises 23 übertragen wird. Da am ersten Knotenpunkt 27 ein niedriges Potential erhalten bleibt, können jetzt die von der PIO 25 gelieferten Taktimpulse über das ODER-Glied 22 auf den Zählerschaltkreis 23 einwirken. Liegt das Fehlersignal F zeitlich so lange an, bis die Taktimpulse die Ausgänge Q_A und Q_B auf hohes Potential geschaltet haben, erhält der Knotenpunkt 27 über das UND-Glied 24 hohes Potential. Dieses hohe Potential bildet die Übertragung des Fehlersignals F zum Mikrorechnersystem. Es stoppt den Zählerschaltkreis 23, indem am Takteingang T_V keine Taktimpulse mehr auftreten.

Diese Verhältnisse sind in Fig. 2 im Impulsdigramm einzeln dargestellt. In diesem Impulsdigramm ist auch deutlich zu erkennen, daß das Fehlersignal F am Knotenpunkt 27 erst dann zur Abarbeitung über die Elemente 25 und 26 des Mikrorechnersystems bereitsteht, wenn die vorgeschriebene Stellung des Zählerschaltkreises 23 erreicht ist.

Die Wirkungsweise der erfindungsgemäßen Schaltungsanordnung mit verschiedenen möglichen Varianten, im besonderen in einer typischen Anwendung zur Verarbeitung von drei Fehlersignalen F_1 bis F_3 , die in digitaler Form vorliegen, wird nachfolgend anhand von Fig. 3 dargestellt. Die in Fig. 3 dargestellte Anordnung umfaßt drei Zählerschaltkreise 7 bis 9; vier ODER-Glieder 12 bis 14 und 17, ein UND-Glied 15 und eine Steuereinheit 4. Die Steuereinheit 4 ist hier ein Mikroprozessorsystem, dessen Paralleleingabe- bzw. -ausgabeeinheit (PIO) über einen Mikrorechnerbus 5 mit einem Rechner verbunden ist. Alle in der Anordnung aufgeführten Verbindungen zwischen den Schaltelementen sind elektrisch leitend ausgelegt, wobei schaltungstechnisch der Einsatz elektronischer Schaltelemente als mögliche Realisierungsform vorgesehen ist. Die Dateneingänge A, B, C, D der Zählerschaltkreise 7 bis 9 sind über eine Leitungsbrücke verbunden und an ein Massepotential gelegt.

Zu Beginn aller Überwachungsprozesse stellt die Steuereinheit 4 über die Leitung 6 die Zählerschaltkreise 7 bis 9 aller drei Kanäle durch einen kurzen Impuls hohen Pegels über die Rücksetzeingänge R zurück. Das Fehlersignal F_1 vom ersten Kanal wird über Leitung 1 in die Schaltungsanordnung eingespeist. Es gelangt nach der Befreiung von seinen Störsignalen über die Leitung 10 zum Mikrorechner. Die Quelle des auf Leitung 10 vorhandenen Digitalsignals ist der Ausgang Q_D des Zählerschaltkreises 7. Der Ausgang Q_D des Bausteines 7, der über Leitung 43 und Knotenpunkt 48 mit Leitung 10 und über Leitung 50 mit der Steuereinheit 4 verbunden ist, befindet sich nach dem Rücksetzen auf niedrigem Pegel. Seitdem sendet der Rechner über die Leitung 11 Taktimpulse niedrigen Potentials zu allen drei Zählerschaltkreisen 7 bis 9. Ist ein Fehler aufgetreten, so besitzt die Leitung 1 ein hohes Potential und das ODER-Glied 12 kann den Zählerschaltkreis 7 nicht beeinflussen. Statt dessen bewirken jetzt die ständig über die Leitung 11 eintreffenden Taktimpulse mit ihrer positiven Flanke hier ein Vorwärtszählen des Zählerschaltkreises 7. Je länger das Fehlersignal F_1 anliegt, um so höher steigt der Zählerstand. Im ersten Kanal entsteht so nach 2^3 Taktimpulsen das dem Rechner auf Leitung 10 gemeldete Fehlersignal in Gestalt hohen Pegels, das beispielsweise sofort einen Interrupt auslösen kann. Sofern das Fehlersignal F_1 eine kürzere Zeit anliegt, bewirkt sein niedriger Pegel zusammen mit dem niedrigen Pegel auf Leitung 10 über das ODER-Glied 12 ein Laden des Zählerbausteines 7 mit den Dateneingängen A bis D, die auf niedrigem Potential liegen und somit alle Zählerausgänge Q_A bis Q_D auf niedriges Potential setzen. Im zweiten Kanal wird das Fehlersignal F_2 über Leitung 2 eingespeist, wobei hier dargestellt ist, daß die Anordnung auch Fehlersignale vortäuschende

Störimpulse unterdrücken kann, die kürzer sind als eine Zahl von Taktimpulsen, die sich nicht nur durch eine einzige Zweierpotenz ausdrücken läßt. Das entsprechende Dekodierungselement ist das UND-Glied 15. Vom Eingang der Leitung 2 können deshalb Störimpulse unterdrückt werden, die kürzer als $(2^3 + 2^2)$ Taktimpulse sind. Das bedeutet, daß eine Interruptauslösung im Mikrorechner über Leitung 16 erst nach dieser Zeit erfolgen kann.

Soll die Fehlermeldung im Rechner bei weiterer Aussendung von Taktimpulsen nicht durch Unterbrechung (Interrupt) erfolgen, so kann die Konfiguration der erfindungsgemäßen Lösung nach dem Beispiel der Ausführung im Kanal 3 erfolgen. Dort ist die Leitung 11 zur Einspeisung der Taktsignale über den Knotenpunkt 48 und die Leitung 55 an den Knotenpunkt 37 und von dort über die Leitung 61 an ein zusätzliches ODER-Glied 17 geführt, das außerdem vom Ausgang Q_C des Zählerschaltkreises 9, der über die Leitung 67, den Knotenpunkt 66, die Leitung 19, den Knotenpunkt 64, und der Leitung 65 mit dem ODER-Glied 17 verbunden ist, beeinflusst wird. Dieses auf Leitung 19 über Leitung 36 dem Mikrorechner zugeführte verarbeitete Fehlersignal, das vom Eingang der Leitung 3 stammt, braucht somit nicht unmittelbar abgefragt werden. Es steht beliebig lange zur Auswertung bereit. Das Impulsdiagramm in Fig. 4 demonstriert die Verhältnisse im einzelnen, die mit der Anordnung nach Fig. 3 bewirkt werden. Zum besseren Verständnis enthält Fig. 4 links neben den Kurvenzügen die Nummer der Leitung, in der die betreffenden Signale auftreten, und die Signalbezeichnung auf dem Kurvenzug.

Es ist zu erkennen, daß die Zählvorgänge in Abhängigkeit von den Taktimpulsen auf Leitung 11, d. h. von deren positiver Flanke, stattfinden. Sie sind deshalb als oberster Impulszug abgebildet. Darunter ist ein angenommenes Fehlersignal F_1 auf Leitung 1 dargestellt, daß die entsprechende Weiterschaltung der Ausgänge Q_A bis Q_D vom Zählerbaustein 7 im ersten Verarbeitungskanal bewirkt. Sein kurzes Störsignal (niedriger Pegel) wird nicht weiter über den Ausgang Q_D zur PIO übertragen, da die Fehlersignallänge noch nicht den auszuwertenden Zählerstand (Leitung 10: $Q_D \triangleq 8$ Taktimpulse) erreicht. Dafür wird der Zählerbaustein 7 über seinen Eingang S auf Leitung 44 vom kurzzeitigen Nullpegel auf Leitung 1 so beeinflusst, daß die auf niedrigem Pegel liegenden Dateneingänge A bis D die entsprechenden Ausgänge ebenfalls auf niedrigen Pegel setzen. Dieses ist in Fig. 4 nach der fünften erhaltenen Taktflanke der Fall. Nachdem das Fehlersignal F_1 acht Taktflanken lang anlag (Taktflanke 6 bis 13), erreicht Q_D hohen Pegel und stellt somit das an die PIO weiter gemeldete Fehlersignal dar, das zusammen mit den anderen Zählerausgängen Q_A bis Q_C nach Abarbeitung des Fehlersignals durch ein von der PIO auf der Leitung 6 in Gestalt hohen Pegels eingespeistes Rücksetzsignal über den Eingang R des Zählerbausteins zurückgesetzt wird. Aus dem zweiten Kanal (Fehlersignal F_2 am Eingang der Leitung 2) ist der Signalverlauf auf Leitung 16 dargestellt, der zeigt, daß bei einem Dualzählerbaustein 8 mit Hilfe einer UND-Schaltung 15 auch Zählerstände auswertbar sind, die durch hohe Pegel an mehreren Zählerausgängen dargestellt werden. Aus dem dritten Kanal von Fig. 3 sind letztlich in Fig. 4 die Signale auf den Leitungen 19 und 18 angegeben. Sie zeigen, daß das Fehlersignal F_3 auf Leitung 3 mit hohem Pegel an Q_C (= 4 Taktperioden) ausgewertet wird und daß bei zyklischem Abfragebetrieb beliebiger Dauer zweckmäßigerweise ein ODER-Glied 17 vor die Taktleitung 18 geschaltet wird.

-5-

295290

zum Rechner

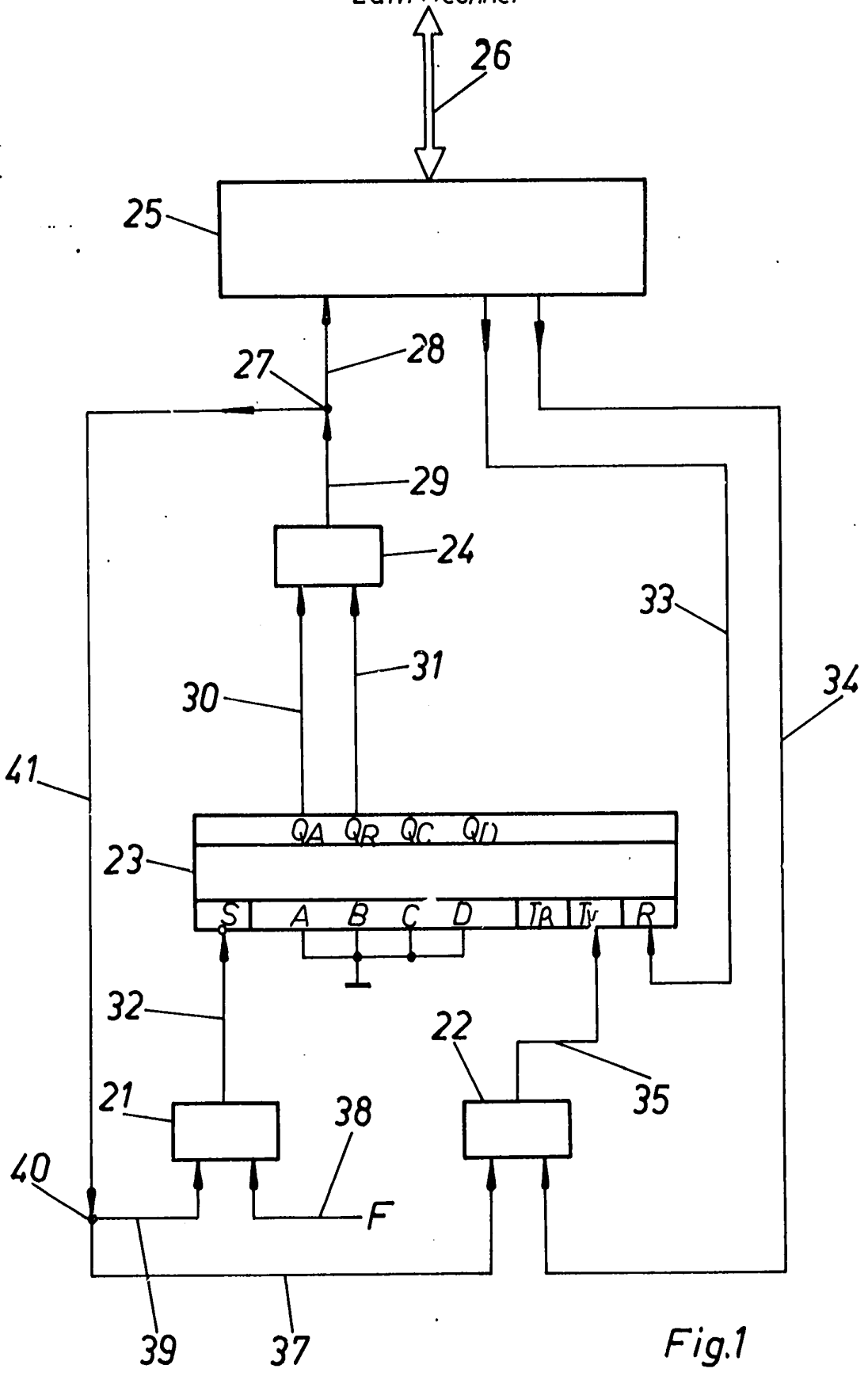


Fig.1

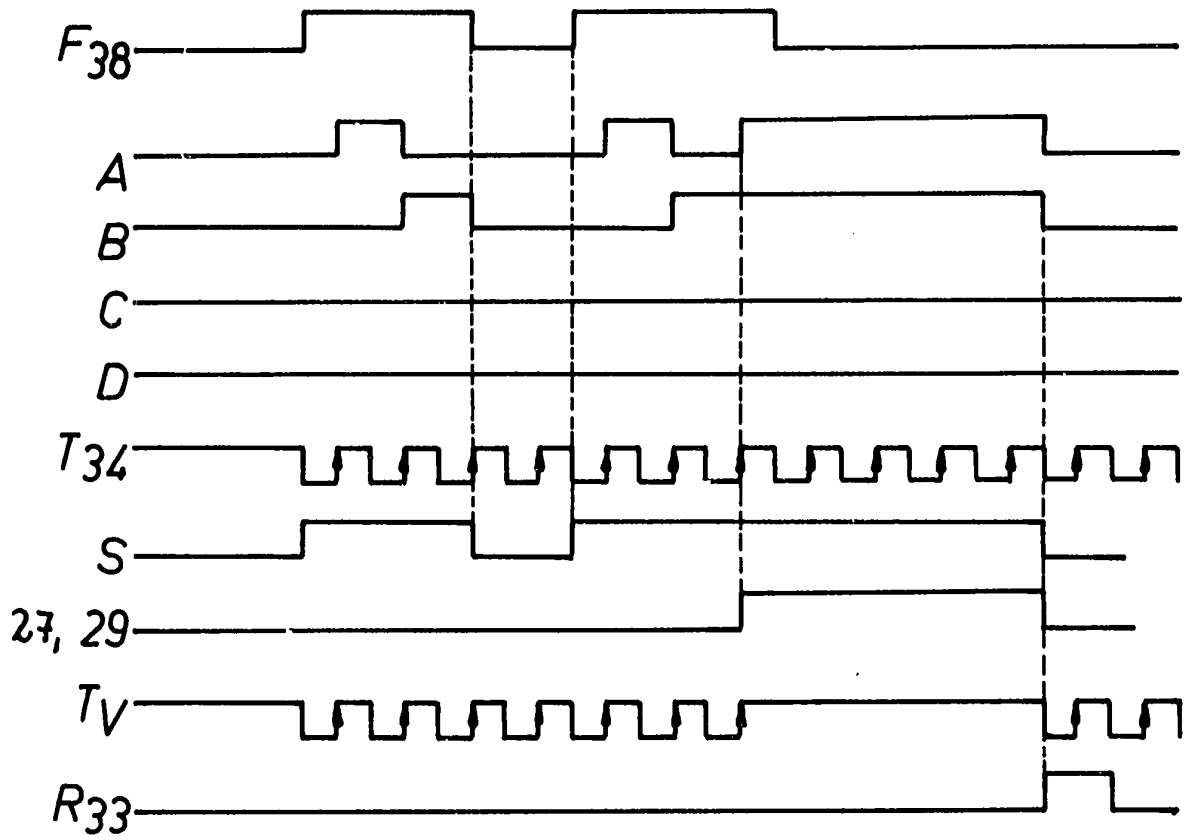


Fig. 2

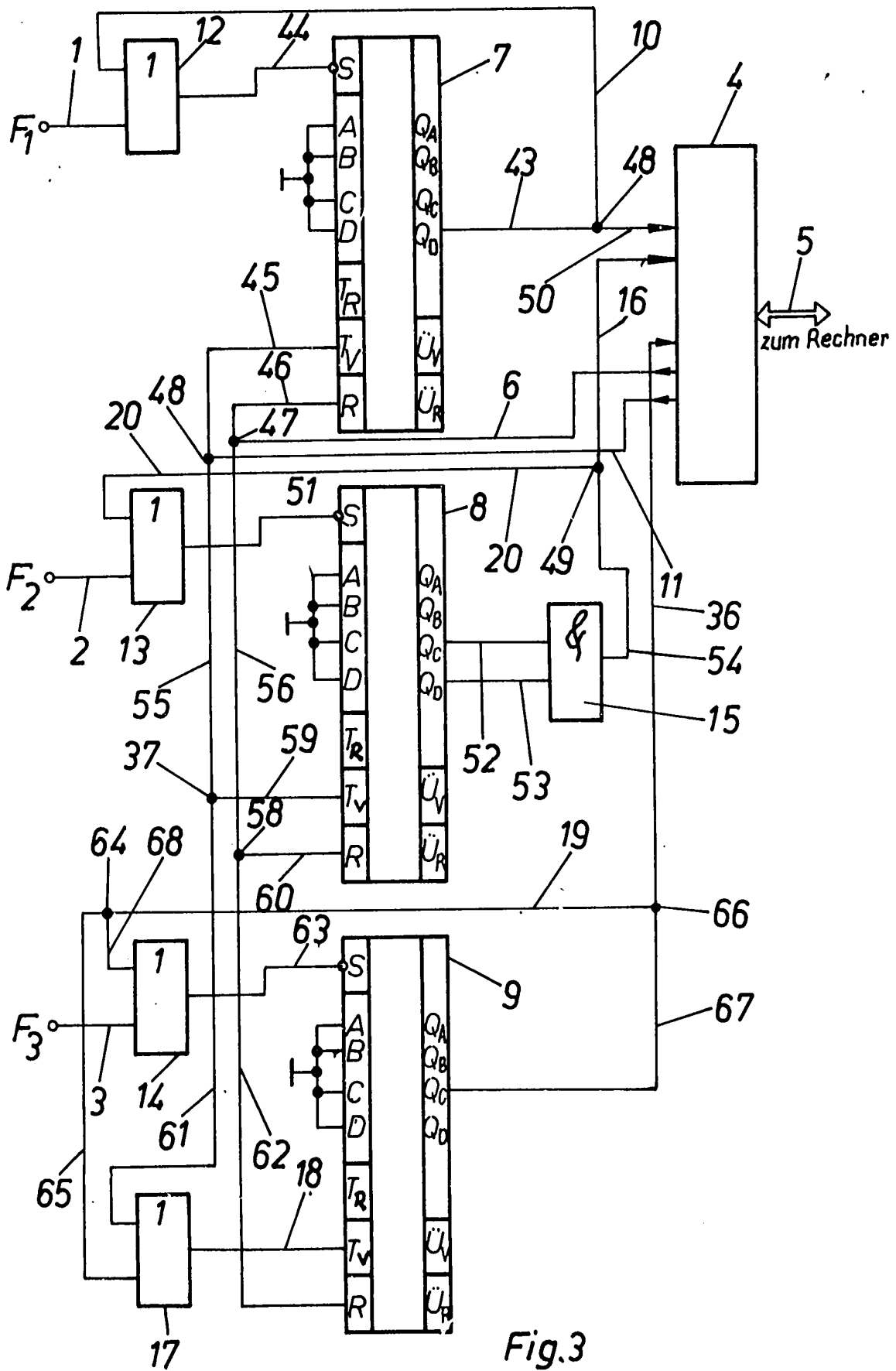


Fig.3

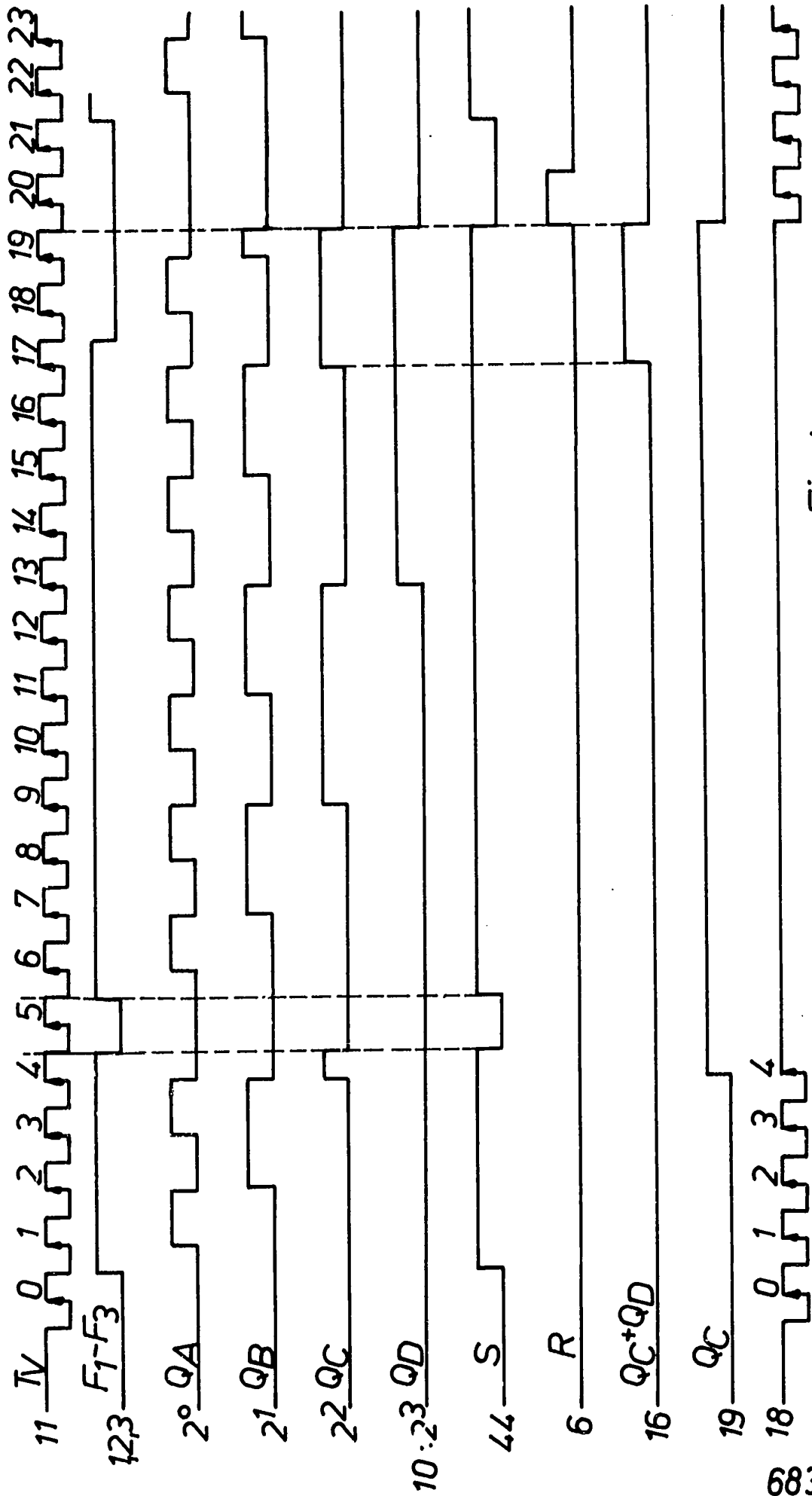


Fig.4