



(12)发明专利申请

(10)申请公布号 CN 106505058 A

(43)申请公布日 2017.03.15

(21)申请号 201611103017.5

(22)申请日 2016.12.05

(71)申请人 嘉盛半导体(苏州)有限公司

地址 215021 江苏省苏州工业园区西沈浒路88号

(72)发明人 吴斌 李明劼 沈堂芹 钮友华
陈武伟

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 王涛 汤在彦

(51)Int.Cl.

H01L 23/488(2006.01)

H01L 23/528(2006.01)

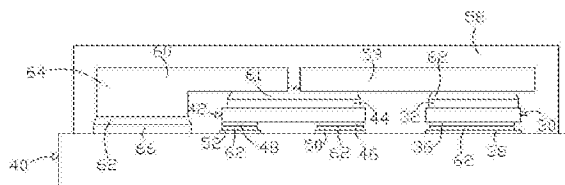
权利要求书2页 说明书4页 附图4页

(54)发明名称

半导体多芯片模块系统

(57)摘要

一种半导体多芯片模块系统,包括:设置有第一导电焊盘、第二导电焊盘、第三导电焊盘的衬底;第一半导体器件,下表面设置有第一接触件,上表面设置有第二接触件;第一接触件连接至第一导电焊盘;第二半导体器件,上表面设置有第一接触件,下表面设置有第二接触件;第二接触件连接至所述第二导电焊盘;第一导电元件,下表面连接至所述第一半导体器件的第二接触件;第二导电元件,下表面连接至第一半导体器件的第二接触件及所述第二半导体器件的第一接触件;其中,第一导电元件及第二导电元件中的至少一个连接至所述第三导电焊盘。本发明的半导体多芯片模块系统中包括导电元件,可以降低电阻值,提高导电性能。



1. 一种半导体多芯片模块系统,其特征在于,包括:
衬底,所述衬底上设置有第一导电焊盘、第二导电焊盘、第三导电焊盘;
第一半导体器件和第二半导体器件,每个半导体器件具有设置在其下表面的第一接触件和设置在其上表面的第二接触件;其中所述第一半导体器件的第一接触件连接至第一导电焊盘,所述第二半导体器件的第二接触件连接至所述第二导电焊盘;
第一导电元件,所述第一导电元件的下表面连接至所述第一半导体器件的第二接触件;
第二导电元件,所述第二导电元件的下表面连接至所述第一半导体器件的第二接触件及所述第二半导体器件的第一接触件;
其中,所述第一导电元件及第二导电元件中的至少一个连接至所述第三导电焊盘。
2. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一导电元件及第二导电元件的至少之一具有连接器,所述连接器通过导电层连接至所述第三导电焊盘。
3. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一导电元件与所述第二导电元件间隔置于同一水平面上,通过导电层连接。
4. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一导电元件与所述第二导电元件叠放在一起,接触部分通过导电层连接。
5. 根据权利要求4所述的半导体多芯片模块系统,其特征在于,所述第一导电元件与所述第二导电元件部分重叠或者全部重叠。
6. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一导电元件与所述第二导电元件通过卡锁部件连接。
7. 根据权利要求2所述的半导体多芯片模块系统,其特征在于,所述第一导电元件或第二导电元件具有一连接器,所述连接器从所述第一导电元件或第二导电元件的一端向下伸出。
8. 根据权利要求2所述的半导体多芯片模块系统,其特征在于,所述第一导电元件及第二导电元件分别具有一连接器,所述第一导电元件的连接器从所述第一导电元件的一端向下伸出;所述第二导电元件的连接器从所述第二导电元件的一端向下伸出。
9. 根据权利要求2、7、8中任一项所述的半导体多芯片模块系统,其特征在于,所述连接器相对的两个端部分别设有卡固部件,用于卡在所述衬底上。
10. 根据权利要求9所述的半导体多芯片模块系统,其特征在于,所述卡固部件具有两个支撑脚。
11. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一半导体器件的第一接触件通过导电层连接至第一导电焊盘。
12. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第二半导体器件的第二接触件通过导电层连接至所述第二导电焊盘。
13. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第一导电元件的下表面通过导电层连接至所述第一半导体器件的第二接触件。
14. 根据权利要求1所述的半导体多芯片模块系统,其特征在于,所述第二导电元件的下表面通过导电层分别连接至所述第一半导体器件的第二接触件及所述第二半导体器件的第一接触件。

15. 根据权利要求1-4、6、11-13中任一项所述的半导体多芯片模块系统,其特征在于,所述导电层为焊料或导电环氧树脂。

半导体多芯片模块系统

技术领域

[0001] 本发明涉及多芯片模块封装技术,特别是关于一种半导体多芯片模块系统。

背景技术

[0002] 随着对功率半导体和功率模块的节能要求,封装在产品的整体性能中起着重要的作用。传统的引线键合的方法被广泛应用于各种封装。目前,引线键合技术成熟,成本低,可适用于多种封装。但是,在功率半导体和功率模块封装中若采用引线键合方法,则需要较多的引线来连接源极以降低导通电阻 $R_{DS(ON)}$ 或增加功率密度,这种方式一方面仍然无法显著降低整个封装产品的 $R_{DS(ON)}$,另一方面多条引线会增加电感,同时影响生产效率及增加材料成本(Au丝)。

发明内容

[0003] 本发明实施例提供了一种半导体多芯片模块系统,以提高导电性能,提高散热能力,降低电感,从而提高整个封装体性能。

[0004] 为了实现上述目的,本发明实施例提供了一种半导体多芯片模块系统,包括:

[0005] 衬底,所述衬底上设置有第一导电焊盘、第二导电焊盘、第三导电焊盘;

[0006] 第一半导体器件和第二半导体器件,每个半导体器件具有设置在其下表面的第一接触件和设置在其上表面的第二接触件;其中所述第一半导体器件的第一接触件连接至第一导电焊盘,所述第二半导体器件的第二接触件连接至所述第二导电焊盘;

[0007] 第一导电元件,所述第一导电元件的下表面连接至所述第一半导体器件的第二接触件;

[0008] 第二导电元件,所述第二导电元件的下表面连接至所述第一半导体器件的第二接触件及所述第二半导体器件的第一接触件;

[0009] 其中,所述第一导电元件及第二导电元件中的至少一个连接至所述第三导电焊盘。

[0010] 一实施例中,所述第一导电元件及第二导电元件的至少之一具有连接器,所述连接器通过导电层连接至所述第三导电焊盘。

[0011] 一实施例中,所述第一导电元件与所述第二导电元件间隔设置于同一水平面上,通过导电层连接。

[0012] 一实施例中,所述第一导电元件与所述第二导电元件叠放在一起,接触部分通过导电层连接。

[0013] 一实施例中,所述第一导电元件与所述第二导电元件部分重叠或者全部重叠。

[0014] 一实施例中,所述第一导电元件与所述第二导电元件通过卡锁部件连接。

[0015] 一实施例中,所述第一导电元件或第二导电元件具有一连接器,所述连接器从所述第一导电元件或第二导电元件的一端向下伸出。

[0016] 一实施例中,所述第一导电元件及第二导电元件分别具有一连接器,所述第一导

电元件的连接器的连接从所述第一导电元件的一端向下伸出；所述第二导电元件的连接器的连接从所述第二导电元件的一端向下伸出。

[0017] 一实施例中，所述连接器相对的两个端部分别设有卡固部件，用于卡在所述衬底上。

[0018] 一实施例中，所述卡固部件具有两个支撑脚。

[0019] 一实施例中，所述第一功率半导体器件的第一接触件通过导电层连接至第一导电焊盘。

[0020] 一实施例中，所述第二功率半导体器件的第二接触件通过导电层连接至所述第二导电焊盘。

[0021] 一实施例中，所述第一导电元件的下表面通过导电层连接至所述第一功率半导体器件的第二接触件。

[0022] 一实施例中，所述第二导电元件的下表面分别通过导电层分别连接至所述第一功率半导体器件的第二接触件及所述第二功率半导体器件的第一接触件。

[0023] 一实施例中，所述导电层为焊料或导电环氧树脂。

[0024] 本发明的半导体多芯片模块系统中包括导电元件，可以降低电阻值，提高导电性能。

附图说明

[0025] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0026] 图1为本发明一实施例的半导体多芯片模块系统的结构示意图；

[0027] 图2为本发明一实施例的导电元件之间的位置关系示意图；

[0028] 图3为本发明一实施例的导电元件之间的位置关系示意图；

[0029] 图4为本发明一实施例的导电元件之间的位置关系示意图；

[0030] 图5为本发明一实施例的导电元件之间的位置关系示意图；

[0031] 图6至图11为本发明实施例的连接器的示意图；

[0032] 图12为本发明实施例的连接器的结构示意图。

具体实施方式

[0033] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0034] 图1为本发明一实施例的半导体多芯片模块系统的结构示意图，如图1所示，该半导体多芯片模块系统包括：衬底40，功率半导体器件42，功率半导体器件30，导电元件60及导电元件59等。

[0035] 功率半导体器件42及功率半导体器件30均可以为功率半导体器件(MOSFET)，其中一个可以

为倒装的功率半导体器件 (MOSFET), 本发明仅以半导体器件为功率半导体器件进行说明, 并非用于限定。

[0036] 衬底40上设置有导电焊盘50、导电焊盘38及至少一导电焊盘66。

[0037] 功率半导体器件42的下表面设置有接触件46, 功率半导体器件42的上表面设置有接触件44。功率半导体器件42的接触件46连接至导电焊盘50。功率半导体器件42的接触件46及接触件44可以分别为源极接触件及漏极接触件, 本发明仅以功率半导体器件42的接触件46及接触件44分别为源极接触件及漏极接触件进行说明。

[0038] 功率半导体器件30的上表面设置有接触件32, 功率半导体器件30的下表面设置有接触件36。功率半导体器件的接触件36连接至导电焊盘38。功率半导体器件30的接触件32、接触件36可以分别为源极接触件及漏极接触件, 本发明仅以功率半导体器件42的接触件32、接触件36分别为源极接触件及漏极接触件进行说明。

[0039] 导电元件60的下表面连接至功率半导体器件42的漏极接触件44。

[0040] 导电元件59的下表面连接至功率半导体器件42的漏极接触件44及功率半导体器件30的源极接触件32。

[0041] 需要说明的是, 本发明要求保护导电元件60及导电元件59与功率半导体器件42及功率半导体器件30的所有连接方式, 即其中一个导电元件的下表面的任何部位均可连接至功率半导体器件42的漏极接触件44, 另一个导电元件的下表面的任何部位均可连接至功率半导体器件42的漏极接触件44及功率半导体器件30的源极接触件32。也可以, 一个导电元件的下表面的任何部位均可连接至功率半导体器件42的漏极接触件44及功率半导体器件30的源极接触件32, 另一个导电元件的下表面的任何部位均可连接至功率半导体器件30的源极接触件32, 不限于图1所示的连接方式。

[0042] 图1所示的实施例中, 衬底40上还可以设置导电焊盘52, 功率半导体器件42的下表面还可以设置有栅极接触件48, 栅极接触件48可以通过导电层62连接至导电焊盘52。本发明中, 栅极接触件48及导电焊盘52均为可选的部件, 图1所示的栅极接触件48及导电焊盘52仅用于说明本实施例, 并非用于限定本发明。

[0043] 其中, 导电元件60及导电元件59中的至少一个连接至导电焊盘66。

[0044] 具体实施时, 导电元件60与导电元件59可以相互电连接, 也可以不相互电连接。

[0045] 导电元件60及导电元件59的至少之一具有连接器, 连接器通过导电层连接至电焊盘66。

[0046] 导电元件60与导电元件59的位置关系有多种, 一实施例中, 如图1及图2所示, 导电元件60与导电元件59间隔设置于同一水平面上。导电元件60与导电元件59可以通过导电层61电连接, 并且导电元件60通过导电层61连接至功率半导体器件42的漏极接触件44, 导电元件59的下表面通过导电层61连接至功率半导体器件42的漏极接触件44, 如图1所示。

[0047] 一实施例中, 如图3所示, 导电元件60与导电元件59叠放在一起, 接触部分通过导电层67连接。导电元件60与导电元件59可以是部分重叠, (如图3所示), 也可以是全部重叠。

[0048] 一实施例中, 导电元件60与导电元件59通过卡锁部件连接。具体实施时, 卡锁部件包括凸起部及卡合部, 如图4及图5所示, 导电元件59设置有凸起部82, 导电元件60设置有卡合部80, 当凸起部82插入卡合部80时, 可以被卡合部80卡锁住。

[0049] 本发明具体实施时, 可以不设置连接器, 可以设置1个连接器, 可以设置2个连接

器,也可以设置多个连接器。一实施例中,导电元件60或导电元件59具有一连接器,连接器从导电元件或导电元件的一端向下伸出,如图6至图9所示。连接器可以与导电元件60或导电元件59连接,或者与导电元件60或导电元件59一体成型。具体实施时,如图1所示,可以在导电元件60的一端设置连接器64,连接器64通过导电层62连接至导电焊盘66。

[0050] 一实施例中,导电元件60及导电元件59分别具有至少一个连接器,导电元件的每一连接器从导电元件的一端向下伸出;导电元件的每一连接器从导电元件的一端向下伸出,如图10及图11所示。

[0051] 一较佳实施例中,连接器相对的两个端部分别设有卡固部件70,卡固部件70可以卡在衬底40上,使导电元件固定。具体实施时,每一卡固部件70可以具有两个支撑脚72及74,如图12所示。

[0052] 本发明具体实施时,多个部件之间可以通过导电层连接,具体地,功率半导体器件42的源极接触件46分别通过导电层62连接至导电焊盘50,功率半导体器件30的漏极接触件36通过导电层62连接至导电焊盘38,导电元件60的下表面通过导电层62连接至功率半导体器件42的漏极接触件44,导电元件59的下表面分别通过导电层62分别连接至功率半导体器件42的漏极接触件44及功率半导体器件30的源极接触件32。导电层可以为焊料或导电环氧树脂等材料。

[0053] 本发明的半导体多芯片模块系统中包括导电元件,可以降低电阻值,提高导电性能。

[0054] 本发明中应用了具体实施例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

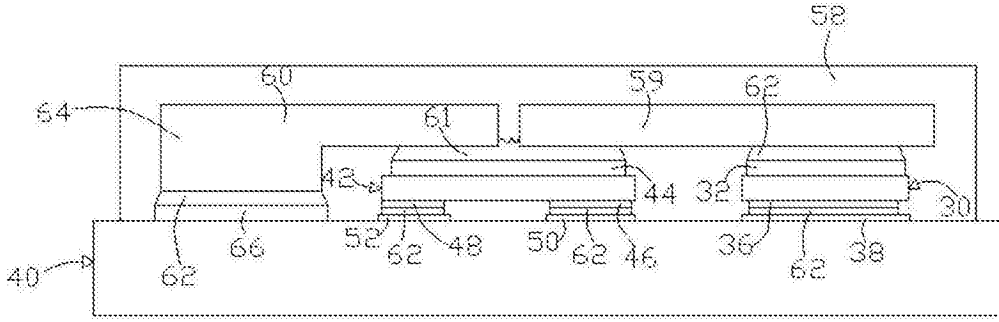


图1

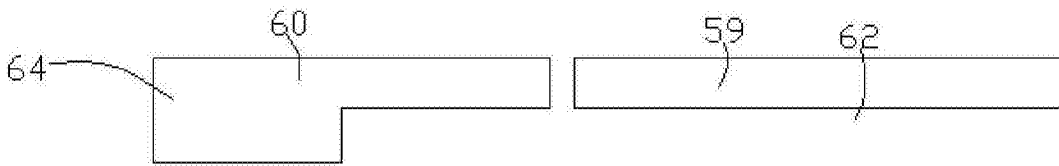


图2

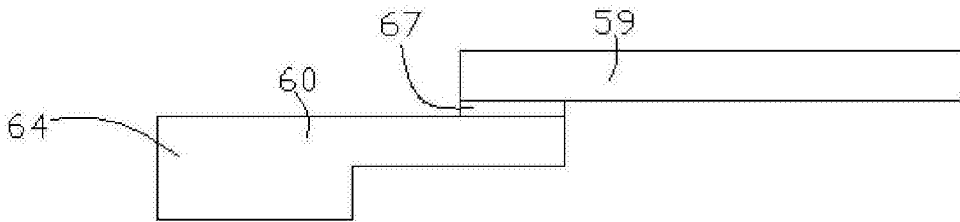


图3

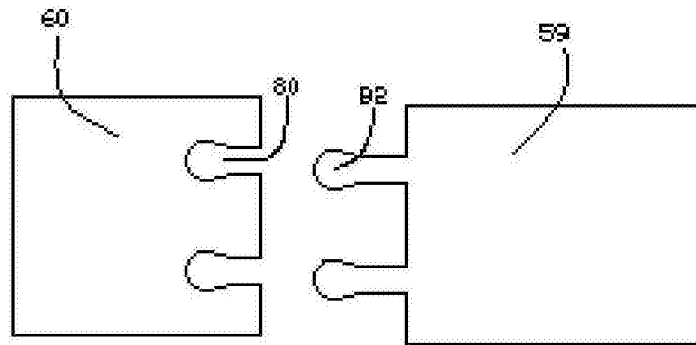


图4

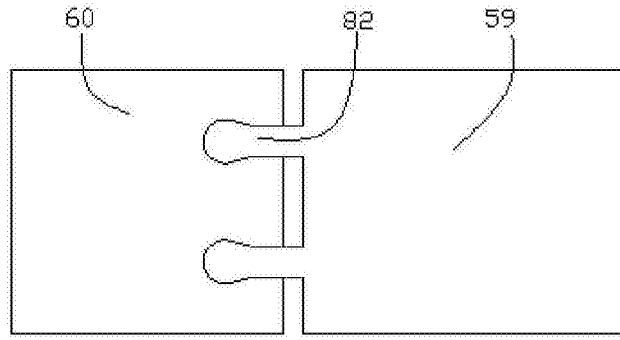


图5

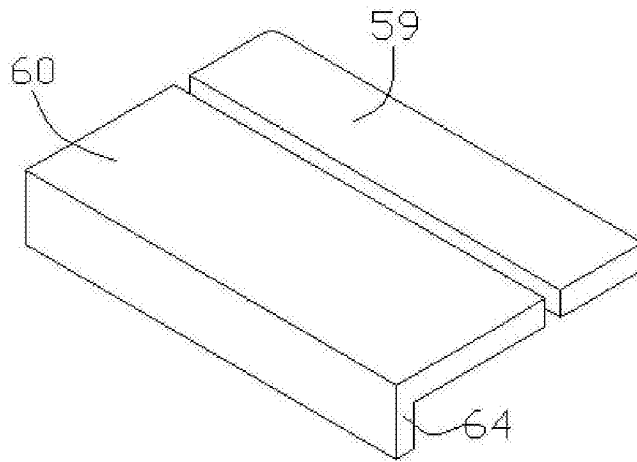


图6

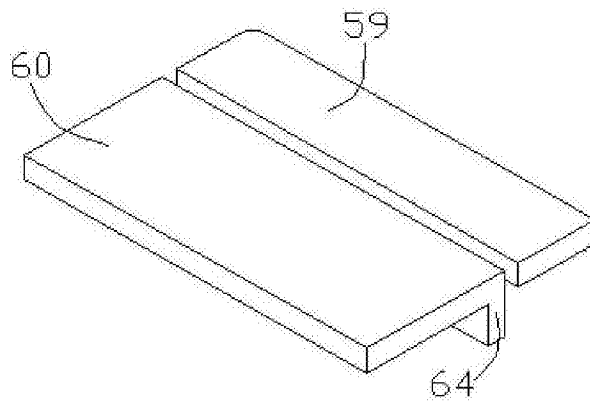


图7

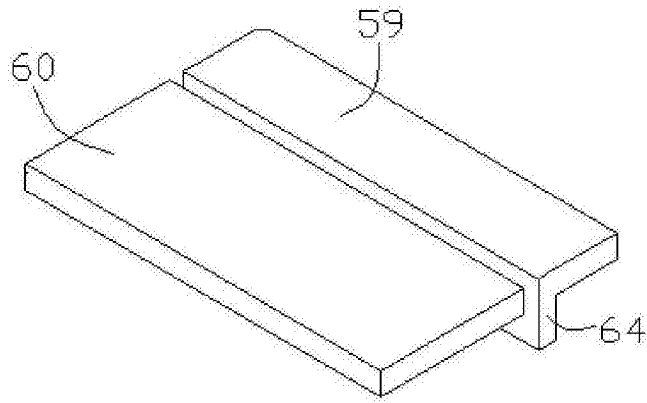


图8

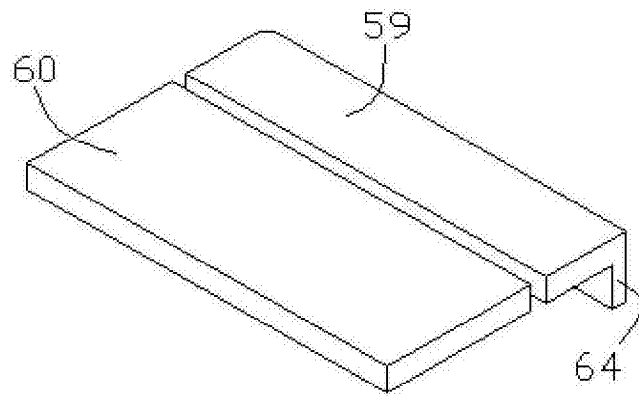


图9

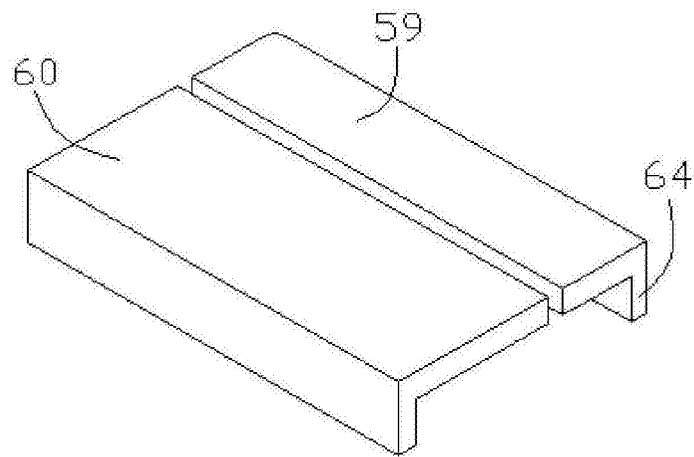


图10

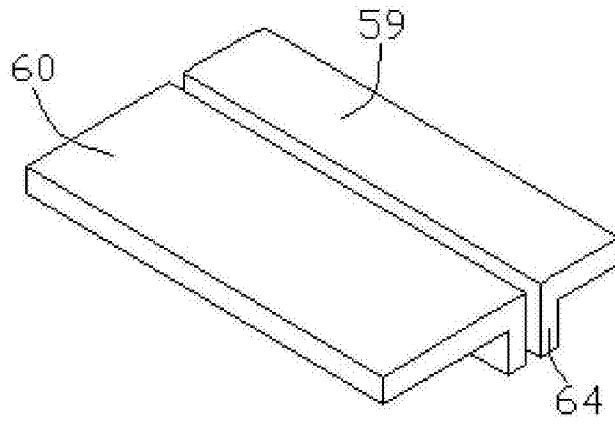


图11

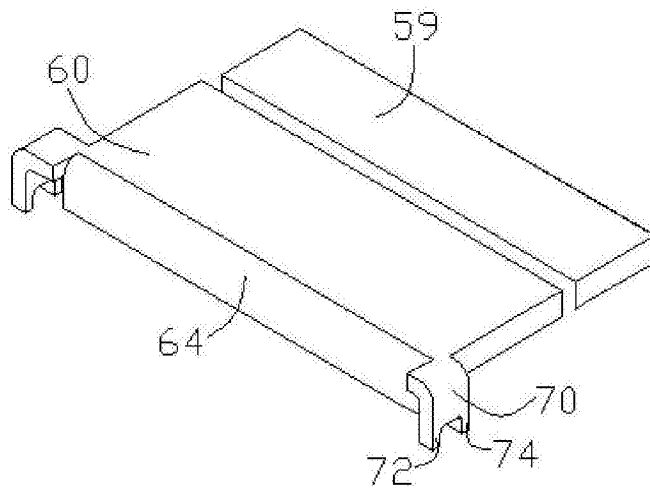


图12