(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0114363
(43) 공개일자 2011년10월19일

(51) Int. Cl.
G02F 1/1343 (2006.01)
(21) 출원번호 10-2010-0033981
(22) 출원일자 2010년04월13일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 용산구 한강로3가 65-228
(72) 발명자
민웅기
대구 북구 동천동 891번지 동화골든빌 103동 1205호
이주홍
서울특별시 강서구 내발산동 마곡수명산파크2단지 아파트 209동 1003호
(뒷면에 계속)
(74) 대리인
박장원

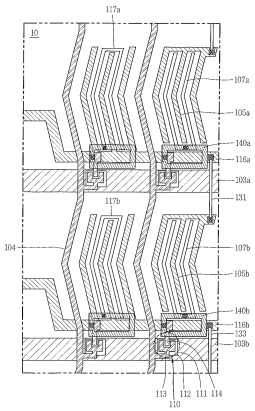
전체 청구항 수 : 총 9 항

(54) 액정표시장치

(57) 요 약

수평 크로스토크 현상이 억제되고, 개구율을 향상시킬 수 있는 액정표시장치가 제공된다. 액정표시장치는, 절연기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소, 홀수 번째 게이트 라인의 상부에 배치되며, 상기 홀수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제1 공통전압 라인 및 상기 짝수 번째 게이트 라인의 상부에 배치되며, 상기 짝수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제2 더미 라인에 의해 상기 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제2 공통전압 라인을 포함한다.

대 표 도 - 도3



(72) 발명자

송홍성

경상북도 구미시 봉곡동 현진에버빌아파트 108동 507호

고정무

경상북도 구미시 인의동 청구아파트 101동 305호

김혁진

경기도 파주시 금촌동 새꽃마을아파트 108동 1002호

이동학

경상북도 구미시 인의동 681-1 삼보드림빌 달님동 201호

특허청구의 범위

청구항 1

절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인;

상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소;

홀수 번째 게이트 라인의 상부에 배치되며, 상기 홀수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제1 공통전압 라인; 및

상기 짝수 번째 게이트 라인의 상부에 배치되며, 상기 짝수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제2 더미 라인에 의해 상기 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제2 공통전압 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제1 공통전압 라인과 제1 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되고, 상기 제2 공통전압 라인과 제2 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 3

절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인;

상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소;

홀수 번째 게이트 라인의 상부에 배치되며, 상기 홀수 번째 게이트 라인에 연결된 다수의 화소그룹 중에서 짝수 번째 화소그룹의 공통전극과 연결되고, 제1 및 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 다수의 화소그룹 중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결되는 제1 공통전압 라인; 및

상기 짝수 번째 게이트 라인의 상부에 배치되며, 상기 짝수 번째 게이트 라인에 연결된 다수의 화소그룹 중에서 짝수 번째 화소그룹의 공통전극과 연결되고, 제3 및 제4 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 화소그룹 중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결되는 제2 공통전압 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 단위화소는 두 개의 단위화소가 동일한 극성을 갖는 다수의 화소그룹을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제3항에 있어서,

상기 제1 공통전압 라인과 제1 및 제2 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되고, 상기 제2 공통전압 라인과 제3 및 제4 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가되는 것을 특징으로 하는 액정표시장치..

청구항 6

절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인;

상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소;

상기 게이트 라인의 상부에 배치되며, 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되는 제1 공통전압 라인; 및

상기 게이트 라인의 하부에 배치되며, 제1 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되는 제2 공통전압 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 제1 공통전압 라인에는 양의 극성(+)을 갖는 공통전압이 인가되며, 상기 제2 공통전압 라인과 상기 제1 및 제2 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 8

절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인;

상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소;

상기 게이트 라인의 상부에 배치되며, 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되는 제1 공통전압 라인; 및

상기 게이트 라인의 하부에 배치되며, 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제3 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되는 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 제1 공통전압 라인과 상기 제1 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되며, 상기 제2 공통전압 라인(116b)과 제2 및 제3 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가되는 것을 특징으로 하는 액정표시장치.

명 세 서

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 수평 크로스토크 현상이 억제되고 개구율을 향상시킬 수 있는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display ; LCD)는 영상신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 박막트랜지스터(Thin Film Transistor)가 각각의 액정셀마다 형성된 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 패시브(Passive Matrix) 타입의 액정표시장치에 비하여 동영상을 표시할 때 더 선명한 화질로 영상을 표시할 수 있다.

[0003] 액정표시장치는 액정패널 내부의 액정셀을 구동하기 위하여 공통전압은 프레임에 상관없이 일정한 레벨을 유지하고, 공통전압을 기준으로 하여 매 프레임마다 액정셀들에 공급되는 영상신호의 극성을 반전시킨다. 또한, 매 프레임마다 공통전압과 데이터 전압을 함께 반전시켜서 액정셀을 구동시킬 수 있다. 이러한 구동 방법은 한 프레임 내에 동일한 극성 즉, 양의 극성(+) 또는 음의 극성(-)만 존재하기 때문에 수평 크로스토크가 발생하게 된다. 이로 인해, 액정표시장치의 화상 품질을 크게 저하시킨다.

[0004] 수평 크로스토크는 화이트 또는 블랙 표시가 화면의 일부 영역에서 이루어질 때, 그의 좌우에 위치하는 영역의 계조가 화이트 또는 블랙 표시에 의해 영향을 받아 본래의 계조 표시와는 다른 계조를 표시하게 되는 것을 말한

다.

[0005] 도 1은 수평 크로스토크 현상이 발생한 화면에 대한 평면도이고, 화면을 표시한 액정표시장치는 노멀리 화이트(Normally White) 형이다.

[0006] 도 1을 참조하면, 제1 내지 제3 행(R1, R2, R3) 및 제1 내지 제3 열(C1, C2, C3)을 매트릭스 형태로 갖는 화면이 도시되어 있다. 제2 행(R2)과 제2 열(C2)에 의해 정의되는 윈도우에 블랙을 표시하도록 하고, 윈도우 주변은 그레이를 표시하도록 하였다. 이를 위해 제1 내지 제3 행(R1, R2, R3)이 순차적으로 선택되는데, 제1 행(R1)이 선택된 경우에는 제1 내지 제3 열(C1, C2, C3)의 데이터 라인들에 제1 전압이 동일하게 인가된다. 이어서, 제2 행(R2)이 선택된 경우에는 제1 및 제3 열(C1, C3)의 데이터 라인들에는 제1 전압이 인가되나, 제2 열(C2)의 데이터 라인에는 제1 전압보다 높은 제2 전압이 인가된다. 그 다음, 제3 행(R3)이 선택된 경우에는 제1 내지 제3 열(C1, C2, C3)의 데이터 라인들에 제1 전압이 동일하게 인가된다. 여기서, 공통전압은 화면 전체에 일정하게 인가된다.

[0007] 한편, 데이터 라인들은 액정의 열화를 방지하기 위해 각 라인(R1 내지 R3 중 하나) 선택 시간동안 주기적으로 스윙(swing)하는데, 이로 인해 데이터 라인과 공통전극 사이에는 용량 결합(capacitive coupling)으로 인한 커플링 캐패시터(coupling capacitor)가 생성되고, 이로 인해 공통전압은 왜곡된다. 또한, 데이터 라인에 인가되는 전압이 클수록 스윙 폭이 커져서 공통전압의 왜곡은 커진다.

[0008] 제1 또는 제3 행(R1, R3)이 선택된 경우에는 제1 내지 제3 열(C1, C2, C3)의 데이터 라인들에는 제1 전압이 동일하게 인가되므로, 공통전압의 왜곡 정도가 동일하여 크로스토크가 발생하지 않는다. 그러나, 제2 행(R2)이 선택된 경우에는 제2 열(C2)의 데이터 라인에 인가되는 전압이 제1 내지 제3 열(C1, C2, C3)의 데이터 라인에 인가되는 전압보다 커서 제2 열(C2)의 데이터 라인에 인가되는 전압에 의해 공통전압의 왜곡은 윈도우 좌우 주변보다 크고 이에 따라 윈도우 좌우 주변에 영향을 미쳐 윈도우 좌우 주변의 계조 표시에 변화를 준다. 따라서, 윈도우 좌우 주변은 원래 표시하고자 하는 그레이보다 밝은 그레이를 표시하게 된다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기한 문제를 해결하기 위한 것으로, 수평 크로스토크 현상이 억제되고, 개구율을 향상시킬 수 있는 액정표시장치를 제공함에 있다.

[0010] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0011] 상기한 목적들을 달성하기 위하여, 본 발명의 제1 실시예에 따른 액정표시장치는, 절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소, 홀수 번째 게이트 라인의 상부에 배치되며, 상기 홀수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제1 공통전압 라인 및 상기 짝수 번째 게이트 라인의 상부에 배치되며, 상기 짝수 번째 게이트 라인에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제2 더미 라인에 의해 상기 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되는 제2 공통전압 라인을 포함한다.

[0012] 상기 제1 공통전압 라인과 제1 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되고, 상기 제2 공통전압 라인과 제2 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0013] 또한, 본 발명의 제2 실시예에 따른 액정표시장치는, 절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소, 홀수 번째 게이트 라인의 상부에 배치되며, 상기 홀수 번째 게이트 라인에 연결된 다수의 화소그룹 중에서 짝수 번째 화소그룹의 공통전극과 연결되고, 제1 및 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 다수의 화소그룹 중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결되는 제1 공통전압 라인 및 상기 짝수 번째 게이트 라인의 상부에 배치되며, 상기 짝수 번째 게이트 라인에 연결된 다수의 화소그룹 중에서 짝수 번째 화소그룹의 공통전극과 연결되고, 제3 및 제4 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 화소그룹

중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결되는 제2 공통전압 라인을 포함한다.

[0014] 상기 단위화소는 두 개의 단위화소가 동일한 극성을 갖는 다수의 화소그룹을 포함한다.

[0015] 상기 제1 공통전압 라인과 제1 및 제2 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되고, 상기 제2 공통전압 라인과 제3 및 제4 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0016] 그리고, 본 발명의 제3 실시예에 따른 액정표시장치는, 절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소, 상기 게이트 라인의 상부에 배치되며, 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되는 제1 공통전압 라인 및 상기 게이트 라인의 하부에 배치되며, 제1 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되고, 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되는 제2 공통전압 라인을 포함한다.

[0017] 상기 제1 공통전압 라인에는 양의 극성(+)을 갖는 공통전압이 인가되며, 상기 제2 공통전압 라인과 상기 제1 및 제2 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0018] 아울러, 본 발명의 제4 실시예에 따른 액정표시장치는, 절연 기판 상에 형성된 다수의 게이트 라인 및 다수의 데이터 라인, 상기 다수의 게이트 라인과 다수의 데이터 라인의 교차에 의해 정의되는 다수의 단위화소, 상기 게이트 라인의 상부에 배치되며, 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되는 제1 공통전압 라인 및 상기 게이트 라인의 하부에 배치되며, 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제3 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결된다.

[0019] 상기 제1 공통전압 라인과 상기 제1 더미 라인에는 양의 극성(+)을 갖는 공통전압이 인가되며, 상기 제2 공통전압 라인(116b)과 제2 및 제3 더미 라인에는 음의 극성(-)을 갖는 공통전압이 인가된다.

발명의 효과

[0020] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 수평 크로스토크 현상을 억제시켜 액정표시장치의 화상 품질을 개선하는 효과를 제공한다. 또한, 본 발명에 따른 액정표시장치는 개구율을 향상시키는 효과를 제공한다.

도면의 간단한 설명

[0021] 도 1은 수평 크로스토크 현상이 발생한 화면에 대한 평면도.

도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 단위화소를 나타내는 도면.

도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도.

도 4는 본 발명의 제2 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도.

도 5는 본 발명의 제3 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도.

도 6은 본 발명의 제4 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 바람직한 실시예를 상세히 설명한다.

[0023] 도 2는 본 발명의 제1 실시예에 따른 액정표시장치의 단위화소를 나타내는 도면이다.

[0024] 도 2에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 액정표시장치는 절연 기판(10) 상에 수평 방향으로 다수의 게이트 라인들(G_{11}, G_{12}, G_{13}, G_{14})이 배치되어 있으며, 다수의 게이트 라인들(G_{11}, G_{12}, G_{13}, G_{14})과 수직 방향으로 다수의 데이터 라인들(D_1 내지 D_6)이 배치되어 있다. 다수의 게이트 라인들(G_{11}, G_{12}, G_{13}, G_{14})과 다수의 데이터 라인들(D_1 내지 D_6)의 교차에 의해 정의되어 기판(10) 상에 행과 열로 단위화소(R, G, B)들이 배치되어 있다.

[0025] 도면에 도시하지 않았으나, 본 발명의 제1 실시예에 따른 액정표시장치는 홀수 번째 게이트 라인(G_{11}, G_{13})의 상부에 배치되며, 홀수 번째 게이트 라인(G_{11}, G_{13})에 연결된 단위화소(R_{21}, G_{22}, B_{23}, R_{24}, G_{25}) 중에서 홀수 번째 단위화소(R_{21}, B_{23}, G_{25})의 공통전극과 연결되는 제1 공통전압 라인(미도시)과 짝수 번째 게이트 라인(G_{12}, G_{14})의 상부에 배치되며, 짝수 번째 게이트 라인(G_{12}, G_{14})에 연결된 단위화소(R_{11}, G_{12}, B_{13}, R_{14}, G_{15}, R_{31}, G_{32}, B_{33}, R_{34}, G_{35}) 중에서 홀수 번째 단위화소(R_{11}, B_{13}, G_{15}, R_{31}, B_{33}, G_{35})의 공통전극과 연결되는 제2 공통전압 라인(미도시)을 포함한다. 이에 대한 자세한 설명은 도 3을 참조하여 설명하기로 한다.

[0026] 도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도이다.

[0027] 도 3에 도시된 바와 같이, 본 발명의 제1 실시예에 따른 액정표시장치는 절연 기판(10) 상에 수평 방향으로 게이트 신호를 전달하는 다수의 게이트 라인(103a, 103b)과 이와 수직 방향으로 교차되며, 데이터 신호를 전달하는 다수의 데이터 라인(104) 및 다수의 게이트 라인(103a, 103b)과 다수의 데이터 라인(104)에 의해 정의되는 다수의 단위화소를 포함한다.

[0028] 그리고, 화소 내의 게이트 라인(103a, 103b)과 데이터 라인(104)의 교차 영역에는 게이트 전극(111)과, 게이트 전극(111) 위에 형성되어 게이트 신호가 인가됨에 따라 활성화되어 채널을 형성하는 반도체층(112)와, 반도체층(112) 위에 형성된 소스 전극(113) 및 드레인 전극(114)으로 이루어진 박막 트랜지스터(110)가 배치된다.

[0029] 데이터 라인(104)은 지그재그 형상으로 절곡되어 화소를 2개의 도메인으로 분할한다. 즉, 화소의 중앙을 중심으로 화소를 일정한 각도로 절곡하여 화소를 2개의 도메인으로 분할하는 것이다. 그리고, 데이터 라인(104)의 절곡부가 박막 트랜지스터가 형성되지 않는 영역 즉, 데이터 라인의 왼쪽 영역으로 볼록하게 형성된다.

[0030] 또한, 홀수 번째 게이트 라인(103a)의 상부에는 게이트 라인(103a)과 동일한 방향으로 제1 공통전압 라인(116a)이 배치되어 있다. 이때, 제1 공통전압 라인(116a)은 홀수 번째 게이트 라인(103a)에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극(105a)과 연결되어 있다. 제1 공통전압 라인(116a)은 제1 더미 라인(131)에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105b)과 전기적으로 연결되어 있다. 여기서, 제1 공통전압 라인(116a)과 제1 더미 라인(130)에는 양의 극성(+)을 갖는 공통전압이 인가된다.

[0031] 그리고, 짝수 번째 게이트 라인(103b)의 상부에는 게이트 라인(103b)과 동일한 방향으로 제2 공통전압 라인(116b)이 배치되어 있다. 이때, 제2 공통전압 라인(116b)는 짝수 번째 게이트 라인(103b)에 연결된 단위화소 중에서 홀수 번째 단위화소의 공통전극(105b)과 연결되어 있으며, 제2 공통전압 라인(116b)은 제2 더미 라인(133)에 의해 홀수 번째 게이트 라인(103a)에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105a)과 전기적으로 연결되어 있다. 여기서, 제2 공통전압 라인(116b)과 제2 더미 라인(150)에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0032] 여기서, 제1 및 제2 공통전압 라인(116a, 116b)은 일부분이 데이터 라인(104)과 동일한 방향 즉, 수직 방향으로 연장되어 공통전극(105a, 105b)을 형성한다. 또한, 공통전극(105a, 105b)은 데이터 라인(104)과 동일한 방향 즉, 박막 트랜지스터가(110)가 형성되지 않은 영역으로 볼록하게 절곡되어 있다.

[0033] 그리고, 게이트 라인(103a, 103b)과 동일한 방향으로 화소 전극 라인(117a, 117b)이 형성되어 있고, 화소 전극 라인(117a, 117b)의 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 화소전극(107a, 107b)을 형성한다. 이때, 화소전극(107a, 107b)은 데이터 라인(104) 및 공통전극(105a, 105b)과 동일한 방향으로 볼록하게 절곡되어 있다.

[0034] 또한, 제1 및 제2 공통전압 라인(116a, 116b) 상부에는 직사각형 형태의 유지전극 라인(140a, 140b)가 형성되어 있으며, 유지전극 라인(140a, 140b)의 일부분은 드레인 전극(114) 및 화소전극(107a, 107b)은 전기적으로 연결되어 있다. 이때, 제1 및 제2 공통전압 라인(116a, 116b)과 유지전극 라인(140a, 140b) 사이에 화소의 전하 보존 능력을 향상시키는 유지 용량이 형성된다.

[0035] 상기와 같이, 본 발명의 제1 실시예에서는 홀수 번째 게이트 라인 상부에는 양의 극성(+)을 갖는 공통전압이 인가되는 제1 공통전압 라인을 배치하며, 짝수 번째 게이트 라인 상부에는 음의 극성(-)을 갖는 공통전압이 인가되는 제2 공통전압 라인을 배치하고, 제1 공통전압 라인은 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 전기적으로 연결되고, 제2 공통전압 라인은 제2 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극

(105a)과 전기적으로 연결됨으로써 액정표시장치에 공통전압을 균등하고 안정적으로 제공할 수 있다. 따라서, 공통전압의 왜곡을 방지하여 수평 크로스토크의 발생을 억제할 수 있다. 이로 인해, 액정표시장치의 화상 품질을 개선할 수 있다.

[0036] 도 4는 본 발명의 제2 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도이다.

[0037] 도 4에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 액정표시장치는 절연 기판(10) 상에 수평 방향으로 게이트 신호를 전달하는 다수의 게이트 라인(103a, 103b)과 이와 수직 방향으로 교차되며, 데이터 신호를 전달하는 다수의 데이터 라인(104) 및 다수의 게이트 라인(103a, 103b)과 다수의 데이터 라인(104)에 의해 정의되는 단위화소를 포함한다.

[0038] 그리고, 화소 내의 게이트 라인(103a, 103b)과 데이터 라인(104)의 교차 영역에는 게이트 전극(111)과, 게이트 전극(111) 위에 형성되어 게이트 신호가 인가됨에 따라 활성화되어 채널을 형성하는 반도체층(112)와, 반도체층(112) 위에 형성된 소스 전극(113) 및 드레인 전극(114)으로 이루어진 박막 트랜지스터(110)가 배치된다.

[0039] 데이터 라인(104)은 지그재그 형상으로 절곡되어 화소를 2개의 도메인으로 분할한다. 즉, 화소의 중앙을 중심으로 화소를 일정한 각도로 절곡하여 화소를 2개의 도메인으로 분할하는 것이다. 그리고, 데이터 라인(104)의 절곡부가 박막 트랜지스터가 형성되지 않는 영역 즉, 데이터 라인의 왼쪽 영역으로 볼록하게 형성된다.

[0040] 본 발명의 제2 실시예에서는 도 4에서와 같이, 두 개의 단위화소가 동일한 극성을 갖는 다수의 화소그룹(A, B, C, D)으로 구성된다. 이때, 다수의 화소그룹(A, B, C, D)에는 양의 극성(+)을 갖는 공통전압과 음의 극성(-)을 갖는 공통전압이 교대로 인가된다.

[0041] 또한, 홀수 번째 게이트 라인(103a)의 상부에는 게이트 라인(103a)과 동일한 방향으로 제1 공통전압 라인(116a)이 배치되어 있다. 이때, 제1 공통전압 라인(116a)은 홀수 번째 게이트 라인(103a)에 연결된 다수의 화소그룹(A, B, C, D) 중에서 짝수 번째 화소그룹(B)의 공통전극(105a)과 연결되어 있다. 제1 공통전압 라인(116a)은 제1 및 제2 더미 라인(141, 143)에 의해 짝수 번째 게이트 라인(103b)에 연결되어 있는 다수의 화소그룹(A, B, C, D) 중에서 홀수 번째 화소그룹(C)의 공통전극(105b)과 전기적으로 연결되어 있다. 여기서, 제1 공통전압 라인(116a)과 제1 및 제2 더미 라인(141, 143)에는 양의 극성(+)을 갖는 공통전압이 인가된다.

[0042] 그리고, 짝수 번째 게이트 라인(103b)의 상부에는 게이트 라인(103b)과 동일한 방향으로 제2 공통전압 라인(116b)이 배치되어 있다. 이때, 제2 공통전압 라인(116b)는 짝수 번째 게이트 라인(103b)에 연결된 다수의 화소그룹(A, B, C, D) 중에서 짝수 번째 화소그룹(D)의 공통전극(105b)과 연결되어 있다. 제2 공통전압 라인(116b)은 제3 및 제4 더미 라인(145, 147)에 의해 홀수 번째 게이트 라인(103a)에 연결되어 있는 화소그룹(A, B, C, D) 중에서 홀수 번째 화소그룹(A)의 공통전극(105a)과 전기적으로 연결되어 있다. 여기서, 제2 공통전압 라인(116b)과 제3 및 제4 더미 라인(145, 147)에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0043] 여기서, 제1 및 제2 공통전압 라인(116a, 116b)은 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 공통전극(105a, 105b)을 형성한다. 또한, 공통전극(105a, 105b)은 데이터 라인(104)과 동일한 방향 즉, 박막 트랜지스터가(110)가 형성되지 않은 영역으로 볼록하게 절곡되어 있다.

[0044] 그리고, 게이트 라인(103a, 103b)과 동일한 방향으로 화소 전극 라인(117a, 117b)이 형성되어 있고, 화소 전극 라인(117a, 117b)의 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 화소전극(107a, 107b)을 형성한다. 이때, 화소전극(107a, 107b)은 데이터 라인(104) 및 공통전극(105a, 105b)과 동일한 방향으로 볼록하게 절곡되어 있다.

[0045] 또한, 제1 및 제2 공통전압 라인(116a, 116b) 상부에는 직사각형 형태의 유지전극 라인(140a, 140b)가 형성되어 있으며, 유지전극 라인(140a, 140b)의 일부분은 드레인 전극(114) 및 화소전극(107a, 107b)은 전기적으로 연결되어 있다. 이때, 제1 및 제2 공통전압 라인(116a, 116b)과 유지전극 라인(140a, 140b) 사이에 화소의 전하 보존 능력을 향상시키는 유지 용량이 형성된다.

[0046] 상기와 같이, 본 발명의 제2 실시예에서는 홀수 번째 게이트 라인 상부에는 제1 공통전압 라인을 배치하며, 짝수 번째 게이트 라인 상부에는 제2 공통전압 라인을 배치하고, 제1 공통전압 라인은 제1 및 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 다수의 화소그룹 중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결되고, 제2 공통전압 라인은 제3 및 제4 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 화소그룹 중에서 홀수 번째 화소그룹의 공통전극과 전기적으로 연결됨으로써 액정표시장치에 공통전압을 균등하고 안정적으로 제공할 수 있다. 따라서, 공통전압의 왜곡을 방지하여 수평 크로스토크의 발생을 억제할 수 있다.

이로 인해, 액정표시장치의 화상 품질을 개선할 수 있다.

[0047] 또한, 본 발명의 제2 실시예에서는 하나의 게이트 라인에 양의 극성(+)과 음의 극성(-)을 갖는 두 개의 공통전압 라인을 배치하지 않고, 게이트 라인 하나에 하나의 극성을 갖는 공통전압 라인을 배치하여 액정표시장치의 개구율을 향상시킬 수 있다.

[0048] 도 5는 본 발명의 제3 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도이다.

[0049] 도 5에 도시된 바와 같이, 본 발명의 제3 실시예에 따른 액정표시장치는 절연 기판(10) 상에 수평 방향으로 게이트 신호를 전달하는 다수의 게이트 라인(103a, 103b)과 이와 수직 방향으로 교차되며, 데이터 신호를 전달하는 다수의 데이터 라인(104) 및 다수의 게이트 라인(103a, 103b)과 다수의 데이터 라인(104)에 의해 정의되는 단위화소를 포함한다.

[0050] 그리고, 화소 내의 게이트 라인(103a, 103b)과 데이터 라인(104)의 교차 영역에는 게이트 전극(111)과, 게이트 전극(111) 위에 형성되어 게이트 신호가 인가됨에 따라 활성화되어 채널을 형성하는 반도체층(112)와, 반도체층(112) 위에 형성된 소스 전극(113) 및 드레인 전극(114)으로 이루어진 박막 트랜지스터(110)가 배치된다.

[0051] 데이터 라인(104)은 지그재그 형상으로 절곡되어 화소를 2개의 도메인으로 분할한다. 즉, 화소의 중앙을 중심으로 화소를 일정한 각도로 절곡하여 화소를 2개의 도메인으로 분할하는 것이다. 그리고, 데이터 라인(104)의 절곡부가 박막 트랜지스터가 형성되지 않는 영역 즉, 데이터 라인의 왼쪽 영역으로 볼록하게 형성된다.

[0052] 또한, 다수의 게이트 라인(103a, 103b)을 중심으로 게이트 라인(103a, 103b)과 동일한 방향으로 상부와 하부에 제1 및 제2 공통전압 라인(116a, 116b)이 배치된다. 이때, 제1 공통전압 라인(116a)은 홀수 번째 게이트 라인(103a)에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105b)과 연결되어 있다. 이때, 홀수 번째 게이트 라인(103a)에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극(105b)은 제1 더미 라인(151)에 의해 제2 공통전압 라인(116b)과 전기적으로 연결된다.

[0053] 그리고, 제2 공통전압 라인(116b)은 제2 더미 라인(153)에 의해 짝수 번째 게이트 라인(103b)에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105b)과 연결되어 있다. 이때, 짝수 번째 게이트 라인(103b)에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극(105b)은 제1 공통전압 라인(116a)과 전기적으로 연결되며, 제1 공통전압 라인(116a)에는 양의 극성(+)을 갖는 공통전압이 인가되며, 제2 공통전압 라인(116b)과 제1 및 제2 더미 라인(151, 153)에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0054] 여기서, 제1 및 제2 공통전압 라인(116a, 116b)은 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 공통전극(105a, 105b)을 형성한다. 또한, 공통전극(105a, 105b)은 데이터 라인(104)과 동일한 방향 즉, 박막 트랜지스터가(110)가 형성되지 않은 영역으로 볼록하게 절곡되어 있다.

[0055] 그리고, 게이트 라인(103a, 103b)과 동일한 방향으로 화소 전극 라인(117a, 117b)이 형성되어 있고, 화소 전극 라인(117a, 117b)의 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 화소전극(107a, 107b)을 형성한다. 이때, 화소전극(107a, 107b)은 데이터 라인(104) 및 공통전극(105a, 105b)과 동일한 방향으로 볼록하게 절곡되어 있다.

[0056] 또한, 제1 및 제2 공통전압 라인(116a, 116b) 상부에는 직사각형 형태의 유지전극 라인(140a, 140b)가 형성되어 있으며, 유지전극 라인(140a, 140b)의 일부분은 드레인 전극(114) 및 화소전극(107a, 107b)은 전기적으로 연결되어 있다. 이때, 제1 및 제2 공통전압 라인(116a, 116b)과 유지전극 라인(140a, 140b) 사이에 화소의 전하 보존 능력을 향상시키는 유지 용량이 형성된다.

[0057] 상기와 같이, 본 발명의 제3 실시예에서는 게이트 라인을 중심으로 상부에는 양의 극성(+)을 갖는 제1 공통전압 라인을 배치하고, 하부에는 음의 극성(-)을 갖는 제2 공통전압 라인을 각각 배치하고, 제1 공통전압 라인은 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 홀수 번째 단위화소의 화소전극은 제1 더미 라인에 의해 제2 공통전압 라인과 전기적으로 연결되고, 제2 공통전압 라인은 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 화소전극과 연결되고, 홀수 번째 단위화소의 공통전극은 제1 공통전압 라인과 전기적으로 연결됨으로써 액정표시장치에 공통전압을 균등하고 안정적으로 제공하여 공통전압의 왜곡을 방지하여 수평 크로스토크의 발생을 억제할 수 있다. 이로 인해, 액정표시장치의 화상 품질을 개선할 수 있다.

[0058] 도 6은 본 발명의 제4 실시예에 따른 액정표시장치의 박막 트랜지스터 기판의 배치도이다.

[0059] 도 6에 도시된 바와 같이, 본 발명의 제4 실시예에 따른 액정표시장치는 절연 기판(10) 상에 수평 방향으로 게이트 신호를 전달하는 다수의 게이트 라인(103a, 103b)과 이와 수직 방향으로 교차되며, 데이터 신호를 전달하는 다수의 데이터 라인(104) 및 다수의 게이트 라인(103a, 103b)과 다수의 데이터 라인(104)에 의해 정의되는 단위화소를 포함한다.

[0060] 그리고, 화소 내의 게이트 라인(103a, 103b)과 데이터 라인(104)의 교차 영역에는 게이트 전극(111)과, 게이트 전극(111) 위에 형성되어 게이트 신호가 인가됨에 따라 활성화되어 채널을 형성하는 반도체층(112)와, 반도체층(112) 위에 형성된 소스 전극(113) 및 드레인 전극(114)으로 이루어진 박막 트랜지스터(110)가 배치된다.

[0061] 데이터 라인(104)은 지그재그 형상으로 절곡되어 화소를 2개의 도메인으로 분할한다. 즉, 화소의 중앙을 중심으로 화소를 일정한 각도로 절곡하여 화소를 2개의 도메인으로 분할하는 것이다. 그리고, 데이터 라인(104)의 절곡부가 박막 트랜지스터가 형성되지 않는 영역 즉, 데이터 라인의 왼쪽 영역으로 볼록하게 형성된다.

[0062] 또한, 다수의 게이트 라인(103a, 103b)을 중심으로 게이트 라인(103a, 103b)과 동일한 방향으로 상부와 하부에 제1 및 제2 공통전압 라인(116a, 116b)이 배치된다. 이때, 제1 공통전압 라인(116a)은 홀수 번째 게이트 라인(103a)에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105a)과 연결되고, 제1 더미 라인(161)에 의해 짝수 번째 게이트 라인(103b)에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극(105b)과 연결된다.

[0063] 여기서, 제2 공통전압 라인(116b)은 제2 더미 라인(163)에 의해 짝수 번째 게이트 라인(103b)에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극(105b)과 연결되고, 제3 더미 라인(165)에 의해 홀수 번째 게이트 라인(103a)에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극(105a)과 전기적으로 연결된다. 그리고, 제1 공통전압 라인(116a)과 제1 더미 라인(161)에는 양의 극성(+)을 갖는 공통전압이 인가되며, 제2 공통전압 라인(116b)과 제2 및 제3 더미 라인(163, 165)에는 음의 극성(-)을 갖는 공통전압이 인가된다.

[0064] 여기서, 제1 및 제2 공통전압 라인(116a, 116b)은 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 공통전극(105a, 105b)을 형성한다. 또한, 공통전극(105a, 105b)은 데이터 라인(104)과 동일한 방향 즉, 박막 트랜지스터가(110)가 형성되지 않은 영역으로 볼록하게 절곡되어 있다.

[0065] 그리고, 게이트 라인(103a, 103b)과 동일한 방향으로 화소 전극 라인(117a, 117b)이 형성되어 있고, 화소 전극 라인(117a, 117b)의 일부분이 데이터 라인(104)과 동일한 방향으로 연장되어 화소전극(107a, 107b)을 형성한다. 이때, 화소전극(107a, 107b)은 데이터 라인(104) 및 공통전극(105a, 105b)과 동일한 방향으로 볼록하게 절곡되어 있다.

[0066] 또한, 제1 및 제2 공통전압 라인(116a, 116b) 상부에는 직사각형 형태의 유지전극 라인(140a, 140b)가 형성되어 있으며, 유지전극 라인(140a, 140b)의 일부분은 드레인 전극(114) 및 화소전극(107a, 107b)은 전기적으로 연결되어 있다. 이때, 제1 및 제2 공통전압 라인(116a, 116b)과 유지전극 라인(140a, 140b) 사이에 화소의 전하 보존 능력을 향상시키는 유지 용량이 형성된다.

[0067] 상기와 같이, 본 발명의 제4 실시예에서는 게이트 라인을 중심으로 상부에는 양의 극성(+)을 갖는 제1 공통전압 라인을 배치하고, 하부에는 음의 극성(-)을 갖는 제2 공통전압 라인을 각각 배치하고, 제1 공통전압 라인은 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제1 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 연결되며, 제2 공통전압 라인은 제2 더미 라인에 의해 짝수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 짝수 번째 단위화소의 공통전극과 연결되고, 제3 더미 라인에 의해 홀수 번째 게이트 라인에 연결되어 있는 단위화소 중에서 홀수 번째 단위화소의 공통전극과 전기적으로 연결됨으로써 액정표시장치에 공통전압을 균등하고 안정적으로 제공하여 공통전압의 왜곡을 방지하여 수평 크로스토크의 발생을 억제할 수 있다. 이로 인해, 액정표시장치의 화상 품질을 개선할 수 있다.

[0068] 또한, 본 발명의 제4 실시예에서는 게이트 라인을 중심으로 상부와 하부에 제1 및 제2 공통전압 라인을 배치하여 두 개의 게이트 라인 즉, 게이트 라인을 중심으로 상부에 위치한 단위화소와 하부에 위치한 단위화소에 공통전압을 제공함으로써 액정표시장치의 개구율을 향상시킬 수 있다.

[0069] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서, 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

[0070] 10: 절연 기판 103a, 103b: 게이트 라인

104: 데이터 라인 105a, 105b: 공통 전극

107a, 107b: 화소 전극 110: 박막 트랜지스터 기판

111: 게이트 전극 112: 반도체층

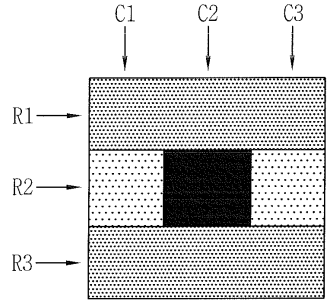
113: 소스 전극 114: 드레인 전극

116a: 제1 공통전압 라인 116b: 제2 공통전압 라인

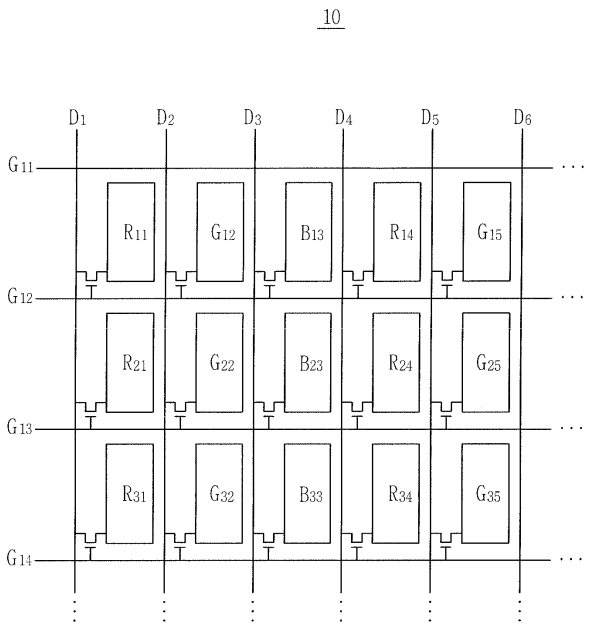
117a, 117b: 화소전극 라인

도면

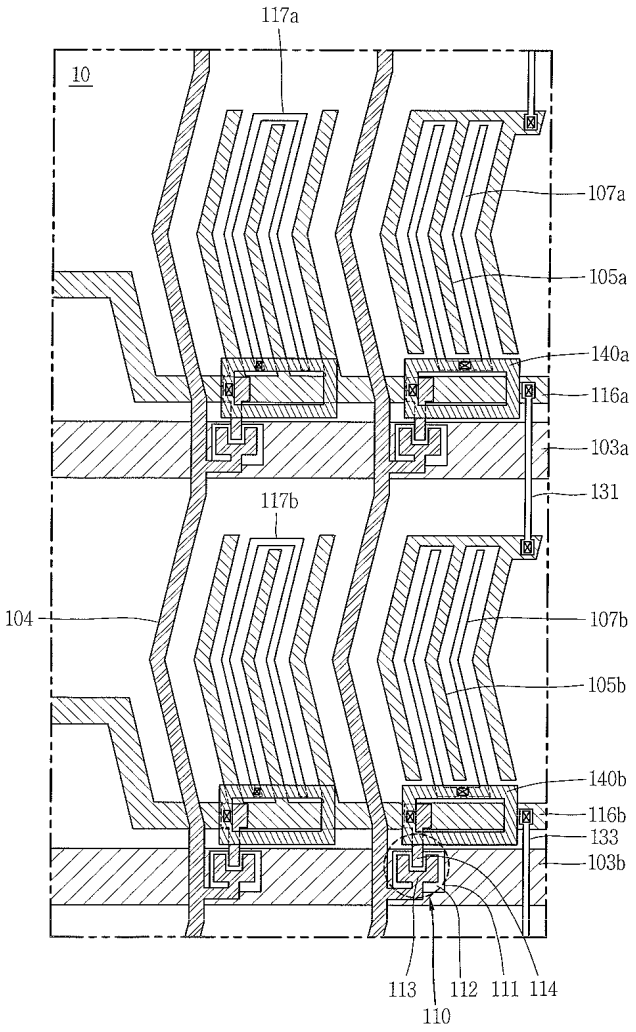
도면1



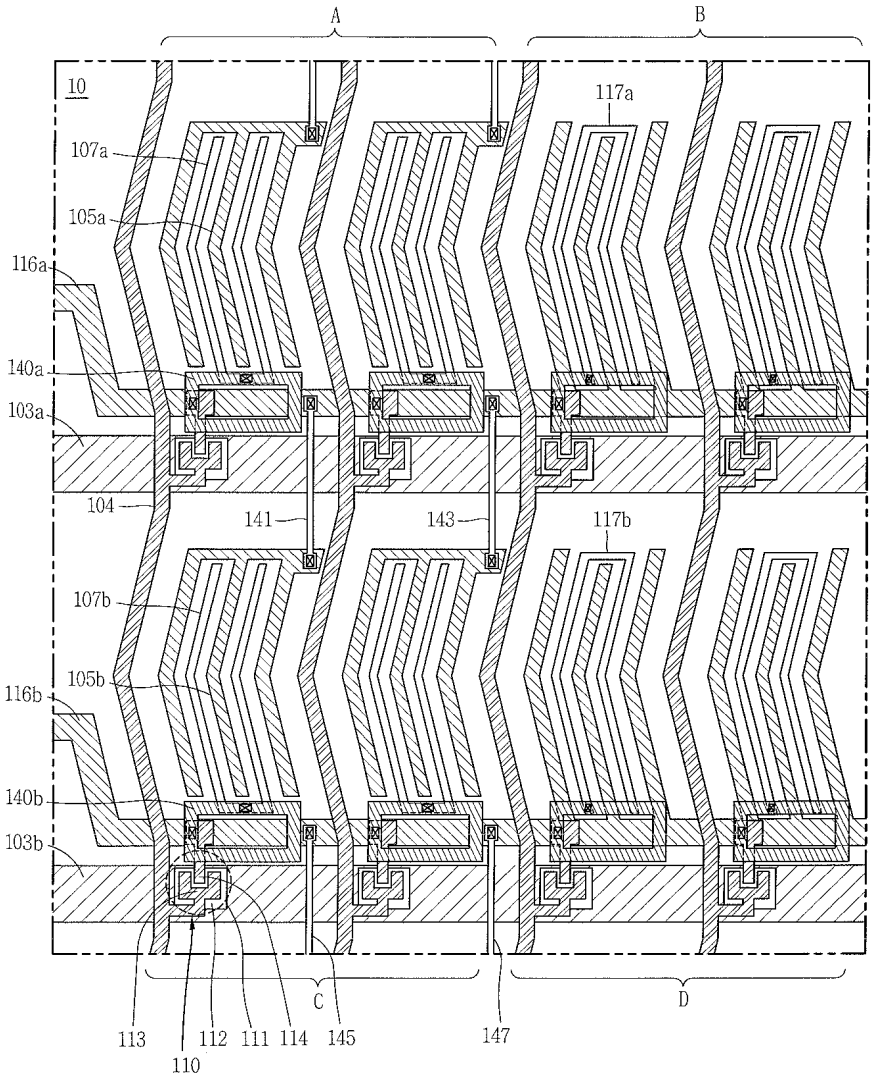
도면2



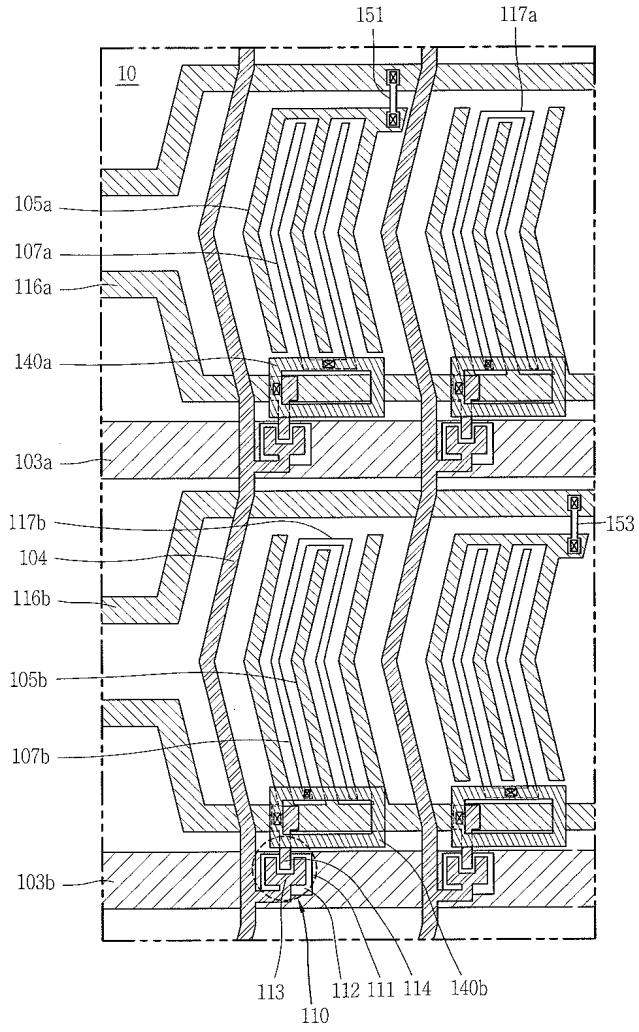
도면3


117a
10
107a
105a
140a
116a
103a
131
117b
104
107b
105b
140b
116b
133
103b
113
112
111
114
110

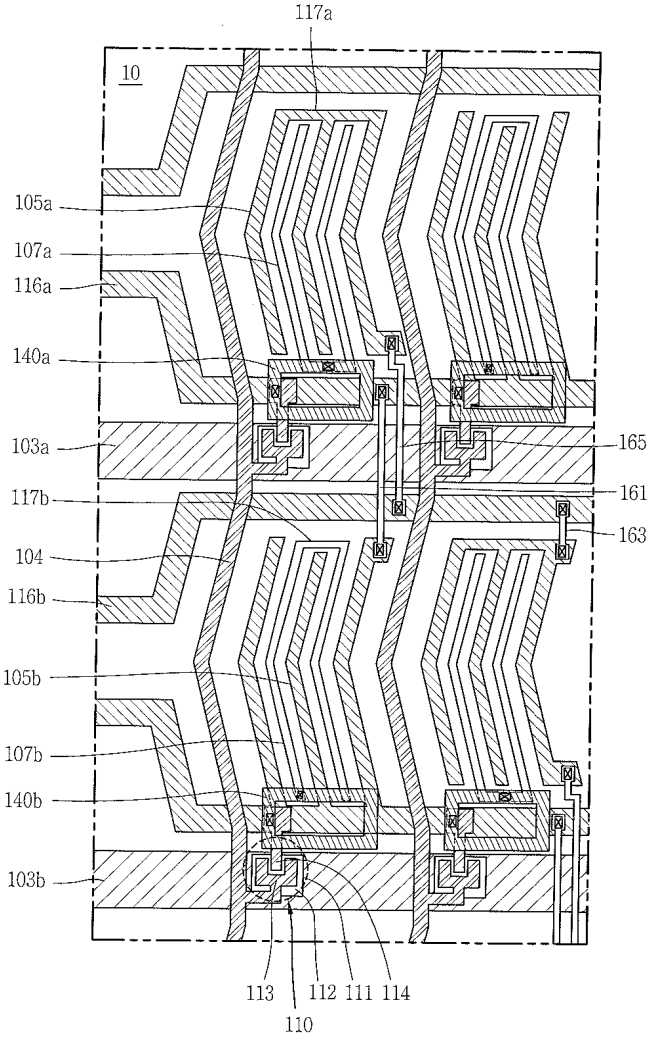
도면4


A
B
10
117a
107a
105a
116a
140a
103a
104
141
143
117b
107b
105b
116b
140b
103b
C
D
113
110
112
111
114
145
147

도면5


151
117a
10
105a
107a
116a
140a
103a
117b
153
104
116b
105b
107b
103b
113
110
112
111
114
140b

도면6


117a
10
105a
107a
116a
140a
103a
117b
104
116b
105b
107b
140b
103b
165
161
163
113
112
111
114
110