



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I559501 B

(45)公告日：中華民國 105 (2016) 年 11 月 21 日

(21)申請案號：099124554 (22)申請日：中華民國 99 (2010) 年 07 月 26 日

(51)Int. Cl. : *H01L27/088 (2006.01)* *H01L27/12 (2006.01)*
G02F1/1368 (2006.01) *H01L21/8234(2006.01)*
H01L21/84 (2006.01)

(30)優先權：2009/08/07 日本 2009-185318

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；坂田淳一郎 SAKATA, JUNICHIRO (JP)；
 坂倉真之 SAKAKURA, MASAYUKI (JP)；及川欣聰 OIKAWA, YOSHIAKI (JP)；
 岡崎健一 OKAZAKI, KENICHI (JP)；丸山穗高 MARUYAMA, HOTAKA (JP)

(74)代理人：林志剛

(56)參考文獻：
 JP 2007-123861A JP 2008-096962A
 JP 2009-38353A

審查人員：黃本立

申請專利範圍項數：11 項 圖式數：35 共 145 頁

(54)名稱

半導體裝置和其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

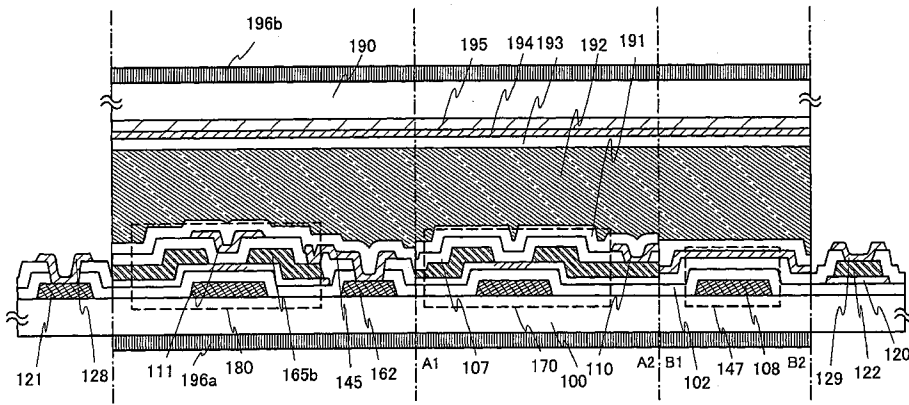
(57)摘要

本發明的課題之一是提高半導體裝置的可靠性。本發明的一種實施例是一種半導體裝置，包括同一個基板上的驅動電路部、顯示部(也稱為像素部)，驅動電路部和顯示部包括其半導體層使用氧化物半導體構成的薄膜電晶體、第一佈線、第二佈線，並且，薄膜電晶體包括與半導體層的端部相比其端部位於更內側的源極電極層或汲極電極層，並且，在驅動電路部中的薄膜電晶體中，利用閘極電極層和導電層夾持半導體層，並且，第一佈線和第二佈線藉由設置在閘極絕緣層中的開口中隔著氧化物導電層電連接。

An object is to improve reliability of a semiconductor device. A semiconductor device including a driver circuit portion and a display portion (also referred to as a pixel portion) over the same substrate is provided. The driver circuit portion and the display portion include thin film transistors in which a semiconductor layer includes an oxide semiconductor; a first wiring; and a second wiring. The thin film transistors each include a source electrode layer and a drain electrode layer which each have a shape whose end portions are located on an inner side than end portions of the semiconductor layer. In the thin film transistor in the driver circuit portion, the semiconductor layer is provided between a gate electrode layer and a conductive layer. The first wiring and the second wiring are electrically connected in an opening provided in a gate insulating layer through an oxide conductive layer.

指定代表圖：

圖1



符號簡單說明：

- 100 . . . 基板
- 102 . . . 閘極絕緣層
- 107 . . . 氧化物絕緣層
- 108 . . . 電容佈線層
- 110 . . . 像素電極層
- 111 . . . 導電層
- 120 . . . 氧化物半導體層
- 121 . . . 連接電極
- 122 . . . 端子
- 128 . . . 連接端子
- 129 . . . 連接端子
- 145 . . . 佈線層
- 147 . . . 電容器
- 148 . . . 電容器
- 162 . . . 導電層
- 162 . . . 佈線層
- 165b . . . 源極電極層
- 170 . . . 薄膜電晶體
- 180 . . . 薄膜電晶體
- 190 . . . 基板
- 190 . . . 對置基板
- 191 . . . 絕緣層
- 192 . . . 液晶層
- 193 . . . 絕緣層
- 194 . . . 對置電極層
- 195 . . . 著色層
- 196a、196b . . . 偏光板

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099124554

※申請日：099年07月26日

一、發明名稱：(中文/英文)

半導體裝置和其製造方法

Semiconductor device and manufacturing method thereof

※IPC分類：

H01L 27/088 (2006.01)
 H01L 27/12 (2006.01)
 G02F 1/368 (2006.01)
 H01L 27/234 (2006.01)
 H01L 21/84 (2006.01)

二、中文發明摘要：

本發明的課題之一是提高半導體裝置的可靠性。本發明的一種實施例是一種半導體裝置，包括同一個基板上的驅動電路部、顯示部（也稱為像素部），驅動電路部和顯示部包括其半導體層使用氧化物半導體構成的薄膜電晶體、第一佈線、第二佈線，並且，薄膜電晶體包括與半導體層的端部相比其端部位於更內側的源極電極層或汲極電極層，並且，在驅動電路部中的薄膜電晶體中，利用閘極電極層和導電層夾持半導體層，並且，第一佈線和第二佈線藉由設置在閘極絕緣層中的開口中隔著氧化物導電層電連接。

三、英文發明摘要：

An object is to improve reliability of a semiconductor device. A semiconductor device including a driver circuit portion and a display portion (also referred to as a pixel portion) over the same substrate is provided. The driver circuit portion and the display portion include thin film transistors in which a semiconductor layer includes an oxide semiconductor; a first wiring; and a second wiring. The thin film transistors each include a source electrode layer and a drain electrode layer which each have a shape whose end portions are located on an inner side than end portions of the semiconductor layer. In the thin film transistor in the driver circuit portion, the semiconductor layer is provided between a gate electrode layer and a conductive layer. The first wiring and the second wiring are electrically connected in an opening provided in a gate insulating layer through an oxide conductive layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 100：基板
- 102：閘極絕緣層
- 107：氧化物絕緣層
- 108：電容佈線層
- 110：像素電極層
- 111：導電層
- 120：氧化物半導體層
- 121：連接電極
- 122：端子
- 128：連接端子
- 129：連接端子
- 145：佈線層
- 147：電容器
- 148：電容器
- 162：導電層
- 162：佈線層
- 165b：源極電極層
- 170：薄膜電晶體
- 180：薄膜電晶體
- 190：基板
- 190：對置基板
- 191：絕緣層
- 192：液晶層
- 193：絕緣層
- 194：對置電極層
- 195：著色層
- 196a、196b：偏光板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用氧化物半導體的半導體裝置。

注意，在本說明書中半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此如液晶顯示裝置等電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

近年來，藉由利用形成在具有絕緣表面的基板上的半導體薄膜（膜厚度為大約幾 nm 至幾百 nm）來構成薄膜電晶體（TFT）的技術引人注目。薄膜電晶體廣泛地應用於電子裝置如積體電路（IC）或電光裝置，尤其是目前正在加快開發作為影像顯示裝置的切換元件的薄膜電晶體。金屬氧化物的種類繁多且用途廣泛。氧化銦是公知的材料，並且，氧化銦用於液晶顯示器等所需要的透明電極材料。

在金屬氧化物中存在有呈現半導體特性的金屬氧化物。作為呈現半導體特性的金屬氧化物，例如有氧化鎢、氧化錫、氧化銦、氧化鋅等。將這些呈現半導體特性的金屬氧化物用於通道形成區的薄膜電晶體已經是眾所周知的（參照專利文獻 1 及 2）。

[專利文獻 1] 日本專利申請公開第 2007-123861 號公報

[專利文獻 2] 日本專利申請公開第 2007-96055 號公報

要求使用氧化物半導體層的薄膜電晶體有快的工作速

度、比較簡單的製造製程以及足夠的可靠性。

【發明內容】

本發明的課題之一是提高使用氧化物半導體層的薄膜電晶體的工作特性、可靠性。

尤其是，較佳的用於驅動電路的薄膜電晶體的工作速度快。

例如，當使薄膜電晶體的通道長度（ L ）短或使通道寬度（ W ）寬時，實現工作速度的高速化。然而，當使通道長度短時，存在開關特性例如導通截止比變小的問題。此外，當使通道寬度（ W ）寬時，存在薄膜電晶體本身的電容負荷上升的問題。

此外，本發明的課題之一也是提供一種具備即使通道長度短也具有穩定的電特性的薄膜電晶體的半導體裝置。

此外，當在絕緣表面上形成多個不同的電路時，例如在同一個基板上形成像素部和驅動電路時，用於像素部的薄膜電晶體要求具有優越的開關特性，例如要求其導通截止比較大，並且用於驅動電路的薄膜電晶體要求快的工作速度。尤其是，顯示裝置的清晰度越高，顯示圖像的寫入時間越短，所以較佳的使用於驅動電路的薄膜電晶體具有快的工作速度。

本發明的課題之一也是降低使用氧化物半導體層的薄膜電晶體的電特性的偏差。

本發明的課題之一也是簡化使用氧化物半導體層的薄

膜電晶體的製造製程。

本發明的一種實施例是一種半導體裝置，包括：同一個基板上的驅動電路部、顯示部（也稱為像素部），該驅動電路部和該顯示部包括：薄膜電晶體、第一佈線（也稱為端子或連接電極）、第二佈線（也稱為端子或連接電極），其中，薄膜電晶體包括：使用金屬構成的閘極電極、該閘極電極上的閘極絕緣層、該閘極絕緣層上的氧化物半導體層、該氧化物半導體層上的使用金屬構成且與該氧化物半導體層的端部相比其端部位於內側的源極電極（也稱為源極電極層）及汲極電極（也稱為汲極電極層）、氧化物半導體層和源極電極及汲極電極上的保護絕緣層，並且，驅動電路部中的薄膜電晶體在保護絕緣層上的重疊於氧化物半導體層的位置中包括導電層，並且，顯示部中的薄膜電晶體與像素電極（也稱為像素電極層）電連接，並且，第一佈線使用與閘極電極相同的材料形成，而且第二佈線使用與源極電極或汲極電極相同的材料形成，再者，第一佈線和第二佈線藉由設置在閘極絕緣層和保護絕緣層中的開口（接觸孔）電連接。

作為像素用薄膜電晶體及驅動電路用薄膜電晶體，使用底閘結構的反交錯型薄膜電晶體。像素用薄膜電晶體及驅動電路用薄膜電晶體是如下通道蝕刻型薄膜電晶體，該通道蝕刻型薄膜電晶體設置有接觸於在源極電極層與汲極電極層之間暴露的氧化物半導體層的氧化物絕緣層。

驅動電路用薄膜電晶體具有使用閘極電極和導電層夾

持氧化物半導體層的結構。由此，可以降低薄膜電晶體的臨界值的偏差，而可以提供具備其電特性穩定的薄膜電晶體的半導體裝置。導電層的電位可以被設定為與閘極電極層相同的電位、浮動電位、固定電位例如 GND 電位或 0V。此外，藉由對導電層施加任意的電位，可以控制薄膜電晶體的臨界值。

用來實現上述結構的本發明的一種實施例是一種半導體裝置的製造方法，包括如下步驟：藉由第一光微影過程在同一個基板上的形成有驅動電路部的第一區域和形成有顯示部的第二區域中形成分別用作閘極電極的第一電極、使用與第一電極相同的材料構成的第一佈線；在第一電極及第一佈線上形成用作閘極絕緣層的第一絕緣膜；在第一絕緣膜上形成氧化物半導體層；進行用來使氧化物半導體層脫水化或脫氫化的熱處理；在氧化物半導體層上形成用來形成源極電極及汲極電極的金屬膜；藉由第二光微影過程在金屬膜上利用多色調光罩形成具有膜厚度不同的區域的抗蝕劑光罩，並且，以具有膜厚度不同的區域的抗蝕劑光罩為光罩層對氧化物半導體層和金屬膜進行蝕刻來將該氧化物半導體層和該金屬膜加工為島狀的氧化物半導體層和島狀的金屬層；對光罩層進行灰化處理來縮小光罩層的同時，去除抗蝕劑光罩的膜厚度薄的區域，來形成被分離的光罩層；藉由對光罩層的露出部分進行蝕刻，形成其端部比氧化物半導體層的端部縮退到內側的用作源極電極的第二電極及用作汲極電極的第三電極、使用與源極電極和

汲極電極相同的材料構成的第二佈線；去除光罩層；在第二電極、第三電極及氧化物半導體層上形成作為氧化物絕緣層的第二絕緣膜；藉由第三光微影過程選擇性地去除重疊於第一佈線的第一絕緣膜及第二絕緣膜來形成第一開口，選擇性地去除重疊於第二佈線的第二絕緣膜來形成第二開口，並且，在第二區域中藉由選擇性地去除第二絕緣膜來在位於重疊於第二電極和第三電極中的任一個的位置中形成第三開口；藉由第四光微影過程，形成藉由第一開口及第二開口使第一佈線和第二佈線電連接的第一導電層，在第一區域中，在隔著第二絕緣膜而重疊於氧化物半導體層的位置中形成使用與第一導電層相同的材料構成的第四電極，在第二區域中，使用與所述第一導電層相同的材料形成用作像素電極的藉由第三開口電連接到薄膜電晶體的第五電極。

藉由減少光光罩數，可以簡化製程。

利用多色調光罩形成的光罩層成為具有多種膜厚度的形狀，並且藉由對光罩層進行蝕刻，可以進一步改變其形狀，所以可以將該光罩層用於用來加工為不同圖案的多個蝕刻製程。因此，利用一個多色調光罩，可以形成對應於至少兩種以上的不同圖案的光罩層。因此，可以削減曝光光罩數，並且可以削減所對應於的光微影過程數，所以可以簡化製程。

上述結構解決上述課題中的至少一個。

此外，例如將在本說明書中使用的氧化物半導體形成

為以 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) 表示的薄膜，並且製造將該薄膜用作氧化物半導體層的薄膜電晶體。注意，M表示選自 Ga、Fe、Ni、Mn及Co中的一個或多個金屬元素。例如，除了有作為M而包括Ga的情況以外，還有作為M而包括Ga和Ni或者Ga和Fe等，作為M而包括Ga以外的上述金屬元素的情況。此外，在上述氧化物半導體中，還有如下氧化物半導體：除了包括作為M而包含的金屬元素以外，還包括作為雜質元素的Fe、Ni、其他的過渡金屬元素、該過渡金屬的氧化物。在本說明書中，將以 $\text{InMO}_3 (\text{ZnO})_m$ ($m > 0$) 表示的結構的氧化物半導體層中的作為M而包含Ga的結構的氧化物半導體稱為In-Ga-Zn-O類氧化物半導體，並且將其薄膜稱為In-Ga-Zn-O類非單晶膜。

另外，作為用於氧化物半導體層的金屬氧化物，除了上述以外，還可以使用In-Sn-Zn-O類、In-Al-Zn-O類、Sn-Ga-Zn-O類、Al-Ga-Zn-O類、Sn-Al-Zn-O類、In-Zn-O類、Sn-Zn-O類、Al-Zn-O類、In-O類、Sn-O類、Zn-O類的金屬氧化物。此外，也可以在使用上述金屬氧化物構成的氧化物半導體層中包含氧化矽。

在進行氮、稀有氣體（氬、氦等）的惰性氣體氛圍下的加熱處理的情況下，也可以說：氧化物半導體層藉由加熱處理變成氧缺乏型而被低電阻化，即被N型化（N⁻化等），然後藉由形成接觸於氧化物半導體層的氧化物絕緣層並在成膜之後進行加熱處理，來使氧化物半導體層變成氧過剩狀態，而被高電阻化，即被I型化。此外，也可以說

成是：進行使氧化物半導體層成爲氧過剩狀態的固相氧化。由此，可以製造並提供具有其電特性良好且可靠性好的薄膜電晶體的半導體裝置。

在脫水化或脫氫化中，藉由在氮、或稀有氣體（氬、氦等）的惰性氣體氛圍下以 400°C 以上且低於基板的應變點的溫度，較佳的以 420°C 以上且 570°C 以下的溫度進行加熱處理，減少氧化物半導體層所含有的水分等的雜質。此外，可以防止後面的水（ H_2O ）的再浸滲。

脫水化或脫氫化的熱處理較佳的在 H_2O 爲 20ppm 以下的氮氛圍下進行。此外，也可以在 H_2O 爲 20ppm 以下的超乾燥空氣中進行。

進行氧化物半導體層的脫水化或脫氫化的熱處理條件爲：即使在將溫度升至 450°C 的條件下利用TDS對受到脫水化或脫氫化後的氧化物半導體層進行測量，也不檢測出水的兩個峰值，至少不檢測出在 300°C 附近出現的一個峰值。從而，即使在將溫度升至 450°C 的條件下利用TDS對使用受到脫水化或脫氫化的氧化物半導體層的薄膜電晶體進行測量，也不檢測出至少在 300°C 附近出現的水的峰值。

並且，當對氧化物半導體層進行脫水化或脫氫化的加熱溫度 T 的降溫時，使用與進行了脫水化或脫氫化的爐相同的爐來不暴露於大氣，而不使水或氬再混入到氧化物半導體層中，是很重要的。當使用如下氧化物半導體層，即進行脫水化或脫氫化使氧化物半導體層低電阻化，就是說N型化（ N^- 等）後進行高電阻化而成爲I型的氧化物半導體

層來製造薄膜電晶體時，可以使薄膜電晶體的臨界值電壓成爲正值，而可以實現所謂的常關閉型切換元件。作爲半導體裝置（顯示裝置），較佳的是，以薄膜電晶體的閘極電壓爲儘量近於0V的正的臨界值電壓形成通道。注意，當薄膜電晶體的臨界值電壓值爲負值時，容易成爲即使閘極電壓爲0V也在源極電極和汲極電極之間也有電流流過的所謂的常開啓型。在主動矩陣型顯示裝置中，構成電路的薄膜電晶體的電特性是很重要的，並且該電特性決定顯示裝置的性能。尤其是，在薄膜電晶體的電特性中，臨界值電壓（ V_{th} ）是很重要的。即使在場效應遷移率高的情況下，當臨界值電壓值高或者臨界值電壓值爲負值時，不容易控制電路。在採用臨界值電壓值高且臨界值電壓的絕對值大的薄膜電晶體的情況下，當驅動電壓低時不能發揮作爲TFT的開關功能，而有可能成爲負荷。作爲n通道型的薄膜電晶體，較佳採用如下電晶體：對閘極電壓施加正電壓時初次形成通道，來使汲極電流流過。不提高驅動電壓就不形成通道的電晶體、在負的電壓狀態下也形成通道而使汲極電流流過的電晶體不適合用於電路的薄膜電晶體。

此外，也可以將從加熱溫度T降溫的氣體氛圍轉換爲與升溫到加熱溫度T的氣體氛圍不同的氣體氛圍。例如，使用與進行了脫水化或脫氫化的爐相同的爐不暴露於大氣地將高純度的氧氣體、 N_2O 氣體、超乾燥空氣（露點爲 $-40^\circ C$ 以下，較佳的爲 $-60^\circ C$ 以下）充滿在爐中並進行冷卻。

藉由使用如下氧化物半導體層，提高薄膜電晶體的電

特性，並且實現具備高量產性和高性能的兩者的薄膜電晶體。在利用進行脫水化或脫氫化的加熱處理來降低膜中所含有的水分後，在不包含水分的氛圍（露點為 -40°C 以下，較佳的為 -60°C 以下）下進行緩冷（或冷卻）而得到上述氧化物半導體層。

在本說明書中，將氮或稀有氣體（氬、氦等）的惰性氣體氛圍下的加熱處理稱為用於脫水化或脫氫化的加熱處理。在本說明書中，為方便起見，不僅將藉由該加熱處理使 H_2 脫離稱為脫氫化，而且將包括使 H 、 OH 等脫離也稱為脫水化或脫氫化。

在進行氮或稀有氣體（氬、氦等）的惰性氣體氛圍下的加熱處理時，氧化物半導體層藉由加熱處理而變成氧缺乏型，以被低電阻化，即被N型化（N⁻化等）。

此外，形成重疊於汲極電極層的氧缺乏型的高電阻汲極區（也稱為HRD（High Resistance Drain）區）。此外，形成重疊於源極電極層的氧缺乏型的高電阻源極區（也稱為HRS（High Resistance Source）區）。

明確地說，高電阻汲極區的載子濃度在 $1 \times 10^{18}/\text{cm}^3$ 以上的範圍內，並且，該高電阻汲極區是載子濃度至少高於通道形成區的載子濃度（小於 $1 \times 10^{18}/\text{cm}^3$ ）的區域。注意，本說明書中的載子濃度是指在室溫下利用霍爾效應測量來求得的載子濃度的值。

並且，藉由使受到脫水化或脫氫化的氧化物半導體層中的至少一部分成為氧過剩狀態，來進一步實現高電阻化

，即I型化，以形成通道形成區。注意，作為用來使受到脫水化或脫氫化的氧化物半導體層成為氧過剩狀態的處理，有如下處理：利用濺射法形成接觸於受到脫水化或脫氫化的氧化物半導體層的氧化物絕緣層的處理；加熱處理或者在包含氧的氛圍下的加熱處理、或者在形成氧化物絕緣層後在惰性氣體氛圍下進行加熱處理，然後在氧氛圍或者超乾燥空氣（露點為 -40°C 以下，較佳的為 -60°C 以下）下的冷卻處理；等等。

此外，為了使受到脫水化或脫氫化的氧化物半導體層中的至少一部分（重疊於閘極電極層的部分）成為通道形成區，藉由選擇性地使它成為氧過剩狀態，可以實現高電阻化，即I型化。在受到脫水化或脫氫化的氧化物半導體層上以接觸的方式形成使用Ti等的金屬電極構成的源極電極層或汲極電極層，選擇性地使不重疊於源極電極層或汲極電極層的露出區域成為氧過剩狀態，從而可以形成通道形成區。在選擇性地使它成為氧過剩狀態的情況下，形成重疊於源極電極層的第一高電阻源極區、重疊於汲極電極層的第二高電阻汲極區，並且，第一高電阻源極區和第二高電阻汲極區之間的區域成為通道形成區。在源極電極層和汲極電極層之間以自對準的方式形成通道形成區。

由此，可以製造並提供具有其電特性良好且可靠性好的薄膜電晶體的半導體裝置。

注意，藉由在重疊於汲極電極層的氧化物半導體層中形成高電阻汲極區，可以提高形成驅動電路時的可靠性。

明確地說，藉由形成高電阻汲極區，可以得到導電性從汲極電極層到高電阻汲極區、通道形成區能夠階段性地變化的結構。因此，可以得到如下結構：當使薄膜電晶體與連接到用來供應高電源電位VDD的佈線的汲極電極層一起工作時，對閘極電極層和汲極電極層之間施加高電場也高電阻汲極區成爲緩衝而不被施加局部性的高電場，從而提高電晶體的耐壓性。

此外，在重疊於汲極電極層及源極電極層的氧化物半導體層中，藉由形成高電阻汲極區及高電阻源極區，可以降低形成驅動電路時的通道形成區的漏電流。明確地說，藉由形成高電阻汲極區，作爲流過在汲極電極層和源極電極層之間的電晶體的漏電流依次流過汲極電極層、汲極電極層一側的高電阻汲極區、通道形成區、源極電極層一側的高電阻源極區、源極電極層。此時，在通道形成區中，可以將從汲極電極層一側的高電阻汲極區流向通道區的漏電流集中在當電晶體截止時成爲高電阻的閘極絕緣層和通道形成區的介面附近，從而可以降低背通道部（離閘極電極層遠的通道形成區的表面的一部分）的漏電流。

此外，雖然也要根據閘極電極層的寬度，但是重疊於源極電極層的高電阻源極區和重疊於汲極電極層的高電阻汲極區隔著閘極絕緣層而與閘極電極層的一部分重疊，從而可以更有效地緩和汲極電極層的端部附近的電場強度。

此外，也可以在氧化物半導體層和源極電極及汲極電極之間形成氧化物導電層。氧化物導電層較佳的作爲成分

而包含氧化鋅，並且較佳的不包含氧化銻。例如，可以使用氧化鋅、氧化鋅鋁、氧氮化鋅鋁、氧化鋅鎵等。氧化物導電層也用作低電阻汲極區（也稱為LRN（Low Resistance N-type conductivity）區、LRD（Low Resistance Drain）區）。明確地說，低電阻汲極區的載子濃度較佳的大於高電阻汲極區（HRD區），例如在 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的範圍內。藉由在氧化物半導體層和源極電極及汲極電極之間設置氧化物導電層，可以降低接觸電阻，並且可以實現電晶體的高速工作，所以可以提高週邊電路（驅動電路）的頻率特性。

在將氧化物導電層的形成方法應用於上述製造方法的情況下，在形成氧化物半導體層後形成氧化物導電層，然後形成金屬膜，即可。氧化物導電層的形成既可以在用來使氧化物半導體層脫水化或脫氫化的熱處理之前進行，又可以在該熱處理之後進行。

可以連續形成用來形成氧化物導電層和源極電極及汲極電極的金屬膜。

此外，上述第一佈線及第二佈線可以採用使用與用作LRN或LRD的氧化物導電層相同的材料和金屬材料構成的疊層佈線。藉由採用使用金屬和氧化物導電層構成的疊層，改善對下層佈線的重疊部分或者開口等的位準差的覆蓋性，從而可以降低佈線電阻。此外，也可以期待防止遷移等所引起的佈線的局部性的高電阻化、斷線的效果，所以可以提供可靠性高的半導體裝置。

此外，當連接上述第一佈線和第二佈線時，也藉由隔著氧化物導電層而進行連接，可以期待防止因在連接部（接觸部）的金屬表面上形成絕緣氧化物而發生的接觸電阻的增大，從而可以提供可靠性高的半導體裝置。

此外，因為薄膜電晶體容易被靜電等破壞，所以較佳的相對於閘極線或源極電極線而在同一個基板上設置用來保護像素部的薄膜電晶體的保護電路。保護電路較佳的利用使用氧化物半導體層的非線性元件來構成。

另外，為了方便起見而附上第一、第二的序數詞，該序數詞不表示製程順序或疊層順序。此外，在本說明書中，上述序數詞不表示作為特定發明的事項的固有名稱。

利用氧化物半導體層，可以實現具有優越於電特性及可靠性的薄膜電晶體的半導體裝置。

【實施方式】

參照附圖而詳細說明實施例模式。但是，不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容可以不脫離本發明的宗旨及其範圍地變換為各種各樣的形式。因此，不應該被解釋為僅限定在以下實施例模式所記載的內容中。注意，在以下說明的結構中，在不同的附圖之間共同使用同一附圖標記來表示同一部分或具有同一功能的部分，而省略其重複說明。

[實施例模式 1]

參照圖 1 至圖 5 而說明包括薄膜電晶體的半導體裝置的製造製程。

圖 1 示出作為本發明的一種實施例的半導體裝置的液晶顯示裝置。在圖 1 所示的液晶顯示裝置中，基板 100 和基板 190 以夾著液晶層 192 的方式相對，該基板 100 設置有包括薄膜電晶體 170 及電容器 147 的像素部、包括薄膜電晶體 180 的驅動電路部、像素電極層 110、用作取向膜的絕緣層 191，並且，基板 190 設置有用作取向膜的絕緣層 193，對置電極層 194、用作濾色片的著色層 195。此外，在基板 100 和基板 190 的與液晶層 192 相反一側分別設置有偏光板（具有偏振器的層，也簡單地稱為偏振器）196a、196b，並在閘極佈線的端子部中設置有第一端子 121 及連接用端子電極 128，並且在源極電極佈線的端子部中設置有第二端子 122 及連接用端子電極 129。

在氧化物半導體層 120 上層疊有第二端子 122，並且，第二端子 122 及氧化物半導體層 120 藉由利用使用多色調光罩而形成的抗蝕劑光罩的光微影過程來形成。

在驅動電路部中，在薄膜電晶體 180 中，在閘極電極層及半導體層的上方設置導電層 111，並且，汲極電極層 165b 藉由佈線層 145 與利用與閘極電極層相同的製程形成的導電層 162 電連接。此外，在像素部中，薄膜電晶體 170 的汲極電極層與像素電極層 110 電連接。

在薄膜電晶體 170 和 180 的製造方法中，進行利用如下

光罩層的蝕刻製程，該光罩層利用作為所透過的光具有多種強度的曝光光罩的多色調光罩來形成。從而，氧化物半導體層 103、163 的端部不由源極電極層 105a、165a 和汲極電極層 105b、165b 覆蓋而露出。注意，在氧化物半導體層 103、163 的邊緣中露出的區域是接觸於氧化物絕緣層 107 的區域。當氧化物半導體層 103、163 具有露出的邊緣時，在其上層疊的氧化物絕緣層 107 的覆蓋性好。

以下，參照圖 2A 至圖 5 而詳細地說明製造方法。圖 5 是液晶顯示裝置的像素部的平面圖，並且圖 1 至圖 4C 相當於沿圖 5 中的線 A1-A2、B1-B2 的截面圖。

在具有絕緣表面的基板 100 的整個表面上形成導電層之後，進行第一光微影過程，形成抗蝕劑光罩，藉由蝕刻去除不需要的部分，而形成佈線及電極（閘極電極層 101、閘極電極層 161、導電層 162、電容佈線層 108 及第一端子 121）。如圖 2A 所示，當進行蝕刻以在佈線及電極的端部上形成錐形形狀時，提高所層疊的膜的覆蓋性，所以是較佳的。注意，閘極電極層 101、閘極電極層 161 分別包括在閘極佈線中。

雖然對可用於具有絕緣表面的基板 100 的基板沒有很大的限制，但是至少需要具有能夠承受後面的加熱處理程度的耐熱性。作為具有絕緣表面的基板 100，可以使用玻璃基板。

此外，當後面的加熱處理的溫度高時，作為玻璃基板，使用其應變點為 730°C 以上的基板，即可。此外，作為

玻璃基板，例如使用鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等玻璃材料。注意，藉由包含比硼多的氧化鋇（BaO），可以得到更有實用性的耐熱玻璃。由此，較佳的使用包括比 B_2O_3 多的BaO的玻璃基板。

注意，也可以使用陶瓷基板、石英基板、藍寶石基板等的使用絕緣體構成的基板而代替上述玻璃基板。此外，還可以使用結晶化玻璃等。因為在本實施例模式中示出的液晶顯示裝置為透過型，所以作為基板100使用具有透光性的基板，但是，當採用反射型時，作為基板100，也可以使用非透光性的金屬基板等的基板。

也可以在基板100與閘極電極層101、閘極電極層161、導電層162、電容佈線層108及第一端子121之間設置作為基底膜的絕緣膜。基底膜具有防止雜質元素從基板100擴散的功能，並且基底膜可以使用選自氮化矽膜、氧化矽膜、氮氧化矽膜和氧氮化矽膜中的一種或多種膜的疊層結構形成。

閘極電極層101、閘極電極層161、導電層162、電容佈線層108及第一端子121可以藉由使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、釩等的金屬材料或以這些材料為主要成分的合金材料的單層或疊層來形成。

例如，作為閘極電極層101、閘極電極層161、導電層162、電容佈線層108及第一端子121的雙層的疊層結構，較佳的採用：在鋁層上層疊有鉬層的雙層的疊層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層

或氮化鉬層的雙層結構；層疊有氮化鈦層和鉬層的雙層結構。作為三層的疊層結構，較佳的採用層疊如下層的結構：鎢層或氮化鎢層；鋁和矽的合金層或鋁和鈦的合金層；以及氮化鈦層或鈦層。

接著，在閘極電極層 101、閘極電極層 161、導電層 162、電容佈線層 108 及第一端子 121 上形成閘極絕緣層 102。

藉由利用電漿 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層或者氧化鋁層的單層或疊層，可以形成閘極絕緣層 102。例如，作為成膜氣體使用 SiH_4 、氧及氮並利用電漿 CVD 法形成氧氮化矽層即可。將閘極絕緣層 102 的膜厚度設定為 100nm 以上且 500nm 以下，並且，當採用疊層結構時，例如採用如下結構：在膜厚度為 50nm 以上且 200nm 以下的第一閘極絕緣層上層疊有膜厚度為 5nm 以上且 300nm 以下的第二閘極絕緣層的疊層結構。

在本實施例模式中，藉由電漿 CVD 法形成作為氮化矽層的膜厚度為 200nm 以下的閘極絕緣層 102。

接著，在閘極絕緣層 102 上形成氧化物半導體層 130。

另外，較佳的在藉由濺射法形成氧化物半導體層之前，進行藉由導入氬氣體來產生電漿的反濺射，而去除附著於閘極絕緣層 102 的表面的塵屑。反濺射是指一種方法，其中在氬氛圍下使用 RF 電源對基板一側施加電壓來在基板近旁形成電漿，以對表面進行改性。另外，也可以使用氮

、氮等而代替氬氛圍。另外，也可以在對氬氛圍加入氧、 N_2O 等的氛圍下進行。另外，也可以在對氬氛圍加入 Cl_2 、 CF_4 等的氛圍下進行。

接著，在閘極絕緣層102上形成膜厚度為2nm以上且200nm以下的氧化物半導體層130（參照圖2A）。在形成氧化物半導體層130後，為了即使進行用來實現脫水化或脫氫化的加熱處理也得到非晶狀態的氧化物半導體層130，而較佳採用50nm以下的薄的膜厚度。藉由採用膜厚度薄的氧化物半導體層，可以抑制當在形成氧化物半導體層後進行加熱處理時被結晶化。

作為氧化物半導體層130，使用In-Ga-Zn-O類非單晶膜、In-Sn-Zn-O類、In-Al-Zn-O類、Sn-Ga-Zn-O類、Al-Ga-Zn-O類、Sn-Al-Zn-O類、In-Zn-O類、In-Ga-O類、Sn-Zn-O類、Al-Zn-O類、In-O類、Sn-O類、Zn-O類的氧化物半導體層。在本實施例模式中，藉由使用In-Ga-Zn-O類氧化物半導體靶材的濺射法進行成膜。此外，氧化物半導體層130可以在稀有氣體（典型為氬）氛圍下、氧氛圍下、稀有氣體（典型為氬）及氧氛圍下藉由濺射法來形成。此外，在利用濺射法的情況下，較佳的使用包括2wt%以上且10wt%以下的 SiO_2 的靶材進行成膜，使氧化物半導體層130包括阻礙結晶化的 SiO_x （ $X>0$ ），以抑制當在後面的製程中進行用於脫水化或脫氫化的加熱處理時被結晶化。

在此，在以下條件下進行成膜：使用包括In、Ga及Zn的氧化物半導體靶材（ $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 :$

1[mol%]、In : Ga : Zn=1 : 1 : 0.5[at%]) ; 基板與靶材之間的距離是 100mm ; 壓力是 0.2Pa ; 直流 (DC) 電源是 0.5kW ; 並且在氫及氧 (氫 : 氧 = 30sccm : 20sccm , 氧流量比率是 40%) 的氛圍下。注意, 較佳的使用脈衝直流 (DC) 電源, 因為可以減少塵屑, 而且膜厚分佈也變得均勻。In-Ga-Zn-O類非單晶膜的膜厚度為 5nm 以上且 200nm 以下。在本實施例模式中, 使用 In-Ga-Zn-O類氧化物半導體靶材並藉由濺射法形成膜厚度為 20nm 的 In-Ga-Zn-O類非單晶膜作為氧化物半導體層。

在濺射法中, 有作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法, 並且還有以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於絕緣膜的形成, 而且 DC 濺射法主要用於金屬膜的形成。

此外, 還有可以設置多個材料不同的靶材的多元濺射裝置。多元濺射裝置既可以在同一處理室中層疊形成不同材料的膜, 又可以在同一處理室中使多種材料同時放電而進行成膜。

此外, 有利用如下濺射法的濺射裝置: 即在處理室內具備磁鐵機構並且用於磁控管濺射法; 以及不使用輝光放電而利用使用微波來產生的電漿的 ECR 濺射法。

此外, 作為使用濺射法的成膜方法, 還有在膜形成期間使靶材物質與濺射氣體成分產生化學反應而形成它們的化合物薄膜的反應濺射法、在膜形成期間對基板也施加電壓的偏壓濺射法。

也可以在閘極絕緣層上直接形成抗蝕劑圖案來形成接觸孔。在此情況下，較佳的在剝離抗蝕劑後進行熱處理，進行閘極絕緣層表面的脫水化、脫氫化、脫羥化的處理。例如，在惰性氣體氛圍（氮、或者氬、氖、氫等）下、氧氛圍下進行加熱處理（ 400°C 以上且低於基板的應變點），而去除包括在閘極絕緣層中的氫及水等雜質，即可。

接著，進行氧化物半導體層130的脫水化或脫氫化，來形成受到脫水化或脫氫化的氧化物半導體層131（參照圖2B）。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400°C 以上且低於基板的應變點，較佳為 425°C 以上。注意，只要採用 425°C 以上的溫度就熱處理時間是一個小時以下，即可。但是，如果採用低於 425°C 的溫度就熱處理時間是一個小時以上。在此，將基板放入加熱處理裝置之一的電爐中，在氮氣氛圍下對氧化物半導體層130進行加熱處理後，不接觸於大氣，防止水、氫再混入到氧化物半導體層中，而得到氧化物半導體層131。在本實施例模式中，在氮氛圍下使用同一爐將氧化物半導體層的溫度從進行氧化物半導體層130的脫水化或脫氫化所需的加熱溫度T緩冷到水無法再次混入的溫度，明確而言將氧化物半導體層的溫度降低到比加熱溫度T低 100°C 以上的溫度。此外，不侷限於氮氛圍，而在氬、氖、氫等稀有氣體氛圍下或者減壓下進行脫水化或脫氫化。

藉由以 400°C 至 700°C 的溫度對氧化物半導體層130進行熱處理，實現氧化物半導體層130的脫水化或脫氫化，

可以防止後面的水（ H_2O ）的再浸漬。

注意，在第一加熱處理中，較佳的是，在氮或者諸如氬、氖、氫等的稀有氣體中不包括水、氫等。尤其是，以 $400^{\circ}C$ 至 $700^{\circ}C$ 對氧化物半導體層130進行的脫水化或脫氫化的熱處理較佳的在 H_2O 為20ppm以下的氮氛圍下進行。或者，較佳的將引入加熱處理裝置中的氮或氬、氖、氫等稀有氣體的純度設定為6N（99.9999%）以上，較佳的設定為7N（99.99999%）以上（即雜質濃度為1ppm以下，較佳為0.1ppm以下）。

此外，根據第一加熱處理的條件、氧化物半導體層的材料，有時進行結晶化而成為微晶膜或多晶膜。

對氧化物半導體層的脫水化或脫氫化的熱處理可以在形成氧化物半導體層後、在氧化物半導體層上層疊源極電極層及汲極電極層後、或者在源極電極層及汲極電極層上形成鈍化膜後進行。

接著，藉由濺射法或真空蒸鍍法在氧化物半導體層131上形成使用金屬材料構成的金屬導電層137（參照圖2C）。

作為金屬導電層137的材料，可以舉出選自Al、Cr、Cu、Ta、Ti、Mo、W中的元素、以上述元素為成分的合金、組合上述元素的合金膜等。此外，金屬導電層可以具有單層結構或者兩層以上的疊層結構。例如，可以舉出：包括矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；層疊Ti膜、該Ti膜上的鋁膜和其上的Ti膜而成的三層結構

；等等。此外，也可以使用將Al與鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、釹（Nd）、釷（Sc）中的一個或多個元素組合而成的合金膜、這些元素中的任一種的氮化膜。

當在形成金屬導電層137後進行加熱處理時，較佳的使金屬導電層具有耐受該加熱處理的耐熱性。

進行第二光微影過程，在閘極絕緣層102、氧化物半導體層131以及金屬導電層137上形成抗蝕劑光罩135a、135b、135c。

在本實施例模式中示出爲了形成抗蝕劑光罩135a、135b、135c而進行使用高色調光罩的曝光的實例。爲了形成抗蝕劑光罩135a、135b、135c而形成抗蝕劑。作爲抗蝕劑，可以採用正性抗蝕劑或者負性抗蝕劑。在此，採用正性抗蝕劑。抗蝕劑既可以藉由旋塗法形成，又可以藉由噴墨法選擇性地形成。當藉由噴墨法選擇性地形成抗蝕劑時，可以削減在不需要的部分中形成抗蝕劑的情況，所以可以減輕材料的浪費。

接著，作爲曝光光罩而使用多色調光罩81a或81b，對抗蝕劑照射光，對抗蝕劑進行曝光。

在此，參照圖9A至9D而說明使用多色調光罩81a或81b的曝光。

多色調光罩指的是能夠以三個級別進行曝光的光罩，該三個級別爲曝光部分、中間曝光部分以及未曝光部分，並且，多色調光罩是所透過的光具有多種強度的曝光光罩

。藉由進行一次曝光及顯影製程，可以形成具有多種（典型為兩種）膜厚度區域的抗蝕劑光罩。因此，藉由使用多色調光罩，可以削減曝光光罩的數目。

作為多色調光罩的典型實例，有如圖9A所示的灰色調光罩81a、如圖9C所示的半色調光罩81b。

如圖9A所示，灰色調光罩81a使用透光基板83以及形成在其上的遮光部84和繞射光柵85構成。在遮光部84中，光透過率為0%。另一方面，繞射光柵85藉由將狹縫、點、網眼等的光的透過部的間隔設定為用於曝光的光的解析度限度以下的間隔，可以控制光的透過率。另外，週期性狹縫、點、網眼或非週期性狹縫、點、網眼都可以用於繞射光柵85。

作為透光基板83，可以使用石英等的透光基板。遮光部84及繞射光柵85可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

當對灰色調光罩81a照射所曝光的光時，如圖9B所示，在遮光部84中，光透過率86為0%，而且在不設置遮光部84以及繞射光柵85的區域中，光透過率86為100%。另外，在繞射光柵85中，可以將光透過率調整為10%至70%。繞射光柵85中的光的透過率可以藉由調整繞射光柵的狹縫、點或網眼的間隔及間距而調整。

如圖9C所示，半色調光罩81b使用透光基板83、形成在其上的半透過部87及遮光部88構成。可以將MoSiN、MoSi、MoSiO、MoSiON、CrSi等用於半透過部87。遮光

部 88 可以使用鉻或氧化鉻等的吸收光的遮光材料形成。

在將所曝光的光照射到半色調光罩 81b 的情況下，如圖 9D 所示，在遮光部 88 中，光透光率 89 為 0%，而且在不設置遮光部 88 及半透過部 87 的區域中，光透光率 89 為 100%。另外，在半透過部 87 中，可以將光透過率調整為 10% 至 70%。半透過部 87 中的光透光率可以根據半透過部 87 的材料而調整。

藉由使用多色調光罩進行曝光之後進行顯影，可以形成如圖 3A 所示的具有膜厚度不同的區域的抗蝕劑光罩 135a、135b、135c。

接著，使用抗蝕劑光罩 135a、135b、135c 進行第一蝕刻製程，對氧化物半導體層 131、金屬導電層 137 進行蝕刻而加工成島狀。其結果，可以形成氧化物半導體層 133、134、120、金屬導電層 185、186、188（參照圖 3A）。

接著，對抗蝕劑光罩 135a、135b、135c 進行灰化。其結果，抗蝕劑光罩的面積（在三次元上為體積）縮小，而膜厚度變薄。此時，膜厚度薄的區域的抗蝕劑光罩的抗蝕劑（與閘極電極層 161 的一部分重疊的區域）被去除，可以形成被分離的抗蝕劑光罩 136a、136b。同樣地，抗蝕劑光罩 135b、135c 也受到灰化，抗蝕劑光罩的面積（在三次元上為體積）縮小，而成為抗蝕劑光罩 136c、136d、136e。

使用抗蝕劑光罩 136a、136b、136c、136d、136e 並利用蝕刻去除不需要的部分，以形成源極電極層 165a、汲極

電極層 165b、源極電極層 105a、汲極電極層 105b、氧化物半導體層 120、第二端子 122（參照圖 3B）。

注意，當對金屬導電層進行蝕刻時，為了防止氧化物半導體層 133、134 也被去除，而適當地調整各材料及蝕刻條件。

在本實施例模式中，作為金屬導電層而使用 Ti 膜，並作為氧化物半導體層 133、134 而使用 In-Ga-Zn-O 類氧化物，並且作為蝕刻劑而使用過氧化氫氨水（ammonia hydrogen peroxide solution）（氨、水、過氧化氫水的混合液）。

在該第二光微影過程中，在端子部中形成使用氧化物半導體層 120 相同的材料形成的第二端子 122、源極電極層 105a、165a、汲極電極層 105b、165b。注意，第二端子 122 電連接到源極電極佈線（包括源極電極層 105a、165a 的源極電極佈線）。

注意，在此的對金屬導電層、氧化物半導體層以及絕緣膜的蝕刻不侷限於濕蝕刻，而也可以使用乾蝕刻。

作為用於乾蝕刻的蝕刻氣體，較佳的使用包括氯的氣體（氯類氣體，例如，氯（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、四氯化碳（ CCl_4 ）等）。

另外，還可以使用包括氟的氣體（氟類氣體，例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）等）、溴化氫（ HBr ）、氧（ O_2 ）、對上述氣體添加氦（ He ）或氬（ Ar ）等的稀有氣體的氣體等

作為乾蝕刻法，可以使用平行平板型 RIE (Reactive Ion Etching : 反應離子蝕刻) 法或 ICP (Inductively Coupled Plasma : 感應耦合電漿) 蝕刻法。適當地調節蝕刻條件 (施加到線圈形電極的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等) ，以可以蝕刻為所希望的加工形狀。

作為用於濕蝕刻的蝕刻液，可以使用將磷酸、醋酸及硝酸混合而成的溶液、氨水和過氧化氫以及純水的混合液簡稱 APM (Ammonia Peroxide Mixture) (過氧化氫水 : 氨 : 水 = 5 : 2 : 2) 等。此外，也可以使用 ITO07N (關東化學株式會社製造) 。

此外，藉由清洗去除濕蝕刻後的蝕刻液以及受到蝕刻的材料。也可以提純包括該被去除的材料的蝕刻液的廢液，來再次利用所包括的材料。藉由從該蝕刻後的廢液回收包括在氧化物半導體層中的銦等的材料並將它再次利用，可以有效地利用資源並且實現低成本化。

根據材料適當地調節蝕刻條件 (蝕刻液、蝕刻時間、溫度等) ，以便可以蝕刻為所希望的加工形狀。

接著，去除抗蝕劑光罩 136a、136b、136c、136d、136e，以形成接觸於氧化物半導體層 133、134 的成為保護絕緣層的氧化物絕緣層 107。

在該步驟中，形成氧化物半導體層 133 和 134、接觸於氧化物絕緣層的區域，並且，在該區域中，接觸於氧化物

絕緣層 107 並且重疊於閘極電極層和閘極絕緣層的部分用作通道形成區。

將氧化物絕緣層 107 的膜厚度設定為至少 1nm 以上，並且氧化物絕緣層 107 可以藉由適當地利用濺射法等不使水、氫等雜質混入到氧化物絕緣層 107 中的方法來形成。在本實施例模式中，作為氧化物絕緣層 107，藉由濺射法形成膜厚度為 300nm 的氧化矽膜。將膜形成期間的基板溫度設定為室溫以上且 300℃ 以下即可，而在本實施例模式中採用室溫。利用濺射法的氧化矽膜的形可以在稀有氣體（典型為氬）氛圍下、氧氛圍下、稀有氣體（典型為氬）及氧的氛圍下進行。此外，作為靶材，可以使用氧化矽靶材或矽靶材。例如，可以在氧氛圍下藉由使用矽靶材的濺射法形成氧化矽。接觸於後面低電阻化的氧化物半導體層地形成的氧化物絕緣層不包括水分、氫離子、OH⁻等雜質，並且採用阻擋水分、氫離子、OH⁻等雜質從外部侵入的無機絕緣膜，而典型地採用氧化矽膜、氮氧化矽膜、氧化鎵膜、氧化鋁膜、或者氧氮化鋁膜等。

接著，在惰性氣體氛圍下或者氮氣體氛圍下進行第二加熱處理（較佳的為 200℃ 以上且 400℃ 以下，例如為 250℃ 以上且 350℃ 以下）（參照圖 4A）。例如，在氮氛圍下進行 250℃ 且一個小時的第二加熱處理。當進行第二加熱處理時，重疊於氧化物絕緣層 107 的氧化物半導體層 133、134 的一部分以接觸於氧化物絕緣層 107 的狀態受到加熱。

藉由上述製程，對成膜後的氧化物半導體層進行用於

脫水化或脫氫化的加熱處理，進行低電阻化，然後選擇性地使氧化物半導體層的一部分成爲氧過剩狀態。

其結果，在氧化物半導體層 133 中，重疊於閘極電極層 161 的通道形成區 166 成爲 I 型，並以自對準的方式形成重疊於源極電極層 165a 的高電阻源極區 167a 及重疊於汲極電極層 165b 的高電阻汲極區 167b，以形成氧化物半導體層 163。同樣地，在氧化物半導體層 134 中，重疊於閘極電極層 101 的通道形成區 116 成爲 I 型，並以自對準的方式形成重疊於源極電極層 105a 的高電阻源極區 117a 及重疊於汲極電極層 105b 的高電阻汲極區 117b，以形成氧化物半導體層 103。

藉由在重疊於汲極電極層 105b、165b（及源極電極層 105a、165a）的氧化物半導體層 103、163 中形成高電阻汲極區 117b、167b（或高電阻源極區 117a、167a），可以實現形成電路時的可靠性的提高。明確而言，藉由形成高電阻汲極區 117b、167b，可以實現導電性從汲極電極層 105b、165b 藉由高電阻汲極區 117b、167b 到通道形成區 116、166 能夠階梯性地變化的結構。因此，在將汲極電極層 105b、165b 連接到供應高電源電位 VDD 的佈線而使薄膜電晶體工作的情況下，即使對閘極電極層 101、161 和汲極電極層 105b、165b 之間施加高電場，也高電阻汲極區成爲緩衝而不被施加局部性的高電場，可以提高電晶體的耐壓性。

此外，藉由在重疊於汲極電極層 105b、165b（及源極

電極層 105a、165a) 的氧化物半導體層 103、163 中形成高電阻汲極區 117b、167b (或高電阻源極區 117a、167a) ，可以實現形成電路時的通道形成區 116、166 中的漏電流的降低。

在本實施例模式中，藉由濺射法形成作為氧化物絕緣層 107 的氧化矽膜，然後進行 250℃ 至 350℃ 的熱處理，將氧從源極區和汲極區之間的氧化物半導體層的露出部分 (通道形成區) 浸漬並擴散到氧化物半導體層中。藉由濺射法形成氧化矽膜，可以使該氧化矽膜包括過剩的氧，並且利用熱處理可以將該氧浸漬並擴散到氧化物半導體層中。藉由將氧浸漬並擴散到氧化物半導體層中，可以實現通道區的高電阻化 (I 型化) 。由此，可以得到常關閉型薄膜電晶體。

藉由上述製程，可以在同一基板上，在驅動電路部中形成薄膜電晶體 180 並且在像素部中形成薄膜電晶體 170。薄膜電晶體 170、180 是包括具有高電阻源極區、高電阻汲極區以及通道形成區的氧化物半導體層的底閘型薄膜電晶體。因此，即使對薄膜電晶體 170、180 施加高電場也高電阻汲極區或高電阻源極區成為緩衝而不被施加局部性的高電場，從而提高電晶體的耐壓性。

藉由在同一基板上形成驅動電路和像素部，可以縮短驅動電路和外部信號的連接佈線，從而可以實現半導體裝置的小型化、低成本化。

也可以在氧化物絕緣層 107 上還形成保護絕緣層。例

如，利用 RF 濺射法來形成氮化矽膜。因為 RF 濺射法具有良好的量產性，所以較佳作為保護絕緣層的成膜方法而使用 RF 濺射法。保護絕緣層不包括水分、氫離子、 OH^- 等雜質，並且採用阻擋水分、氫離子、 OH^- 等雜質從外部侵入的無機絕緣膜，並且採用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。

接著，進行第三光微影過程，形成抗蝕劑光罩，對氧化物絕緣層 107 進行蝕刻，形成到達汲極電極層 105b 的接觸孔 125、到達汲極電極層 165b 的接觸孔 118 以及到達導電層 162 的接觸孔 119，去除抗蝕劑光罩（參照圖 4B）。此外，藉由在此的蝕刻，也形成到達第二端子 122 的接觸孔 127、到達第一端子 121 的接觸孔 126。此外，也可以藉由噴墨法形成用來形成該接觸孔的抗蝕劑光罩。當藉由噴墨法形成抗蝕劑光罩時，不使用光光罩，因此可以降低製造成本。

接著，形成具有透光性的導電膜。作為具有透光性的導電膜的材料，藉由濺射法或真空蒸鍍法等形成氧化銦（ In_2O_3 ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ 、縮寫為 ITO）等。作為具有透光性的導電膜的其他材料，也可以使用：包括氮的 Al-Zn-O 類非單晶膜，即 Al-Zn-O-N 類非單晶膜；包括氮的 Zn-O-N 類非單晶膜；包括氮的 Sn-Zn-O-N 類非單晶膜。注意，Al-Zn-O-N 類非單晶膜中的鋅的組成比（原子%）為 47 原子%以下，即大於 Al-Zn-O-N 類非單晶膜中的鋁的組成比（原子%），並且，Al-Zn-O-N 類非單晶膜中的

鋁的組成比（原子%）大於Al-Zn-O-N類非單晶膜中的氮的組成比（原子%）。對上述材料的蝕刻處理利用鹽酸類溶液來進行。然而，尤其是，當對ITO進行蝕刻時容易發生殘渣，所以也可以使用用來改善蝕刻加工性的氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）。

注意，將具有透光性的導電膜的組成比的單位設定為原子%，並且，利用使用電子探針X射線微區分析儀（EPMA：Electron Probe X-ray Micro Analyzer）的分析進行評價。

接著，進行第四光微影過程，形成抗蝕劑光罩，藉由蝕刻去除不需要的部分，形成像素電極層110、導電層111、佈線層145、端子電極128和129，去除抗蝕劑光罩。該步驟的截面圖相當於圖4C。注意，該步驟的平面圖相當於圖5。

此外，在該第四光微影過程中，以電容部中的閘極絕緣層102及氧化物絕緣層107為電介質，利用電容佈線層108和像素電極層110形成儲存電容器。

也可以在與驅動電路部和像素部同一基板上形成作為以閘極絕緣層102為電介質並利用電容佈線層和電容電極形成的儲存電容器的電容器147。此外，也可以不設置電容佈線，而隔著保護絕緣層及閘極絕緣層重疊像素電極與相鄰的像素的閘極佈線來形成儲存電容器。

形成在端子部中的端子電極128、129成為用來與FPC連接的電極或佈線。形成在第一端子121上的端子電極128

成爲用作閘極佈線的輸入端子的用來連接的端子電極。形成在第二端子122上的端子電極129是用作源極電極佈線的輸入端子的用來連接的端子電極。

此外，圖11A1和11A2分別表示該步驟的閘極佈線端子部的俯視圖及截面圖。圖11A1相當於沿著圖11A2中的線C1-C2的截面圖。在圖11A1中，形成在保護絕緣層154上的導電膜155是用作輸入端子的用來連接的端子電極。此外，在圖11A1中，在端子部中，使用與閘極佈線相同的材料形成的第一端子151和使用與源極電極佈線相同的材料形成的連接電極153在設置於閘極絕緣層152中的接觸孔中隔著氧化物半導體層157而實現導電。此外，連接電極153和導電膜155在設置於保護絕緣層中的接觸孔中直接接觸而實現導電。

此外，圖11B1和11B2分別表示源極電極佈線端子部的俯視圖及截面圖。此外，圖11B1相當於沿著圖11B2中的線D1-D2的截面圖。在圖11B1中，形成在保護絕緣層154上的導電膜155是用作輸入端子的用來連接的端子電極。此外，在圖11B1中，在端子部中，使用與閘極佈線相同的材料形成的電極156和電連接到源極電極佈線的第二端子150的下方隔著閘極絕緣層152彼此重疊。電極156不電連接到第二端子150，並且，當將電極156設定爲不同於第二端子150的電位，例如，浮動電位、GND、0V等時，可以形成作爲對雜波的對策的電容器或者作爲對靜電的對策的電容器。此外，第二端子150隔著保護絕緣層154電連接到導電

膜 155。在第二端子 150 下形成有氧化物半導體層 158。

根據像素密度設置多個閘極佈線、多個源極電極佈線及多個電容佈線。此外，在端子部中排列地配置多個具有與閘極佈線相同的電位的第一端子、多個具有與源極電極佈線相同的電位的第二端子、多個具有與電容佈線相同的電位的第三端子等。各端子的數量可以是任意的，實施者適當地決定各端子的數量即可。

像這樣，藉由四次的光微影過程，使用六個光光罩，可以完成包括薄膜電晶體 180 的驅動電路部、包括薄膜電晶體 170 的像素部、包括儲存電容器的電容器 147 以及外部取出端子部。藉由對應於各像素而將薄膜電晶體和儲存電容器配置為矩陣狀來構成像素部，可以將它用作用來製造主動矩陣型顯示裝置的一方的基板。在本說明書中，為方便起見而將這種基板稱為主動矩陣基板。

如本實施例模式，由於當使用利用多色調光罩形成的具有多種（典型的是兩種）膜厚度的區域的抗蝕劑光罩時，可以減少抗蝕劑光罩數，從而可以實現製程的簡化以及低成本化。因此，可以以低成本生產率好地製造半導體裝置。

當製造主動矩陣型液晶顯示裝置時，在主動矩陣基板和設置有對置電極的對置基板之間設置液晶層，以固定主動矩陣基板和對置基板。另外，在主動矩陣基板上設置與設置在對置基板上的對置電極電連接的公共電極，並且在端子部中設置與公共電極電連接的第四端子。該第四端子

是用來將公共電極設定為固定電位，例如 GND、0V 等的端子。

在氧化物絕緣層 107、導電層 111、佈線層 145、像素電極層 110 上形成用作取向膜的絕緣層 191。

在對置基板 190 上形成著色層 195、對置電極層 194、用作取向膜的絕緣層 193。隔著用來調節液晶顯示裝置的單元間隙的間隔物並夾持液晶層 192 而利用密封材料（未圖示）將基板 100 和對置基板 190 貼合在一起。上述貼合製程也可以在減壓下進行。

作為密封材料，較佳的典型地使用可見光固化樹脂、紫外線固化樹脂、熱固化樹脂。典型的是，可以使用丙烯酸樹脂、環氧樹脂、胺樹脂等。此外，也可以包括光（典型為紫外線）聚合引發劑、熱固化劑、填料、耦合劑。

液晶層 192 藉由對空隙封入液晶材料來形成。當形成液晶層 192 時，既可以採用在將基板 100 和對置基板 190 貼合在一起之前進行滴下的分配器方法（滴落法），又可以採用在將基板 100 和對置基板 190 貼合在一起後利用毛細現象植入液晶的植入法。對液晶材料沒有特別的限制，而可以使用各種各樣的材料。此外，當作為液晶材料而使用呈現藍相的材料時，不需要取向膜。

在基板 100 的外側設置偏光板 196a，並且在對置基板 190 的外側設置偏光板 196b，從而可以製造本實施例模式中的透過型液晶顯示裝置（參照圖 1）。

此外，雖然在本實施例模式中未圖示，但是適當地設

置黑底（遮光層）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板及相位差基板的圓偏振。此外，作為光源，也可以使用背光燈、側光燈等。

在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在畫面上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，該光學調變被觀察者識別為顯示圖案。

當液晶顯示裝置顯示動態圖像時，由於液晶分子本身的響應慢，所以有產生餘象或動態圖像的模糊的問題。有一種被稱為所謂的黑插入的驅動技術，在該驅動技術中為了改善液晶顯示裝置的動態圖像特性，而每隔一幀地進行整個畫面的黑顯示。

此外，還有被稱為所謂的倍速驅動的驅動技術，其中藉由將幀頻率設定為通常的幀頻率（60Hz）的1.5倍，較佳的設定為通常的2倍以上來改善動畫特性。

另外，還有如下驅動技術：為了改善液晶顯示裝置的動態圖像特性，作為背光燈使用多個LED（發光二極體）光源或多個EL光源等來構成面光源，並使構成面光源的各光源獨立地在一個幀期間內進行間歇點亮驅動。作為面光源，可以使用三種以上的LED或白色發光的LED。由於可以獨立地控制多個LED，因此也可以按照液晶層的光學調變的切換時序而使LED的發光時序同步。因為在該驅動技

術中可以部分地關斷LED，所以尤其是在進行一個畫面中的黑色顯示區所占的比率高的圖像顯示的情況下，可以得到耗電量減少的效果。

藉由組合這些驅動技術，與現有的液晶顯示裝置相比，可以進一步改善液晶顯示裝置的動態圖像特性等的顯示特性。

藉由利用使用氧化物半導體的薄膜電晶體來形成，可以降低製造成本。尤其是，藉由利用上述方法，接觸於氧化物半導體層地形成氧化物絕緣層，可以製造並提供具有穩定的電特性的薄膜電晶體。因此，可以提供具有電特性和可靠性良好的薄膜電晶體的半導體裝置。

因為通道形成區的半導體層為高電阻化區域，所以薄膜電晶體的電特性穩定化，而可以防止截止電流的增加等。因此，可以製造具有電特性和可靠性良好的薄膜電晶體的半導體裝置。

此外，因為薄膜電晶體容易因靜電等而破壞，所以較佳的在與像素部或驅動電路同一的基板上設置保護電路。保護電路較佳的利用使用氧化物半導體層的非線性元件來構成。例如，在像素部與掃描線輸入端子及信號線輸入端子之間設置有保護電路。在本實施例模式中，藉由設置多個保護電路，實現如下結構：在因靜電等而掃描線、信號線及電容匯流排被施加衝擊電壓時，像素電晶體等不被破壞。因此，保護電路採用當它被施加衝擊電壓時，將電荷釋放在公共佈線中的結構。此外，保護電路使用相對於掃

描線而並列地配置的非線性元件構成。非線性元件使用如二極體的二端子元件或如電晶體的三端子元件構成。例如，也可以利用與像素部的薄膜電晶體170相同的製程進行形成，例如，藉由連接電晶體的閘極端子和汲極電極端子來可以得到與二極體同樣的特性。

本實施例模式可以與其他實施例模式所記載的結構適當地組合來實施。

[實施例模式2]

在本實施例模式中，圖6A至6D和圖7A和7B示出，在實施例模式1中，在氧化物半導體層和源極電極層或汲極電極層之間設置用作源極區及汲極區的氧化物導電層的實例。從而，其他部分可以與實施例模式1同樣地進行，而省略與實施例模式1相同的部分或具有與實施例模式1相同的功能的的部分、以及製程的重複說明。此外，因為圖6A至6D和圖7A和7B除了一部分以外與圖1至圖5的製程大體上相同，所以對相同的部分使用相同的附圖標記，並且省略對相同的部分的詳細說明。

首先，根據實施例模式1，在基板100上形成金屬導電層，利用藉由第一光微影過程形成的抗蝕劑光罩對金屬導電層進行蝕刻，形成第一端子121、閘極電極層161、導電層162、閘極電極層101、電容佈線層108。

在第一端子121、閘極電極層161、導電層162、閘極電極層101、電容佈線層108上形成閘極絕緣層102，並且

層疊氧化物半導體層、氧化物導電層、金屬導電層。可以以不暴露於大氣的方式連續形成閘極絕緣層 102、氧化物半導體層、氧化物導電層、金屬導電層。

作為氧化物導電層的形成方法，使用濺射法、真空蒸鍍法、（電子束蒸鍍法等）、電弧放電離子電鍍法、噴射法。作為氧化物導電層的材料，較佳的使用作為成分而包括氧化鋅的材料，並且較佳的使用不包括氧化銦的材料。作為這種氧化物導電層，可以應用氧化鋅、氧化鋅鋁、氮化鋅鋁、氧化鋅鎵等。將膜厚度適當地設定為 50nm 以上且 300nm 以下。此外，在利用濺射法的情況下，較佳的是，使用包括 2wt% 以上且 10wt% 以下的 SiO_2 的靶材進行成膜，使氧化物導電層包括阻礙結晶化的 SiO_x ($x > 0$)，以抑制當在後面的製程中進行用來脫水化或脫氫化的加熱處理時被結晶化。

接著，在層疊有氧化物半導體層及氧化物導電層的情況下進行用於脫水化或脫氫化的熱處理，形成氧化物半導體層 131、氧化物導電層 140 以及金屬導電層 137（參照圖 6A）。藉由以 400°C 至 700°C 的溫度進行熱處理，實現氧化物半導體層的脫水化或脫氫化，可以防止後面的水（ H_2O ）的再浸漬。

藉由該熱處理，當氧化物導電層不包括如氧化矽的結晶化阻礙物質時，就氧化物導電層結晶化。氧化物導電層的結晶相對於基底面而生長為柱形。其結果，在為了形成源極電極層及漏電機層而對氧化物導電層的上層的金屬導

電層進行蝕刻的情況下，可以防止形成凹蝕（undercut）。

此外，藉由氧化物半導體層的脫水化或脫氫化的熱處理，可以提高氧化物導電層的導電性。注意，也可以以低於對氧化物半導體層的熱處理的溫度只對氧化物導電層進行熱處理。

藉由利用使用高色調光罩的曝光進行第二光微影過程，在閘極絕緣層 102、氧化物半導體層 131 以及金屬導電層 137 上形成抗蝕劑光罩 135a、135b、135d。

接著，使用抗蝕劑光罩 135a、135b、135d 進行第一蝕刻製程，對氧化物半導體層 131、金屬導電層 137 進行蝕刻，以加工為島狀。其結果，可以形成氧化物半導體層 133、134、120、氧化物導電層 175、176、177、金屬導電層 185、186、188（參照圖 6B）。

接著，對抗蝕劑光罩 135a、135b、135d 進行灰化。其結果，抗蝕劑光罩的面積（在三次元上為體積）縮小，而膜厚度變薄。此時，膜厚度薄的區域的抗蝕劑光罩的抗蝕劑（與閘極電極層 161 的一部分重疊的區域）被去除，可以形成被分離的抗蝕劑光罩 136a、136b。同樣地，抗蝕劑光罩 135b、135d 也受到灰化，抗蝕劑光罩的面積（在三次元上為體積）縮小，而成為抗蝕劑光罩 136c、136d、136e。

使用抗蝕劑光罩 136a、136b、136c、136d、136e 並利用蝕刻去除不需要的部分，以形成源極電極層 165a、汲極

電極層 165b、源極電極層 105a、汲極電極層 105b、第二端子 122（參照圖 6C）。

在該製程中，在端子部中形成使用與氧化物半導體層 120、源極電極層 105a、165a、汲極電極層 105b、165b 相同的材料形成的第二端子 122。注意，第二端子 122 電連接到源極電極佈線（包括源極電極層 105a、165a 的源極電極佈線）。

注意，當對金屬導電層進行蝕刻時，為了防止氧化物導電層 175、176、177 及氧化物半導體層 133、134、120 被去除，而適當地調整各材料及蝕刻條件。

接著，去除抗蝕劑光罩 136a、136b、136c、136d、136e，以源極電極層 105a、汲極電極層 105b、源極電極層 165a、汲極電極層 165b 為光罩對氧化物導電層 140 進行蝕刻，以形成氧化物導電層 164a、164b、氧化物導電層 104a、104b（參照圖 6D）。可以例如利用如抗蝕劑的剝離液的鹼性溶液而容易對以氧化鋅為成分的氧化物導電層 140 進行蝕刻。此外，藉由同一製程，在端子部也形成氧化物導電層 139。

利用氧化物半導體層與氧化物導電層的蝕刻速度的差別，進行蝕刻處理。該蝕刻處理是分割氧化物導電層形成通道區的。利用氧化物導電層的蝕刻速度比氧化物半導體層快的情況，對氧化物半導體層上的氧化物導電層選擇性地進行蝕刻。

因此，較佳的利用灰化製程去除抗蝕劑光罩 136a、

136b、136c、136d、136e。在進行利用剝離液的蝕刻的情況下，爲了防止氧化物導電層175、176及氧化物半導體層133、134受到過剩的蝕刻，而適當地調整蝕刻條件（蝕刻劑的種類、濃度、蝕刻時間）。

如本實施例模式，藉由層疊氧化物導電層和金屬導電層，並以同一光罩進行蝕刻來形成包括源極電極層及汲極電極層的佈線圖案，可以在金屬導電層的佈線圖案下殘存氧化物導電層。

在閘極佈線和源極電極佈線的接觸部中，較佳的在源極電極佈線下形成有氧化物導電層，因爲氧化物導電層成爲緩衝並不與金屬形成絕緣氧化物。

形成接觸於氧化物半導體層133、134的成爲保護絕緣層的氧化物絕緣層107。在本實施例模式中，作爲氧化物絕緣層107，藉由濺射法形成膜厚度爲300nm的氧化矽膜。

接著，在惰性氣體氛圍下或者氮氣體氛圍下進行第二加熱處理（較佳的爲200℃以上且400℃以下，例如爲250℃以上且350℃以下）。例如，在氮氛圍下進行250℃且一個小時的第二加熱處理。當進行第二加熱處理時，重疊於氧化物絕緣層107的氧化物半導體層133、134的一部分以接觸於氧化物絕緣層107的狀態受到加熱。

藉由上述製程，對成膜後的氧化物半導體層進行用於脫水化或脫氫化的加熱處理，進行低電阻化，然後選擇性地使氧化物半導體層的一部分成爲氧過剩狀態。

其結果，在氧化物半導體層133中，重疊於閘極電極

層 161 的通道形成區 166 成爲 I 型，並以自對準的方式形成重疊於源極電極層 165a 及氧化物導電層 164a 的高電阻源極區 167a 及重疊於汲極電極層 165b 及氧化物導電層 164b 的高電阻汲極區 167b，並且形成氧化物半導體層 163。同樣地，在氧化物半導體層 134 中，重疊於閘極電極層 101 的通道形成區 116 成爲 I 型，並以自對準的方式形成重疊於源極電極層 105a 及氧化物導電層 104a 的高電阻源極區 117a 及重疊於汲極電極層 105b 及氧化物導電層 104b 的高電阻汲極區 117b，並且形成氧化物半導體層 103。

此外，設置在氧化物半導體層 163、103 和使用金屬材料構成的汲極電極層 105b、汲極電極層 165b 之間的氧化物導電層 104b、164b 也用作低電阻汲極區（也稱爲 LRN（Low Resistance N-type conductivity）區、LRD（Low Resistance Drain）區）。同樣地，設置在氧化物半導體層 163、103 和使用金屬材料構成的源極電極層 105a、源極電極層 165a 之間的氧化物導電層 104a、164a 也用作低電阻源極區（也稱爲 LRN（Low Resistance N-type conductivity）區、LRS（Low Resistance Source）區）。藉由採用使用氧化物半導體層、低電阻汲極區、使用金屬材料構成的汲極電極層構成的結構，可以進一步提高電晶體的耐壓性。明確地說，低電阻汲極區的載子濃度較佳的大於高電阻汲極區（HRD 區），例如爲 $1 \times 10^{20}/\text{cm}^3$ 以上且 $1 \times 10^{21}/\text{cm}^3$ 以下的範圍內。

藉由上述製程，可以在同一基板上，在驅動電路部中

形成薄膜電晶體 181 並且在像素部中形成薄膜電晶體 171。薄膜電晶體 171、181 是包括具有高電阻源極區、高電阻汲極區以及通道形成區的氧化物半導體層的底閘型薄膜電晶體。因此，即使對薄膜電晶體 171、181 施加高電場也高電阻汲極區或者高電阻源極區成爲緩衝而不被施加局部性的高電場，從而提高電晶體的耐壓性。

此外，在電容器部中，形成有由電容佈線層 108、閘極絕緣層 102、利用與氧化物導電層 104b 相同的製程形成的氧化物導電層、利用與汲極電極層 105b 相同的製程形成的金屬導電層的疊層構成的電容器 146。

接著，在氧化物絕緣層 107 上形成平坦化絕緣層 109。注意，在本實施例模式中，只在像素部中形成平坦化絕緣層 109。作爲平坦化絕緣層 109，可以使用諸如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等的具有耐熱性的有機材料。此外，除了上述有機材料以外，還可以使用低介電常數材料（low-k 材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。注意，也可以藉由層疊多個使用這些材料形成的絕緣膜，來形成平坦化絕緣層 109。

另外，矽氧烷類樹脂相當於以矽氧烷類材料爲起始材料而形成的包含 Si-O-Si 鍵的樹脂。作爲矽氧烷類樹脂的取代基，可以使用有機基（例如烷基、芳基）、氟基團。另外，有機基也可以具有氟基團。

對平坦化絕緣層 109 的形成方法沒有特別的限制，可

以根據其材料而利用諸如濺射法、SOG法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）等的方法。此外，還可以使用諸如刮片、輥塗機、幕塗機、刮刀塗佈機等來形成平坦化絕緣層109。在本實施例模式中，平坦化絕緣層109利用感光丙烯酸樹脂來形成。

接著，進行第三光微影過程，形成抗蝕劑光罩，對平坦化絕緣層109、氧化物絕緣層107進行蝕刻，形成到達汲極電極層105b的接觸孔125，去除抗蝕劑光罩。此外，藉由在此的蝕刻，也形成到達第二端子122的接觸孔127、到達第一端子121的接觸孔126。

接著，形成具有透光性的導電膜，進行第四光微影過程，形成抗蝕劑光罩，藉由蝕刻去除不需要的部分，形成像素電極層110、導電層111、端子電極128和129，去除抗蝕劑光罩（參照圖7A）。

與實施例模式1同樣，夾持液晶層192而將基板100和對置基板190貼合在一起，以製造本實施例模式的液晶顯示裝置（參照圖7B）。

藉由在氧化物半導體層與源極電極層及汲極電極層之間設置作為源極區及汲極區的氧化物導電層，可以實現源極區及汲極區的低電阻化，並且可以實現電晶體的高速工作。作為源極區及汲極區而使用氧化物導電層是為了提高週邊電路（驅動電路）的頻率特性而有效的。這是因為如下緣故：與金屬電極（Ti等）和氧化物半導體層的接觸相比，金屬電極（Ti等）和氧化物導電層的接觸可以降低接

觸電阻。

此外，用於液晶面板中的佈線材料的一部分的鉬（Mo）（例如，Mo/Al/Mo）有其與氧化物半導體層之間的接觸電阻高的問題。這是因為如下緣故：與Ti相比，Mo不容易氧化而其從氧化物半導體層抽出氧的作用弱，因此Mo和氧化物半導體層的接觸介面不n型化。然而，在此情況下，也藉由在氧化物半導體層與源極電極層及汲極電極層之間設置氧化物導電層，可以降低接觸電阻，並且可以提高週邊電路（驅動電路）的頻率特性。

因為當對氧化物導電層進行蝕刻時決定薄膜電晶體的通道長度，所以可以進一步縮短通道長度。例如，可以將通道長度L縮短為 $0.1\mu\text{m}$ 以上且 $2\mu\text{m}$ 以下，以使工作速度高速化。

[實施例模式3]

這裏，示出如下實例：在第一基板和第二基板之間封入液晶層的液晶顯示裝置中，將用來電連接到設置在第二基板上的對置電極的共同連接部形成在第一基板上。注意，在第一基板上形成有用作切換元件的薄膜電晶體，並且藉由使共同連接部的製造製程與像素部的切換元件的製造製程共同化，可以不使製程複雜地形成。

共同連接部配置於與用來黏結第一基板和第二基板的密封材料重疊的位置，並且藉由密封材料所包括的導電粒子與對置電極電連接。或者，在不與密封材料重疊的位置

(像素部以外)設置共同連接部，並且，以與共同連接部重疊的方式將包括導電粒子的膏劑與密封材料另行設置，而與對置電極電連接。

圖8A是示出在同一基板上形成薄膜電晶體和共同連接部的半導體裝置的截面結構圖的圖。

在圖8A中，電連接到像素電極層227的薄膜電晶體220是設置在像素部中的通道保護型薄膜電晶體，並且，在本實施例模式中，採用與實施例模式1的薄膜電晶體170相同的結構。

此外，圖8B是示出共同連接部的俯視圖的一例的圖，並且圖中的虛線C3-C4相當於圖8A的共同連接部的截面。注意，在圖8B中，利用相同的附圖標記而說明與圖8A相同的部分。

設置在氧化物半導體層210上的共同電位線205設置在閘極絕緣層202上，並且，利用與薄膜電晶體220的源極電極層及汲極電極層相同的材料及製程製造。

此外，共同電位線205利用保護絕緣層203覆蓋，並且，保護絕緣層203在重疊於共同電位線205的部分中具有多個開口部。該開口部藉由與連接薄膜電晶體220的汲極電極層和像素電極層227的接觸孔相同的製程來製造。

注意，在此由於面積的尺寸差異很大，所以分別稱為像素部中的接觸孔和共同連接部的開口部。另外，在圖8A中，不使用相同的縮尺來圖示像素部和共同連接部，例如共同連接部的虛線C3-C4的長度為500 μm 左右，而薄膜電

晶體的寬度小於 $50\mu\text{m}$ ，雖然實際上共同連接部的面積尺寸是薄膜電晶體的10倍以上，但是爲了明瞭地示出，而在圖8A中分別改變像素部和共同連接部的縮尺而進行圖示。

另外，共同電極層206設置在保護絕緣層203上，並利用與像素部的像素電極層227相同的材料及製程來形成。

如此，與像素部的切換元件的製造製程共同地進行共同連接部的製造製程。共同電位線較佳的採用降低作爲金屬佈線的佈線電阻的結構。

並且，使用密封材料固定設置有像素部和共同連接部的第一基板200和具有對置電極的第二基板。

當密封材料包括導電粒子時，對一對的基板進行位置對準以使密封材料和共同連接部重疊。例如，在小型的液晶面板中，在像素部的對角等上與密封材料重疊地配置兩個共同連接部。另外，在大型的液晶面板中，與密封材料重疊地配置四個以上的共同連接部。

另外，共同電極層206是與包括在密封材料中的導電粒子接觸的電極，與第二基板的對置電極電連接。

當使用液晶植入法時，在使用密封材料固定一對基板之後，將液晶植入到一對基板之間。另外，當使用液晶滴落法時，在第二基板或第一基板上塗畫密封材料，在使液晶滴落後，在減壓下將一對基板貼合在一起。

另外，雖然在本實施例模式中示出與對置電極電連接的共同連接部的例子，但是不特別侷限於此，而可以將共同連接部用於與其他的佈線連接的連接部、與外部連接端

子等連接的連接部。

本實施例模式可以與其他實施例模式自由地組合。

[實施例模式 4]

在本實施例模式中，參照圖 10 而說明薄膜電晶體的製造製程的一部分與實施例模式 1 不同的實例。因為圖 10 除了一部分以外與圖 1 至圖 5 的製程大體上相同，所以對相同的部分使用相同的附圖標記，並且省略對相同的部分的詳細說明。

首先，根據實施例模式 1，在基板 100 上形成閘極電極層、閘極絕緣層 102 以及氧化物半導體層 130。

接著，進行氧化物半導體層 130 的脫水化或脫氫化。將進行脫水化或脫氫化的第一加熱處理的溫度設定為 400 °C 以上且低於基板的應變點，較佳為 425 °C 以上。注意，只要是採用 425 °C 以上的溫度就熱處理時間是一個小時以下，即可。但是，如果採用低於 425 °C 的溫度就熱處理時間是一個小時以上。在此，將基板放入加熱處理裝置之一的電爐中，在氮氣氛圍下對氧化物半導體層進行加熱處理後，不接觸於大氣，防止水、氫再混入到氧化物半導體層中，而得到氧化物半導體層。然後，對同一爐引入高純度的氧氣體、高純度的 N₂O 氣體、超乾燥空氣（露點為 -40 °C 以下，較佳的為 -60 °C 以下）並進行冷卻。較佳的是，在氧氣體或者 N₂O 氣體中不包括水、氫等。或者，較佳將引入到加熱處理裝置中的氧氣體或者 N₂O 氣體的純度設定為

6N (99.9999%) 以上，較佳設定為 7N (99.99999%) 以上 (即將氧氣體或者 N_2O 氣體中的雜質濃度設定為 1ppm 以下，較佳的為 0.1ppm 以下) 。

或者，也可以在進行用於脫水化或脫氫化的第一加熱處理後，以 $200^{\circ}C$ 以上且 $400^{\circ}C$ 以下，較佳的為 $200^{\circ}C$ 以上且 $300^{\circ}C$ 以下的溫度進行氧氣體或 N_2O 氣體氛圍下的加熱處理。

藉由上述製程，使整個氧化物半導體層成為氧過剩狀態，以實現高電阻化，即 I 型化。由此，得到整個部分 I 型化了的氧化物半導體膜。

接著，在氧化物半導體層上形成金屬導電層，藉由利用多色調光罩的第二光微影過程形成抗蝕劑光罩，選擇性地進行蝕刻，形成源極電極層及汲極電極層、氧化物半導體層 168、118，藉由濺射法形成氧化物絕緣層 107。

接著，為了減少薄膜電晶體的電特性的不均勻性，而也可以在惰性氣體氛圍下或者在氮氣體氛圍下進行加熱處理 (較佳的為 $150^{\circ}C$ 以上且低於 $350^{\circ}C$) 。例如，在氮氣氛圍下進行 $250^{\circ}C$ 且一個小時的加熱處理。

藉由第三光微影過程，形成抗蝕劑光罩，選擇性地進行蝕刻，在閘極絕緣層及氧化物絕緣層中形成到達第一端子 121、導電層 162、汲極電極層 105b、與氧化物半導體層 120 層疊的第二端子 122 的接觸孔。在形成具有透光性的導電膜之後，藉由第五光微影過程形成抗蝕劑光罩，選擇性地進行蝕刻，形成像素電極層 110、端子電極 128、端子電

極 129、佈線層 145。

在本實施例模式中，示出不隔著連接電極 120而直接進行第一端子 121和端子電極 128的連接的實例。此外，隔著佈線層 145而進行汲極電極層 165b和導電層 162的連接。

此外，在電容器部中，形成有使用電容佈線層 108、閘極絕緣層 102、利用與源極電極層及汲極電極層相同的製程形成的金屬導電層、氧化物絕緣層 107、像素電極層 110的疊層構成的電容器 148。

藉由上述製程，可以在同一基板上，在驅動電路部中形成薄膜電晶體 183並且在像素部中形成薄膜電晶體 173。

與實施例模式 1 同樣，夾持液晶層 192而將基板 100和對置基板 190貼合在一起，以製造本實施例模式的液晶顯示裝置（參照圖 10）。

本實施例模式可以與其他實施例模式自由地組合。

[實施例模式 5]

在本實施例模式中，以下說明在同一基板上至少形成驅動電路的一部分、配置在像素部中的薄膜電晶體的實例。

根據實施例模式 1至實施例模式 4形成配置在像素部中的薄膜電晶體。此外，因為實施例模式 1至實施例模式 4所示的薄膜電晶體是 n通道型 TFT，所以將驅動電路中的可以使用 n通道型 TFT構成的驅動電路的一部分形成在與像素部中的薄膜電晶體同一基板上。

圖 12A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 5300 上包括：像素部 5301；第一掃描線驅動電路 5302；第二掃描線驅動電路 5303；信號線驅動電路 5304。在像素部 5301 中從信號線驅動電路 5304 延伸地設置多個信號線，並且從第一掃描線驅動電路 5302 及第二掃描線驅動電路 5303 延伸地設置多個掃描線。此外，在掃描線與信號線的交叉區中分別具有顯示元件的像素設置為矩陣形狀。另外，顯示裝置的基板 5300 藉由 FPC（撓性印刷電路）等連接部連接到時序控制電路 5305（也稱為控制器、控制 IC）。

在圖 12A 中，在與像素部 5301 同一的基板 5300 上形成第一掃描線驅動電路 5302、第二掃描線驅動電路 5303、信號線驅動電路 5304。由此，減少在外部設置的驅動電路等的構件的數量，所以可以實現成本的降低。另外，可以減少當在基板 5300 外部設置驅動電路而使佈線延伸時的連接部的連接數量，因此可以提高可靠性或良率。

注意，時序控制電路 5305 向第一掃描線驅動電路 5302 作為一例而供應第一掃描線驅動電路用起始信號（GSP1）、掃描線驅動電路用時鐘信號（GCLK1）。此外，時序控制電路 5305 向第二掃描線驅動電路 5303 作為一例而供應第二掃描線驅動電路用起始信號（GSP2）（也稱為起始脈衝）、掃描線驅動電路用時鐘信號（GCLK2）。向信號線驅動電路 5304 供應信號線驅動電路用起始信號（SSP）、信號線驅動電路用時鐘信號（SCLK）、視頻信號用資料（

DATA) (也簡單地稱為視頻信號)及鎖存信號(LAT)。
。注意，各時鐘信號可以是錯開其週期的多個時鐘信號或與使時鐘信號反轉而得到的信號(CKB)一起被供應的信號。注意，可以省略第一掃描線驅動電路5302和第二掃描線驅動電路5303中的一方。

圖12B示出在與像素部5301同一的基板5300上形成驅動頻率低的電路(例如，第一掃描線驅動電路5302、第二掃描線驅動電路5303)，並且在與像素部5301不同的基板上形成信號線驅動電路5304的結構。藉由採用該結構，可以利用與使用單晶半導體的電晶體相比其場效應遷移率小的薄膜電晶體構成形成在基板5300上的驅動電路。從而，可以實現顯示裝置的大型化、成本的降低或良率的提高等。

另外，實施例模式1至實施例模式4所示的薄膜電晶體是n通道型TFT。圖13A和圖13B示出使用n通道型TFT構成的信號線驅動電路的結構、工作的一例而說明。

信號線驅動電路具有移位暫存器5601及開關電路5602。
。開關電路5602具有開關電路5602_1至5602_N(N是自然數)的多個電路。開關電路5602_1至5602_N分別具有薄膜電晶體5603_1至5603_k(k是自然數)的多個電晶體。對薄膜電晶體5603_1至5603_k是N通道型TFT的例子進行說明。

以開關電路5602_1為例子對信號線驅動電路的連接關係進行說明。薄膜電晶體5603_1至5603_k的第一端子分別

連接到佈線 5604_1 至 5604_k。薄膜電晶體 5603_1 至 5603_k 的第二端子分別連接到信號線 S1 至 Sk。薄膜電晶體 5603_1 至 5603_k 的閘極連接到移位暫存器 5601。

移位暫存器 5601 具有對佈線 5605_1 至 5605_N 依次輸出 H 位準（也稱為 H 信號、高電源電位位準）的信號，並依次選擇開關電路 5602_1 至 5602_N 的功能。

開關電路 5602_1 具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導電狀態（第一端子和第二端子之間的導電）的功能，即將佈線 5604_1 至 5604_k 的電位供應還是不供應到信號線 S1 至 Sk 的功能。像這樣，開關電路 5602_1 具有作為選擇器的功能。另外，薄膜電晶體 5603_1 至 5603_k 分別具有控制佈線 5604_1 至 5604_k 與信號線 S1 至 Sk 的導電狀態的功能，即將佈線 5604_1 至 5604_k 的電位供應到信號線 S1 至 Sk 的功能。像這樣，薄膜電晶體 5603_1 至 5603_k 分別具有作為開關的功能。

另外，對佈線 5604_1 至 5604_k 分別輸入視頻信號用資料（DATA）。在很多情況下，視頻信號用資料（DATA）是根據圖像資訊或視頻信號的類比信號。

接著，參照圖 13B 的時序圖而說明圖 13A 的信號線驅動電路的工作。圖 13B 示出信號 Sout_1 至 Sout_N 及信號 Vdata_1 至 Vdata_k 的一例。信號 Sout_1 至 Sout_N 分別是移位暫存器 5601 的輸出信號的一例，而且信號 Vdata_1 至 Vdata_k 分別是輸入到佈線 5604_1 至 5604_k 的信號的一例。另外，信號線驅動電路的一個工作期間對應於顯示裝置

中的一個閘極選擇期間。作為一例，一個閘極選擇期間被分割為期間 T1 至期間 TN。期間 T1 至期間 TN 分別是用來對屬於被選擇的列的像素寫入視頻信號用資料 (DATA) 的期間。

注意，為了明確地表示而有時誇大而表示本實施例模式的附圖等中示出的各結構的信號波形畸變等。因此，並不侷限於其尺寸。

在期間 T1 至期間 TN 中，移位暫存器 5601 將 H 位準的信號依次輸出到佈線 5605_1 至 5605_N。例如，在期間 T1 中，移位暫存器 5601 將高位準的信號輸出到佈線 5605_1。然後，薄膜電晶體 5603_1 至 5603_k 導通，所以佈線 5604_1 至 5604_k 和信號線 S1 至 Sk 成為導電狀態。此時，對佈線 5604_1 至 5604_k 輸入 Data (S1) 至 Data (Sk)。Data (S1) 至 Data (Sk) 分別藉由薄膜電晶體 5603_1 至 5603_k 寫入到屬於被選擇的列的像素中的第一行至第 k 行像素。藉由上述步驟，在期間 T1 至 TN 中，對屬於被選擇的列的像素的每 k 行按順序寫入視頻信號用資料 (DATA)。

如上所述，藉由對每多個列的像素寫入視頻信號用資料 (DATA)，可以減少視頻信號用資料 (DATA) 的數量或佈線的數量。因此，可以減少與外部電路的連接數量。此外，藉由對每多個行的像素寫入視頻信號，可以延長寫入時間，因此可以防止視頻信號的寫入不足。

另外，作為移位暫存器 5601 及開關電路 5602，可以使用利用實施例模式 1 至實施例模式 5 所示的薄膜電晶體構成

的電路。此時，移位暫存器5601所具有的所有電晶體的極性可以僅利用N通道型和P通道型中的任一個極性構成。

注意，對掃描線驅動電路的結構進行說明。掃描線驅動電路具有移位暫存器。此外，有時也可以具有位準移動器、緩衝器。在掃描線驅動電路中，藉由對移位暫存器輸入時鐘信號（CLK）及起始脈衝信號（SP），生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供應到對應於的掃描線。掃描線連接到一行的像素的電晶體的閘極電極。而且，由於需要將一行的像素的電晶體同時導通，因此使用能夠產生大電流的緩衝器。

參照圖14A至圖15B而說明用於掃描線驅動電路及/或信號線驅動電路的一部分的移位暫存器的一種模式。

參照圖14A至圖15B而說明掃描線驅動電路、信號線驅動電路的移位暫存器。移位暫存器具有第一脈衝輸出電路10_1至第N脈衝輸出電路10_N（N是3以上的自然數）（參照圖14A）。向圖14A所示的移位暫存器的第一脈衝輸出電路10_1至第N脈衝輸出電路10_N從第一佈線11供應第一時鐘信號CK1，從第二佈線12供應第二時鐘信號CK2，從第三佈線13供應第三時鐘信號CK3，從第四佈線14供應第四時鐘信號CK4。另外，對第一脈衝輸出電路10_1輸入來自第五佈線15的起始脈衝SP1（第一起始脈衝）。此外，對第二級以後的第n脈衝輸出電路10_n（n是2以上且N以下的自然數）輸入來自前一級的脈衝輸出電路10_（n-1）的信號（稱為前級信號OUT（n-1））。另外，對第一脈衝輸

出電路 10_1 輸入來自後二級的第三脈衝輸出電路 10_3 的信號。同樣地，對第二級以後的第 n 脈衝輸出電路 10_n 輸入來自後二級的第 (n+2) 脈衝輸出電路 10_(n+2) 的信號（稱為後級信號 OUT(n+2)）。從而，從各級的脈衝輸出電路輸出用來輸入到後級及/或前二級的脈衝輸出電路的第一輸出信號（OUT(1)(SR) 至 OUT(N)(SR)）、輸入到其他佈線等的第二輸出信號（OUT(1) 至 OUT(N)）。另外，如圖 14A 所示，由於不對移位暫存器的最後級的兩個級輸入後級信號 OUT(n+2)，所以作為一例，採用分別輸入第二起始脈衝 SP2、第三起始脈衝 SP3 的結構即可。

另外，時鐘信號（CK）是以一定間隔反復 H 位準和 L 位準（也稱為 L 信號、低電源電位位準）的信號。在此，第一時鐘信號（CK1）至第四時鐘信號（CK4）依次遲延 1/4 週期。在本實施例模式中，利用第一時鐘信號（CK1）至第四時鐘信號（CK4）而進行脈衝輸出電路的驅動的的控制等。注意，時鐘信號根據所輸入的驅動電路而有時稱為 GCLK、SCLK，但是在此稱為 CK 而進行說明。

第一輸入端子 21、第二輸入端子 22 及第三輸入端子 23 電連接到第一佈線 11 至第四佈線 14 中的任一個。例如，在圖 14A 中，在第一脈衝輸出電路 10_1 中，第一輸入端子 21 電連接到第一佈線 11，第二輸入端子 22 電連接到第二佈線 12，並且第三輸入端子 23 電連接到第三佈線 13。此外，在第二脈衝輸出電路 10_2 中，第一輸入端子 21 電連接到第二

佈線 12，第二輸入端子 22 電連接到第三佈線 13，並且第三輸入端子 23 電連接到第四佈線 14。

第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 分別包括第一輸入端子 21、第二輸入端子 22、第三輸入端子 23、第四輸入端子 24、第五輸入端子 25、第一輸出端子 26、第二輸出端子 27（參照圖 14B）。在第一脈衝輸出電路 10_1 中，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT(3)，從第一輸入端子 26 輸出第一輸出信號 OUT(1) (SR)，從第二輸出端子 27 輸出第二輸出信號 OUT(1)。

此外，在第一脈衝輸出電路 10_1 至第 N 脈衝輸出電路 10_N 中，除了三端子的薄膜電晶體（也稱為 TFT）以外，還可以使用在上述實施例模式中說明的四端子的薄膜電晶體。圖 14C 示出在上述實施例模式中說明的四端子薄膜電晶體 28 的標誌 (symbol)。圖 14C 所示的薄膜電晶體 28 的標誌是指在上述實施例模式 1、2、5 及 6 中的任一中說明的四端子薄膜電晶體，而以下在附圖等中使用該標誌。注意，在本說明書中，在薄膜電晶體隔著半導體層而具有兩個閘極電極的情況下，將位於半導體層的下方的閘極電極也稱為下方的閘極電極，並且將位於半導體層的上方的閘極電極也稱為上方的閘極電極。

在將氧化物半導體用於薄膜電晶體的包括通道形成區

的半導體層的情況下，根據製造製程，而有時臨界值電壓移動到負側或正側。因此，在將氧化物半導體用於包括通道形成區的半導體層的薄膜電晶體中，較佳的採用能夠控制臨界值電壓的結構。薄膜電晶體的臨界值電壓可以藉由在薄膜電晶體 28 的通道形成區的上下隔著閘極絕緣層而設置閘極電極，以控制上方及 / 或下方的閘極電極的電位來控制為所希望的值。

接著，參照圖 14D 而說明圖 14B 所示的脈衝輸出電路的具體的電路結構的一例。

圖 14D 所示的脈衝輸出電路具有第一電晶體 31 至第十三電晶體 43。此外，除了上述第一輸出端子 21 至第五輸出端子 25 以及第一輸出端子 26、第二輸出端子 27 以外，從被供應第一高電源電位 V_{DD} 的電源線 51、被供應第二高電源電位 V_{CC} 的電源線 52、被供應低電源電位 V_{SS} 的電源線 53 向第一電晶體 31 至第十三電晶體 43 供應信號或電源電位。在此示出，圖 14D 中的各電源線的電源電位的大小關係：第一電源電位 V_{DD} 是第二電源電位 V_{CC} 以上的電位；第二電源電位 V_{CC} 是大於第三電源電位 V_{SS} 的電位。此外，第一時鐘信號 (CK1) 至第四時鐘信號 (CK4) 是以一定間隔反復 H 位準和 L 位準的信號，在 H 位準時電位為 V_{DD} ，並且在 L 位準時電位為 V_{SS} 。另外，藉由使電源線 51 的電位 V_{DD} 高於電源線 52 的電位 V_{CC} ，可以不影響到工作地將施加上到電晶體的閘極電極的電位抑制為低，降低電晶體的臨界值的移動，可以抑制劣化。注意，作為第一電晶體 31 至

第十三電晶體 43 中的第一電晶體 31、第六電晶體 36 至第九電晶體 39，較佳使用四端子的薄膜電晶體。第一電晶體 31、第六電晶體 36 至第九電晶體 39 是需要根據閘極電極的控制信號而切換連接有成爲源極電極或汲極電極的電極的一方的節點的電位的電晶體，並且它們是由於對於輸入到閘極電極的控制信號的回應快（導通電流的上升陡峭）而可以進一步降低脈衝輸出電路的錯誤工作的電晶體。因此，可以利用藉由使用四端子的薄膜電晶體 28，可以進一步控制臨界值電壓，而可以進一步降低錯誤工作的脈衝輸出電路。

在圖 14D 的第一電晶體 31 中，第一端子電連接到電源線 51，第二端子電連接到第九電晶體 39 的第一端子，閘極電極（下方的閘極電極及上方的閘極電極）電連接到第四輸入端子 24。在第二電晶體 32 中，第一端子電連接到電源線 53，第二端子電連接到第九電晶體 39 的第一端子，閘極電極電連接到第四電晶體 34 的閘極電極。在第三電晶體 33 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第一輸出端子 26。在第四電晶體 34 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26。在第五電晶體 35 中，第一端子電連接到電源線 53，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極電連接到第四輸入端子 24。在第六電晶體 36 中，第一端子電連接到電源線 52，第二端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極

(下方的閘極電極及上方的閘極電極) 電連接到第五輸入端子 25。在第七電晶體 37 中，第一端子電連接到電源線 52，第二端子電連接到第八電晶體 38 的第二端子，閘極電極(下方的閘極電極及上方的閘極電極) 電連接到第三輸入端子 23。在第八電晶體 38 中，第一端子電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極，閘極電極(下方的閘極電極及上方的閘極電極) 電連接到第二輸入端子 22。在第九電晶體 39 中，第一端子電連接到第一電晶體 31 的第二端子及第二電晶體 32 的第二端子，第二端子電連接到第三電晶體 33 的閘極電極及第十電晶體 40 的閘極電極，閘極電極(下方的閘極電極及上方的閘極電極) 電連接到電源線 52。在第十電晶體 40 中，第一端子電連接到第一輸入端子 21，第二端子電連接到第二輸出端子 27，閘極電極電連接到第九電晶體 39 的第二端子。在第十一電晶體 41 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第二電晶體 32 的閘極電極及第四電晶體 34 的閘極電極。在第十二電晶體 42 中，第一端子電連接到電源線 53，第二端子電連接到第二輸出端子 27，閘極電極電連接到第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)。在第十三電晶體 43 中，第一端子電連接到電源線 53，第二端子電連接到第一輸出端子 26，閘極電極電連接到第七電晶體 37 的閘極電極(下方的閘極電極及上方的閘極電極)。

在圖 14D 中，以第三電晶體 33 的閘極電極、第十電晶

體 40 的閘極電極以及第九電晶體 39 的第二端子的連接部分為節點 A。此外，以第二電晶體 32 的閘極電極、第四電晶體 34 的閘極電極、第五電晶體 35 的第二端子、第六電晶體 36 的第二端子、第八電晶體 38 的第一端子以及第十一電晶體 41 的閘極電極的連接部分為節點 B。

圖 15A 示出當將圖 14B 所說明的脈衝輸出電路應用於第一脈衝輸出電路 10_1 時對第一輸入端子 21 至第五輸入端子 25 輸入的信號或者從第一輸出端子 26 及第二輸出端子 27 輸出的信號。

明確而言，對第一輸入端子 21 輸入第一時鐘信號 CK1，對第二輸入端子 22 輸入第二時鐘信號 CK2，對第三輸入端子 23 輸入第三時鐘信號 CK3，對第四輸入端子 24 輸入起始脈衝，對第五輸入端子 25 輸入後級信號 OUT (3)，從第一輸出端子 26 輸出第一輸出信號 OUT (1) (SR)，並且從第二輸出端子 27 輸出第二輸出信號 OUT (1)。

注意，薄膜電晶體是指包括閘極、汲極電極以及源極電極的至少三個端子的元件。此外，包括在重疊於閘極的區域中形成通道區的半導體，並且，藉由控制閘極的電位，可以控制藉由通道區而流過在汲極電極和源極電極之間的電流。在此，因為源極電極和汲極電極根據薄膜電晶體的結構或工作條件等而改變，因此很難限定哪個是源極電極哪個是汲極電極。因此，有時不將用作源極電極或汲極電極的區域稱為源極電極或汲極電極。在此情況下，作為一例，有時將它們分別記為第一端子、第二端子。

注意，在圖 14D、圖 15A 中，也可以另行設置藉由使節點 A 成爲浮動狀態來進行升壓操作的電容器。此外，爲了保持節點 B 的電位而也可以另行設置將一方電極電連接到節點 B 的電容器。

在此，圖 15B 示出具有多個圖 15A 所示的脈衝輸出電路的移位暫存器的時序圖。此外，在移位暫存器是掃描線驅動電路時，圖 15B 中的期間 61 相當於垂直回掃期間，而且期間 62 相當於閘極選擇期間。

此外，如圖 15A 所示，藉由設置對其閘極施加第二電源電位 VCC 的第九電晶體 39，在升壓操作的前後，有如下優點。

在沒有對其閘極電極施加第二電源電位 VCC 的第九電晶體 39 的情況下，當由於升壓操作而節點 A 的電位上升時，第一電晶體 31 的第二端子的源極電極的電位上升，而其電位變大於第一電源電位 VDD。然後，第一電晶體 31 的源極電極轉換爲第一端子一側，即電源線 51 一側。由此，在第一電晶體 31 中，由於閘極和源極電極之間、閘極和汲極電極之間被施加較大的偏壓所以受到較大的壓力，這會導致電晶體的劣化。於是，藉由設置其閘極電極被施加第二電源電位 VCC 的第九電晶體 39，雖然因升壓操作而節點 A 的電位上升，但是可以不使產生第一電晶體 31 的第二端子的電位的上升。換言之，藉由設置第九電晶體 39，可以使對第一電晶體 31 的閘極和源極電極之間施加的負偏壓值變小。由此，由於藉由採用本實施例模式的電路結構，可以

使施加到第一電晶體 31 的閘極和源極電極之間的負偏壓也變小，所以可以抑制壓力所導致的第一電晶體 31 的劣化。

此外，關於設置第九電晶體 39 的部分，採用在第一電晶體 31 的第二端子和第三電晶體 33 的閘極之間藉由第一端子和第二端子連接而設置第九電晶體 39 的結構即可。另外，在具有多個本實施例模式的脈衝輸出電路的移位暫存器中，與掃描線驅動電路相比其級數多的信號線驅動電路也可以省略第九電晶體 39，具有減少電晶體的數量的優點。

另外，藉由作為第一電晶體 31 至第十三電晶體 43 的半導體層而使用氧化物半導體，可以降低薄膜電晶體的截止電流並提高導通電流及場效應遷移率，並且可以降低劣化的程度，所以可以降低電路內的錯誤工作。此外，使用氧化物半導體的電晶體的因對其閘極電極施加高電位而發生的電晶體的劣化的程度比使用非晶矽的電晶體小。由此，即使對供應第二電源電位 VCC 的電源線供應第一電源電位 VDD 也可以得到相同的工作，並可以減少在電路之間引繞的電源線的數量，所以可以實現電路的小型化。

另外，向第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第三輸入端子 23 供應的時鐘信號、向第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第二輸入端子 22 供應的時鐘信號成為向第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第二輸入端子 22 供應的時鐘信號、向第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）藉由

第三輸入端子 23 供應的時鐘信號，即使替換連接關係也具有同樣的作用。此時，在圖 15A 所示的移位暫存器中，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 截止且第八電晶體 38 導通的狀態，然後成爲第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位降低所產生的節點 B 的電位的降低發生兩次，該節點 B 的電位的降低起因於第七電晶體 37 的閘極電極的電位的降低及第八電晶體 38 的閘極電極的電位的降低。另一方面，在圖 15A 所示的移位暫存器中，如圖 15B 所示，藉由從第七電晶體 37 及第八電晶體 38 的狀態都是導通狀態變化到第七電晶體 37 導通且第八電晶體 38 截止的狀態，然後成爲第七電晶體 37 截止且第八電晶體 38 截止的狀態，而由第二輸入端子 22 及第三輸入端子 23 的電位的降低所產生的節點 B 的電位的降低僅發生一次，該節點 B 的電位的降低起因於第八電晶體 38 的閘極電極的電位的降低。由此，採用向第七電晶體 37 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第三輸入端子 23 供應的時鐘信號、向第八電晶體 38 的閘極電極（下方的閘極電極及上方的閘極電極）藉由第二輸入端子 22 供應的時鐘信號的連接關係，可以使節點 B 的電位的變動變小來降低雜訊，因此是較佳的。

像這樣，藉由採用在將第一輸出端子 26 及第二輸出端子 27 的電位保持爲 L 位準的期間中，向節點 B 定期供應 H 位準的信號的結構，可以抑制脈衝輸出電路的錯誤工作。

[實施例模式6]

藉由製造薄膜電晶體並將該薄膜電晶體用於像素部及驅動電路，可以製造具有顯示功能的半導體裝置（也稱為顯示裝置）。此外，可以在與像素部同一基板上一體地形成使用薄膜電晶體的驅動電路的一部分或整體，而形成系統型面板（system-on-panel）。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）。在發光元件的範疇內包括利用電流或電壓控制亮度的元件，明確而言，包括無機EL（Electro Luminescence；電致發光）元件、有機EL元件等。此外，也可以使用電子墨水等的其對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板、在該面板中安裝有包括控制器的IC等的模組。再者，相當於製造該顯示裝置的過程中的顯示元件完成之前的一種模式的元件基板在多個各像素中分別具備用來將電流供應到顯示元件的單元。明確而言，元件基板既可以處於只形成有顯示元件的像素電極的狀態，又可以處於形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，可以是任意的狀態。

注意，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源（包括照明裝置）。另外，顯示裝置還包括

：安裝有連接器諸如FPC（Flexible Printed Circuit：撓性印刷電路）、TAB（Tape Automated Bonding：載帶自動接合）帶或TCP（Tape Carrier Package：載帶封裝）的模組；在TAB帶或TCP的端部上設置有印刷線路板的模組；藉由COG（Chip On Glass：玻璃上晶片）方式將IC（積體電路）直接安裝到顯示元件上的模組。

參照圖16A1至圖16B而說明相當於半導體裝置的一種實施例的液晶顯示面板的外觀及截面。圖16A1、圖16A2是一種面板的平面圖，其中利用密封材料4005將形成在第一基板4001上的薄膜電晶體4010、4011及液晶元件4013密封在第一基板4001和第二基板4006之間。圖16B相當於沿著圖16A1、圖16A2的M-N的截面圖。

以圍繞設置在第一基板4001上的像素部4002和掃描線驅動電路4004的方式設置有密封材料4005。此外，在像素部4002和掃描線驅動電路4004上設置有第二基板4006。因此，像素部4002和掃描線驅動電路4004與液晶層4008一起由第一基板4001、密封材料4005和第二基板4006密封。此外，在第一基板4001上的與由密封材料4005圍繞的區域不同的區域中安裝有信號線驅動電路4003，該信號線驅動電路4003使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用COG方法、引線接合方法或TAB方法等。圖16A1是藉由COG方法安裝信號線驅動電路4003的例子

，而且圖16A2是藉由TAB方法安裝信號線驅動電路4003的例子。

此外，設置在第一基板4001上的像素部4002和掃描線驅動電路4004包括多個薄膜電晶體。在圖16B中例示像素部4002所包括的薄膜電晶體4010和掃描線驅動電路4004所包括的薄膜電晶體4011。在薄膜電晶體4010、4011上設置有保護絕緣層4020、4021。

可以將實施例模式1至實施例模式5所示的包括氧化物半導體層的可靠性高的薄膜電晶體應用於薄膜電晶體4010、4011。作為驅動電路用薄膜電晶體4011，可以使用實施例模式1、2及4所示的薄膜電晶體180、181、183，並且，作為像素用的薄膜電晶體4010，可以使用薄膜電晶體170、171、173。在本實施例模式中，薄膜電晶體4010、4011是n通道型薄膜電晶體。

在絕緣層4021上的重疊於驅動電路用薄膜電晶體4011的氧化物半導體層的通道形成區的位置上設置有導電層4040。藉由將導電層4040設置在重疊於氧化物半導體層的通道形成區的位置上，可以降低BT試驗前後的薄膜電晶體4011的臨界值電壓的變化量。此外，導電層4040的電位既可以與薄膜電晶體4011的閘極電極層的電位相同，又可以與薄膜電晶體4011的閘極電極層的電位不同。並且，可以將導電層4040用作第二閘極電極層。此外，導電層4040的電位也可以為GND、0V、浮動狀態。

此外，液晶元件4013所具有的像素電極層4030與薄膜

電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有分別用作取向膜的絕緣層 4032、4033，並隔著絕緣層 4032、4033 夾持液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用透光基板諸如玻璃、陶瓷、塑膠。作為塑膠，可以使用 FRP (Fiberglass-Reinforced Plastics; 玻璃纖維強化塑膠) 板、PVF (聚氟乙烯) 薄膜、聚酯薄膜或丙烯酸樹脂薄膜。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離 (單元間隙) 而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 電連接到設置在與薄膜電晶體 4010 同一基板上的公共電位線。可以使用公共連接部並藉由配置在一對基板之間的導電粒子電連接對置電極層 4031 和公共電位線。此外，將導電粒子包括在密封材料 4005 中。

另外，還可以使用不使用取向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到各向同性相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混合有 5wt% 以上的手性試劑的液晶組成物用於液晶層 4008

。由於包括呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，即為1msec以下，並且它具有光學各向同性，所以不需要取向處理，從而視角依賴性低。

另外，除了可以應用於透過型液晶顯示裝置之外，還可以應用於半透過型液晶顯示裝置。

另外，雖然示出在液晶顯示裝置中在基板的外側（可見一側）設置偏光板，並且在內側依次設置著色層（濾色片）、用於顯示元件的電極層的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不侷限於本實施例模式的結構，根據偏光板及著色層的材料或製造製程條件而適當地設定即可。另外，在顯示部以外的部分中也可以設置用作黑底的遮光膜。

另外，在薄膜電晶體4010、4011上形成有保護絕緣層4020。雖然保護絕緣層4020可以利用與實施例模式1所示的氧化物絕緣層107同樣的材料及方法形成，但是，在此作為保護絕緣層4020，藉由RF濺射法形成氮化矽膜。

另外，形成絕緣層4021作為平坦化絕緣膜。絕緣層4021利用與實施例模式1所示的平坦化絕緣層109相同的材料及方法形成即可，並且，可以使用具有耐熱性的有機材料如丙烯酸樹脂、聚醯亞胺、苯並環丁烯、聚醯胺、環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k材料）、矽氧烷類樹脂、PSG（磷矽玻璃）、BPSG（硼磷矽玻璃）等。另外，也可以藉由層疊多個使用這些材料形成的絕緣膜來形成絕緣層4021。

另外，對絕緣層 4021 的形成方法沒有特別的限制，而根據其材料而可以利用如下方法及設備：方法諸如濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）；設備諸如刮片、輥塗機、幕塗機、刮刀塗佈機等。藉由兼作絕緣層 4021 的焙燒製程和對半導體層的退火，可以有效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化錫的氧化銮、包含氧化錫的氧化銮鋅、包含氧化鈦的氧化銮、包含氧化鈦的氧化銮錫、氧化銮錫（下面表示為 ITO）、氧化銮鋅、添加有氧化矽的氧化銮錫等。

此外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻較佳為 $10000\Omega/\square$ 以下，並且其波長為 550nm 時的透光率較佳的為 70% 以上。另外，導電組成物所包含的導電高分子的電阻率較佳的為 $0.1\Omega\cdot\text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種以上的共聚物等。

另外，供應到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供應的。

連接端子電極 4015 使用與液晶元件 4013 所具有的像素電極層 4030 相同的導電膜形成，並且端子電極 4016 使用與薄膜電晶體 4011 的源極電極層及汲極電極層相同的導電膜形成。

連接端子電極 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 16A1 至 16B 中示出另行形成信號線驅動電路 4003 並將它安裝在第一基板 4001 上的例子，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 17 示出使用根據本說明書所公開的製造方法製造的 TFT 基板 2600 來構成液晶顯示模組作為半導體裝置的一例。

圖 17 是液晶顯示模組的一例，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素地設置有分別對應於紅色、綠色、藍色的各顏色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏光板 2606、偏光板 2607、擴散板 2613。光源使用冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用撓性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，並且組裝有控制電路、電源電路等的外部電

路。此外，也可以在偏光板和液晶層之間具有相位差板的狀態層疊。

作為液晶顯示模組，可以採用 TN（扭曲向列； Twisted Nematic）模式、IPS（平面內轉換； In-Plane-Switching）模式、FFS（邊緣電場轉換； Fringe Field Switching）模式、MVA（多疇垂直取向； Multi-domain Vertical Alignment）模式、PVA（垂直取向構型； Patterned Vertical Alignment）模式、ASM（軸對稱排列微胞； Axially Symmetric Aligned Micro-cell）模式、OCB（光學補償彎曲； Optical Compensated Birefringence）模式、FLC（鐵電性液晶； Ferroelectric Liquid Crystal）模式、AFLC（反鐵電性液晶； Antiferroelectric Liquid Crystal）模式等。

藉由上述製程，可以製造作為半導體裝置的可靠性高的液晶顯示面板。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

[實施例模式 7]

本說明書所公開的半導體裝置藉由具有撓性來可以應用於電子書讀取器（電子書）、海報、電車等交通工具的車廂廣告、信用卡等各種卡片的顯示部等。圖 18 示出電子設備的一例。

圖 18 示出電子書讀取器的一例。例如，電子書讀取器

2700使用兩個框體，即框體2701及框體2703構成。框體2701及框體2703使用軸部2711形成為一體，並且可以以該軸部2711為軸進行開閉動作。藉由該結構，可以進行如紙的書籍那樣的動作。

框體2701組裝有顯示部2705，而且框體2703組裝有顯示部2707。顯示部2705及顯示部2707的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖18中的顯示部2705）中顯示文章，而且在左邊的顯示部（圖18中的顯示部2707）中顯示圖像。

此外，在圖18中示出框體2701具備操作部等的例子。例如，在框體2701中具備電源開關2721、操作鍵2723、揚聲器2725等。利用操作鍵2723可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接端子（耳機端子、USB端子或可以與AC適配器及USB電纜等各種電纜連接的端子等）、記錄媒體插入部等的結構。再者，電子書讀取器2700也可以具有作為電子詞典的功能。

此外，電子書讀取器2700也可以採用以無線方式收發資訊的結構。還可以採用以無線方式從電子書籍伺服器購買所希望的書籍資料等並下載的結構。

[實施例模式8]

本說明書所公開的半導體裝置可以應用於各種各樣的電子設備（也包括遊戲機）。作為電子設備，例如可以舉出：電視裝置（也稱為電視或電視接收機）；用於電腦等的監視器；如數位相機、數位攝像機等影像拍攝裝置；數位相框；行動電話機（也稱為行動電話、行動電話裝置）；可攜式遊戲機；可攜式資訊終端；聲音再現裝置；彈珠機等大型遊戲機等。

圖 19A 示出電視裝置的一例。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另行提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道、音量的操作，並可以對在顯示部 9603 上顯示的圖像進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機、數據機等的結構。藉由利用接收機可以接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

圖 19B 示出數位相框的一例。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種圖像，例如藉由顯示使用數位相機等拍攝的圖像資料，

可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接端子（USB 端子、可以與 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。這些結構也可以組裝到與顯示部同一面上，但是藉由將它們設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框 9700 的記錄媒體插入部插入儲存有利用數位相機拍攝的圖像資料的記憶體並提取圖像資料，然後可以將所提取的圖像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用能夠以無線的方式收發資訊的結構。也可以採用以無線的方式提取所希望的圖像資料並進行顯示的結構。

圖 20A 示出一種可攜式遊戲機，它使用框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 20A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元（操作鍵 9885、連接端子 9887、感測器 9888（包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、旋轉頻率（rotational frequency）、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線）以及麥克風 9889）等。當然，可攜式遊戲機的結構不侷限於上述結構，只要採用至少具備本說明書所

公開的半導體裝置的結構即可，並且可以採用適當地設置有其他附屬設備的結構。圖 20A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將它顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖 20A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 20B 示出大型遊戲機的一種的投幣機的一例。在投幣機 9900 的框體 9901 中安裝有顯示部 9903。另外，投幣機 9900 還具備如起動手柄、停止開關等的操作單元、投幣口、揚聲器等。當然，投幣機 9900 的結構不侷限於此，只要採用至少具備本說明書所公開的半導體裝置的結構即可，可以採用適當地設置有其他附屬設備的結構。

圖 21A 是示出可攜式電腦的一例的立體圖。

在圖 21A 所示的可攜式電腦中，當將連接上部框體 9301 與下部框體 9302 的鉸鏈裝置設定為關閉狀態時，可以使具有顯示部 9303 的上部框體 9301 與具有鍵盤 9304 的下部框體 9302 成為重疊狀態，而便於攜帶，並且，當使用者利用鍵盤進行輸入時，將鉸鏈裝置設定為打開狀態，而可以看著顯示部 9303 進行輸入操作。

另外，下部框體 9302 除了鍵盤 9304 之外還包括進行輸入操作的定位裝置 9306。另外，當顯示部 9303 為觸屏輸入面板時，可以藉由觸摸顯示部的一部分來進行輸入操作。另外，下部框體 9302 還包括 CPU、硬碟等的算術功能部。此外，下部框體 9302 還具有用來插入其他裝置，例如符合

USB的通信標準的通信電纜的外部連接埠9305。

在上部框體9301中還具有藉由使它滑動到上部框體9301內部而可以收納的顯示部9307，因此可以實現寬顯示畫面。另外，使用者可以調節可以收納的顯示部9307的畫面的方向。另外，當可以收納的顯示部9307為觸屏輸入面板時，藉由觸摸可以收納的顯示部的一部分來可以進行輸入操作。

顯示部9303或可以收納的顯示部9307使用如液晶顯示面板、諸如有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。

另外，圖21A的可攜式電腦安裝有接收機等，而可以接收電視廣播並將影像顯示於顯示部9303或者顯示部9307。另外，使用者可以在連接上部框體9301與下部框體9302的鉸鏈裝置處於關閉狀態的狀態下滑動顯示部9307而使其整個面露出並調整畫面角度來觀看電視廣播。此時，不將鉸鏈裝置成爲打開狀態並不使顯示部9303進行顯示，並僅啓動只顯示電視廣播的電路，所以可以將耗電量控制爲最少，這對電池容量有限的可攜式電腦而言是十分有利的。

另外，圖21B是示出像手錶那樣能夠戴在使用者的手臂上的行動電話的一例的立體圖。

該行動電話包括：包括電池以及至少具有電話功能的通信裝置的主體；用來將主體戴在手臂上的帶部9204；調節帶部9204與手臂的固定狀態的調節部9205；顯示部9201；揚聲器9207；以及麥克風9208。

另外，主體具有操作開關 9203，該操作開關 9203 除了用作電源輸入開關、顯示轉換開關、攝像開始指示開關以外，還用作按一下就啓動網路的程式的開關等，如此，可以將操作開關 9203 設定爲具有各種功能。

藉由用手指或輸入筆等觸摸顯示部 9201；操作操作開關 9203；或者對麥克風 9208 輸入聲音來進行該行動電話的輸入操作。另外，在圖 21B 中，示出顯示在顯示部 9201 上的顯示鈕 9202，藉由用手指等觸摸該顯示鈕 9202 來可以進行輸入。

另外，主體具有影像拍攝裝置部 9206，該影像拍攝裝置部 9206 具有將藉由攝影透鏡成像的物體圖像轉換爲電子視頻信號的攝影單元。另外，也可以不特別設置影像拍攝裝置部。

另外，圖 21B 所示的行動電話安裝有電視廣播的接收機等，而可以接收電視廣播並將影像顯示於顯示部 9201，並且它還具有記憶體等的儲存裝置等，而可以將電視廣播錄影到記憶體中。此外，圖 21B 所示的行動電話還可以具有收集 GPS 等的位置資訊的功能。

顯示部 9201 使用如液晶顯示面板、諸如有機發光元件或無機發光元件等的發光顯示面板等的影像顯示裝置。由於圖 21B 所示的行動電話爲小型且重量輕，所以其電池容量有限，從而作爲用於顯示部 9201 的顯示裝置，較佳使用能夠以低耗電量進行驅動的面板。

另外，雖然在圖 21B 中示出戴在“手臂”上的方式的電

子設備，但是不特別侷限於此，只要具有能夠攜帶的形狀的即可。

[實施例模式 9]

在本實施例模式中，作為半導體裝置的一種模式，參照圖 22 至圖 35 而說明具有實施例模式 1 至實施例模式 6 所示的薄膜電晶體的顯示裝置的實例。在本實施例模式中，參照圖 22 至圖 35 而說明將液晶元件用作顯示元件的液晶顯示裝置的實例。作為用於圖 22 至圖 35 的液晶顯示裝置的 TFT628、629，可以應用實施例模式 1、2、5、6 所示的薄膜電晶體，並且，它們是可以與實施例模式 1 至實施例模式 6 所示的製程同樣地製造的電特性及可靠性高的薄膜電晶體。

首先，對 VA (Vertical Alignment: 垂直取向) 型液晶顯示裝置進行描述。VA 型液晶顯示裝置是指一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置具有在沒有施加電壓時液晶分子朝垂直於面板表面的方向的方式。在本實施例模式中，特別地，將像素分成幾個區域 (子像素)，並分別將分子朝不同的方向推倒。這稱為多疇 (multi-domain) 化或多域設計。在下面的說明中，對考慮多域設計的液晶顯示裝置進行說明。

圖 23 及圖 24 分別示出像素電極及對置電極。注意，圖 23 是形成像素電極的基板一側的平面圖，並將對應於圖中的切斷線 E-F 的截面結構示出於圖 22。此外，圖 24 是形成

對置電極的基板一側的平面圖。下面，參照這些附圖進行說明。

圖 22 示出基板 600 和對置基板 601 重疊並且植入有液晶的狀態，在該基板 600 上形成有 TFT628、與該 TFT628 連接的像素電極層 624 以及儲存電容器部 630，並且在該對置基板 601 上形成有對置電極層 640 等。

在對置基板 601 上形成有彩色膜 636、對置電極層 640，並且在對置電極層 640 上形成有突起 644。在像素電極層 624 上形成有取向膜 648，並且，同樣地在對置電極層 640 及突起 644 上也形成有取向膜 646。在基板 600 與對置基板 601 之間形成有液晶層 650。

間隔物可以是柱狀間隔物或者珠狀間隔物。在間隔物具有透光性的情況下，也可以在形成於基板 600 上的像素電極層 624 上形成間隔物。

在基板 600 上形成 TFT628、與該 TFT628 連接的像素電極層 624 以及儲存電容器部 630。像素電極層 624 藉由貫穿覆蓋 TFT628、佈線 616、儲存電容器部 630 的絕緣膜 620、覆蓋絕緣膜 620 的絕緣膜 622 的接觸孔 623 連接到佈線 618。作為 TFT628，可以適當地使用實施例模式 1 至實施例模式 6 所示的薄膜電晶體。另外，儲存電容器部 630 使用與 TFT628 的閘極佈線 602 同時形成的第一電容佈線 604、閘極絕緣層 606 以及與佈線 618 同時形成的第二電容佈線 617 構成。

像素電極層 624、液晶層 650 以及對置電極層 640 彼此

重疊，從而形成液晶元件。

圖 23 示出基板 600 上的結構。像素電極層 624 使用實施例模式 1 所示的材料來形成。在像素電極層 624 中設置狹縫 625。狹縫 625 用來控制液晶取向。

圖 23 所示的 TFT629、與該 TFT629 連接的像素電極層 626 及儲存電容器部 631 分別可以與 TFT628、像素電極層 624 及儲存電容器部 630 同樣地形成。TFT628 和 TFT629 都連接到佈線 616。該液晶顯示面板的像素使用像素電極層 624 及像素電極層 626 構成。像素電極層 624 及像素電極層 626 是子像素。

圖 24 示出對置基板一側的平面結構。在遮光膜 632 上形成有對置電極層 640。對置電極層 640 較佳使用與像素電極層 624 同樣的材料形成。在對置電極層 640 上形成有用來控制液晶取向的突起 644。另外，在圖 24 中，以虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，並且示出對置電極層 640、像素電極層 624 及像素電極層 626 彼此重疊地配置的情況。

圖 25 示出該像素結構的等效電路。TFT628 和 TFT629 都連接到閘極佈線 602 和佈線 616。在此情況下，藉由使電容佈線 604 和電容佈線 605 的電位不同，可以使液晶元件 651 和液晶元件 652 進行不同的工作。就是說，藉由分別控制電容佈線 604 和電容佈線 605 的電位，來精密地控制液晶的取向並擴大視角。

當對設置有狹縫 625 的像素電極層 624 施加電壓時，在

狹縫 625 附近發生電場的畸變（傾斜電場）。藉由互相咬合地配置所述狹縫 625 和對置基板 601 一側的突起 644，有效地產生傾斜電場來控制液晶的取向，從而根據位置而使液晶所取向的方向不同。就是說，藉由進行多疇化來擴大液晶顯示面板的視角。

接著，參照圖 26 至圖 29 而說明與上述不同的 VA 型液晶顯示裝置。

圖 26 及圖 27 示出 VA 型液晶顯示面板的像素結構。圖 27 是基板 600 的平面圖，而且圖 26 示出沿著圖中的切斷線 Y-Z 的截面結構。

在該像素結構中，一個像素具有多個像素電極，並且各像素電極連接到 TFT。各 TFT 使用不同的閘極信號驅動。明確而言，在以多疇方式設計的像素中，獨立地控制施加到各像素電極的信號。

像素電極層 624 在貫穿絕緣膜 620、絕緣膜 622 的接觸孔 623 中利用佈線 618 連接到 TFT628。此外，像素電極層 626 在分別貫穿絕緣膜 620、絕緣膜 622 的接觸孔 627 中利用佈線 619 連接到 TFT629。TFT628 的閘極佈線 602 和 TFT629 的閘極佈線 603 彼此分離，以能夠提供不同的閘極信號。另一方面，TFT628 和 TFT629 共用用作資料線的佈線 616。TFT628 和 TFT629 可以適當地使用實施例模式 1 至實施例模式 6 所示的薄膜電晶體。注意，在閘極佈線 602、閘極佈線 603 上形成有閘極絕緣層 606。

像素電極層 624 和像素電極層 626 具有不同的形狀，並

且被狹縫 625 彼此分離。像素電極層 626 被形成為圍繞擴展為 V 字狀的像素電極層 624 的外側。使用 TFT628 及 TFT629 分別施加到像素電極層 624 和像素電極層 626 的電壓不同，以控制液晶的取向。圖 29 示出該像素結構的等效電路。TFT628 連接到閘極佈線 602，而且 TFT629 連接到閘極佈線 603。此外，TFT628 和 TFT629 都連接到佈線 616 並藉由電容器連接到電容佈線 660。藉由對閘極佈線 602 和閘極佈線 603 施加不同的閘極信號，可以使液晶元件 651 和液晶元件 652 的工作不同。就是說，藉由個別控制 TFT628 和 TFT629 的工作，可以精密地控制液晶的取向並擴大視角。

在對置基板 601 上形成有彩色膜 636、對置電極層 640。此外，在彩色膜 636 和對置電極層 640 之間形成有平坦化膜 637，以防止液晶的取向錯亂。圖 28 示出對置基板一側的結構。在不同的像素之間共同使用對置電極層 640，並且在該對置電極層 640 中形成有狹縫 641。藉由互相咬合地配置所述狹縫 641 和像素電極層 624 及像素電極層 626 一側的狹縫 625，可以有效地產生傾斜電場來控制液晶的取向。由此，可以根據位置而使液晶所取向的方向不同，從而擴大視角。另外，在圖 28 中，以虛線表示形成在基板 600 上的像素電極層 624 及像素電極層 626，並且示出對置電極層 640、像素電極層 624 及像素電極層 626 彼此重疊地配置的情況。

在像素電極層 624 及像素電極層 626 上形成有取向膜 648，同樣地在對置電極層 640 上也形成有取向膜 646。在

基板 600 和對置基板 601 之間形成有液晶層 650。此外，像素電極層 624、液晶層 650 和對置電極層 640 彼此重疊，從而形成第一液晶元件。此外，像素電極層 626、液晶層 650 和對置電極層 640 彼此重疊，從而形成第二液晶元件。在圖 30 至圖 33 中說明的顯示面板的像素結構是在一個像素中設置有第一液晶元件和第二液晶元件的多疇結構。

接著，說明橫向電場方式的液晶顯示裝置。橫向電場方式是指藉由對單元內的液晶分子沿水平方向施加電場來驅動液晶而顯示灰度的方式。藉由橫向電場方式，可以使視角擴大為大約 180 度以下，對採用橫向電場方式的液晶顯示裝置進行說明。

圖 30 示出基板 600 和對置基板 601 重疊並且植入了液晶的狀態，在該基板 600 上形成有電極層 607、TFT628、連接到 TFT628 的像素電極層 624。在對置基板 601 上形成有彩色膜 636、平坦化膜 637 等。注意，在對置基板 601 一側不設置對置電極層。此外，在基板 600 和對置基板 601 之間隔著取向膜 646 及取向膜 648 而形成有液晶層 650。

在基板 600 上形成電極層 607、與電極層 607 連接的電容佈線 604 以及 TFT628。電容佈線 604 可以與 TFT628 的閘極佈線 602 同時形成。TFT628 可以應用實施例模式 1 至實施例模式 6 所示的薄膜電晶體。電極層 607 可以使用與實施例模式 1 至實施例模式 6 所示的像素電極層相同的材料。另外，將電極層 607 形成為大致分割成像素形狀的形狀。閘極絕緣層 606 形成在電極層 607 及電容佈線 604 上。

在閘極絕緣層 606 上形成 TFT628 的佈線 616 及佈線 618。佈線 616 是在液晶顯示面板中傳送視頻信號的資料線，是沿一個方向延伸的佈線，並且它與 TFT628 的源極區或汲極區連接而成爲源極電極及汲極電極中的一方的電極。佈線 618 成爲源極區及汲極區中的另一方的電極，是與像素電極層 624 連接的佈線。

在佈線 616 及佈線 618 上形成絕緣膜 620。另外，在絕緣膜 620 上，形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用與實施例模式 1 至實施例模式 6 所示的像素電極相同的材料來形成。

如上所述，在基板 600 上形成 TFT628 以及與它連接的像素電極層 624。注意，儲存電容器形成在電極層 607 和像素電極層 624 之間。

圖 31 是說明像素電極的結構的平面圖。圖 30 示出對應於圖 31 所示的切斷線 O-P 的截面結構。在像素電極層 624 中設置狹縫 625。該狹縫 625 用來控制液晶的取向。在此情況下，電場在電極層 607 和像素電極層 624 之間發生。在電極層 607 和像素電極層 624 之間形成有閘極絕緣層 606，但是閘極絕緣層 606 的膜厚度爲 50nm 至 200nm，該膜厚度與 $2\mu\text{m}$ 至 $10\mu\text{m}$ 的液晶層的膜厚度相比充分薄，因此實際上在平行於基板 600 的方向（水平方向）上發生電場。藉由該電場控制液晶的取向。藉由利用該大致平行於基板的方向的電場來使液晶分子水平地旋轉。在此情況下，由於液晶分子

在任何狀態下都為水平，所以觀看角度所導致的對比度等的影響很少，從而擴大視角。而且，電極層607和像素電極層624都是透光電極，因此可以提高孔徑比。

下面，說明橫向電場方式的液晶顯示裝置的另一個實例。

圖32及圖33示出IPS型液晶顯示裝置的像素結構。圖33是平面圖，而且圖32示出對應於圖中的切斷線V-W的截面結構。下面，參照上述兩個附圖而進行說明。

圖32示出基板600和對置基板601重疊並且植入了液晶的狀態，在該基板600上形成有TFT628及與它連接的像素電極層624。在對置基板601上形成有彩色膜636、平坦化膜637等。注意，在對置基板601一側不設置對置電極層。在基板600和對置基板601之間隔著取向膜646及取向膜648而形成有液晶層650。

在基板600上形成公共電位線609及TFT628。公共電位線609可以與TFT628的閘極佈線602同時形成。TFT628可以應用實施例模式1至實施例模式6所示的薄膜電晶體。

在閘極絕緣層606上形成TFT628的佈線616及佈線618。佈線616是在液晶顯示面板中傳送視頻信號的資料線，是沿一個方向延伸的佈線，並且它與TFT628的源極區或汲極區連接而成為源極電極及汲極電極中的一方的電極。佈線618成為源極電極及汲極電極中的另一方的電極，它是與像素電極層624連接的佈線。

在佈線616及佈線618上形成絕緣膜620及絕緣膜621。

另外，在絕緣膜 620 上形成藉由形成在絕緣膜 620 中的接觸孔 623 連接到佈線 618 的像素電極層 624。像素電極層 624 使用與實施例模式 1 至實施例模式 6 所示的像素電極相同的材料形成。注意，如圖 33 所示，將像素電極層 624 形成為與在形成公共電位線 609 的同時形成的梳形電極之間產生橫向電場。而且，將像素電極層 624 的梳齒部分形成為與在形成公共電位線 609 的同時形成的梳形電極互相咬合。

在施加到像素電極層 624 的電位和公共電位線 609 的電位之間產生電場時，由於該電場而控制液晶的取向。藉由利用該大致平行於基板的方向的電場來使液晶分子水平地旋轉。在此情況下，由於液晶分子在任何狀態下也為水平，所以觀看角度所導致的對比度等的影響很少，可以擴大視角。

如上所述，在基板 600 上形成 TFT628 及與它連接的像素電極層 624。儲存電容器藉由在公共電位線 609 和電容電極 615 之間設置閘極絕緣層 606 而形成。電容電極 615 和像素電極層 624 藉由接觸孔 633 連接。

下面，說明 TN 型液晶顯示裝置的實施例。

圖 34 及圖 35 示出 TN 型液晶顯示裝置的像素結構。圖 35 是平面圖，而且圖 34 示出對應於沿著圖中的切斷線 K-L 的截面結構。下面，參照上述兩個附圖進行說明。

像素電極層 624 藉由形成在第二閘極絕緣層 606b 中的接觸孔 623 利用佈線 618 連接到 TFT628。用作資料線的佈線 616 與 TFT628 連接。TFT628 可以應用實施例模式 1 至實施

例模式 6 所示的 TFT 的任一種。

像素電極層 624 使用實施例模式 1 至實施例模式 6 所示的像素電極來形成。電容佈線 604 可以與 TFT 628 的閘極佈線 602 同時形成。在閘極佈線 602 及電容佈線 604 上形成第一閘極絕緣層 606a、第二閘極絕緣層 606b。儲存電容器在電容佈線 604 和電容電極 615 之間隔著第一閘極絕緣層 606a、第二閘極絕緣層 606b 而形成。電容電極 615 和像素電極層 624 藉由接觸孔 623 彼此連接。

在對置基板 601 上形成有彩色膜 636、對置電極層 640。此外，在彩色膜 636 和對置電極層 640 之間形成平坦化膜 637，以防止液晶的取向錯亂。液晶層 650 隔著取向膜 648 及取向膜 646 而形成在像素電極層 624 和對置電極層 640 之間。

像素電極層 624、液晶層 650 以及對置電極層 640 彼此重疊，從而形成液晶元件。

此外，彩色膜 636 也可以形成在基板 600 一側。此外，將偏光板貼合到基板 600 的與形成有薄膜電晶體的表面相反的表面，並且，將偏光板貼合到對置基板 601 的與形成有對置電極層 640 的表面相反的表面。

藉由上述製程，可以製造作為顯示裝置的液晶顯示裝置。

【圖式簡單說明】

在附圖中：

圖 1 是說明半導體裝置的圖；

圖 2A 至 2C 是說明半導體裝置的製造方法的圖；

圖 3A 和 3B 是說明半導體裝置的製造方法的圖；

圖 4A 至 4C 是說明半導體裝置的製造方法的圖；

圖 5 是說明半導體裝置的圖；

圖 6A 至 6D 是說明半導體裝置的製造方法的圖；

圖 7A 和 7B 是說明半導體裝置的製造方法的圖；

圖 8A 和 8B 是說明半導體裝置的圖；

圖 9A 至 9D 是說明多色調光罩的圖；

圖 10 是說明半導體裝置的圖；

圖 11A1 至 11B2 是說明半導體裝置的圖；

圖 12A 和 12B 是說明半導體裝置的方塊圖；

圖 13A 和 13B 是說明信號線驅動電路的結構圖；

圖 14A 至 14D 是說明移位暫存器的結構的電路圖；

圖 15A 和 15B 是說明移位暫存器的工作的電路圖及時序

圖；

圖 16A1 至 16B 是說明半導體裝置的圖；

圖 17 是說明半導體裝置的圖；

圖 18 是示出電子書讀取器的一例的外觀圖；

圖 19A 和 19B 是示出電視裝置及數位相框的實例的外觀圖；

圖 20A 和 20B 是示出遊戲機的實例的外觀圖；

圖 21A 和 21B 是示出可攜式電腦及行動電話機的一例的外觀圖；

圖 22 是說明半導體裝置的圖；
圖 23 是說明半導體裝置的圖；
圖 24 是說明半導體裝置的圖；
圖 25 是說明半導體裝置的圖；
圖 26 是說明半導體裝置的圖；
圖 27 是說明半導體裝置的圖；
圖 28 是說明半導體裝置的圖；
圖 29 是說明半導體裝置的圖；
圖 30 是說明半導體裝置的圖；
圖 31 是說明半導體裝置的圖；
圖 32 是說明半導體裝置的圖；
圖 33 是說明半導體裝置的圖；
圖 34 是說明半導體裝置的圖；以及
圖 35 是說明半導體裝置的圖。

【主要元件符號說明】

10：脈衝輸出電路
11：佈線
12：佈線
13：佈線
14：佈線
15：佈線
21：輸入端子
22：輸入端子

- 23 : 輸入端子
- 24 : 輸入端子
- 25 : 輸入端子
- 26 : 輸出端子
- 27 : 輸出端子
- 28 : 薄膜電晶體
- 31 : 電晶體
- 32 : 電晶體
- 33 : 電晶體
- 34 : 電晶體
- 35 : 電晶體
- 36 : 電晶體
- 37 : 電晶體
- 38 : 電晶體
- 39 : 電晶體
- 40 : 電晶體
- 41 : 電晶體
- 42 : 電晶體
- 43 : 電晶體
- 51 : 電源線
- 52 : 電源線
- 53 : 電源線
- 83 : 透光基板
- 84 : 遮光部

- 85 : 繞射光柵
- 86 : 光透過率
- 87 : 半透過部
- 88 : 遮光部
- 89 : 光透過率
- 100 : 基板
- 101 : 閘極電極層
- 102 : 閘極絕緣層
- 103 : 氧化物半導體層
- 107 : 氧化物絕緣層
- 108 : 電容佈線層
- 109 : 平坦化絕緣層
- 110 : 像素電極層
- 111 : 導電層
- 116 : 通道形成區
- 118 : 接觸孔
- 119 : 接觸孔
- 120 : 氧化物半導體層
- 121 : 連接電極
- 122 : 端子
- 125 : 接觸孔
- 126 : 接觸孔
- 127 : 接觸孔
- 128 : 連接端子

- 129 : 連接端子
- 130 : 氧化物半導體層
- 131 : 氧化物半導體層
- 133 : 氧化物半導體層
- 134 : 氧化物半導體層
- 137 : 金屬導電層
- 139 : 氧化物導電層
- 140 : 氧化物導電層
- 145 : 佈線層
- 146 : 電容器
- 147 : 電容器
- 148 : 電容器
- 150 : 端子
- 151 : 端子
- 152 : 閘極絕緣層
- 153 : 連接電極
- 154 : 保護絕緣層
- 155 : 導電膜
- 156 : 電極
- 157 : 氧化物半導體層
- 158 : 氧化物半導體層
- 161 : 閘極電極層
- 162 : 導電層
- 162 : 佈線層

- 163 : 氧化物半導體層
- 166 : 通道形成區
- 168 : 氧化物半導體層
- 170 : 薄膜電晶體
- 171 : 薄膜電晶體
- 173 : 薄膜電晶體
- 175 : 氧化物導電層
- 177 : 氧化物導電層
- 180 : 薄膜電晶體
- 181 : 薄膜電晶體
- 183 : 薄膜電晶體
- 185 : 金屬導電層
- 190 : 基板
- 190 : 對置基板
- 191 : 絕緣層
- 192 : 液晶層
- 193 : 絕緣層
- 194 : 對置電極層
- 195 : 著色層
- 202 : 閘極絕緣層
- 203 : 保護絕緣層
- 205 : 共同電位線
- 206 : 共同電極層
- 210 : 氧化物半導體層

- 220 : 薄膜電晶體
- 227 : 像素電極層
- 402 : 閘極絕緣層
- 600 : 基板
- 601 : 對直基板
- 602 : 閘極佈線
- 603 : 閘極佈線
- 604 : 電容佈線
- 605 : 電容佈線
- 606 : 閘極絕緣層
- 607 : 電極層
- 609 : 公共電位線
- 615 : 電容電極
- 616 : 佈線
- 617 : 佈線
- 618 : 佈線
- 619 : 佈線
- 620 : 絕緣膜
- 621 : 絕緣膜
- 622 : 絕緣膜
- 623 : 接觸孔
- 624 : 像素電極層
- 625 : 狹縫
- 626 : 像素電極層

- 627 : 接觸孔
- 628 : TFT
- 629 : TFT
- 630 : 儲存電容器部
- 631 : 儲存電容器部
- 632 : 遮光膜
- 633 : 接觸孔
- 636 : 彩色膜
- 637 : 平坦化膜
- 640 : 對置電極層
- 641 : 狹縫
- 644 : 突起
- 646 : 取向膜
- 648 : 取向膜
- 650 : 液晶層
- 651 : 液晶元件
- 652 : 液晶元件
- 660 : 電容佈線
- 81a : 灰色調光罩
- 81b : 半色調光罩
- 104a : 氧化物導電層
- 104b : 氧化物導電層
- 105a : 源極電極層
- 105b : 汲極電極層

- 117a : 高電阻源極區
- 117b : 高電阻汲極區
- 135a : 抗蝕劑光罩
- 135b : 抗蝕劑光罩
- 136a : 抗蝕劑光罩
- 136c : 抗蝕劑光罩
- 164a : 氧化物導電層
- 164b : 氧化物導電層
- 165a : 源極電極層
- 165b : 汲極電極層
- 167a : 高電阻源極區
- 167b : 高電阻汲極區
- 196a : 偏光板
- 2600 : TFT基板
- 2601 : 對置基板
- 2602 : 密封材料
- 2603 : 像素部
- 2604 : 顯示元件
- 2605 : 著色層
- 2606 : 偏光板
- 2607 : 偏光板
- 2608 : 佈線電路部
- 2609 : 撓性線路板
- 2610 : 冷陰極管

- 2611：反射板
- 2612：電路基板
- 2613：擴散板
- 2700：電子書讀取器
- 2701：框體
- 2703：框體
- 2705：顯示部
- 2707：顯示部
- 2711：軸部
- 2721：電源
- 2723：操作鍵
- 2725：揚聲器
- 4001：基板
- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封材料
- 4006：基板
- 4008：液晶層
- 4010：薄膜電晶體
- 4011：薄膜電晶體
- 4013：液晶元件
- 4015：連接端子電極
- 4016：端子電極

- 4018 : FPC
- 4019 : 各向異性導電膜
- 4020 : 保護絕緣層
- 4021 : 保護絕緣層
- 4030 : 像素電極層
- 4031 : 對置電極層
- 4032 : 絕緣層
- 4040 : 導電層
- 5300 : 基板
- 5301 : 像素部
- 5302 : 掃描線驅動電路
- 5303 : 掃描線驅動電路
- 5304 : 信號線驅動電路
- 5305 : 時序控制電路
- 5601 : 移位暫存器
- 5602 : 開關電路
- 5603 : 薄膜電晶體
- 5604 : 佈線
- 5605 : 佈線
- 606a : 閘極絕緣層
- 606b : 閘極絕緣層
- 9201 : 顯示部
- 9202 : 顯示鈕
- 9203 : 操作開關

- 9205 : 調節部
- 9206 : 影像拍攝裝置部
- 9207 : 揚聲器
- 9208 : 麥克風
- 9301 : 上部框體
- 9302 : 下部框體
- 9303 : 顯示部
- 9304 : 鍵盤
- 9305 : 外部連接埠
- 9306 : 定位裝置
- 9307 : 顯示部
- 9600 : 電視裝置
- 9601 : 框體
- 9603 : 顯示部
- 9605 : 支架
- 9607 : 顯示部
- 9609 : 操作鍵
- 9610 : 遙控操作機
- 9700 : 數位相框
- 9701 : 框體
- 9703 : 顯示部
- 9881 : 框體
- 9882 : 顯示部
- 9883 : 顯示部

- 9884 : 揚 聲 器 部
- 9885 : 操 作 鍵
- 9886 : 記 錄 媒 體 插 入 部
- 9887 : 連 接 端 子
- 9888 : 感 測 器
- 9889 : 麥 克 風
- 9890 : LED 燈
- 9891 : 框 體
- 9893 : 連 接 部
- 9900 : 投 幣 機
- 9901 : 框 體
- 9903 : 顯 示 部

七、申請專利範圍：

1. 一種半導體裝置，包含：

同一個基板上的包含第一薄膜電晶體的驅動電路部和包含第二薄膜電晶體的像素部，該第一薄膜電晶體及該第二薄膜電晶體分別包含：

基板上的閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層，該氧化物半導體層重疊於該閘極電極層；

該氧化物半導體層上的第一導電層，該第一導電層與該氧化物半導體層電連接；

該氧化物半導體層上的第二導電層，該第二導電層與該氧化物半導體層電連接；

該氧化物半導體層、該第一導電層和該第二導電層上的氧化物絕緣層，該氧化物絕緣層接觸於該氧化物半導體層的端部的第一上表面以及該第一導電層和該第二導電層之間的該氧化物半導體層的第二上表面；

該氧化物絕緣層上的像素電極層；以及

該像素電極層上的液晶層，

其中，該第一薄膜電晶體還包含重疊於該氧化物半導體層的第三導電層，該第三導電層在該氧化物絕緣層、第一導電層及第二導電層上，

其中，該第二薄膜電晶體的該第二導電層與該像素電極層電連接，

其中該第一導電層和該第二導電層分別包括區域，

其中該第三導電層是在該第一導電層和該第二導電層各者的該區域上，以及

其中該第三導電層與該第一導電層和該第二導電層各者的該區域重疊。

2. 如申請專利範圍第 1 項的半導體裝置，還包含該第一導電層和該氧化物半導體層之間的第一氧化物導電層，以及該第二導電層和該氧化物半導體層之間的第二氧化物導電層，其中，該第一氧化物導電層和該第二氧化物導電層分別包含氧化鋅、氧化鋅鋁、氧氮化鋅鋁或者氧化鎵鋅。

3. 如申請專利範圍第 1 項的半導體裝置，其中，該像素電極層包含氧化銮、氧化銮氧化錫合金、氧化銮氧化鋅合金或者氧化鋅。

4. 如申請專利範圍第 1 項的半導體裝置，其中，該第二薄膜電晶體的該第一導電層和該第二導電層使用以選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素為主要成分的膜、該元素的合金膜、或者該元素的疊層膜形成。

5. 一種半導體裝置，包含：

同一個基板上的包含第一薄膜電晶體的驅動電路部和包含第二薄膜電晶體的像素部，該第一薄膜電晶體及該第二薄膜電晶體分別包含：

基板上的閘極電極層；

該閘極電極層上的閘極絕緣層；

該閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的源極電極層，該源極電極層具有與該氧化物半導體層的端部相比其端部位於更內側的形狀；

該氧化物半導體層上的汲極電極層，該汲極電極層具有與該氧化物半導體層的端部相比其端部位於更內側的形狀；

與該源極電極層和該氧化物半導體層接觸的第一氧化物導電層；

與該汲極電極層和該氧化物半導體層接觸的第二氧化物導電層；

該氧化物半導體層、該源極電極層以及該汲極電極層上的氧化物絕緣層；

該氧化物絕緣層上的像素電極層；以及

該像素電極層上的液晶層，

其中，該第一薄膜電晶體還包含重疊於該氧化物半導體層的導電層，該導電層在該氧化物絕緣層、該源極電極層以及該汲極電極層上，

其中，該第二薄膜電晶體與該像素電極層電連接，

其中該源極電極層和該汲極電極層分別包括區域，

其中該導電層是在該源極電極層和該汲極電極層各者的該區域上，以及

其中該導電層與該源極電極層和該汲極電極層各者的該區域重疊。

6. 如申請專利範圍第 5 項的半導體裝置，其中，該第一氧化物導電層和該第二氧化物導電層分別包含氧化鋅、氧化鋅鋁、氧氮化鋅鋁或者氧化鎵鋅。

7. 如申請專利範圍第 1 或 5 項的半導體裝置，其中，該閘極絕緣層具有氧化矽層、氧氮化矽層或者氧化鋁層的單層結構或疊層結構。

8. 如申請專利範圍第 5 項的半導體裝置，其中，該像素電極層和該導電層包含氧化銮、氧化銮氧化錫合金、氧化銮氧化鋅合金或者氧化鋅。

9. 如申請專利範圍第 5 項的半導體裝置，其中，該第二薄膜電晶體的該源極電極層和該汲極電極層使用以選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素為主要成分的膜、該元素的合金膜、或者該元素的疊層膜形成。

10. 如申請專利範圍第 1 或 5 項的半導體裝置，其中，該氧化物半導體層包括在氧過剩狀態中的區域。

11. 一種半導體裝置的製造方法，包含如下步驟：
在基板上形成第一閘極電極層和第二閘極電極層；
在該第一閘極電極層和該第二閘極電極層上形成閘極絕緣層；

在該閘極絕緣層上形成氧化物半導體層；

在該氧化物半導體層上形成第一導電層；

在該第一導電層上形成包含第一區域和其厚度比該第一區域的厚度薄的第二區域的第一抗蝕劑光罩；

藉由利用該第一抗蝕劑光罩對該第一導電層和該氧化

物半導體層進行蝕刻來形成重疊於該第一閘極電極層的第一島狀氧化物半導體層、重疊於該第二閘極電極層的第二島狀氧化物半導體層、該第一島狀氧化物半導體層上的第一島狀導電層、以及該第二島狀氧化物半導體層上的第二島狀導電層；

對該第一抗蝕劑光罩進行灰化以去掉該第二區域來形成第二抗蝕劑光罩；

藉由利用該第二抗蝕劑光罩對該第一島狀導電層和該第二島狀導電層進行蝕刻來形成電連接到該第一島狀氧化物半導體層的第一源極電極層、電連接到該第一島狀氧化物半導體層的第一汲極電極層、電連接到該第二島狀氧化物半導體層的第二源極電極層以及電連接到該第二島狀氧化物半導體層的第二汲極電極層；

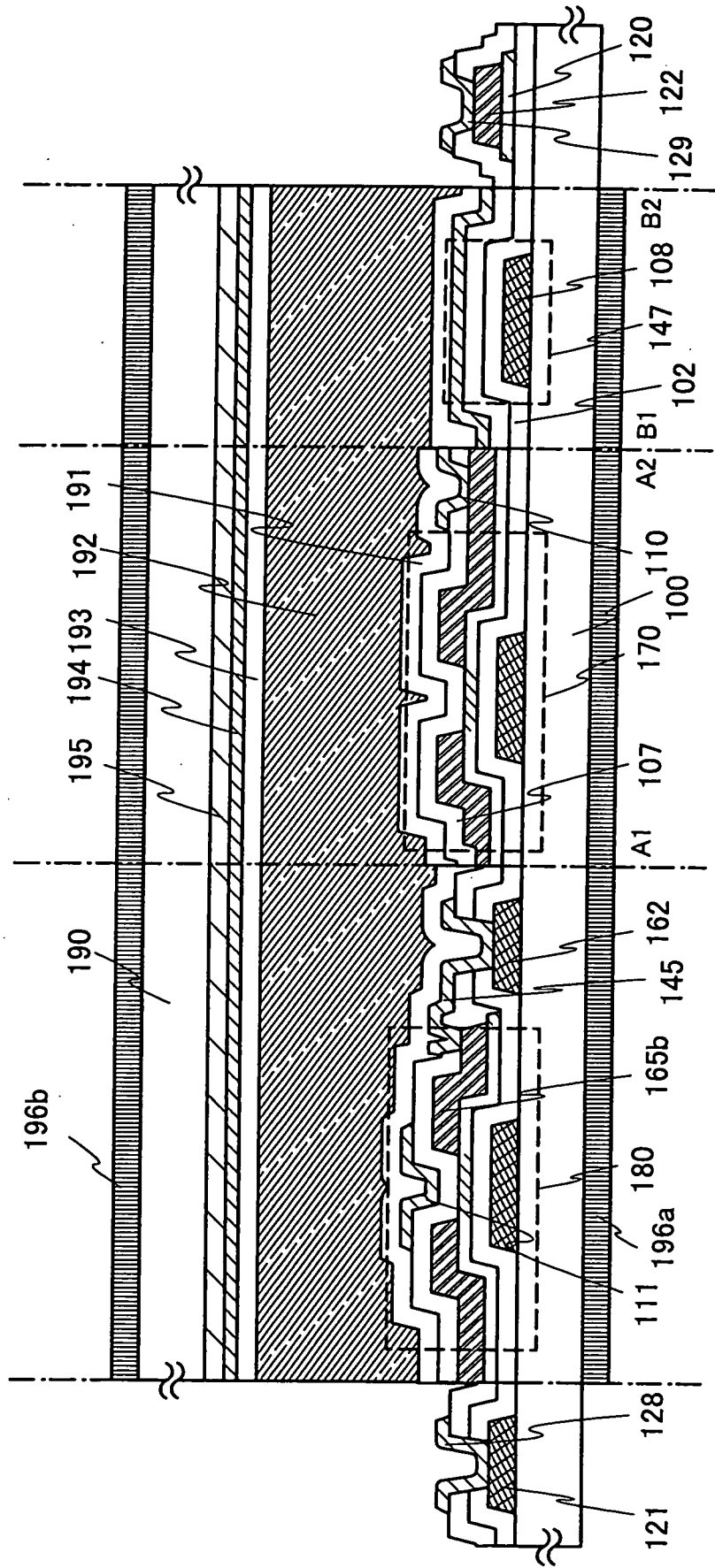
在該第一島狀氧化物半導體層、該第二島狀氧化物半導體層、該第一源極電極層、該第一汲極電極層、該第二源極電極層以及該第二汲極電極層上形成氧化物絕緣層；

在該氧化物絕緣層上形成透明導電膜；

對該透明導電膜進行蝕刻來形成電連接到該第二汲極電極層的像素電極層以及重疊於該第一閘極電極層的第二導電層；以及

在該像素電極層上形成液晶層。

圖1



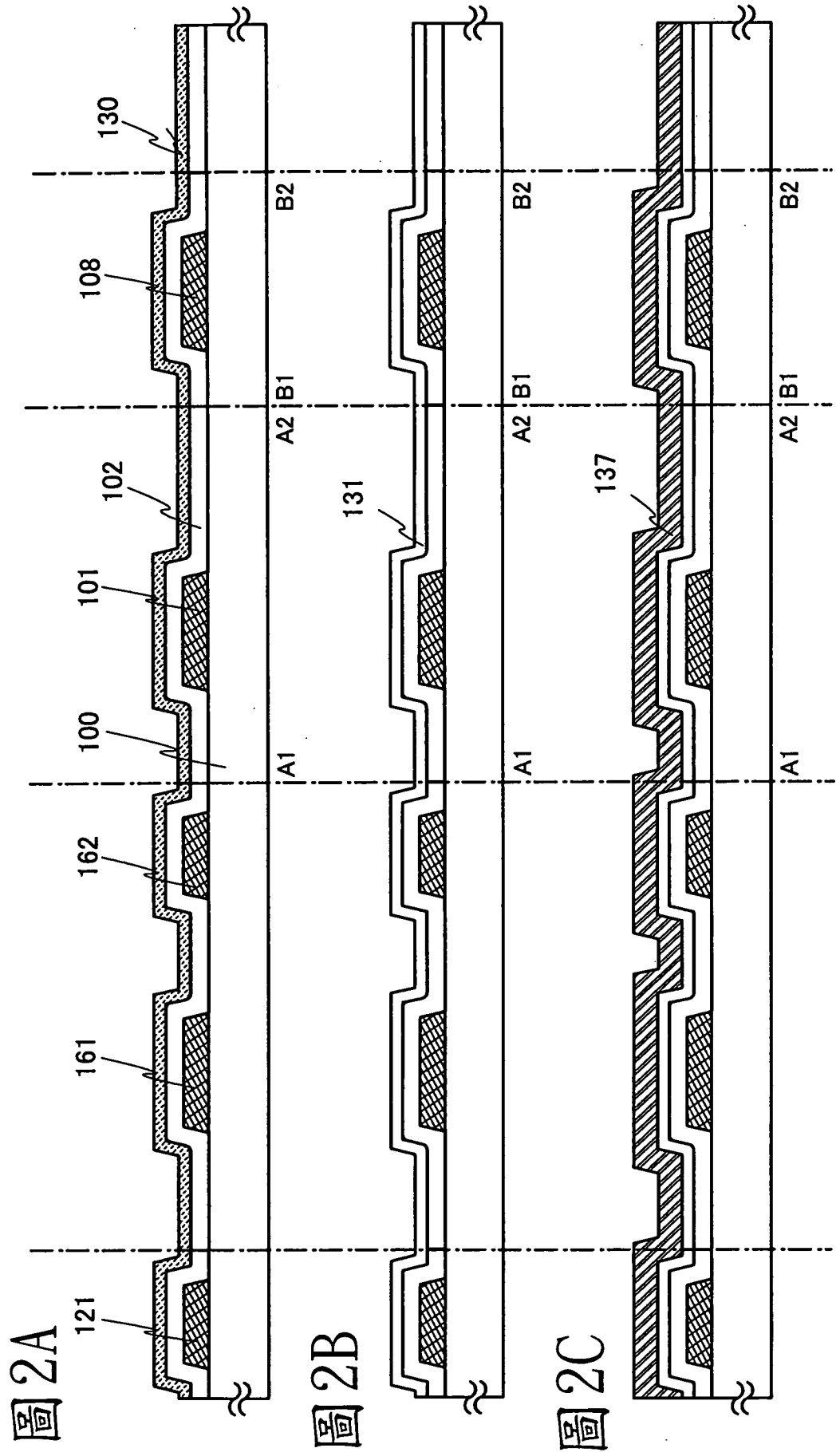


圖 3A

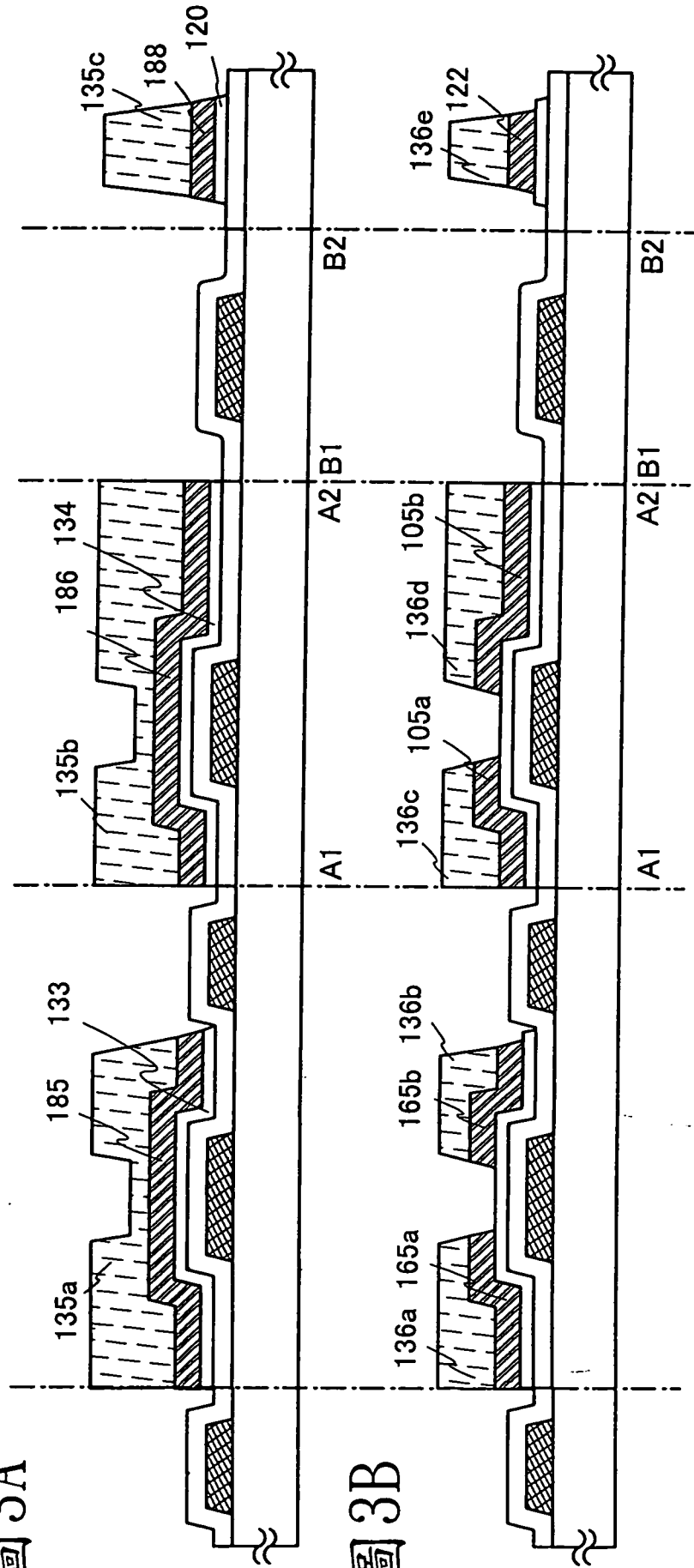
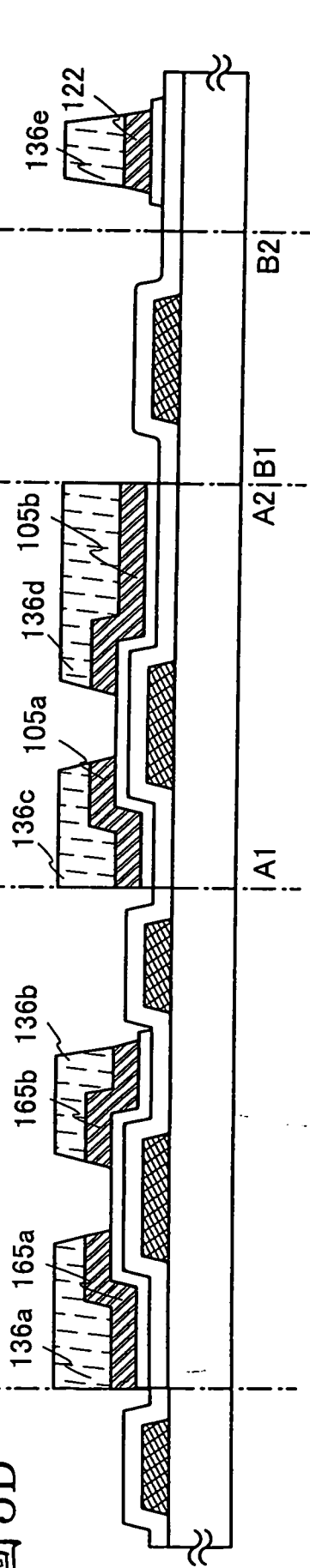


圖 3B



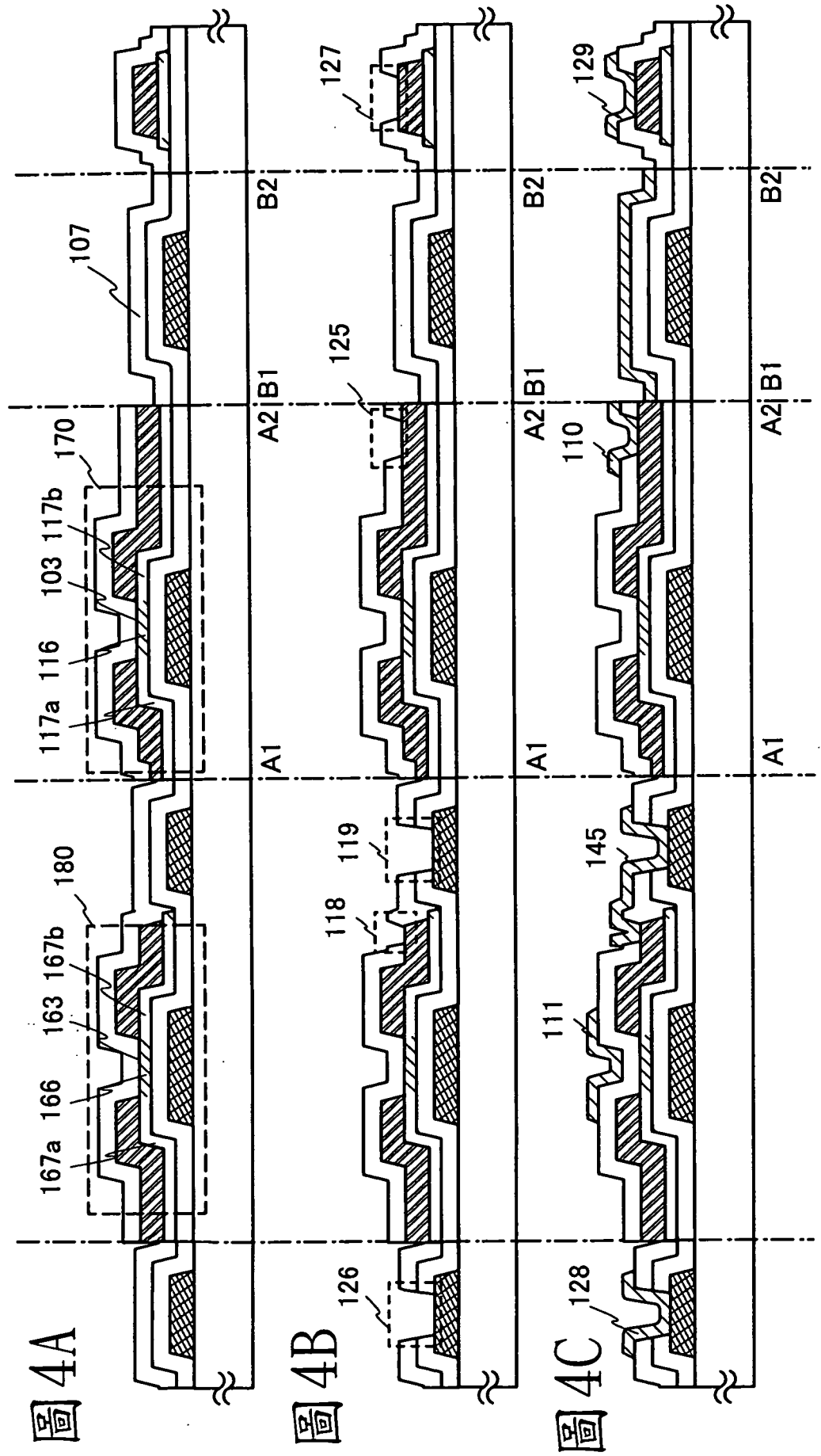
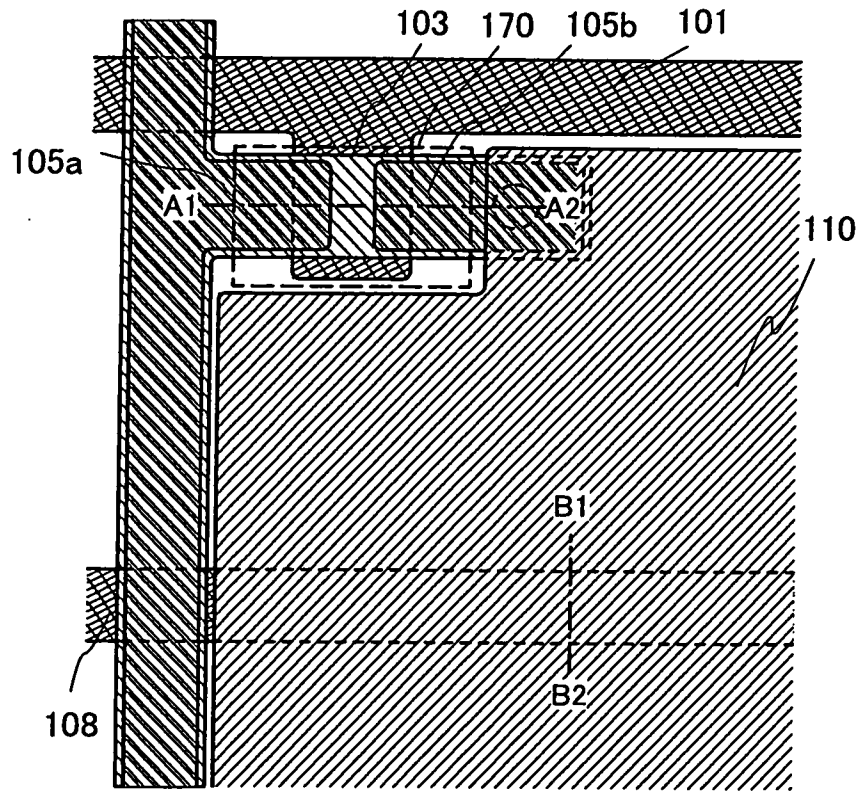
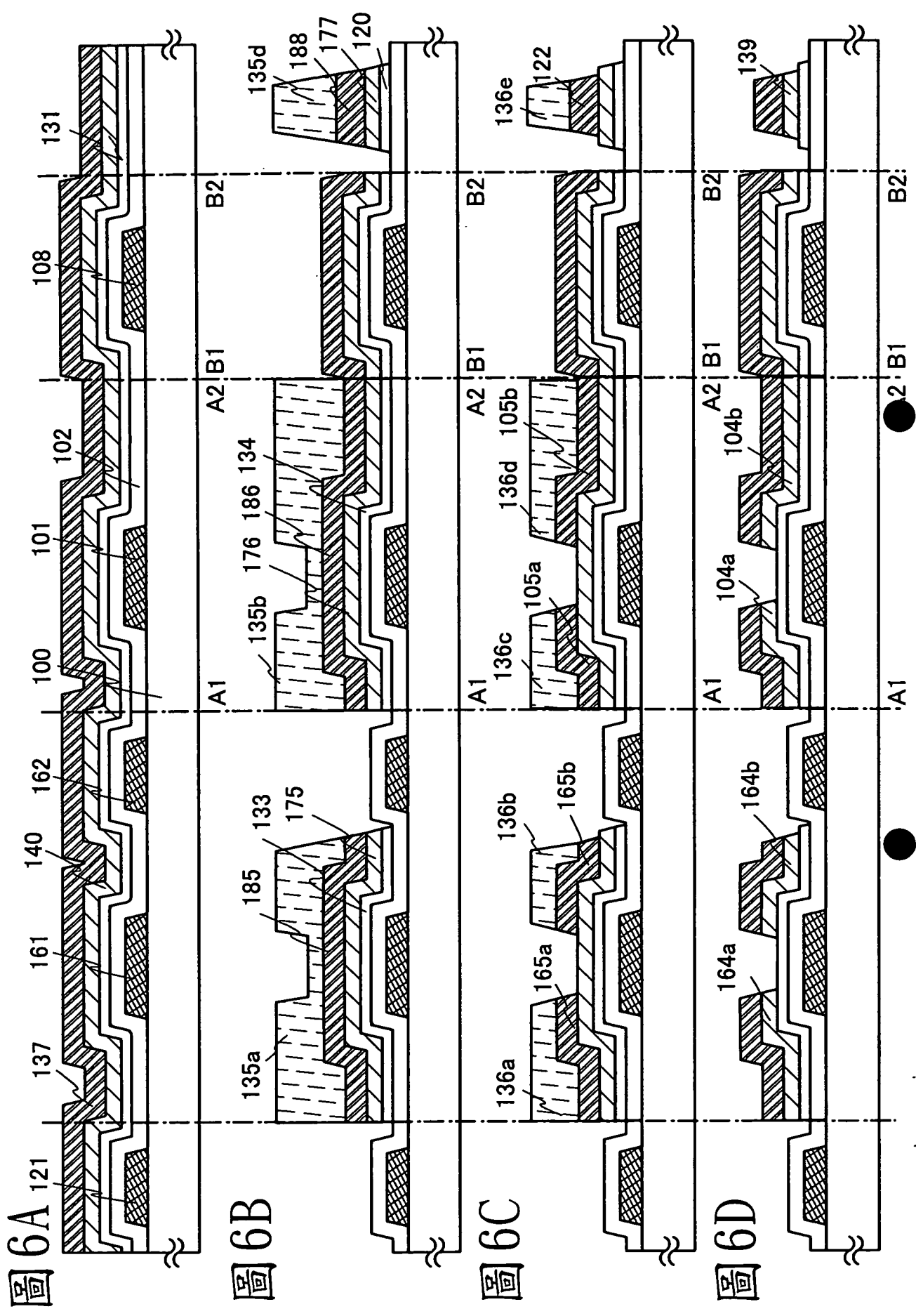


圖5





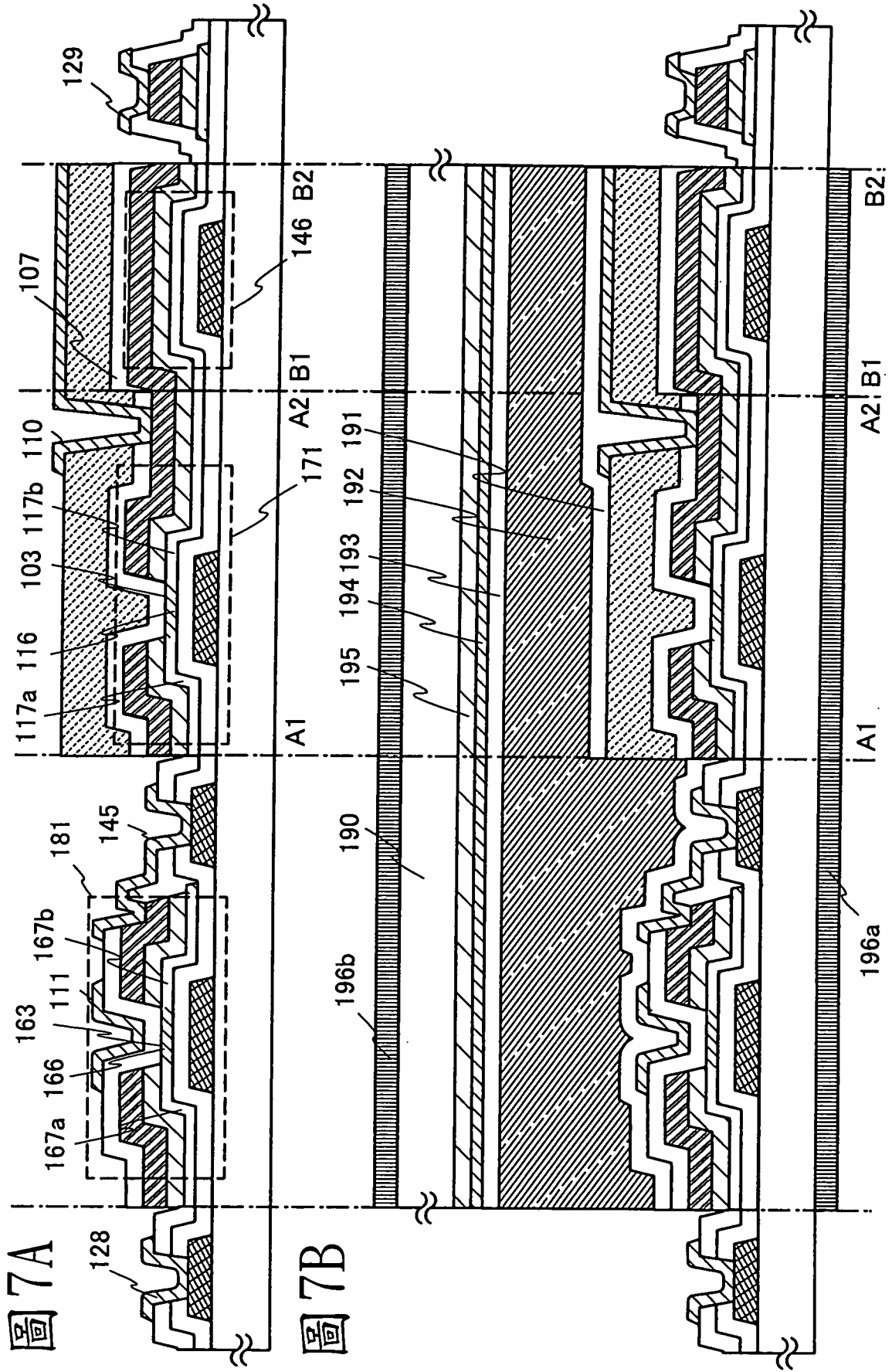


圖7A

圖7B

圖 9A

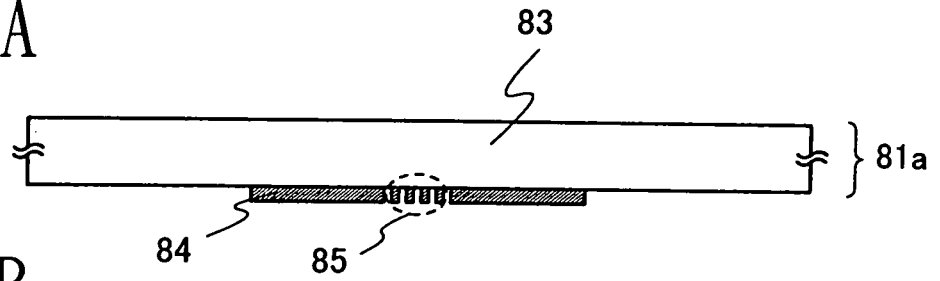


圖 9B

光透過率

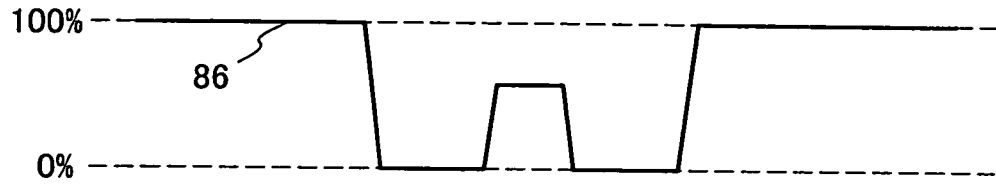


圖 9C

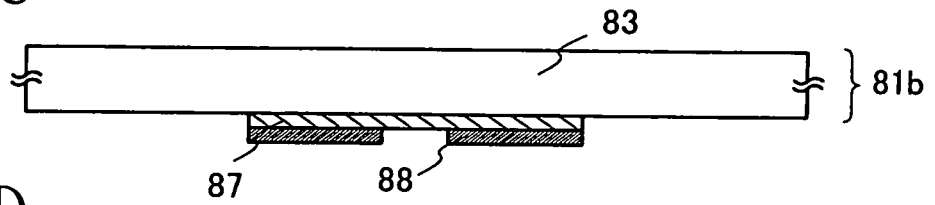


圖 9D

光透過率

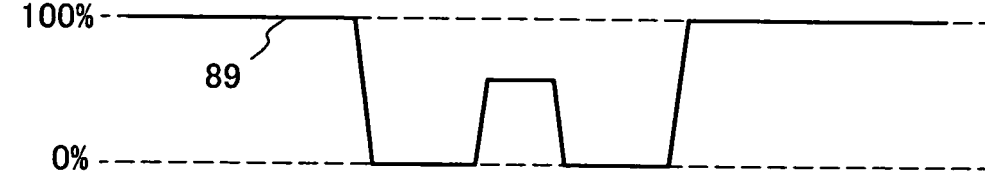


圖10

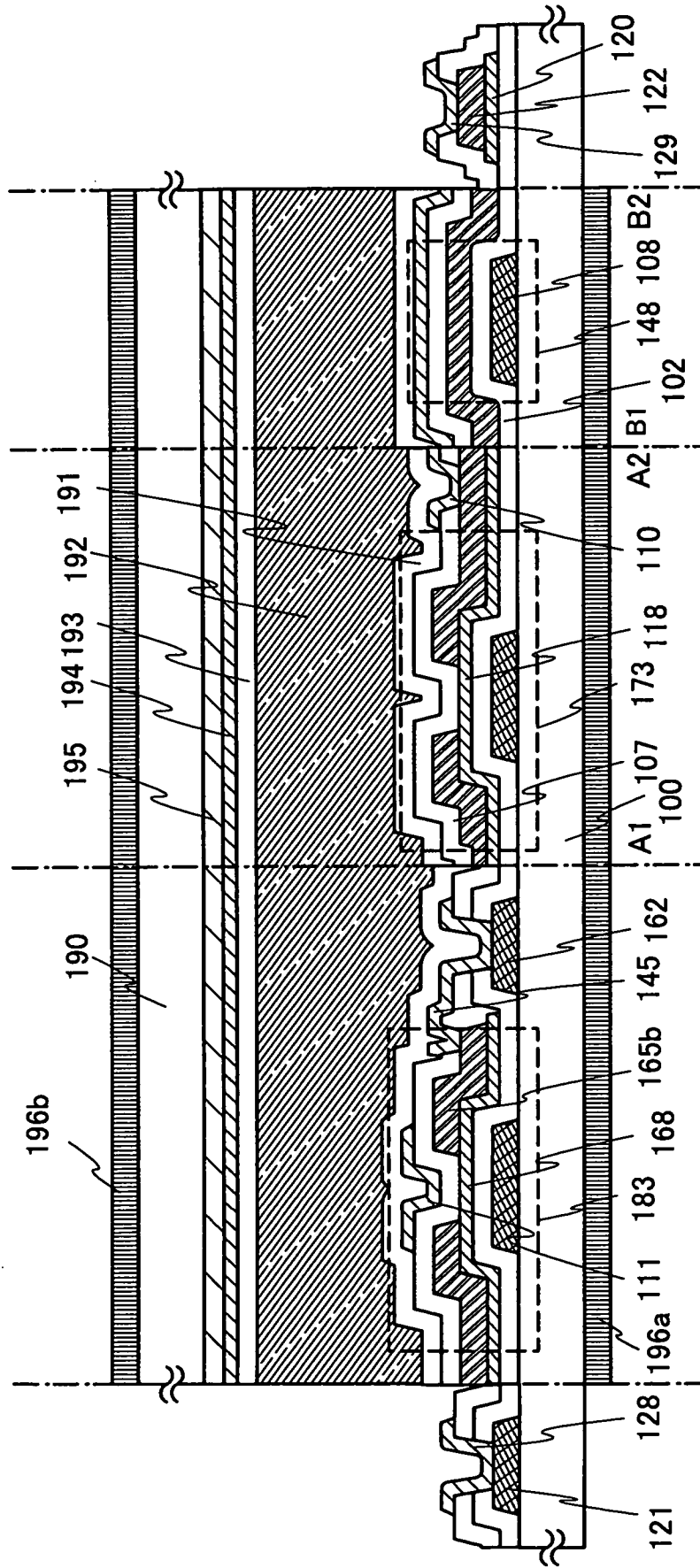


圖 11A1

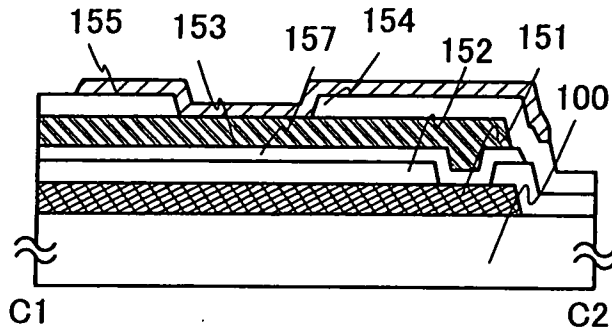


圖 11A2

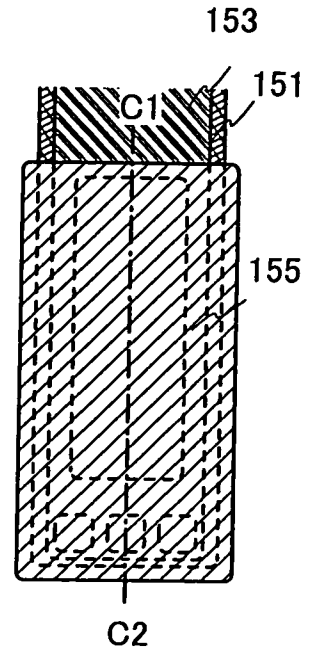


圖 11B1

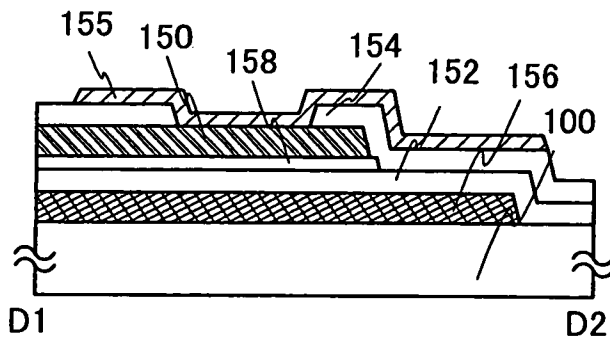


圖 11B2

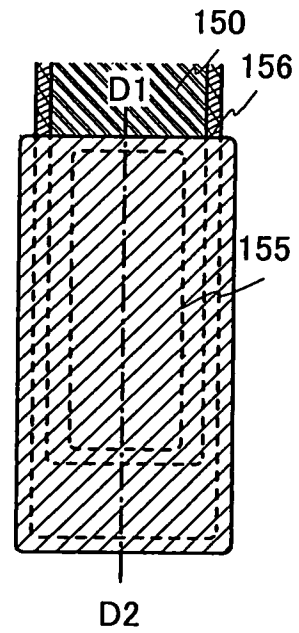


圖 12A

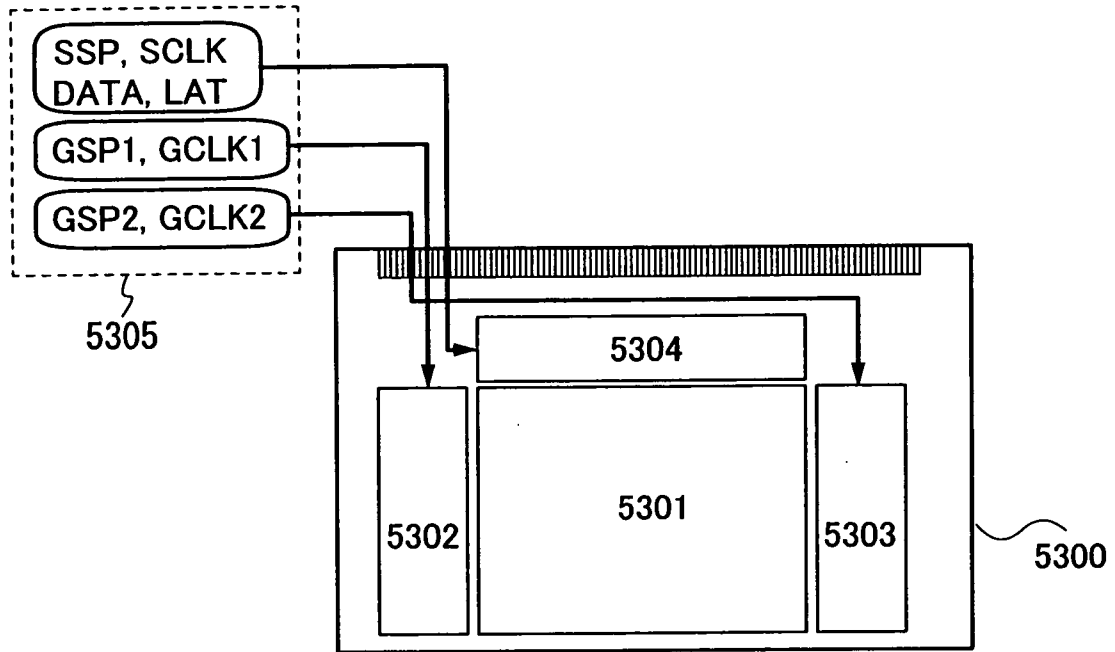


圖 12B

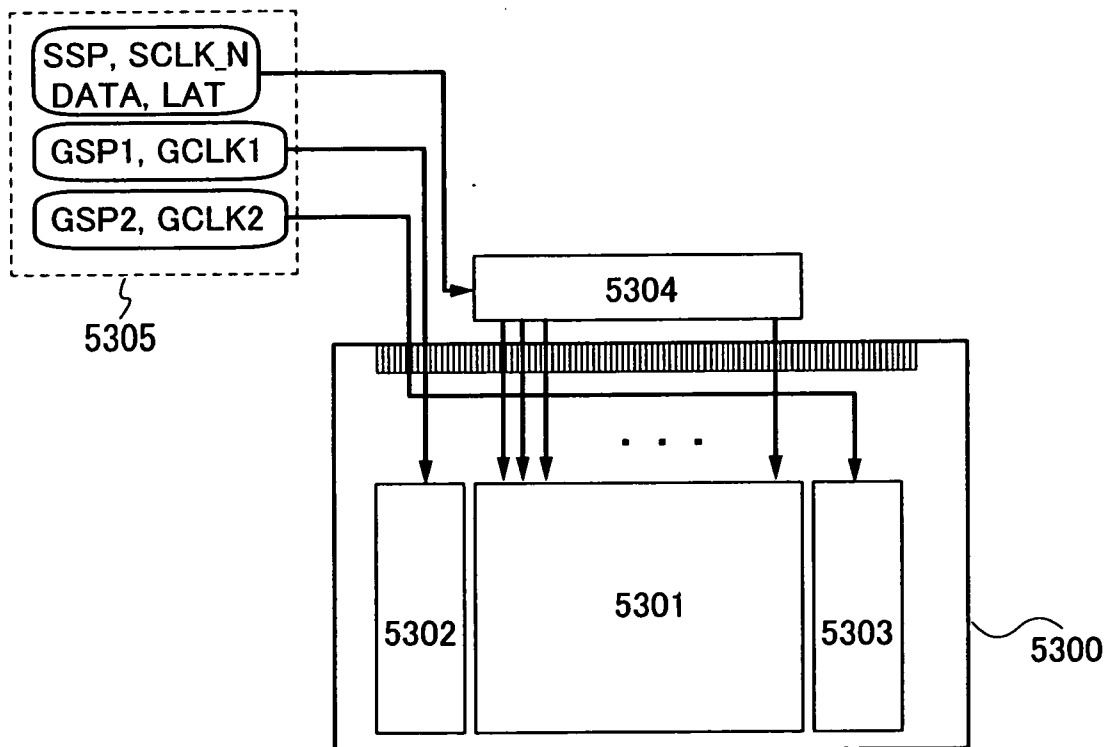


圖 13A

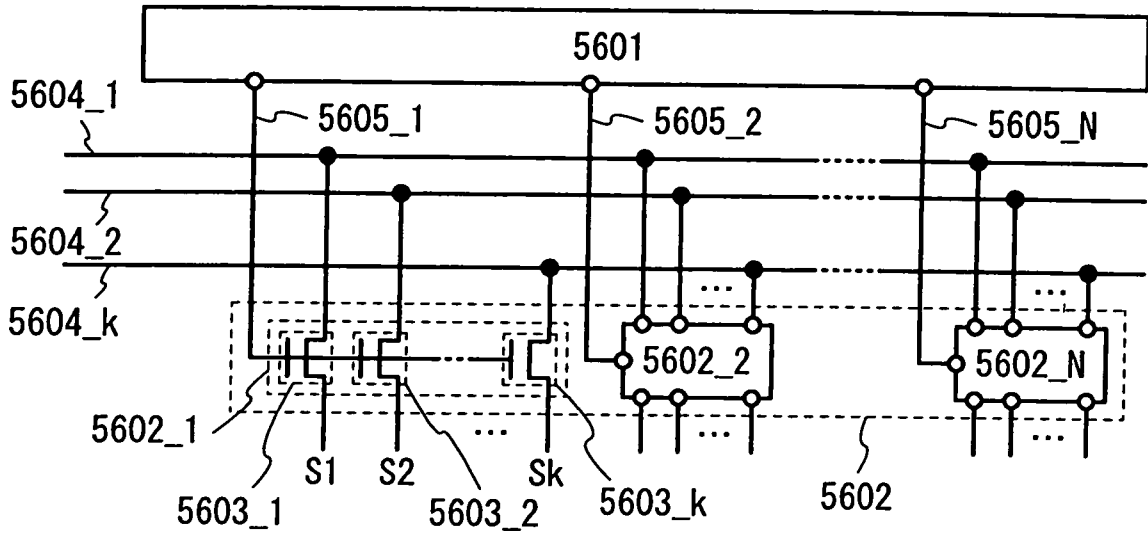


圖 13B

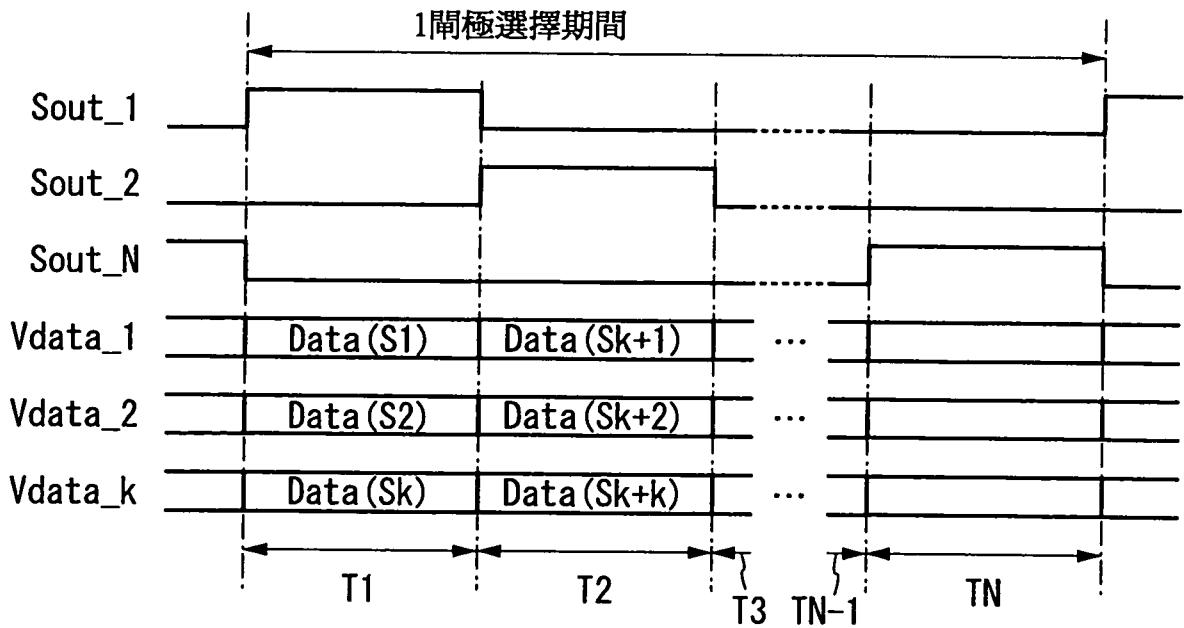


圖 14A

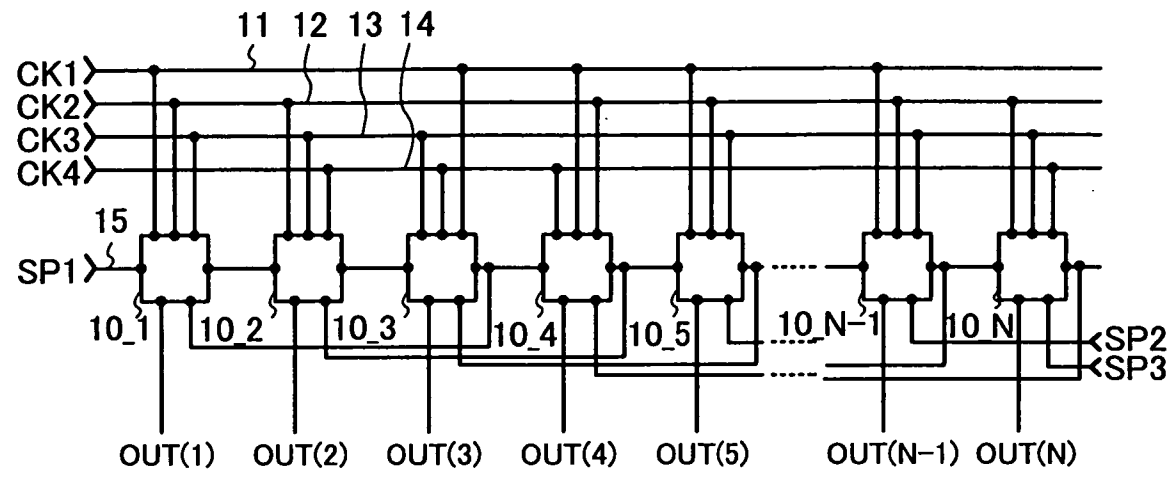


圖 14B

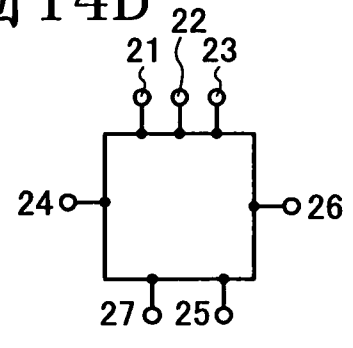


圖 14C

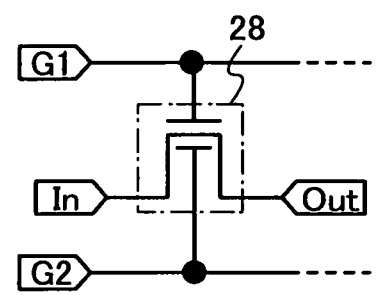


圖 14D

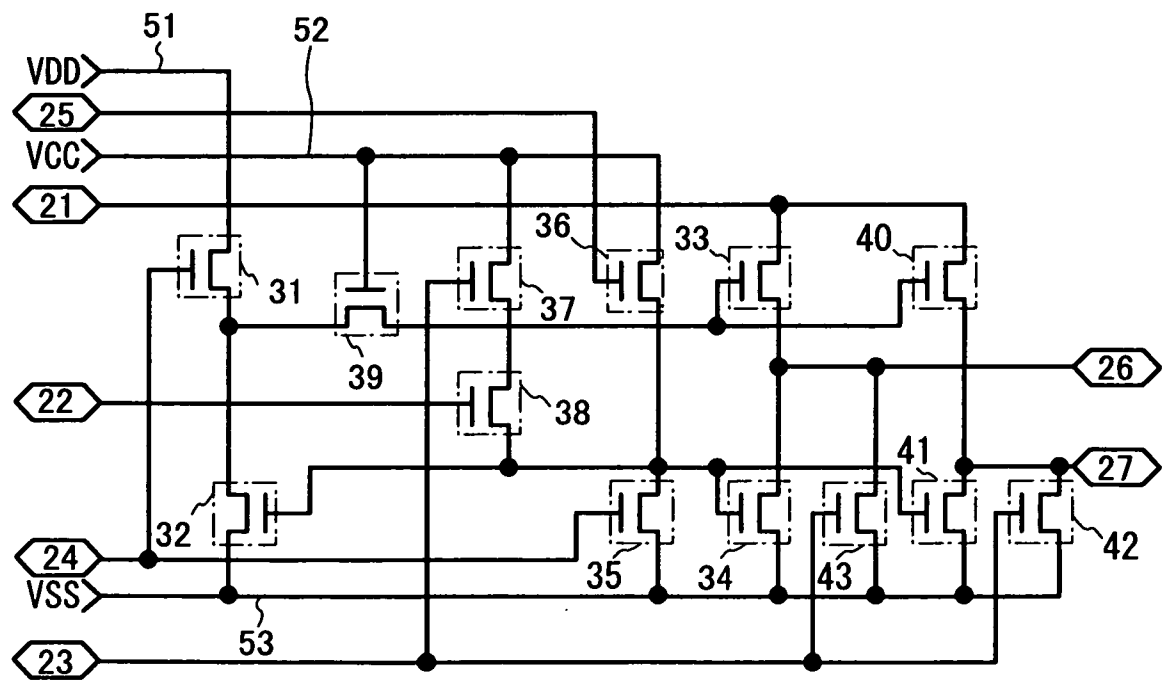


圖 15A

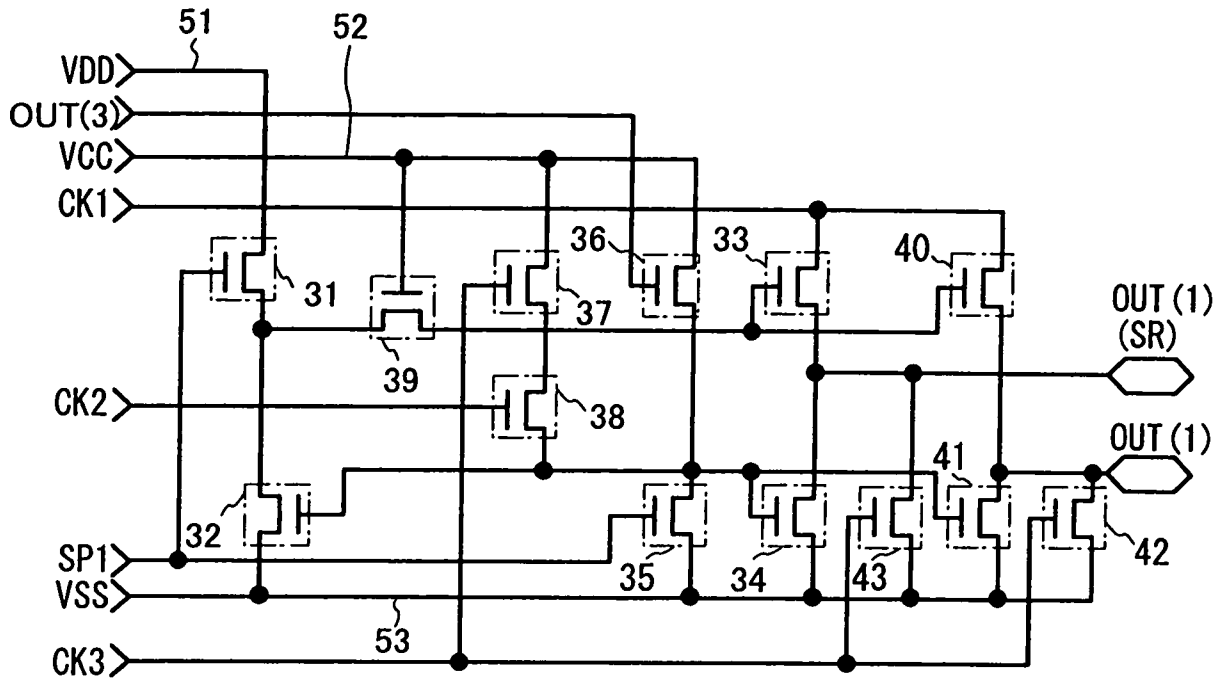


圖 15B

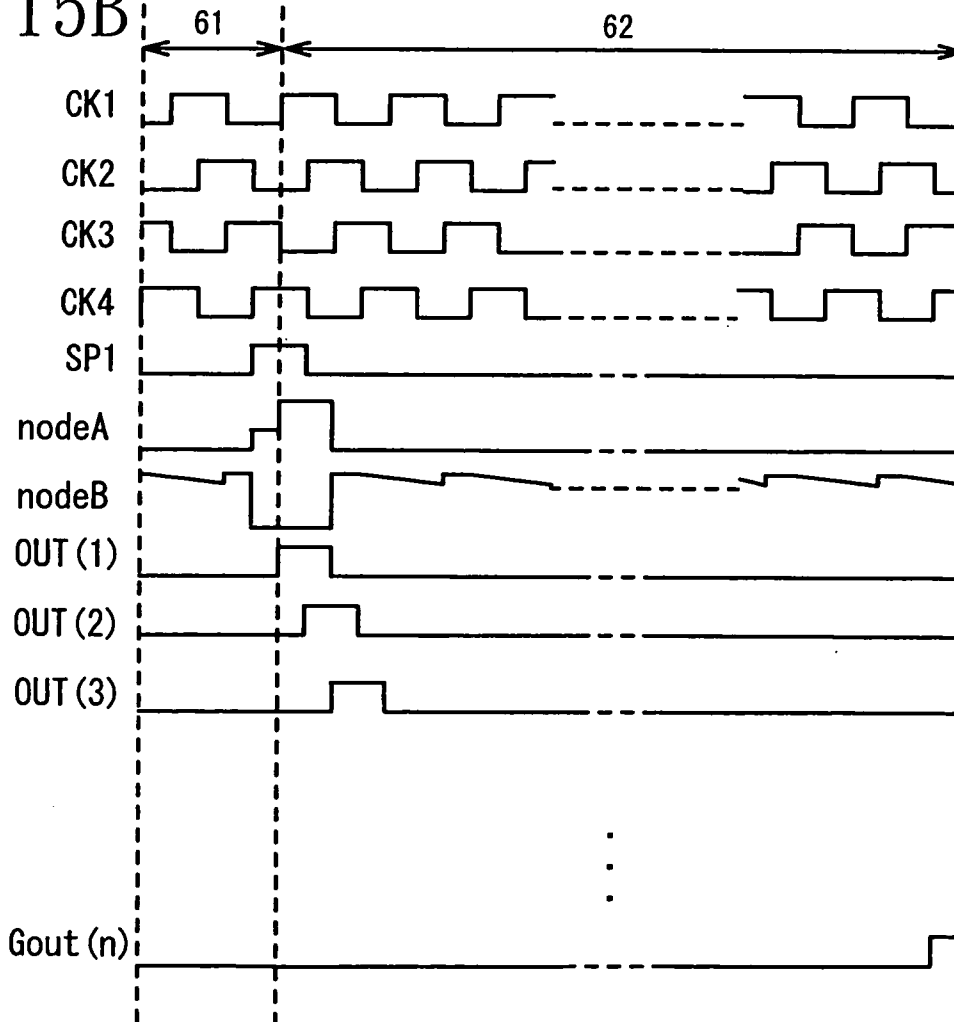


圖 16A1

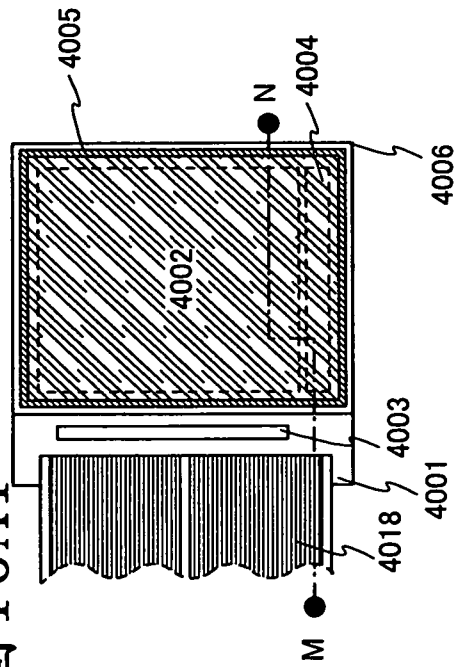


圖 16A2

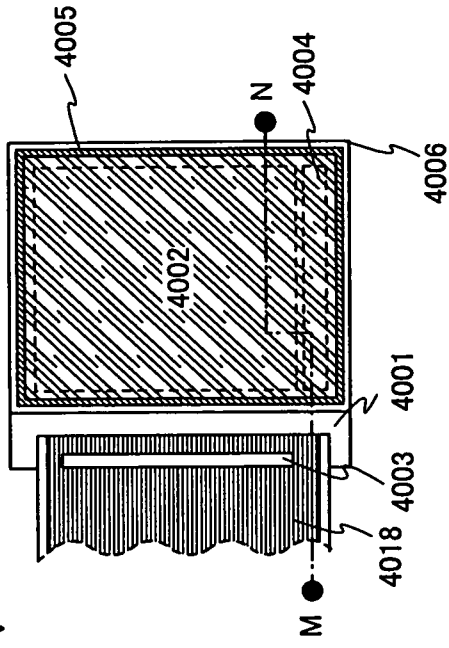


圖 16B

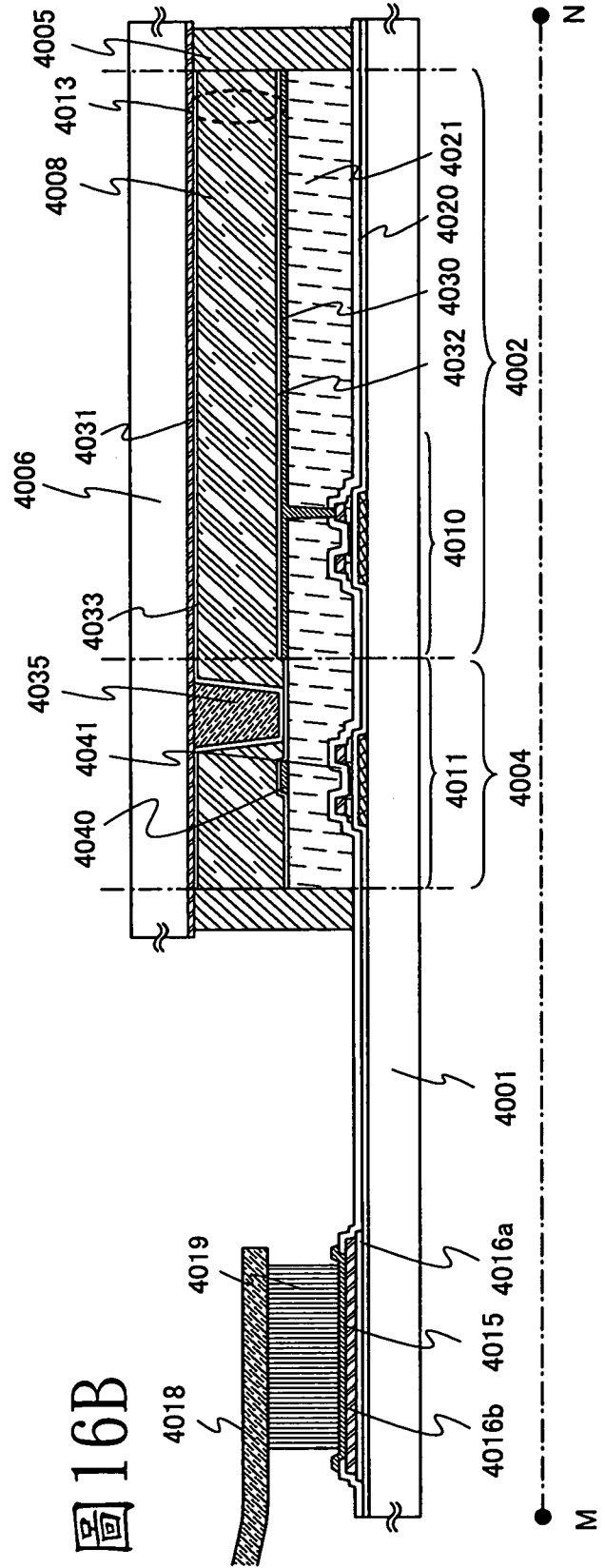


圖17

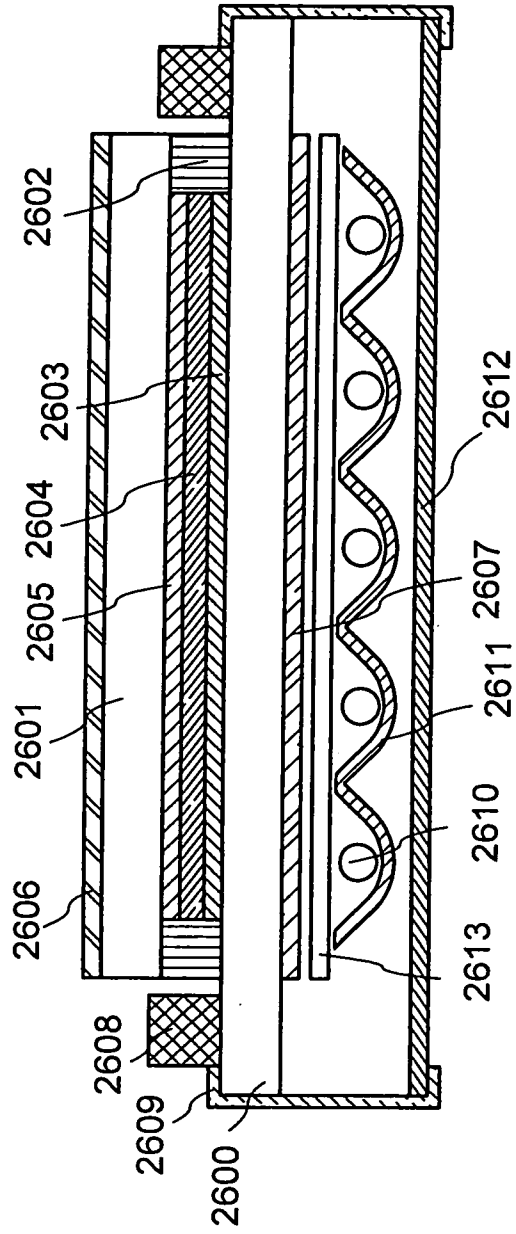


圖 18

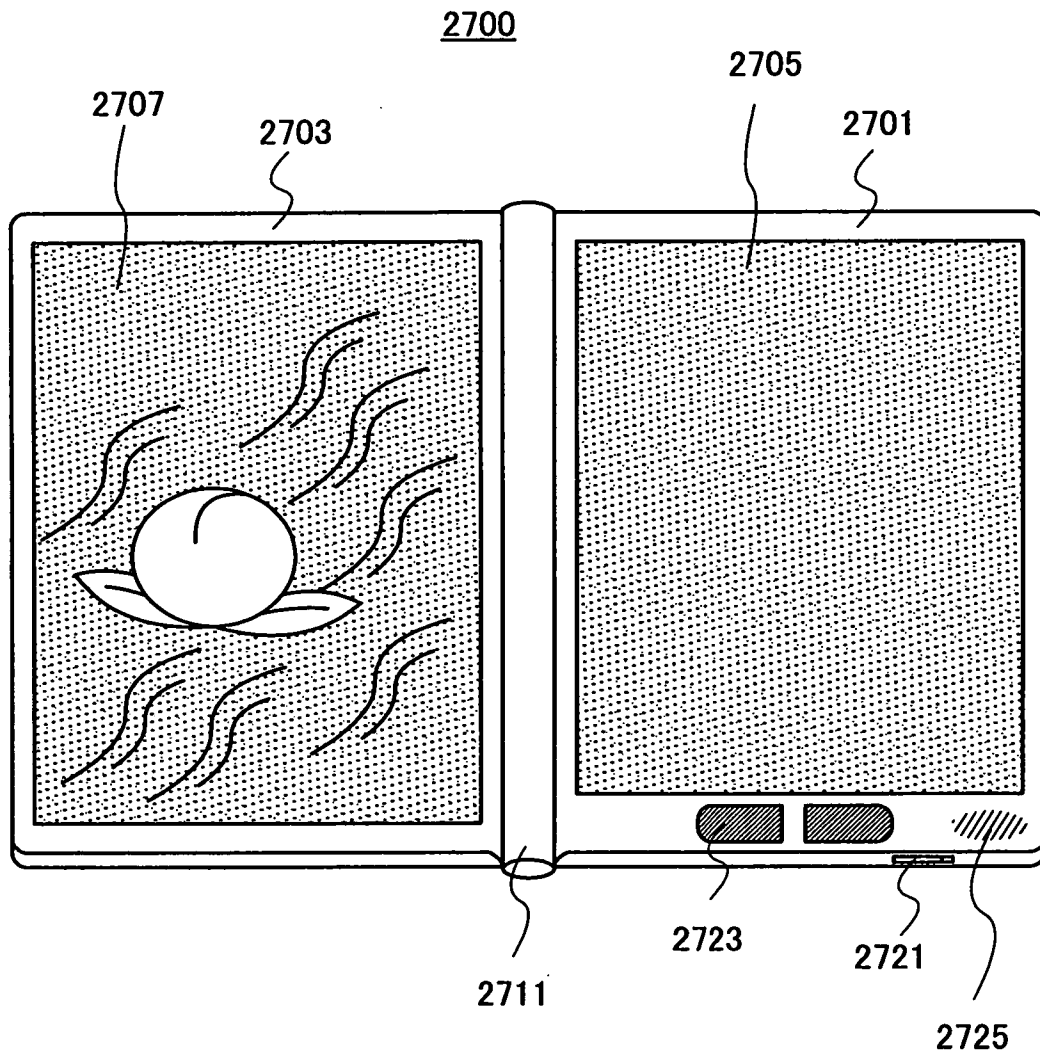


圖 19A

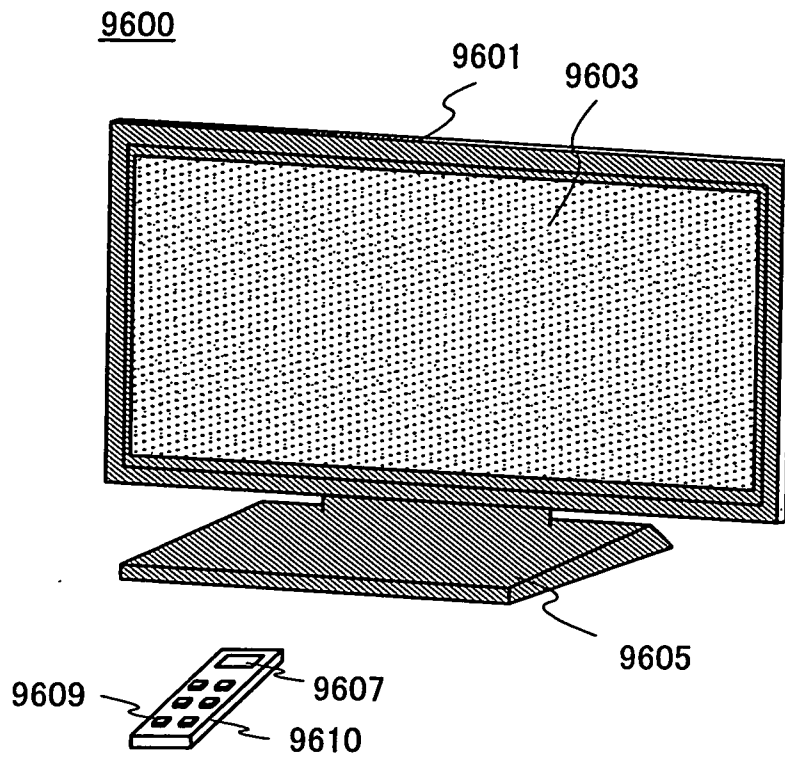


圖 19B

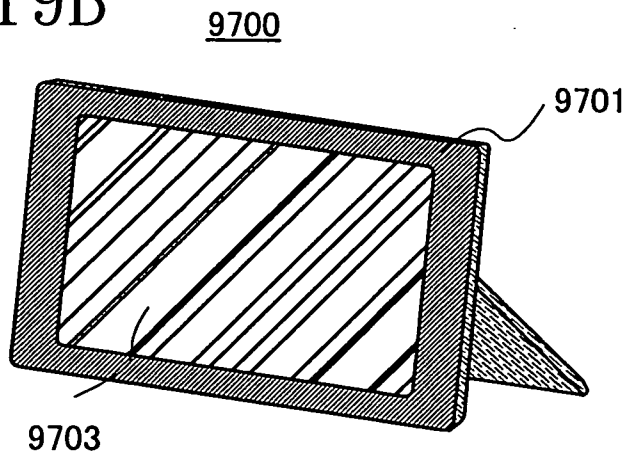


圖 20A

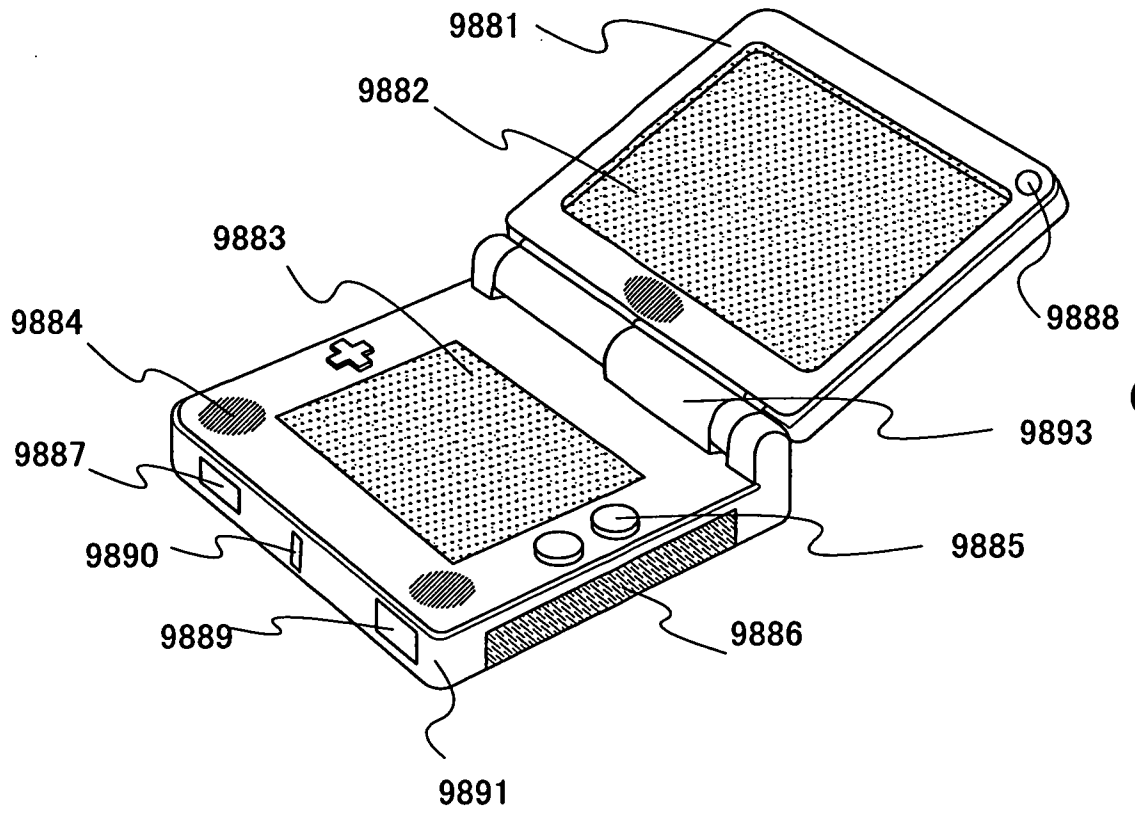


圖 20B

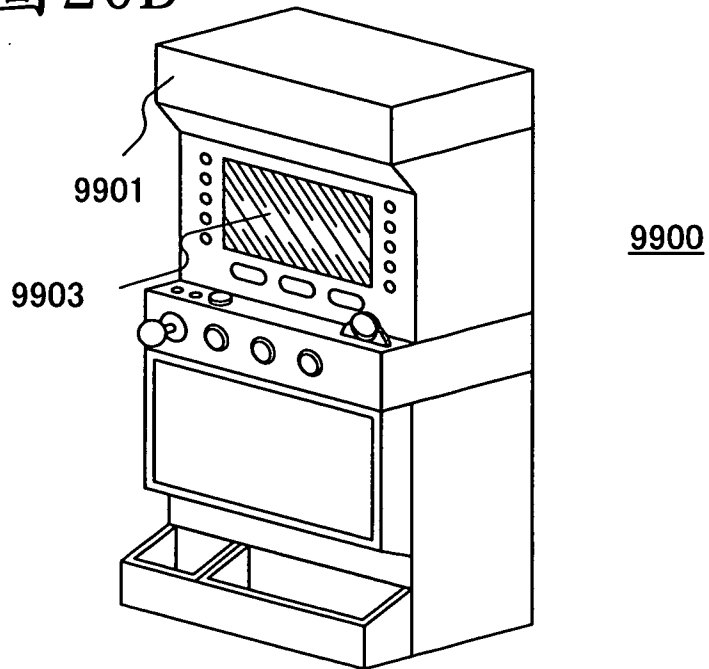


圖 21A

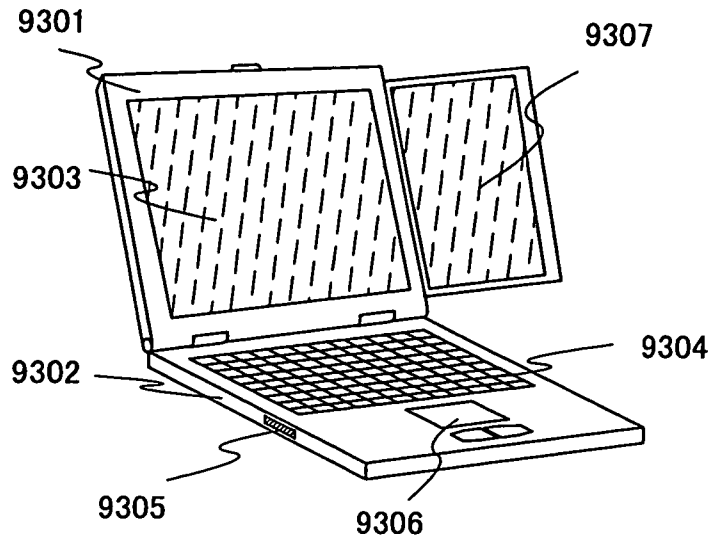


圖 21B

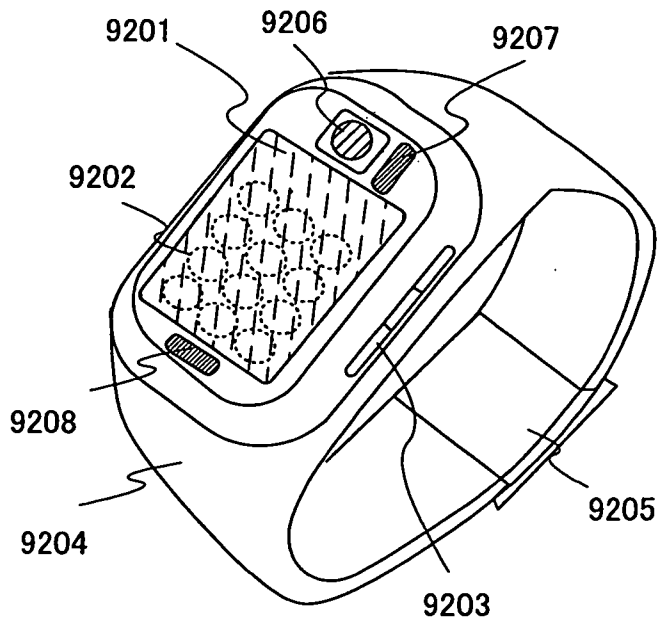


圖22

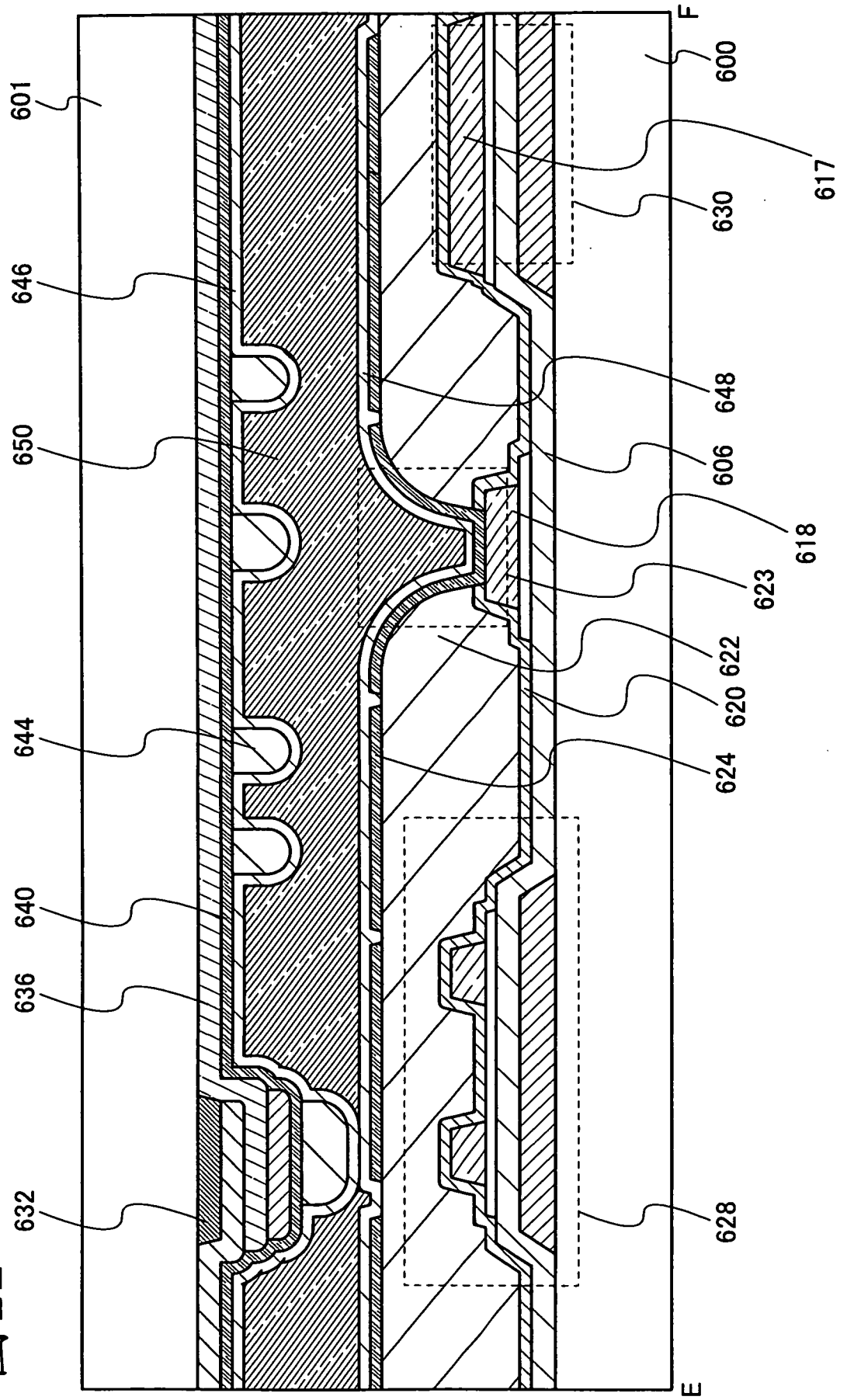


圖 23

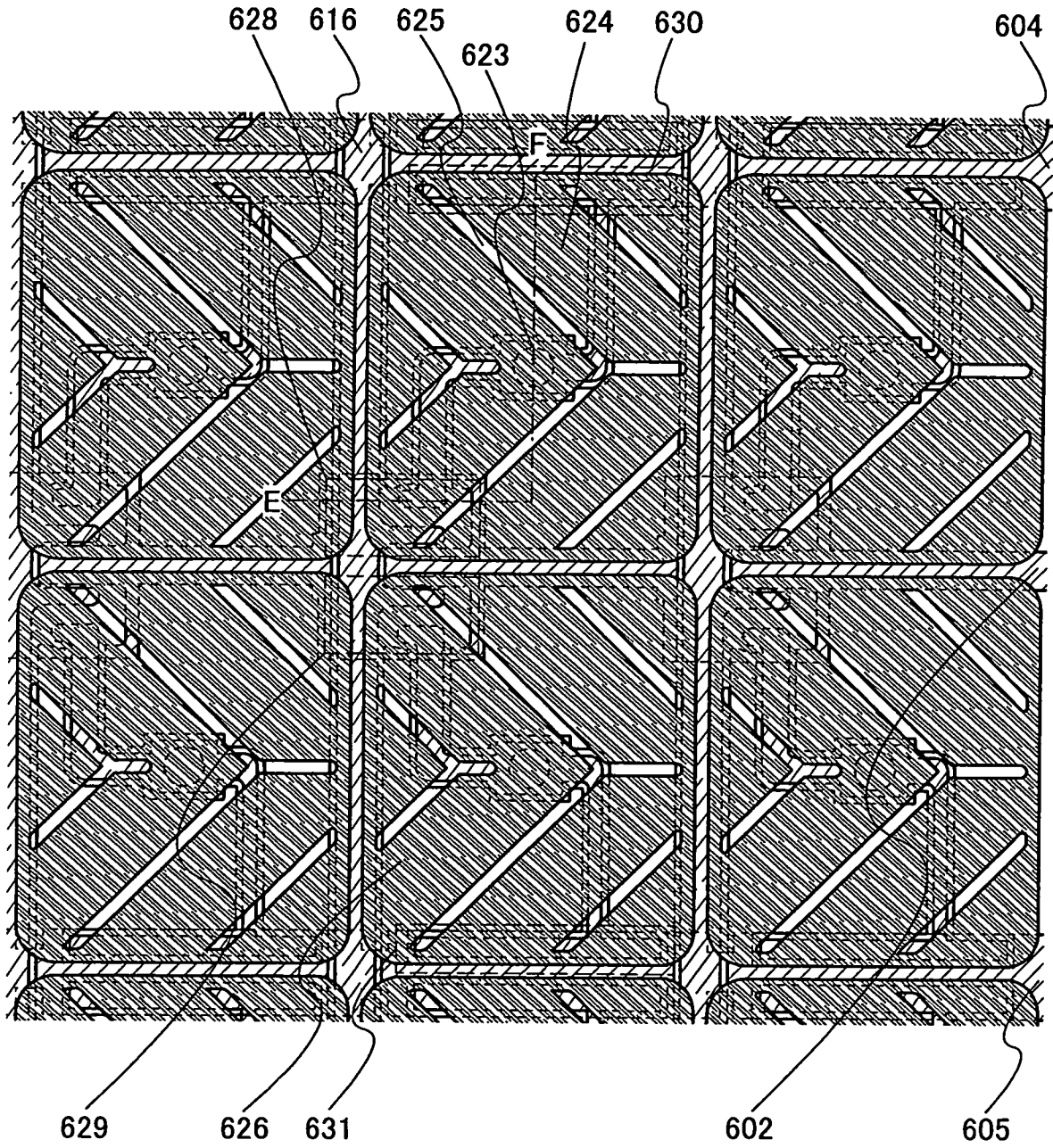


圖 24

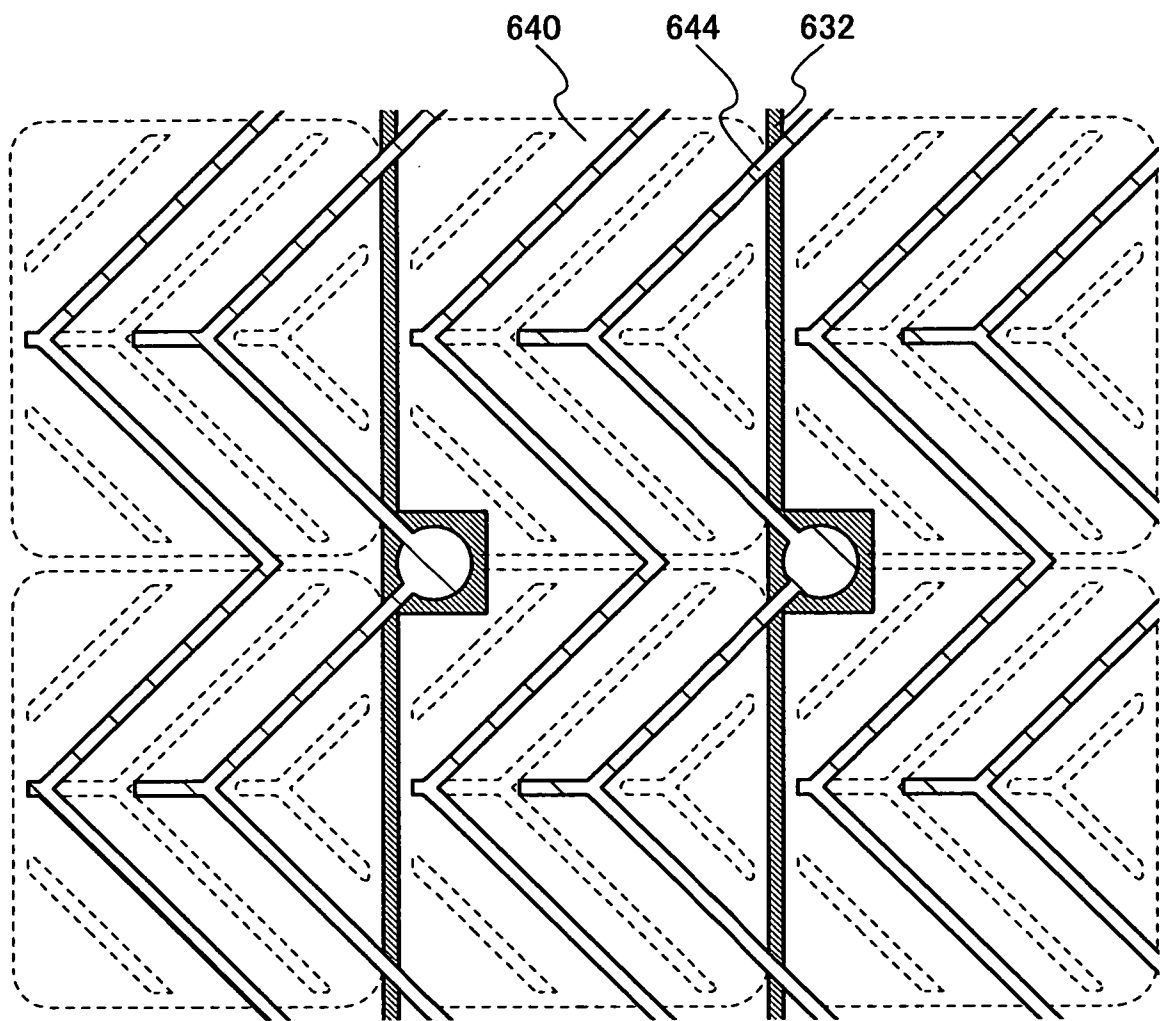


圖 25

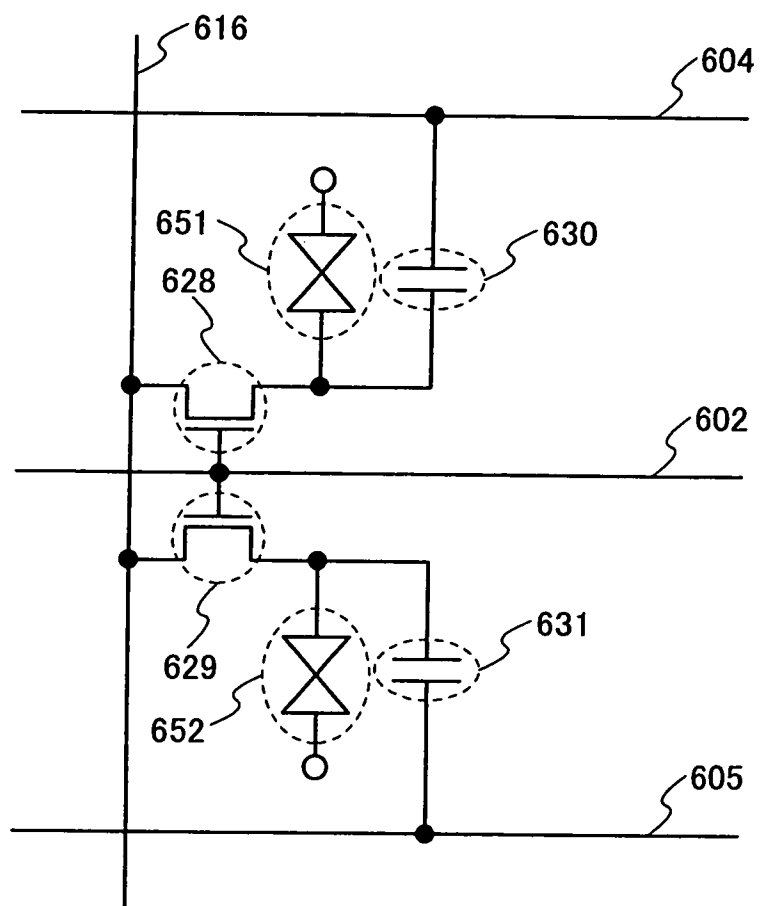


圖26

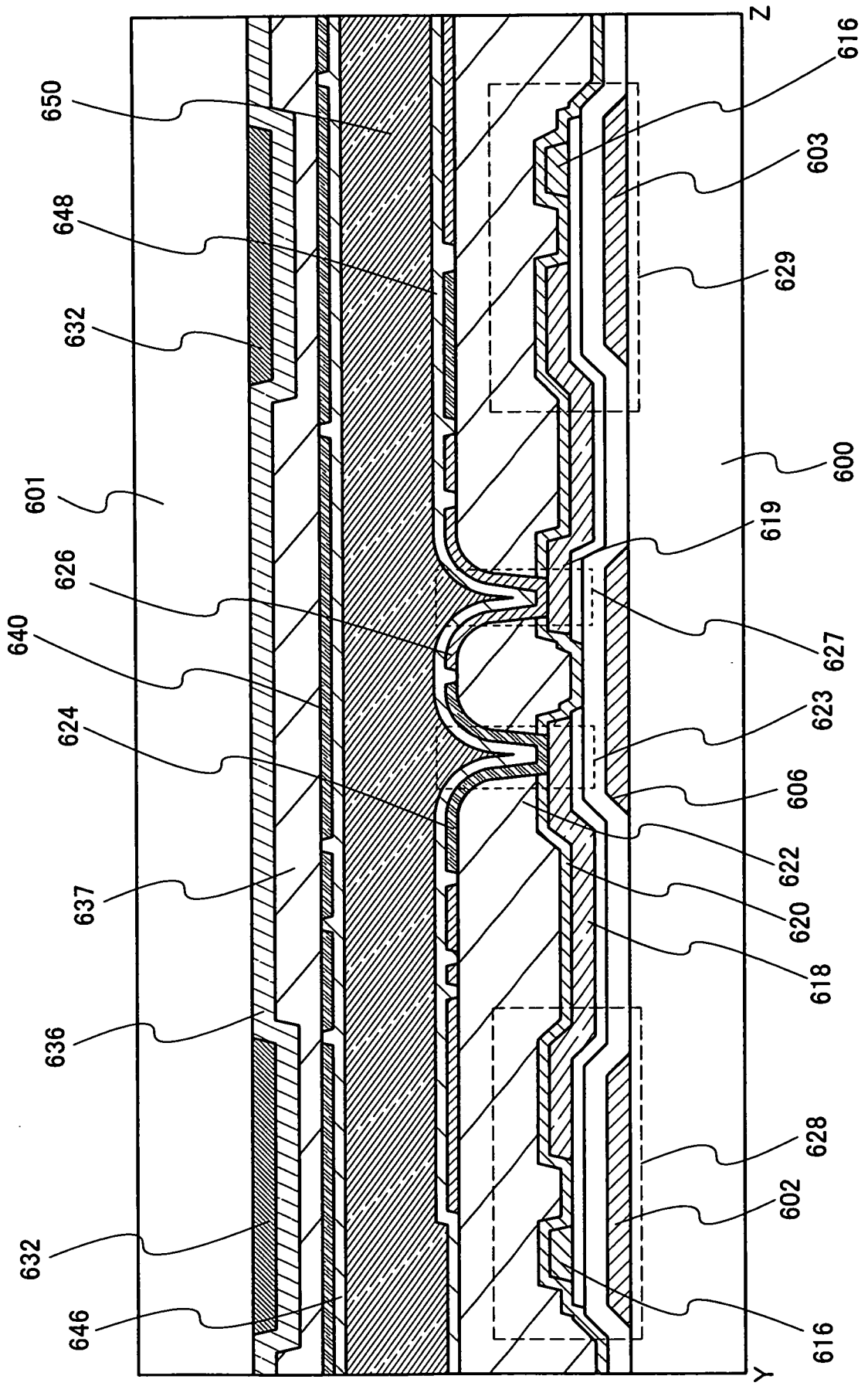


圖 27

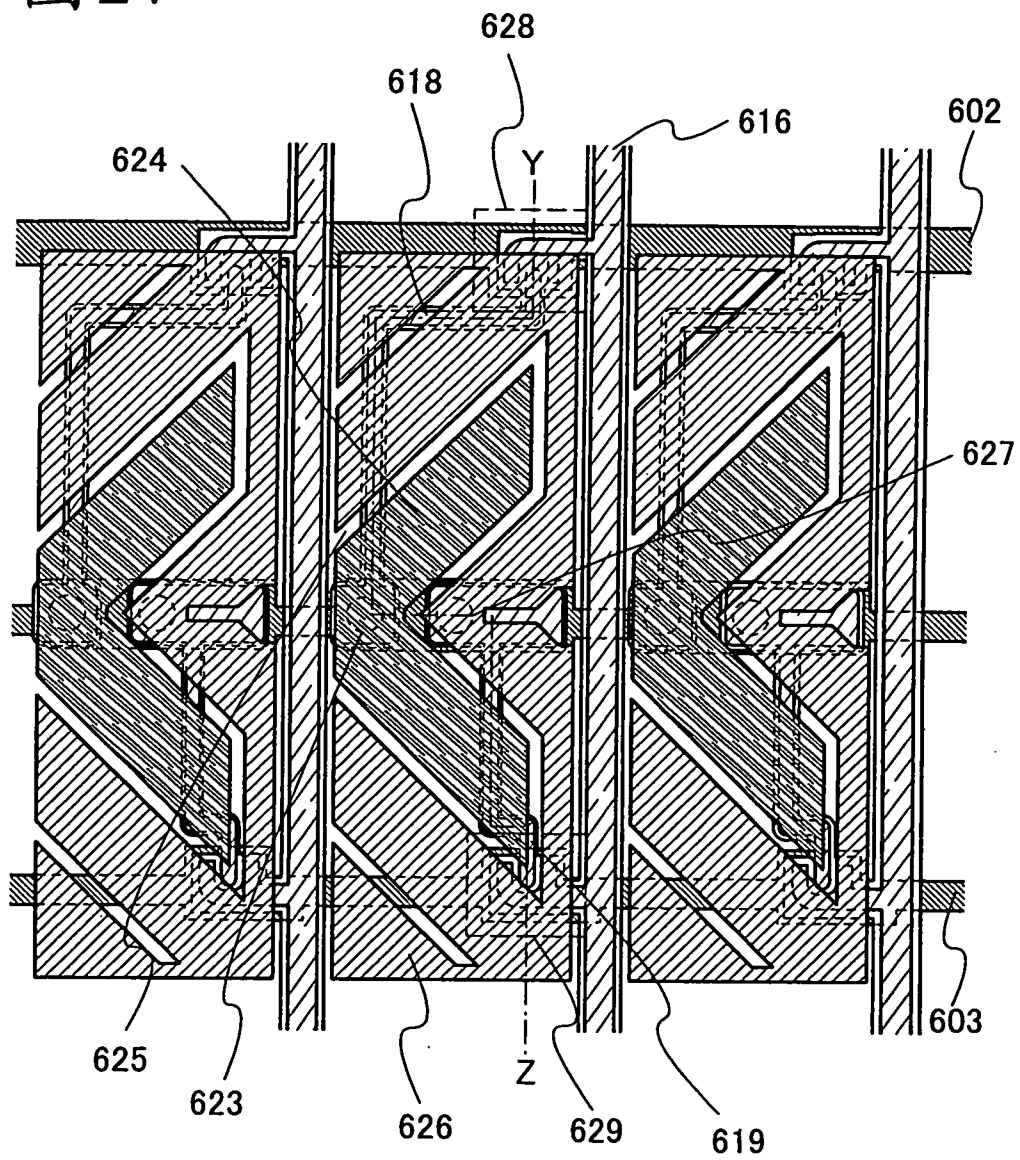


圖 28

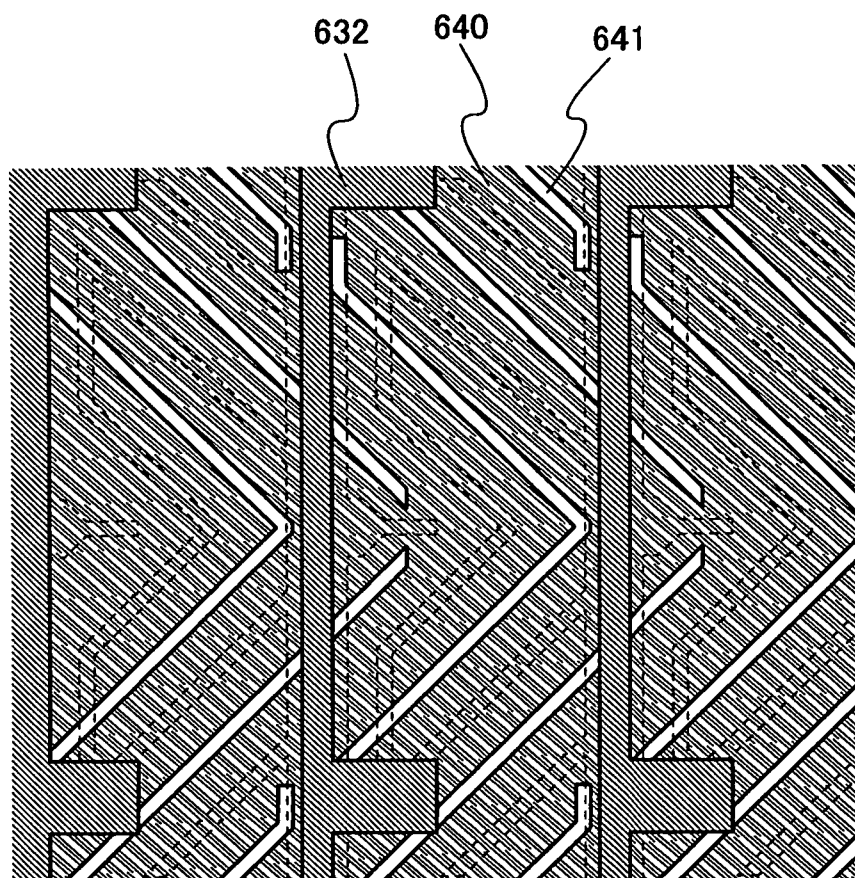


圖30

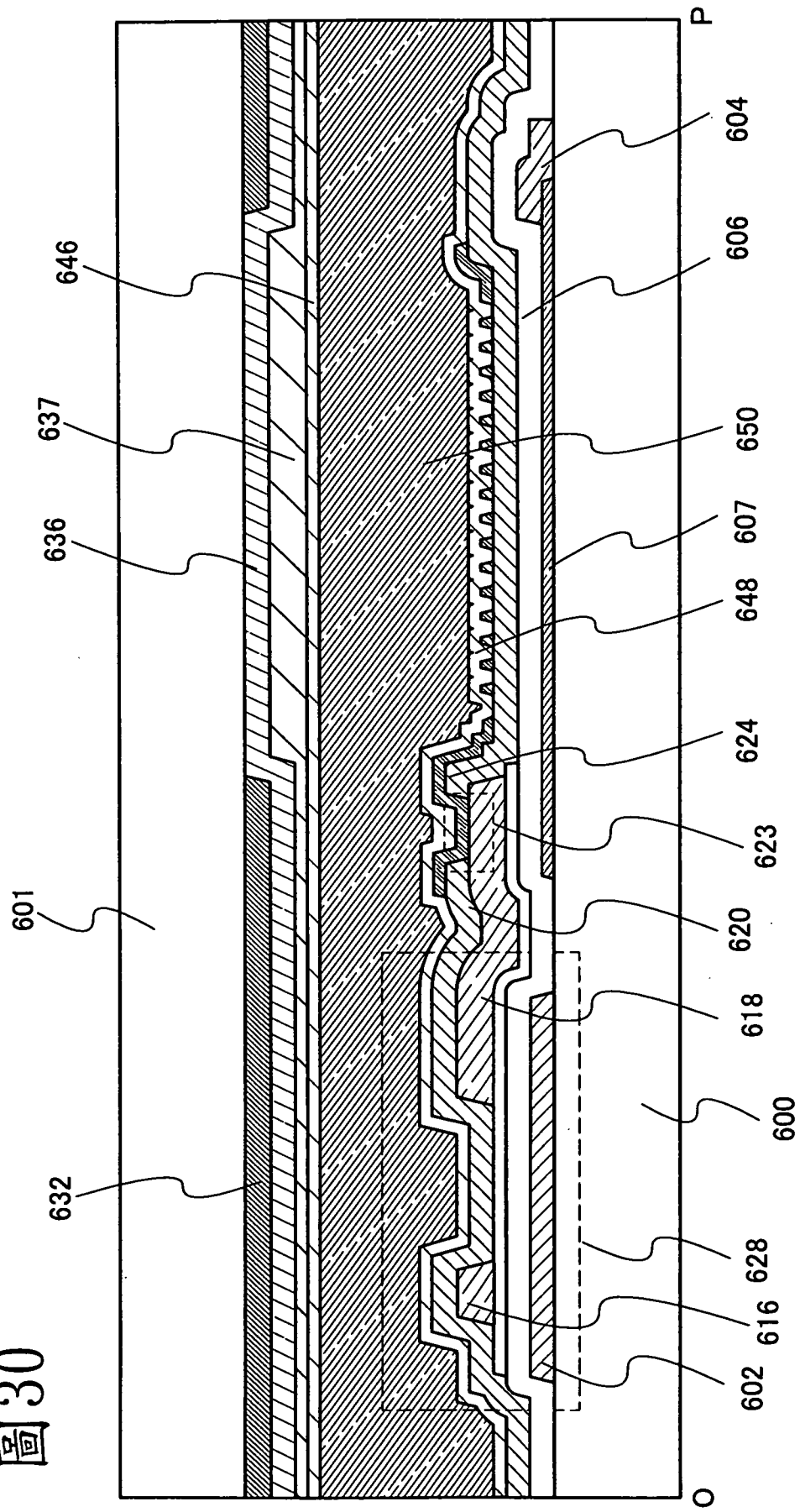


圖 31

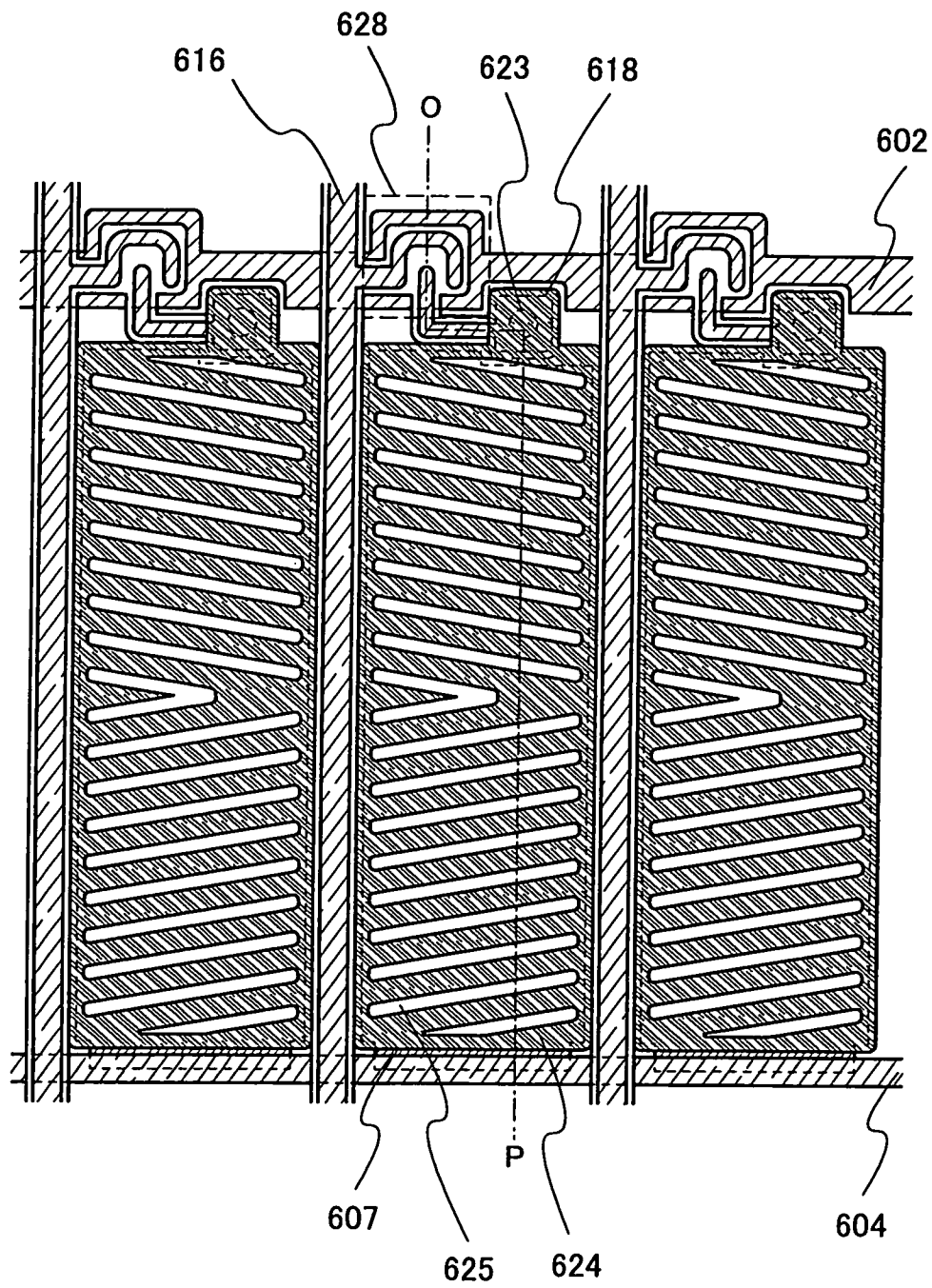


圖32

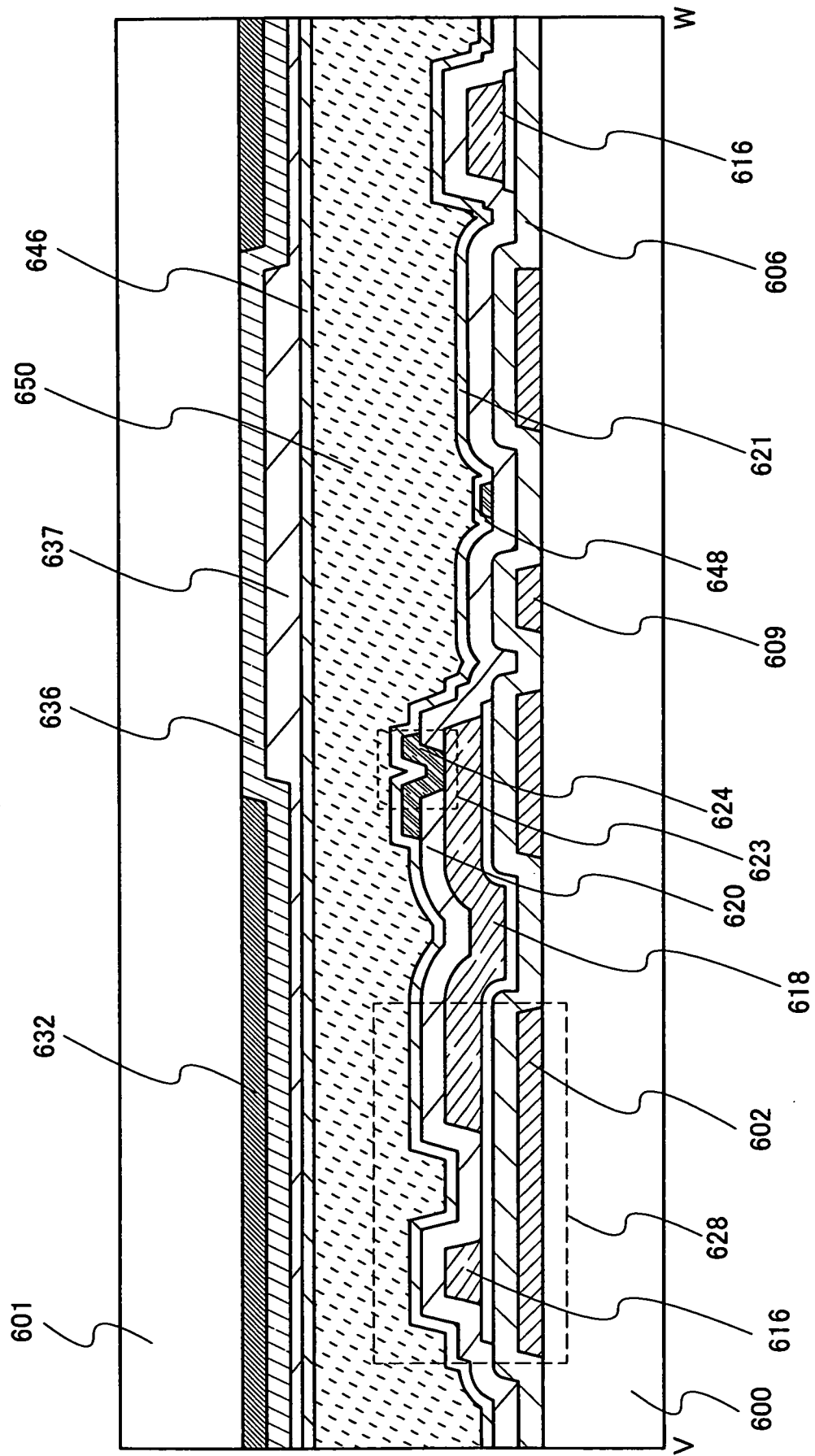


圖 33

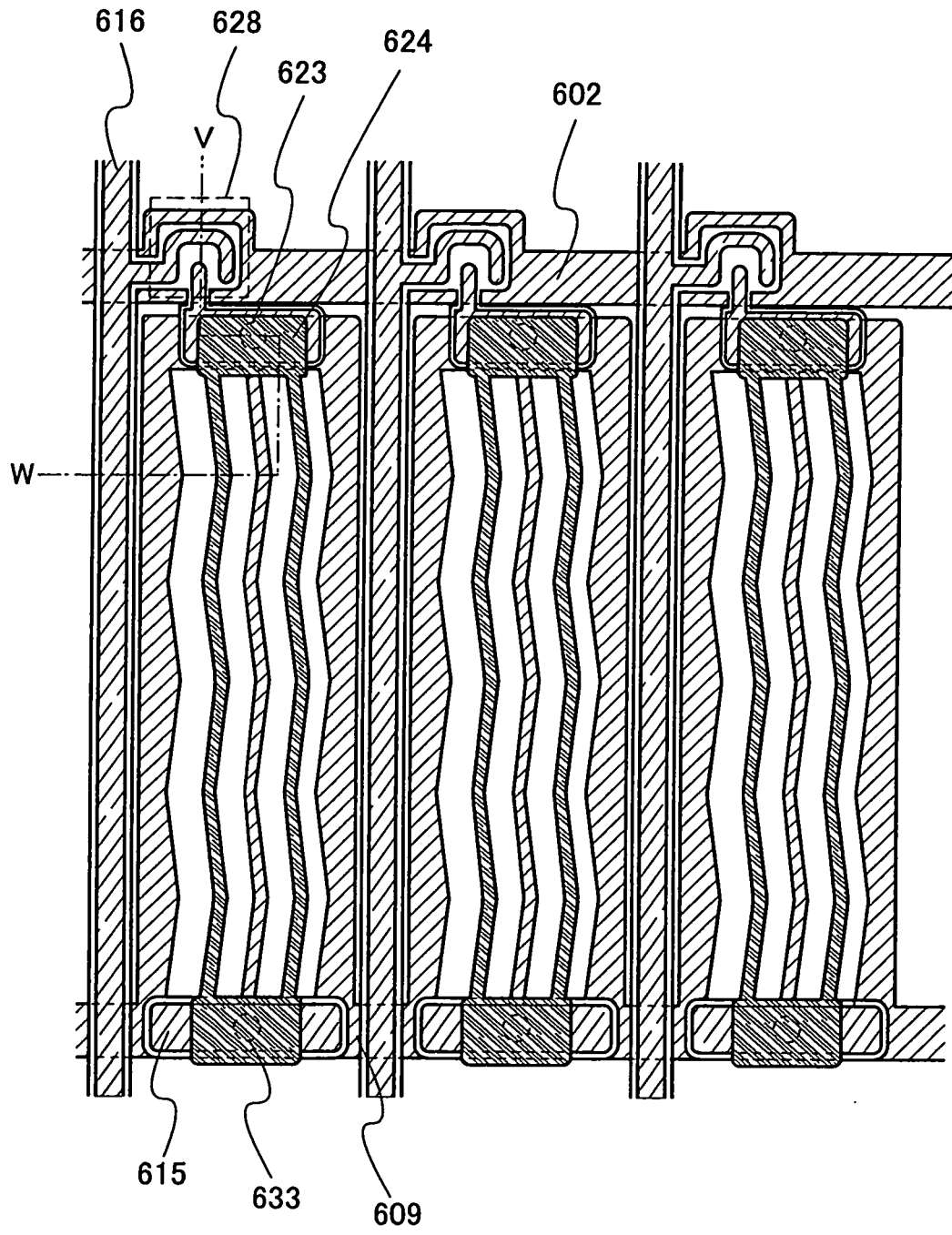


圖34

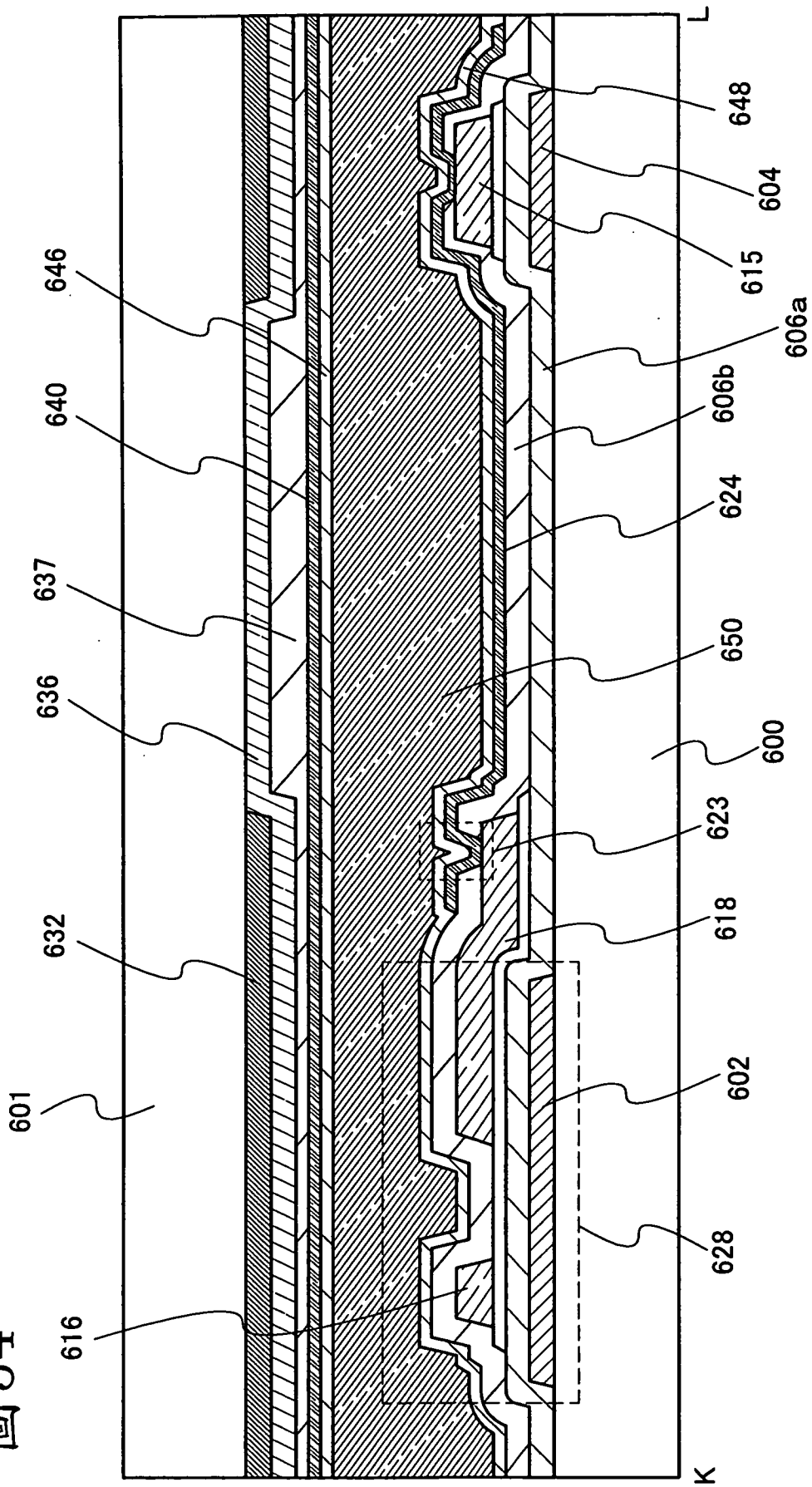


圖 35

