

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6280601号
(P6280601)

(45) 発行日 平成30年2月14日(2018.2.14)

(24) 登録日 平成30年1月26日(2018.1.26)

(51) Int. Cl. F 1
A 6 3 F 5/04 (2006.01)
 A 6 3 F 5/04 5 1 2 Z
 A 6 3 F 5/04 5 1 2 B

請求項の数 2 (全 66 頁)

(21) 出願番号	特願2016-164356 (P2016-164356)	(73) 特許権者	598098526 株式会社ユニバーサルエンターテインメント 東京都江東区有明三丁目7番26号 有明 フロンティアビルA棟
(22) 出願日	平成28年8月25日(2016.8.25)	(73) 特許権者	390031783 サミー株式会社 東京都豊島区東池袋三丁目1番1号 サン シャイン60
(62) 分割の表示	特願2013-126918 (P2013-126918) の分割	(74) 代理人	110001531 特許業務法人タス・マイスター国際特許事 務所
原出願日	平成25年6月17日(2013.6.17)	(72) 発明者	鈴木 雄一郎 東京都江東区有明三丁目7番26号
(65) 公開番号	特開2016-193361 (P2016-193361A)		
(43) 公開日	平成28年11月17日(2016.11.17)		
審査請求日	平成28年8月25日(2016.8.25)		

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技に係る所定の制御処理を行う第1の制御手段と、
 前記第1の制御手段からのコマンドに応じて当該第1の制御手段とは別の特定の制御を
 行い、前記第1の制御手段よりも高スペックである第2の制御手段と、

を備えた遊技機であって、

前記第1の制御手段から前記コマンドを第1の通信速度で受信するとともに、当該コマ
 ンドを含む通信データを前記第1の通信速度よりも速い第2の通信速度で送信する第1の
 通信手段と、

前記第1の通信手段から前記第2の通信速度で前記通信データを受信し、当該通信デー
 タを前記第2の通信速度で前記第2の制御手段へと送信する第2の通信手段と、

を備え、

前記第1の通信手段は、前記通信データを二相位相偏移変調方式により変調し、当該通
 信データを前記第2の通信手段へと送信する変調手段を有し、

前記第2の通信手段は、前記変調手段により変調された前記通信データを前記二相位相
 偏移変調方式により復調し、当該通信データを前記第2の制御手段へと送信する復調手
 段を有し、

前記変調手段は、同期用のクロック信号と前記通信データとの排他的論理和より変調さ
 れた前記通信データを生成するとともに、前記第2の通信手段に出力し、

前記復調手段は、前記第1の通信手段から出力された前記通信データを前記同期用のク

10

20

ロック信号と変調された前記通信データとの排他的論理和により復調された前記通信データを生成するとともに、前記第2の制御手段に送信し、

前記第2の制御手段は、

前記第1の通信手段及び前記第2の通信手段が受信を行う際に前記第1の通信速度及び前記第2の通信速度に基づいて設定された受信時間に応じて検出される通信エラーを、前記通信データの受信に際して検出する通信エラー検出手段を有し、

前記第2の通信手段から前記第2の制御手段が受信した前記通信データは、前記第1の制御手段から送信された前記コマンドと、前記第1の制御手段と前記第1の通信手段との間で発生する通信エラー情報と、前記第1の通信手段と前記第2の通信手段との間で発生する通信エラー情報とを含んで構成されていることを特徴とする遊技機。

10

【請求項2】

前記第2の通信手段は、前記第2の制御手段が受信する前記通信データと同じ構成の通信データを前記第1の通信手段から受信し、

前記第1の通信手段から受信する前記通信データに含まれる前記第1の通信手段と前記第2の通信手段との間で発生する通信エラー情報には、所定の固定値が割り当てられていることを特徴とする請求項1に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばパチスロあるいはパチンコといった遊技機に関する。

20

【背景技術】

【0002】

従来、複数の図柄がそれぞれの表面に配された複数のリールと、遊技メダルやコイン等（以下、「メダル等」という）が投入され、遊技者によりスタートレバーが操作されたことを検出し、複数のリールの回転の開始を要求するスタートスイッチと、複数のリールのそれぞれに対応して設けられたストップボタンが遊技者により押されたことを検出し、該当するリールの回転の停止を要求する信号を出力するストップスイッチと、複数のリールのそれぞれに対応して設けられ、それぞれの駆動力を各リールに伝達するステッピングモータと、スタートスイッチおよびストップスイッチにより出力された信号に基づいて、ステッピングモータの動作を制御し、各リールの回転およびその停止を行うリール制御部とを備え、スタートレバーが操作されたことを検出すると、乱数値に基づいて抽籤を行い、この抽籤の結果（以下、「内部当籤役」という）とストップボタンが操作されたことを検出したタイミングとに基づいてリールの回転の停止を行う、いわゆるパチスロと称される遊技機が知られている。

30

【0003】

この種の遊技機は、リール等を収容するキャビネットと、このキャビネットに対して開閉可能に取り付けられるフロントドアとを備えている。キャビネットに収容されたリールは、フロントドアに設けられた表示窓を介して遊技者に視認される。キャビネットには、主制御回路を構成する主制御基板（主基板）が配設されている。主制御回路は、例えば、プログラム上で乱数を用いて行われる内部当籤役の決定、複数のリールの回転及び停止、複数のリールを停止したときに表示窓に表示された図柄に基づく入賞の有無の判定などの遊技機における遊技の主な流れを制御する。一方、フロントドアには、副制御回路を構成する副制御基板（副基板）が配設されている。副制御回路は、音や映像の表示等による演出の実行を制御する。この演出は、例えば、遊技者によるスタートレバーの操作や、主制御回路により決定された内部当籤役などに基づいて副制御回路によって決定される。このようにして実行される演出の中には、例えば、AT（アシストタイム）又はART（アシストタイムとリプレイタイムを兼ねる特典）に係る遊技者に有利となる情報を報知するものがある。

40

【0004】

このような遊技機として、例えば特許文献1には、メイン基板（主制御回路）からサブ

50

基板（副制御回路）へのコマンド送信を暗号化することにより、いわゆる通信ゴトといった不正行為を防止するものが提示されている。

【0005】

ところで、この種の遊技機におけるメイン基板とサブ基板との間では、例えばUART（Universal Asynchronous Receiver Transmitter）やSPI（Serial Peripheral Interface）といったインターフェース回路を介して一般的にシリアルデータをやり取りしている。

【先行技術文献】

【特許文献】

【0006】

10

【特許文献1】特開2005-21660号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記従来 of 遊技機において、UARTやSPIを介した通信では、ノイズや伝送レベルの揺らぎ等によりデータの誤りが発生しやすいので、正しくデータを受信できないおそれがあった。

【0008】

また、SPI等のシリアルバス通信を行うインターフェース回路では、データの同期をとるためのクロック信号線が必要となるので、メイン基板とサブ基板とを接続形態を簡素化しにくいという問題もある。

20

【0009】

本発明は、上記した事情のもとで創出されたものであり、データを正しく安定的に送受信することができるとともに、通信に係る接続形態を容易に簡素化することができる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、

遊技に係る所定の制御処理を行う第1の制御手段と、

前記第1の制御手段からのコマンドに応じて当該第1の制御手段とは別の特定の制御を行い、前記第1の制御手段よりも高スペックである第2の制御手段と、

30

を備えた遊技機であって、

前記第1の制御手段から前記コマンドを第1の通信速度で受信するとともに、当該コマンドを含む通信データを前記第1の通信速度よりも速い第2の通信速度で送信する第1の通信手段と、

前記第1の通信手段から前記第2の通信速度で前記通信データを受信し、当該通信データを前記第2の通信速度で前記第2の制御手段へと送信する第2の通信手段と、

を備え、

前記第1の通信手段は、前記通信データを二相位相偏移変調方式により変調し、当該通信データを前記第2の通信手段へと送信する変調手段を有し、

40

前記第2の通信手段は、前記変調手段により変調された前記通信データを前記二相位相偏移変調方式により復調し、当該通信データを前記第2の制御手段へと送信する復調手段を有し、

前記変調手段は、同期用のクロック信号と前記通信データとの排他的論理和より変調された前記通信データを生成するとともに、前記第2の通信手段に出力し、

前記復調手段は、前記第1の通信手段から出力された前記通信データを前記同期用のクロック信号と変調された前記通信データとの排他的論理和により復調された前記通信データを生成するとともに、前記第2の制御手段に送信し、

前記第2の制御手段は、

前記第1の通信手段及び前記第2の通信手段が受信を行う際に前記第1の通信速度及び

50

前記第2の通信速度に基づいて設定された受信時間に応じて検出される通信エラーを、前記通信データの受信に際して検出する通信エラー検出手段を有し、

前記第2の通信手段から前記第2の制御手段が受信した前記通信データは、前記第1の制御手段から送信された前記コマンドと、前記第1の制御手段と前記第1の通信手段との間で発生する通信エラー情報と、前記第1の通信手段と前記第2の通信手段との間で発生する通信エラー情報とを含んで構成されていることを特徴とする。

また、上記本発明において、前記第2の通信手段は、前記第2の制御手段が受信する前記通信データと同じ構成の通信データを前記第1の通信手段から受信し、

前記第1の通信手段から受信する前記通信データに含まれる前記第1の通信手段と前記第2の通信手段との間で発生する通信エラー情報には、所定の固定値が割り当てられていることとしてもよい。

10

また、本発明は、

遊技に係る所定の制御処理を行う第1の制御処理手段と、

前記第1の制御処理手段からのコマンドに応じて当該第1の制御処理手段とは別の特定の制御処理を行う第2の制御処理手段と、

を備えた遊技機であって、

前記第1の制御処理手段から前記コマンドを受信するとともに、当該コマンドを含む通信データを送信する第1の通信手段と、

前記第1の通信手段から前記通信データを受信し、当該通信データを前記第2の制御処理手段へと送信する第2の通信手段と、

20

を備え、

前記第1の通信手段は、前記通信データを二相位相偏移変調方式により変調し、当該通信データを前記第2の通信手段へと送信する変調手段を有し、

前記第2の通信手段は、前記変調手段により変調された前記通信データを前記二相位相偏移変調方式により復調し、当該通信データを前記第2の制御処理手段へと送信する復調手段を有することを特徴としている。

【0011】

このような構成によれば、第1の制御処理手段から第1の通信手段へとコマンドが送信され、第1の通信手段から第2の通信手段へとコマンドを含む通信データが、二相位相偏移変調方式により変調された上で送信される。第2の通信手段では、第1の通信手段から受信した通信データが、二相位相偏移変調方式により復調された後、第2の制御処理手段へと送信される。これにより、本発明に係る遊技機では、二相位相偏移変調方式によりデータを正しく安定的に送受信することができる。また、二相位相偏移変調方式でやり取りされる通信データには、クロックレートを埋め込むことができるので、第1の制御処理手段と第2の制御処理手段との間にクロック信号線を設ける必要はなくなることから、通信に係る接続形態を容易に簡素化することができる。

30

【0012】

本発明の好ましい実施の形態としては、

前記第1の通信手段と前記第2の通信手段とは、光伝送路を介して通信を行うことを特徴としている。

40

【0013】

このような構成によれば、第1の通信手段と前記第2の通信手段との間でクロック信号を光学的に生成せずとも光伝送路を介してデータを送受信することができ、安価な光伝送路を用いて第1の通信手段と前記第2の通信手段とを接続することができる。

【発明の効果】

【0014】

本発明によれば、データを正しく安定的に送受信できるとともに、通信に係る接続形態を容易に簡素化することができる遊技機を提供することができる。

【図面の簡単な説明】

【0015】

50

- 【図 1】本発明の一実施形態に係る遊技機の外観を示す斜視図である。
- 【図 2】本発明の一実施形態に係る遊技機の内部構造を示す斜視図である。
- 【図 3】本発明の一実施形態に係る遊技機の主制御回路の構成を示すブロック図である。
- 【図 4】本発明の一実施形態に係る遊技機の副制御回路の構成を示すブロック図である。
- 【図 5】本発明の一実施形態に係る遊技機の通信 L S I の構成を示すブロック図である。
- 【図 6】本発明の一実施形態に係る遊技機の主基板と副基板との接続形態を示す模式図である。
- 【図 7】本発明の一実施形態に係る遊技機の通信 L S I における A E S 回路を示す模式図である。
- 【図 8】本発明の一実施形態に係る遊技機のデータの流れを示す説明図である。 10
- 【図 9】本発明の一実施形態に係る遊技機のデータの流れを示す説明図である。
- 【図 10】本発明の一実施形態に係る遊技機の図柄配置テーブル及び図柄コードを示す説明図である。
- 【図 11】本発明の一実施形態に係る遊技機の図柄組合せテーブルを示す説明図である。
- 【図 12】本発明の一実施形態に係る遊技機のボーナス作動時テーブルを示す説明図である。
- 【図 13】本発明の一実施形態に係る遊技機の一般遊技状態用内部抽籤テーブルを示す説明図である。
- 【図 14】本発明の一実施形態に係る遊技機の R B 作動中用内部抽籤テーブルを示す説明図である。 20
- 【図 15】本発明の一実施形態に係る遊技機の小役・リプレイ用内部当籤役決定テーブルを示す説明図である。
- 【図 16】本発明の一実施形態に係る遊技機のボーナス用内部当籤役決定テーブルを示す説明図である。
- 【図 17】本発明の一実施形態に係る遊技機の内部当籤役格納領域を示す説明図である。
- 【図 18】本発明の一実施形態に係る遊技機の持越役格納領域を示す説明図である。
- 【図 19】本発明の一実施形態に係る遊技機の作動中フラグ格納領域を示す説明図である。
- 【図 20】本発明の一実施形態に係る遊技機のメイン C P U の制御によるメインフローチャートを示す図である。 30
- 【図 21】本発明の一実施形態に係る遊技機のメイン C P U によるメダル受付・スタートチェック処理を示すフローチャートである。
- 【図 22】本発明の一実施形態に係る遊技機のメイン C P U による内部抽籤処理を示すフローチャートである。
- 【図 23】本発明の一実施形態に係る遊技機のメイン C P U によるリール停止制御処理を示すフローチャートである。
- 【図 24】本発明の一実施形態に係る遊技機のメイン C P U によるボーナス作動チェック処理を示すフローチャートである。
- 【図 25】本発明の一実施形態に係る遊技機のメイン C P U によるボーナス終了チェック処理を示すフローチャートである。 40
- 【図 26】本発明の一実施形態に係る遊技機のメイン C P U の制御による割込処理を示すフローチャートである。
- 【図 27】本発明の一実施形態に係る遊技機のサブ C P U による受信割込み処理を示すフローチャートである。
- 【図 28】本発明の一実施形態に係る遊技機のサブ C P U による主基板通信処理を示すフローチャートである。
- 【図 29】本発明の一実施形態に係る遊技機のサブ C P U による通信 L S I 受信データ解析処理を示すフローチャートである。
- 【図 30】本発明の一実施形態に係る遊技機のサブ C P U により行われる演出登録タスクを示すフローチャートである。 50

【図31】本発明の一実施形態に係る遊技機のサブCPUによる演出内容決定処理を示すフローチャートである。

【図32】本発明の一実施形態に係る遊技機のメニュー画面を示す概略図である。

【図33】本発明の一実施形態に係る遊技機のエラー情報履歴画面を示す概略図である。

【図34】本発明の一実施形態に係る遊技機に用いる受信コマンドのコード番号と種別とパラメータとを示す説明図である。

【図35】本発明の一実施形態に係る遊技機のサブRAMにおける通信ログ収集領域を示す説明図である。

【図36】本発明の一実施形態に係る遊技機のサブRAMにおける通信エラー保存領域を示す説明図である。

10

【図37】本発明の一実施形態に係る遊技機に用いる通信データのフレームを示す説明図である。

【図38】本発明の一実施形態に係る遊技機に用いる通信データのフレームを示す説明図である。

【図39】本発明の一実施形態に係る遊技機の通信データにおける受信ステータスを示す説明図である。

【図40】本発明の一実施形態に係る遊技機の通信データにおけるパケット種別を示す説明図である。

【図41】本発明の一実施形態に係る遊技機の通信データの流れを示す説明図である。

【図42】本発明の一実施形態に係る遊技機のサブRAMにおける領域イメージを示す説明図である。

20

【図43】本発明の一実施形態に係る遊技機のサブRAMにおけるエラー情報履歴格納領域及びエラーコードを示す説明図である。

【図44】本発明の一実施形態に係る遊技機の主基板通信LSIによるメイン制御シーケンスを示すフローチャートである。

【図45】本発明の一実施形態に係る遊技機の主基板通信LSIによる受信割込み処理を示すフローチャートである。

【図46】本発明の一実施形態に係る遊技機の主基板通信LSIによる初期設定処理を示すフローチャートである。

【図47】本発明の一実施形態に係る遊技機の主基板通信LSIによる受信処理を示すフローチャートである。

30

【図48】本発明の一実施形態に係る遊技機の主基板通信LSIによる送信処理を示すフローチャートである。

【図49】本発明の一実施形態に係る遊技機の副基板通信LSIによるメイン制御シーケンスを示すフローチャートである。

【図50】本発明の一実施形態に係る遊技機の副基板通信LSIによる受信割込み処理を示すフローチャートである。

【図51】本発明の一実施形態に係る遊技機の副基板通信LSIによる初期設定処理を示すフローチャートである。

【図52】本発明の一実施形態に係る遊技機の副基板通信LSIによる受信処理を示すフローチャートである。

40

【図53】本発明の一実施形態に係る遊技機の副基板通信LSIによる送信処理を示すフローチャートである。

【図54】本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す模式図である。

【図55】本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す模式図である。

【図56】本発明の他の実施形態に係る遊技機のデータの流れを示す説明図である。

【図57】本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す模式図である。

50

【図58】本発明の他の実施形態に係る遊技機のデータの流れを示す説明図である。

【図59】本発明の他の実施形態に係る遊技機の外観を示す斜視図である。

【図60】本発明の他の実施形態に係る遊技機の主制御回路及び副制御回路の構成を示すブロック図である。

【発明を実施するための形態】

【0016】

以下、本発明の好ましい実施の形態について、図面を参照して具体的に説明する。

【0017】

[遊技機の外観構成]

図1は、本発明の一実施形態に係る遊技機の外観を示す斜視図である。同図に示すように、本実施形態では、遊技機としてパチスロ1が適用される。パチスロ1の外装体2は、リールや回路基板等を収容するキャビネット2aと、キャビネット2aに対して開閉可能に取り付けられるフロントドア2bとを有している。キャビネット2aの両側面には、把手7が設けられている。この把手7は、パチスロ1を運搬するとき手をかける凹部である。

10

【0018】

キャビネット2aの内部には、3つのリール3L, 3C, 3Rが横並びに設けられている。各リール3L, 3C, 3Rについては、個別に説明する場合にそれぞれ左リール3L、中リール3C、右リール3Rと称する。各リール3L, 3C, 3Rは、円筒状に形成されたリール本体と、リール本体の周面に装着された透光性のシート材を有している。シート材の表面には、複数(例えば21個)の図柄が周方向に沿って所定の間隔をあけて描かれている。

20

【0019】

フロントドア2bの中央には、液晶表示装置10が設けられている。この液晶表示装置10は、液晶表示領域10Aと図柄表示領域4L, 4C, 4Rとを含む表示画面を備え、正面から見て3つのリール3L, 3C, 3Rに重畳する手前側に位置するように設けられている。本実施形態では、液晶表示領域10A及び図柄表示領域4L, 4C, 4Rを含めた表示画面の全体を使って、映像の表示が行われ、演出が実行される。

【0020】

図柄表示領域4L, 4C, 4Rは、3つのリール3L, 3C, 3Rのそれぞれに対応して設けられている。この図柄表示領域4L, 4C, 4Rは、表示窓としての機能を果たすものであり、その背後に設けられた各リール3L, 3C, 3Rを透過することが可能な構成になっている。図柄表示領域4L, 4C, 4Rについては、個別に説明する場合にそれぞれ左表示窓4L、中表示窓4C、右表示窓4Rと称する。

30

【0021】

表示窓4L, 4C, 4Rは、その背後に設けられたリール3L, 3C, 3Rの回転が停止されたとき、各リール3L, 3C, 3Rの複数種類の図柄のうち、その枠内における上段、中段及び下段の各領域にそれぞれ1個の図柄(合計で3個)を表示する。各表示窓4L, 4C, 4Rが有する上段、中段及び下段からなる3つの領域のうち予め定められたいずれかをそれぞれ組合せてなる擬似的なラインを、入賞か否かの判定を行う対象となるライン(入賞判定ライン)として定義する。

40

【0022】

本実施形態では、入賞判定ラインとしてセンターライン8が設けられている。センターライン8は、左表示窓4Lの中段、中表示窓4Cの中段、及び右表示窓4Rの中段の組合せからなる。

【0023】

液晶表示装置10の表示画面の下方には、7セグメントLEDからなる7セグ表示器6が設けられている。この7セグ表示器6は、特典として遊技者に対して払い出すメダルの枚数(以下、払出枚数)、パチスロ1の内部に預けられているメダルの枚数(以下、クレジット枚数)等の情報をデジタル表示する。

50

【0024】

フロントドア2bには、遊技者による操作の対象となる各種装置が設けられている。メダル投入口11は、遊技者によって外部から投下されるメダルを受け入れるために設けられる。メダル投入口11に受け入れられたメダルは、予め定められた規定数を上限として1回の遊技に投入されることとなり、規定数を越えた分は、パチスロ1の内部に預けることが可能となる(いわゆるクレジット機能)。

【0025】

メダル投入口11の左には、選択ボタン11A及び決定ボタン11Bが設けられている。遊技者や係員は、液晶表示領域10Aに表示されたメニュー画面等に対して選択ボタン11A及び決定ボタン11Bにより入力を行うことができる。

10

【0026】

最大BETボタン12は、パチスロ1の内部に預けられているメダルから1回の遊技に投入する最大枚数を決定するために設けられる。精算ボタン14は、パチスロ1の内部に預けられているメダルを外部に引き出すために設けられる。

【0027】

スタートレバー16は、全てのリール3L, 3C, 3Rの回転を開始するために設けられる。ストップボタン17L, 17C, 17Rは、3つのリール3L, 3C, 3Rのそれぞれに対応づけられ、対応するリールの回転を停止するために設けられる。ストップボタン17L, 17C, 17Rについては、個別に説明する場合にそれぞれ左ストップボタン17L、中ストップボタン17C、右ストップボタン17Rと称する。

20

【0028】

メダル払出口18は、後述のメダル払出装34の駆動により排出されるメダルを外部に導く。メダル払出口18から排出されたメダルは、メダル受皿19に貯められる。ランプ(LED等)20は、演出内容に応じた点消灯のパターンにて光を出力する。スピーカ用孔48, 49, 22L, 22Rは、演出内容に応じた効果音や楽曲等の音を出力するために設けられている。

【0029】

このパチスロ1には、フロントドア2bを閉じた状態でフロントドア2bをロック状態又はアンロック状態に切り替えるロック機構を備えている。このロック機構は、ドアキー穴11Cにドアキー110を挿入して、ドアキー110を回転することにより操作されるようになっている。

30

【0030】

ドアキー110がドアキー穴11Cに挿入され、例えば、右回転されることによりフロントドア2bが開閉可能になるとともに、左回転されることにより後述の主制御回路60(図3参照)等が電氣的にリセットされるようになっている。すなわち、ドアキー110は、ロック機構の操作の他に、パチスロ1を電氣的にリセットするリセット機能を有している。

【0031】

[遊技機の内部構造]

図2は、本発明の一実施形態に係る遊技機の内部構造を示す斜視図である。キャビネット2a内部の上側には、主制御回路60(図3参照)を構成する主制御基板6A(後述する主基板6A、図2において図示せず図6参照)が配設されている。主制御回路60は、内部当籤役の決定、リール3L, 3C, 3Rの回転及び停止、入賞の有無の判定といった、パチスロ1における遊技の主な流れを制御する回路である。主制御回路60の具体的な構成は後述する。

40

【0032】

キャビネット2aの内部の中央には、3つのリール3L, 3C, 3Rが設けられている。なお、図2では、各リール3L, 3C, 3Rからシート材を取り除いてリール本体を露出させた状態を示している。3つのリール3L, 3C, 3Rには、所定の減速比をもったギアを介してステッピングモータ50L, 50C, 50R(図3参照)が接続されている

50

【 0 0 3 3 】

キャビネット 2 a 内部を正面から見て、右リール 3 R の右側には、設定用鍵型スイッチ及び外部集中端子板（図示せず）が配設されている。設定用鍵型スイッチは、パチスロ 1 の設定を変更もしくは確認を行うときに設定キーを用いて使用する。外部集中端子板は、キャビネット 2 a の側板に取り付けられている。この外部集中端子板は、メダル投入信号、メダル払出信号及びセキュリティ信号などの信号をパチスロ 1 の外部へ出力するために設けられている。

【 0 0 3 4 】

キャビネット 2 a の内部の下方には、多量のメダルを収容可能で、それらを 1 枚ずつ排出可能な構造を有するメダル払出装置（以下、ホッパー装置）3 4 が設けられている。このホッパー装置 3 4 は、貯留されたメダルが例えば 5 0 枚を超えたとき、又は精算ボタンが押圧されてメダルの精算を行うときに、メダルを払い出す。ホッパー装置 3 4 によって払い出されたメダルは、メダル払出口 1 8（図 2 参照）から排出される。

10

【 0 0 3 5 】

キャビネット 2 a 内部を正面から見て、ホッパー装置 3 4 の右側には、ホッパー装置 3 4 から溢れ出たメダルを収納するメダル補助庫 3 5 が配設されている。また、キャビネット 2 a 内部を正面から見て、ホッパー装置 3 4 の左側には、パチスロ 1 が有する各装置に対して必要な電力を供給するための電源装置 3 6 が設けられている。また、ホッパー装置 3 4 と 3 つのリール 3 L , 3 C , 3 R との間には、サブスピーカ 3 7 が配設されている。

20

【 0 0 3 6 】

フロントドア 2 b の裏面における上側には、副制御基板 7 A（後述する副基板 7 A、図 2 において図示せず図 6 参照）を収容する副制御基板ケース 4 2 が配設されている。副制御基板 7 A は、副制御基板ケース 4 2 を介してキャビネット 2 a の内部の主制御基板 6 A に対向している。この副制御基板 7 A は、副制御回路 7 0（図 3 及び図 4 参照）を構成する。副制御基板 7 A は、主制御基板 6 A と光ファイバケーブル（図示せず）を介して接続されている。副制御回路 7 0 は、映像の表示等による演出の実行を制御する回路である。副制御回路 7 0 の具体的な構成は後述する。

【 0 0 3 7 】

フロントドア 2 b の裏面側の適部には、LED 基板 4 5 A , 4 5 B , 4 5 C やサウンド I / O 基板 4 6 が配設されている。LED 基板 4 5 A , 4 5 B , 4 5 C は、副制御回路 7 0 の制御により実行される演出に応じて、ランプ（LED 等）2 0 による点滅パターンを表示制御する。サウンド I / O 基板 4 6 は、後述するスピーカ 4 8 L , 4 8 R , 4 9 L , 4 9 R（4 8 , 4 9）への音声の出力を行う。

30

【 0 0 3 8 】

サウンド I / O 基板 4 6 の下側には、遊技動作表示基板（図示せず）が配設されている。この遊技動作表示基板は、メダルの投入を受け付けるとき、3 つのリール 3 L , 3 C , 3 R が回動可能なとき及び再遊技を行うときに、投入されたメダルの枚数を 7 セグ表示器 6 に表示させるための基板である。

【 0 0 3 9 】

サウンド I / O 基板 4 6 の左側及び右側には、上部スピーカ 4 8 L , 4 8 R（4 8）が配設されている。そして、フロントドア 2 b の裏面における下側には、下部スピーカ 4 9 L , 4 9 R（4 9）が配設されている。上部スピーカ 4 8 L , 4 8 R は、それぞれスピーカ用孔 4 8 , 4 9 に対向しており、下部スピーカ 4 9 L , 4 9 R は、それぞれスピーカ用孔 2 2 L , 2 2 R に対向している。

40

【 0 0 4 0 】

上部スピーカ 4 8 R と下部スピーカ 4 9 R との間には、セレクトア 5 1 と、ドア開閉監視スイッチ 5 2 が配設されている。セレクトア 5 1 は、メダルの材質や形状等が適正であるか否かを選別する装置であり、メダル投入口 1 1 に受け入れられた適正なメダルをホッパー装置 3 4 へ案内する。セレクトア 5 1 内においてメダルが通過する経路上には、適正なメダ

50

ルが通過したことを検出するメダルセンサ（図示せず）が設けられている。

【 0 0 4 1 】

ドア開閉監視スイッチ 5 2 は、フロントドア 2 b を裏面側から見て、セレクタ 5 1 の左側に配置されている。このドア開閉監視スイッチ 5 2 は、パチスロ 1 の外部へ、フロントドア 2 b の開閉を報知するためのセキュリティ信号を出力する。

【 0 0 4 2 】

フロントドア 2 b を裏面側から見て、セレクタ 5 1 の右側には、ドア中継基板 5 3 が配設されている。このドア中継基板 5 3 は、主制御基板 6 A と、各種のボタンやスイッチ、副制御基板 7 A、遊技動作表示基板、及びセレクタ 5 1 との配線の中継する基板である。なお、各種のボタン及びスイッチとしては、例えば、最大 B E T ボタン 1 2、精算ボタン（C / P ボタン）1 4、ドア開閉監視スイッチ 5 2、後述する最大 B E T スイッチ 1 3 S 及びスタートスイッチ 6 S 等を挙げることができる。

10

【 0 0 4 3 】

ドア中継基板 5 3 の下側には、2 4 h ドア開閉監視ユニット（図示せず）が配設されている。この 2 4 h ドア開閉監視ユニットは、フロントドア 2 b の開閉の履歴を保存する。また、フロントドア 2 b を開放したとき、又はセレクタ 5 1 を取り外したときに、液晶表示装置 1 0 にエラー表示を行うための信号を副制御基板 7 A（副制御回路 7 0）に出力する。

【 0 0 4 4 】

次に、図 3 ~ 9 を参照して、パチスロ 1 の電気的な構成及び通信機能に係る構成について説明する。図 3 は、主制御回路の構成を示すブロック図である。図 4 は、副制御回路の構成を示すブロック図である。図 5 は、通信 L S I の構成を示すブロック図である。図 6 は、主基板と副基板との接続形態を示す模式図である。図 7 は、通信 L S I における A E S 回路を示す模式図である。図 8 及び図 9 は、データの流れを示す説明図である。

20

【 0 0 4 5 】

[主制御回路の構成]

主制御回路 6 0 は、内部当籤役の決定やリールの回転制御等一連の遊技の進行を制御する。主制御回路 6 0 は、主基板 6（図 6 参照）上に配置されたマイクロコンピュータ 6 0 0 を主たる構成要素とし、これに乱数サンプリングのための回路を加えて構成されている。マイクロコンピュータ 6 0 0 は、メイン C P U 6 0 1、メイン R O M 6 0 2、及びメイン R A M 6 0 3 により構成される。

30

【 0 0 4 6 】

メイン C P U 6 0 1 には、クロックパルス発生回路 6 0 4、分周器 6 0 5、乱数発生器 6 0 6、及びサンプリング回路 6 0 7 が接続されている。

【 0 0 4 7 】

メイン C P U 6 0 1 は、乱数値と後述する内部抽籤テーブルとに基づいて内部当籤役を決定し、当該内部当籤役と停止操作が検出されたタイミングとに基づいて、リール 3 L、3 C、3 R の回転を停止させる。メイン C P U 6 0 1 は、リール 3 L、3 C、3 R の回転を停止させた際に、図柄表示領域 4 L、4 C、4 R に表示された図柄の組合せに基づいて、役が成立したか否かを判別し、役が成立（入賞）している場合に、当該成立した役に応じてメダルを払い出す等の利益を遊技者に付与する。

40

【 0 0 4 8 】

クロックパルス発生回路 6 0 4 および分周器 6 0 5 は、基準クロックパルスを発生する。乱数発生器 6 0 6 は、「 0 」 ~ 「 6 5 5 3 5 」 の範囲の乱数を発生する。サンプリング回路 6 0 7 は、乱数発生器 6 0 6 により発生された乱数から 1 つの乱数値を抽出（サンプリング）する。

【 0 0 4 9 】

メイン C P U 6 0 1 は、抽出した乱数値を後述のメイン R A M 6 0 3 の乱数値記憶領域に記憶させる。そして、メイン C P U 6 0 1 は、遊技毎にメイン R A M 6 0 3 の乱数値記憶領域に記憶された乱数値に基づいて、後述の内部抽籤処理において内部当籤役の決定を

50

行う。

【0050】

なお、乱数サンプリングのための手段としては、マイクロコンピュータ600内で、すなわちメインCPU601の動作プログラム上で、乱数サンプリングを実行するようにしてもよい。その場合、乱数発生器606およびサンプリング回路607は省略可能である。あるいは、乱数サンプリング動作のバックアップ用として残しておくことも可能である。

【0051】

メインROM602には、メインCPU601の処理に係るプログラム、各種テーブル等が記憶されている。

10

【0052】

メインRAM603には、メインCPU601の処理により得られる種々の情報がセットされる。例えば、抽出した乱数値、遊技状態、内部当籤役、払出枚数、ボーナス持越状況、設定値等を特定する情報、各種カウンタおよびフラグがセットされる。これらの情報の一部は、コマンドとして副制御回路70に送信される。

【0053】

マイクロコンピュータ600からの制御信号により動作が制御される主要な周辺装置等としては、メダル払出装置(ホッパー装置)34、ステッピングモータ50L, 50C, 50R等がある。これらのアクチュエータとメインCPU601との間の信号の授受は、バス60Aを介して行われる。

20

【0054】

バス60Aには、メインCPU601から出力される制御信号を受けて、前述の各周辺装置等の動作を制御するための各回路が接続されている。各回路としては、モータ駆動回路39、表示部駆動回路340、及びホッパー駆動回路341がある。

【0055】

モータ駆動回路39は、ステッピングモータ50L, 50C, 50Rを駆動制御する。これにより、リール3L, 3C, 3Rの回転や停止が行われる。

【0056】

表示部駆動回路340は、7セグ表示器6を表示制御する。これにより、7セグ表示器6に払出枚数やクレジット枚数等が表示される。

30

【0057】

ホッパー駆動回路341は、ホッパー装置34を駆動制御する。これにより、ホッパー装置34に収容されたメダルの払い出しが行われる。

【0058】

また、バス60Aには、前述の各回路および各周辺装置等に制御信号を出力する契機となる入力信号を発生する各スイッチおよび各回路が接続されている。各スイッチおよび各回路としては、スタートスイッチ6S、ストップスイッチ7LS, 7CS, 7RS、最大BETスイッチ13S、精算スイッチ(C/Pスイッチ)14S、メダルセンサ22S、リール位置検出回路50、払出完了信号回路342がある。なお、ストップスイッチ7LS, 7CS, 7RSを総称してストップスイッチ7Sと称する。

40

【0059】

スタートスイッチ6Sは、スタートレバー16に対する遊技者の開始操作を検出し、遊技の開始を指令する開始信号をマイクロコンピュータ600に出力する。

【0060】

ストップスイッチ7LS, 7CS, 7RSは、それぞれストップボタン7L, 7C, 7Rに対する遊技者の停止操作を検出し、検出したストップボタン7L, 7C, 7Rに対応するリール3L, 3C, 3Rの回転の停止を指令する停止信号をマイクロコンピュータ600に出力する。

【0061】

最大BETスイッチ13Sは、最大BETボタン12に対する遊技者の投入操作(押下

50

操作)を検出し、クレジットされたメダルからのメダルの投入を指令する信号をマイクロコンピュータ600に出力する。

【0062】

精算スイッチ14Sは、精算ボタン14に対する遊技者の切り替え操作を検出し、クレジットモードまたは払出モードを切り替えるための信号をマイクロコンピュータ600に出力する。また、クレジットモードから払出モードに切り替えられた場合、パチスロ1にクレジットされているメダルの払い出しを指令する信号をマイクロコンピュータ600に出力する。

【0063】

メダルセンサ22Sは、遊技者の投入操作によりメダル投入口11に投入されたメダルを検出し、メダルが投入されたことを示す信号をマイクロコンピュータ600に出力する。

10

【0064】

リール位置検出回路50は、リール回転センサ(図示せず)からのパルス信号を検出し、各リール3L, 3C, 3R上の図柄の位置を検出するための信号を発生する。

【0065】

払出完了信号回路342は、メダル検出部34Sにより検出されたメダルの枚数(すなわちホッパー装置34から払い出されたメダルの枚数)が指定された枚数に達した際に、メダルの払い出しが完了したことを示すための信号を発生する。

【0066】

さらに、主制御回路60には、副制御回路70に対してコマンド等の情報を送信するための主基板通信LSI610が接続されている。主基板通信LSI610は、マイクロコンピュータ600とともに主制御回路60を構成する要素として主基板6A(図6参照)に搭載されている。主基板通信LSI610の出力ポートは、光伝送路としての光ファイバケーブル(図示せず)を介して副制御回路70に接続されている。マイクロコンピュータ600(メインCPU601)は、主基板通信LSI610を通じて各種のコマンド等を副制御回路70に送信する。なお、本実施形態のメインCPU601には、UART601Aが内蔵されており、メインCPU601は、UART601Aを通じて主基板通信LSI610に情報を送信可能とされる(図6参照)。このような主基板通信LSI610やUART601Aの詳細については、後述する。

20

【0067】

副制御回路70は、後述するスタートコマンド等を含む主制御回路60から送信された各種のコマンドに基づいて演出データの決定や実行等の各種の処理を行う。副制御回路70が主制御回路60へコマンドや情報等を送信することはなく、主制御回路60から副制御回路70に向けて単方向(片方向)で通信が行われる。

30

【0068】

副制御回路70からの制御信号により動作が制御される主要な周辺装置等としては、液晶表示領域10Aに画像を表示させる表示手段としての液晶表示装置10、スピーカ48, 49、及びランプ20等がある。副制御回路70は、決定した演出データに基づいて、液晶表示装置10に表示される画像の決定とその表示、各種のランプ20の発光パターンの決定と出力、スピーカ48, 49から出力する演出音や効果音の決定と出力等の制御を行う。この副制御回路70の詳細については、後述する。

40

【0069】

パチスロ1では、メダルの投入を条件に、遊技者のスタートレバー16に対する操作によって、スタートスイッチ6Sから遊技を開始する信号が出力されると、モータ駆動回路39に制御信号が出力され、ステッピングモータ50L, 50C, 50Rの駆動制御(例えば、各相への励磁等)によりリール3L, 3C, 3Rの回転が開始される。この際、ステッピングモータ50L, 50C, 50Rに出力されるパルスの数が計数され、その計数値は、パルスカウンタとしてメインRAM603の所定の領域にセットされる。パチスロ1では、「16」のパルスが出力されると、リール3L, 3C, 3Rが図柄1つ分移動す

50

る。移動した図柄の数は計数され、その計数値は、図柄カウンタとしてメインRAM 603の所定の領域にセットされる。つまり、パルスカウンタにより「16」のパルスが計数されるごとに、図柄カウンタが「1」ずつ更新される。なお、図柄カウンタの値が示す図柄位置の図柄（図10参照）がセンターライン8上に位置している図柄に対応する。例えば、左リール3Lの図柄カウンタが「0」である場合には、図10(a)に示す図柄配置テーブルの図柄位置「0」のベルがセンターライン8上に位置している。

【0070】

また、リール3L, 3C, 3Rからは、1回転毎にリールインデックスが得られ、リールインデックスは、リール位置検出回路50を介してメインCPU 601に出力される。リールインデックスの出力により、メインRAM 603にセットされているパルスカウンタや図柄カウンタが「0」にクリアされる。このようにして、各リール3L, 3C, 3Rについて1回転の範囲内における図柄位置が特定される。なお、リールの回転により各図柄が1図柄分移動する距離を1コマという。すなわち、図柄が1コマ移動することは、図柄カウンタが「1」更新されることに対応する。

10

【0071】

リール3L, 3C, 3Rの回転位置とリール外周面上に描かれた図柄とを対応付けるために、メインROM 602には、図柄配置テーブル（図10(a)参照）が記憶されている。この図柄配置テーブルは、前述のリールインデックスが出力される位置を基準として、各リール3L, 3C, 3Rの一定の回転ピッチ毎に順次付与される、「00」から「20」までのコードナンバーと、それぞれのコードナンバー毎に対応して設けられた図柄の種類を識別する図柄コードとを対応付けている。

20

【0072】

また、スタートスイッチ6Sから開始信号が出力されると、乱数発生器606やサンプリング回路607により乱数値が抽出される。パチスロ1では、乱数値が抽出されると、メインRAM 603の乱数値記憶領域に記憶される。そして、乱数値記憶領域に記憶された乱数値に基づいて内部当籤役が決定される。

【0073】

リール3L, 3C, 3Rが定速回転に達した後、停止操作によりストップスイッチ7LS, 7CS, 7RSから停止信号が出力されると、出力された停止信号および決定された内部当籤役に基づいて、リール3L, 3C, 3Rを停止制御する制御信号がモータ駆動回路39に出力される。モータ駆動回路39は、ステッピングモータ50L, 50C, 50Rを駆動制御し、リール3L, 3C, 3Rの回転を停止させる。

30

【0074】

メインCPU 601は、停止操作が行われた時点から内部当籤役の成立に係る図柄を最大滑りコマ数分、すなわち、4コマ分引き込んでリール3L, 3C, 3Rの回転を停止させる。具体的に、メインCPU 601は、ストップスイッチ7LS, 7CS, 7RSにより停止操作の検出が行われた後、4コマ以内に内部当籤役の成立に係る図柄が存在するかどうかを判別し、4コマ以内に内部当籤役の成立に係る図柄が存在する場合には、当該図柄を有効ライン上に停止表示されるように滑りコマ数を決定し、該当するリールを停止させる。また、メインCPU 601は、内部当籤役として複数の役を決定した場合において、4コマ以内に内部当籤役の成立に係る図柄が複数存在する場合には、より優先順位の高い内部当籤役に係る図柄を有効ライン上に停止表示させるように滑りコマ数を決定する。

40

【0075】

なお、基本的には、優先順位1位（優先度が最も高い）は、リプレイに係る図柄の組合せであり、優先順位2位は、小役に係る図柄の組合せである。次いで、優先順位3位は、ボーナスに係る図柄の組合せである。また、ストップスイッチ7LS, 7CS, 7RSにより停止操作の検出された際、該当するリール3L, 3C, 3Rの図柄カウンタに対応する図柄位置、すなわち、リール3L, 3C, 3Rの回転の停止が開始される図柄位置を「停止開始位置」といい、当該停止開始位置に決定した滑りコマ数（数値範囲「0」～「4」）を加算した図柄位置、すなわち、リール3L, 3C, 3Rの回転を停止させる図柄位置

50

を「停止予定位置」という。滑りコマ数は、ストップスイッチ7LS, 7CS, 7RSにより停止操作が検出されてから対応するリール3L, 3C, 3Rの回転が停止するまでのリール3L, 3C, 3Rの回転量であり、本実施形態においては、例えば最大滑りコマ数を「4」と規定している。

【0076】

全てのリール3L, 3C, 3Rの回転が停止すると、メインCPU601は、センターライン8を含む有効ライン上に表示された図柄の組合せに基づいて表示役の検索処理、すなわち役の成立・不成立の判定処理を行う。表示役の検索は、メインROM602に記憶された後述の図柄組合せテーブル(図11参照)に基づいて行われる。この図柄組合せテーブルでは、表示役に係る図柄の組合せと、対応する配当とが設定されている。

10

【0077】

表示役の検索により、入賞に係る図柄の組合せが表示されたと判別されると、ホッパー駆動回路341に制御信号が出力され、ホッパー装置34の駆動によりメダルの払い出しが行われる。この際、メダル検出部34Sは、ホッパー装置34から払い出されるメダルの枚数を計数し、その計数値が指定された数に達すると、払出完了信号回路342によりメダル払い出しの完了を示す信号が出力される。これにより、ホッパー駆動回路341に制御信号が出力され、ホッパー装置34の駆動が停止される。

【0078】

なお、精算スイッチ14Sにより、クレジットモードに切り替えられている場合には、入賞に係る図柄の組合せが表示されたと判別されると、入賞に係る図柄の組合せに応じた払出枚数をメインRAM603のクレジットカウンタに加算する。また、副制御回路70には、払い出されたメダルの枚数に関する情報が送信され、これに基づいて液晶表示装置10の液晶表示領域10Aには、メダルの払出枚数および更新されたクレジット枚数が表示される。ここで、入賞に係る図柄の組合せが表示された場合に行われる、メダルの払い出し又はクレジットを総称して単に「払い出し」という場合がある。

20

【0079】**[副制御回路の構成]**

副制御回路70は、映像、音、光等を用いた遊技に関する演出を行うための制御を行う。副制御回路70は、主制御回路60から送信される各種のコマンド等に基づいて、演出データを決定して各種演出処理を行う。副制御回路70は、処理手段としてのサブCPU701、サブROM702、記憶手段としてのサブRAM703、レンダリングプロセッサ704、描画用RAM705(フレームバッファ706を含む)、ドライバ707、DSP708、A/D変換器709A、アンプ709B、オーディオRAM709C、及び通信手段としての副基板通信LSI710を有する。

30

【0080】

サブCPU701は、サブROM702に記憶されているプログラムに基づいて、液晶表示装置10の表示制御、スピーカ48, 49の出力制御、ランプ20の発光制御等を行う。具体的に、サブCPU701は、主制御回路60から各種のコマンド等を受信し、受信したコマンドに含まれる各種情報をサブRAM703に記憶させる。なお、主制御回路60からは、あらゆる情報がコマンドにより送信され、副制御回路70は、受信したコマンドに基づいて主制御回路60の状態を逐一判断することができる。サブCPU701は、サブRAM703に記憶させた遊技状態情報、内部当籤役情報等を参照しながら、プログラムを実行することにより、液晶表示装置10、スピーカ48, 49、及びランプ20等の演出装置に行わせる演出の内容を決定する。サブCPU701は、決定した演出データに基づいて、レンダリングプロセッサ704を介して液晶表示装置10を制御し、スピーカ48, 49から出力させる音と、各種ランプ20の発光を制御する。

40

【0081】

また、サブCPU701は、サブROM702に記憶されている乱数取得プログラムを実行することにより、演出データ等を決定する際に用いる乱数値を取得する。ただし、主制御回路60と同様に乱数発生器およびサンプリング回路を副制御回路70内に設ける場

50

合には、当該処理は不要である。

【 0 0 8 2 】

サブROM 702は、サブCPU 701が実行するプログラムを記憶するプログラム記憶領域と、各種テーブル等を記憶するデータ記憶領域を有する。プログラム記憶領域は、オペレーティングシステム、デバイスドライバ、主制御回路60との通信に係る各種の処理、演出の内容を決定するための演出登録タスク等を記憶する。一方、データ記憶領域は、演出抽籤テーブル等を記憶するテーブル記憶領域、キャラクタオブジェクトデータといったアニメーションデータ等を記憶する描画制御データ記憶領域、BGMや効果音といった音データ等を記憶する音声制御データ記憶領域、光の点灯パターン等を記憶するLED制御データ記憶領域等を有する。

10

【 0 0 8 3 】

サブRAM 703は、図42に示すように、サブ制御ゲームデータ領域703aと、サブ制御ゲームデータサム値領域703bと、ワーク領域703cと、エラー情報履歴格納領域703dと、通信ログ収集領域703eと、通信エラー保存領域703fとを備える。

【 0 0 8 4 】

サブ制御ゲームデータ領域703aは、遊技の進行に関するゲームデータのうちでサブRAM 703に記憶されるデータを記憶するようになっている。サブ制御ゲームデータサム値領域703bは、サブ制御ゲームデータ領域703aに記憶されたゲームデータのチェックサム用のサム値を記憶するようになっている。ワーク領域703cは、各種処理におけるワークデータを記憶するようになっている。

20

【 0 0 8 5 】

サブ制御ゲームデータ領域703aおよびワーク領域703cは、サブCPU 701が各プログラムを実行する際に、作業用一時記憶手段として使用される。また、サブ制御ゲームデータ領域703aは、例えば、主制御回路60から送信されたコマンド、演出データ情報、遊技状態情報、内部当籤役情報、表示役情報、各種カウンタおよび各種フラグ等の情報を記憶するようになっている。

【 0 0 8 6 】

エラー情報履歴格納領域703dは、図43(a)に示すように、後述する主基板通信処理(図28参照)や通信LSI受信データ解析処理(図29参照)等により検出された全てのエラー情報を記憶するようになっている。エラー情報履歴格納領域703dでは、エラーコードが逐次記憶されることにより、エラー情報履歴が作成されるようになっている。エラー情報履歴格納領域703dでは、検出されたエラーがCOMエラーとして記憶されるようになっている。

30

【 0 0 8 7 】

具体的には、図43(a)に示すように、エラー情報履歴格納領域703dは、エラーコード(図中、ERROR CODE)と、エラー発生日時(図中、「発生」と)、エラー解除日時(図中、「解除」と)を1組のエラー情報とし、128組のエラー情報を格納可能になっている。このように、エラー情報履歴格納領域703dでは、エラーコードが逐次記憶されることにより、エラー情報履歴が作成される。

40

【 0 0 8 8 】

エラーコードは、1バイトデータであり、その内容は、図43(b)に示すように、データ破壊エラー(図中、「サム異常」)や、通信に係る各種のエラー(図中、「主基板通信LSI物理層エラー」、「主基板通信LSIサイズ不足」、「副基板通信LSI物理層エラー」、「副基板通信LSIサイズ不足」、「副基板通信LSI CRCエラー」、「サブCPU CRCエラー」、「サブCPU サイズ不足」)や、その他のエラーを含んでいる。エラー発生日時およびエラー解除日時は、いずれも2バイトデータの年、1バイトデータの月、1バイトデータの日、1バイトデータの時、1バイトデータの分、1バイトデータの秒から構成されている。

【 0 0 8 9 】

50

本実施形態においては、エラー情報履歴格納領域 703d に格納されたエラー情報履歴を液晶表示装置 10 に表示させるために次のような手順を一例として採用している。例えば、係員がドアキー 110 を右回転させると、フロントドア 2b のロック機構が解除され、さらに設定キーを設定用鍵型スイッチに差し込んでオン操作すると、液晶表示領域 10A には、図 32 に示すメニュー画面が表示される。そして、係員が画面上の操作キーを操作して、「エラー情報履歴」項目 100a を選択することで、液晶表示領域 10A には、図 33 に示すようなエラー情報履歴画面が表示される。また、係員がドアキーを左回転させるとエラーのリセットが行われ、その状態を一定時間、例えば 5 秒間以上保持することによっても、液晶表示領域 10A には、図 33 に示すようなエラー情報履歴画面が表示されるようになっている。

10

【0090】

図 35 に示すように、通信ログ収集領域 703e には、256 のコマンドおよびパラメータのデータ組と、対応する 1 つのバッファインデックスとからなるデータ群が適宜数記憶され、それらがリングバッファとして機能するようになっている。図 36 に示すように、通信エラー保存領域 703f には、256 のコマンドおよびパラメータのデータ組と、対応する 1 つのバッファインデックスとからなるデータ群が 1024 個記憶されている。また、通信エラー保存領域 703f には、1024 のバッファインデックスのうちどのバッファインデックスが選択されているかを示すバッファ選択インデックスが 1 つ設けられている。図 35 に示す通信ログ収集領域 703e 及び図 36 に示す通信エラー保存領域 703f では、コマンドは 1 文字データからなるとともに、パラメータは 2 文字データからなるものとしている。

20

【0091】

サブ CPU 701 は、受信ログ（以下、通信ログともいう）に関する情報を収集して、通信ログ収集領域 703e に通信ログを一時的に保存する。さらに、サブ CPU 701 は、通信に関するエラーを検出した場合に、通信エラー保存領域 703f に通信エラーに関する通信ログ（以下、通信エラーログという）を 1024 個まで保存するようになっている。

【0092】

図 34 には、コマンドの種別とパラメータとの例を示す。同図中の数値は、データの文字数であり、1 文字のデータはコマンド種別、2 文字のデータは直前のコマンドに対するパラメータをそれぞれ示す。本実施形態において、受信コマンドの数値範囲は、図 34 に示すように、01H ~ 10H となっている。

30

【0093】

図 4 に示すように、サブ CPU 701 には、主制御回路 60 から送信されたコマンド等のデータを受信するための副基板通信 LSI 710 が接続されている。副基板通信 LSI 710 は、副制御回路 70 を構成する要素として副基板 7A（図 6 参照）に搭載されている。副基板通信 LSI 710 は、光伝送路としての光ファイバーケーブル（図示せず）を介して主制御回路 60 における主基板通信 LSI 610 に接続されている。サブ CPU 701 は、副基板通信 LSI 710 を通じて主制御回路 60 から送信された各種のコマンド等を受信する。なお、本実施形態のサブ CPU 701 には、UART 701A が内蔵されており、サブ CPU 701 は、UART 701A を通じて副基板通信 LSI 710 との間でデータを送受信可能とされる（図 6 参照）。このような副基板通信 LSI 710 や UART 701A の詳細については、後述する。

40

【0094】

レンダリングプロセッサ 704 は、サブ CPU 701 からの画像表示コマンド等に基づいて、液晶表示装置 10 に画像を表示させるための処理を行う。レンダリングプロセッサ 704 が行う処理に必要なデータは、起動時に描画用 RAM 705 に展開される。レンダリングプロセッサ 704 は、描画用 RAM 705 に展開されている画像データを後方に位置する背景画像から前方に位置する画像まで順に重ね合わせて画像データを生成し、ドライバ 707 を介して液晶表示装置 10 に供給する。その結果、サブ CPU 701 により決

50

定された演出データに応じた画像が液晶表示装置 10 によって液晶表示領域 10 A に表示される。

【 0095 】

描画用 RAM 705 は、書込画像データ領域と表示画像データ領域の 2 つのフレームバッファ 706 を有する。書込画像データ領域は、レンダリングプロセッサ 704 が表示画像を生成した画像データを格納し、表示画像データ領域は、液晶表示装置 10 に表示させる画像データを格納する。レンダリングプロセッサ 704 は、これらのフレームバッファを交互に切り替える（すなわち、バンクを切り替える）ことにより、順次、画像データを液晶表示装置 10 に表示させる。

【 0096 】

DSP 708 は、サブ CPU 701 が演出データに基づいて選択するデジタル形式の音データに基づいてサウンドデータを生成する。オーディオ RAM 709 C は、サウンドデータを一時的に記憶し、オーディオバッファとして用いられる。A/D 変換器 709 A は、DSP 708 からのサウンドデータを、アナログ形式の音データに変換してアンプ 709 B に出力する。アンプ 709 B は、A/D 変換器 709 A からのアナログ形式の音データを音量調整用ツマミ（図示せず）により調節された音量に基づいて増幅させ、スピーカ 48, 49 に出力する。その結果、サブ CPU 701 により決定された演出データに応じた音が、スピーカ 48, 49 から出力される。

【 0097 】

[通信 LSI の構成]

図 5 は、主基板通信 LSI 610 及び副基板通信 LSI 710 の構成を示している。主基板通信 LSI 610 及び副基板通信 LSI 710 は、同一の構成要素を有するものである。以下、主基板通信 LSI 610 と副基板通信 LSI 710 とに共通する各構成要素の機能を主として説明するとともに、主基板通信 LSI 610 と副基板通信 LSI 710 とで各構成要素の機能が異なる点については、主基板通信 LSI 610 と副基板通信 LSI 710 とで適宜区別して説明する。

【 0098 】

図 5 に示すように、主基板通信 LSI 610 及び副基板通信 LSI 710 は、専用コントローラ 611, 711、設定レジスタ 612, 712、キャッシュメモリ 613, 713、AES (Advanced Encryption Standard) 回路 614, 714、第 1 UART (Universal Asynchronous Receiver Transmitter) 615, 715、第 2 UART 616, 716、第 1 SPI (Serial Peripheral Interface) 617, 717、第 2 SPI (図示せず)、第 1 ~ 4 マンチェスター回路 618 ~ 621, 718 ~ 721、及びクロック・リセット制御回路 622, 722 を構成要素として有する。これらの構成要素は、内部バス 623, 723 を介して相互に接続されている。第 1 UART 615, 715 及び第 1 マンチェスター回路 618, 718 は、互いに接続されており、第 2 UART 616, 716 及び第 2 マンチェスター回路 619, 719 も、互いに接続されている。このような主基板通信 LSI 610 及び副基板通信 LSI 710 は、例えば ASIC により構成される。

【 0099 】

専用コントローラ 611, 711 は、送信及び受信に係る全般的な制御を行う。例えば、専用コントローラ 611, 711 は、例えばハードウェアタイマとして機能し、送受信時にタイムアウト処理を行う。設定レジスタ 612, 712 は、不揮発性メモリと同等の機能をもつ記憶回路である。設定レジスタ 612, 712 には、後述の AES 回路 614, 714 で使用される暗号化キーや通信仕様に係る設定データ等が格納される。設定レジスタ 612, 712 には、例えば基板実装時において 1 回に限り後述の第 2 SPI を通じてデータが書き込み可能である。キャッシュメモリ 613, 713 は、主にバッファとして用いられる。例えば、キャッシュメモリ 613, 713 には、送受信に係るデータが一時的に記憶される。クロック・リセット制御回路 622, 722 は、発振器 (OSC: Osc

10

20

30

40

50

illator)や外部リセットによる入力信号に基づいてクロック信号やリセット信号を生成し、送受信のタイミングやリセット動作を制御する。

【0100】

AES回路614, 714は、共通鍵ブロック暗号方式によりデータの暗号化及び復号化を行う。AES回路614, 714は、AES暗号化アルゴリズムに基づく機能ブロックと、AES暗号化アルゴリズムの逆関数であるAES復号化アルゴリズムに基づく機能ブロックとをハードウェア構成として備えている。AES暗号化アルゴリズムは、共通鍵を使って平文データを暗号化し、AES復号化アルゴリズムは、同じ共通鍵を使って暗号化したデータを元の平文データに戻すようになっている。

【0101】

ここで、AES暗号化アルゴリズムは、共通鍵暗号方式の代表的な暗号化アルゴリズムであり、鍵長が128ビット、192ビット、256ビットから選択可能であって、ブロック長が例えば128ビットのSPN(Substitution Permutation Network Structure)構造のブロック暗号である。ほとんどのブロック暗号は、実装コストを効率化するため、同一のラウンド関数を繰り返す繰返し暗号になっており、SPN構造は、繰返し暗号の代表的な構成法である。また、ブロック暗号とは、共通鍵暗号の一種であり、固定長のデータを単位として処理する暗号の総称である。ちなみに、ビット単位やバイト単位で処理を行う暗号は、ストリーム暗号と称される。

【0102】

図7は、AES回路614, 714の構成を示す模式図である。同図に示すように、AES回路614, 714は、所定ラウンド数の行列演算操作をステップ単位に繰り返して実行する機能ブロックにより構成される。AES回路614, 714により繰り返して実行されるステップとしては、バイトサブステップ614A, 714A、行シフトステップ614B, 714B、列混合ステップ614C, 714C、及び最終ステップとしてラウンド鍵追加ステップ614D, 714Dがある。これらのステップが繰り返して実行される回数(ラウンド数)は、鍵長によって異なり、鍵長が128ビットでラウンド数11、鍵長が192ビットでラウンド数13、鍵長が256ビットでラウンド数15となっている。ただし、いずれにおいても最終ラウンドにおいては、列混合ステップ614C, 714Cは実行されない。

【0103】

バイトサブステップ614A, 714Aでは、最初に、固定長の入力データが例えば4行4列からなる16個のバイトに区分され、各バイトがSボックスによって置換される。Sボックスは、共通鍵ブロック暗号方式の基本的な関数をハードウェアにより実現したものであり、平文と暗号文の相関性(線形性)を壊すための仕組みを提供している。Sボックスは、差分暗号解読に対する耐性に優れており、また、線形暗号解読による近似を防止することにおいても優れている。

【0104】

次に、行シフトステップ614B, 714Bでは、行及び列からなるバイトのうちの各行が所定のアルゴリズムに基づいて行方向にシフトされる。このような行シフトステップ614B, 714Bは、各行の異なるバイトがその他の行において対応するバイトと相互作用しないようにする仕組みを提供している。

【0105】

次に、列混合ステップ614C, 714Cでは、行シフトステップ614B, 714Bを経た各列のバイトがガロア体演算に基づく行列により乗算される。このような列混合ステップ614C, 714Cは、各列における各バイトが他のバイトに影響を与えるようにする仕組みを提供している。

【0106】

次に、ラウンド鍵追加ステップ614D, 714Dでは、設定レジスタ612, 712に格納された暗号化キー(公開鍵)を所定のアルゴリズムに基づいて変換し、変換したデータがラウンド鍵として次のラウンドに渡される。そして、ラウンド鍵追加ステップ61

10

20

30

40

50

4 D , 7 1 4 D では、ラウンドごとに異なるラウンド鍵と列混合ステップ 6 1 4 C , 7 1 4 C あるいは行シフトステップ 6 1 4 B , 7 1 4 B を経た各バイトとの排他的論理和がとられる。なお、ラウンド鍵に対してオリジナル鍵となる暗号化キー（公開鍵）や AES 回路 6 1 4 , 7 1 4 に関する設定データ等は、例えば基板実装時において 1 回に限り、後述の第 2 S P I を通じて設定レジスタ 6 1 2 , 7 1 2 に書き込まれる。

【 0 1 0 7 】

このような AES 回路 6 1 4 , 7 1 4 によれば、上述したバイトサブステップ 6 1 4 A , 7 1 4 A、行シフトステップ 6 1 4 B , 7 1 4 B、列混合ステップ 6 1 4 C , 7 1 4 C、ラウンド鍵追加ステップ 6 1 4 D , 7 1 4 D が所定ラウンド数繰り返し実行されることにより、暗号化されたデータが出力される。暗号化されたデータは、AES 回路 6 1 4 , 7 1 4 による AES 暗号化アルゴリズムとは逆の AES 復号化アルゴリズムにより元の平文データに変換される。これにより、主基板通信 L S I 6 1 0 から副基板通信 L S I 7 1 0 へと送信されるデータは、AES 暗号化されたデータとなつて解読されにくい。すなわち、主基板通信 L S I 6 1 0 と副基板通信 L S I 7 1 0 との間の通信区間においては、AES 暗号化により通信ゴトを十分に防止することができる。

10

【 0 1 0 8 】

第 1 U A R T 6 1 5 , 7 1 5 は、調歩同期方式によるシリアル信号をパラレル信号に変換したり、その逆方向の変換を行う回路である。第 1 U A R T 6 1 5 , 7 1 5 では、送受信のタイミングを計るための同期クロック信号線が不要とされる。第 1 U A R T 6 1 5 , 7 1 5 は、送受信時のエラー（物理層エラー）を検出する機能を有する。第 1 U A R T 6 1 5 , 7 1 5 は、専用コントローラ 6 1 1 , 7 1 1 にエラーが発生したことを伝える。

20

【 0 1 0 9 】

図 3 9 に示すように、エラーの種類には、パリティエラー、オーバーランエラー、フレーミングエラー等がある。パリティエラーは、受信したデータのパリティビットに誤りがあるときに発生する。オーバーランエラーは、受信データバッファ（キャッシュメモリ 6 1 3 , 7 1 3 ）に格納されたデータを専用コントローラ 6 1 1 , 7 1 1 が取り出さないうちに、次のデータを受信してしまったときに発生する。フレーミングエラーは、ストップビットを受信すべきタイミングで、ストップビットの論理値ではなかったときに発生する。

【 0 1 1 0 】

なお、第 2 U A R T 6 1 6 , 7 1 6 は、第 1 U A R T 6 1 5 , 7 1 5 と同様の機能を有するものであり、共通する機能についての説明は省略する。メイン CPU 6 0 1 及びサブ CPU 7 0 1 のそれぞれに内蔵された U A R T 6 0 1 A 及び U A R T 7 0 1 A（図 6 参照）も、第 1 U A R T 6 1 5 , 7 1 5 と同様の機能を有するものであり、共通する機能についての説明は省略する。

30

【 0 1 1 1 】

第 1 S P I 6 1 7 , 7 1 7 は、同期方式によるシリアル通信用のインターフェース回路である。第 1 S P I 6 1 7 , 7 1 7 は、非同期方式のシリアル通信に比べて高速にデータを送受信し得る。第 1 S P I 6 1 7 , 7 1 7 には、複数のデバイスが接続可能である。本実施形態において、第 1 S P I 6 1 7 , 7 1 7 は、主基板通信 L S I 6 1 0 及び副基板通信 L S I 7 1 0 の拡張機能として予備的に設けられている。なお、図示しない第 2 S P I は、第 1 S P I 6 1 7 , 7 1 7 と同様の機能を有するものであり、共通する機能についての説明は省略する。本実施形態の第 2 S P I には、設定レジスタ 6 1 2 , 7 1 2 に対して暗号化キーや設定データ等を書き込む際に用いる専用端子が設けられている。すなわち、第 2 S P I は、暗号化キーや設定データ等の書き込みデバイス専用の接続回路として使用される。

40

【 0 1 1 2 】

第 1 マンチェスター回路 6 1 8 , 7 1 8 は、二相位相偏移変調（BPSK：Binary Phase - Shift Keying）方式によりデジタル形式のシリアルデータの変調（符号化）及び復調（復号化）を行う回路である。第 1 マンチェスター回路 6 1 8

50

、718は、連続する「0」又は「1」からなる比較的長いストリングが含まれない任意のビット列からなるシリアルデータを変調し、また、変調されたシリアルデータから元のビット列からなるデジタルデータを復調する。第1マンチェスター回路618、718は、変調の際に用いるクロックレートをシリアルデータ内に埋め込むことができる。基本的にマンチェスター変調方式では、デジタル入力値の「1」及び「0」からなるバイナリ状態を遷移として定義付け、シリアルデータとして入力される信号の立上りエッジと立下りエッジに対し、デジタル出力値としてロジックレベルの「0」と「1」、あるいはその逆のロジックレベルを割り当てることにより、変調されたシリアルデータを生成する。復調の際には、変調とは逆の手順で復調を行い、デジタル入力値としてロジックレベルの「0」と「1」に対して、出力すべき信号に立上りエッジと立下りエッジ、あるいはその逆の信号波形を形成することにより、復調されたシリアルデータを生成する。

10

【0113】

なお、本実施形態においては、図5及び図6に具体的に示すように、第1マンチェスター回路618、718は、第1UART615、715と対をなし、この第1UART615、715を通じてデータを送受信し得るように構成されている。第2マンチェスター回路619、719、第3マンチェスター回路620、720、及び第4マンチェスター回路621、721は、第1マンチェスター回路618、718と同様の機能を有するものであり、共通する機能についての説明は省略する。また、本実施形態では、有線の光通信システム（主基板通信LSI610及び副基板通信LSI710）に第1マンチェスター回路618、718を設けているが、マンチェスター回路は、一般的に無線伝送に適しているので、マンチェスター回路を含む無線通信システムを構築するようにしてもよい。

20

【0114】

第2マンチェスター回路619、719は、第2UART616、716と対をなし、この第2UART616、716を通じてデータを送受信するように構成されている。第3マンチェスター回路620、720は、第1SPI617、717を介する送受信用として設けられ、この第1SPI617、717を通じてデータを送受信するように構成されている。第4マンチェスター回路621、721は、その他の回路と組み合わせられずに独立したものとして設けられ、第4マンチェスター回路621、721単独でデータを送受信し得るように構成されている。

【0115】

本実施形態においては、図8に具体的に示すように、主基板通信LSI610の第2マンチェスター回路619は、主にマンチェスター変調回路として機能する一方、副基板通信LSI710の第2マンチェスター回路719は、主にマンチェスター復調回路として機能する。変調回路としての第2マンチェスター回路619は、同期用のクロック信号800cと入力されるシリアルデータ800dとの排他的論理和をとり、その結果、変調されたシリアルデータ800d'を生成・出力する。復調回路としての第2マンチェスター回路719は、同期用のクロック信号800cと変調されたシリアルデータ800d'とを入力としてこれらの排他的論理和をとり、その結果、復調された元のシリアルデータ800dを生成・出力する。このような第2マンチェスター回路619、719は、デジタルデータを比較的安価に送受信することができる。

30

40

【0116】

図6に模式的に示すように、本実施形態の主基板6Aにおいては、メインCPU601からのコマンドを含むデータ（パケットデータ）が、UART601Aから第1UART615に供給され、この第1UART615で後述する物理層エラーの検出等が行われた後、AES614で暗号化され、さらに第2UART616を通じて第2マンチェスター回路619に供給され、この第2マンチェスター回路619で変調されるように構成されている。このようにして変調されたデータは、コマンドを含むシリアルデータとされ、光ファイバーケーブルの端子部に相当する光リンク630及び光ファイバーケーブルを通じて副基板7Aへと送信される。

【0117】

50

副基板 7 A においては、主基板 6 A から送信されたコマンドを含むシリアルデータが、光ファイバケーブル及びその端子部に相当する光リンク 7 3 0 を通じて第 2 マンチェスター回路 7 1 9 に供給され、この第 2 マンチェスター回路 7 1 9 で復調された後、第 2 U A R T 7 1 6 を通じて A E S 7 1 4 に供給され、さらに A E S 7 1 4 において復号化された後、第 1 U A R T 7 1 5 を通じて U A R T 7 0 1 A に供給されることにより、サブ C P U 7 0 1 がメイン C P U 6 0 1 からのコマンドを受信し得るようになっている。

【 0 1 1 8 】

また、図 9 に示すように、メイン C P U 6 0 1 から主基板通信 L S I 6 1 0 へと送信されるデータは、8 B y t e の平文からなるパケットデータであり、その際の通信速度（ボーレート）は、1 9 2 0 0 b p s とされる。これは、メイン C P U 6 0 1 及び主基板通信 L S I 6 1 0 間の通信仕様、具体的には、メイン C P U 6 0 1 の処理スペックに応じて設計された通信仕様に準拠するものである。主基板通信 L S I 6 1 0 から副基板通信 L S I 7 1 0 へと送信されるデータは、マンチェスター変調及び暗号化された 1 6 B y t e のデータであり、その際の通信速度は、1 1 5 2 0 0 b p s とされる。これは、主基板通信 L S I 6 1 0 及び副基板通信 L S I 7 1 0 間の通信仕様、具体的には、主基板通信 L S I 6 1 0 及び副基板通信 L S I 7 1 0 、並びにサブ C P U 7 0 1 の処理スペックに応じて設計された通信仕様に準拠するものである。副基板通信 L S I 7 1 0 からサブ C P U 7 0 1 へと送信されるデータは、マンチェスター復調及び A E S 復号化された 1 6 B y t e の平文データであり、その際の通信速度は、1 1 5 2 0 0 b p s とされる。これは、副基板通信 L S I 7 1 0 及びサブ C P U 7 0 1 間の通信仕様、具体的には、サブ C P U 7 0 1 のスペックに応じて設計された通信仕様に準拠するものである。

【 0 1 1 9 】**[通信データの内容]**

図 3 7 ~ 4 1 は、送受信に係る通信データの内容を示す説明図である。以下、図 3 7 ~ 4 1 を参照して通信データについて説明する。

【 0 1 2 0 】

図 3 7 に示すように、主基板通信 L S I 6 1 0 から副基板通信 L S I 7 1 0 へと送信される外部通信データは、D 0 ~ D 1 5 のバイト単位の番号（バイトナンバー）で区分けられた 1 6 B y t e 固定長のデータフレームからなる。

【 0 1 2 1 】

外部通信データのバイトナンバー D 0 , D 1 には、パケット受信番号が割り当てられる。パケット受信番号は、0 ~ 6 5 5 3 5 の値が割り当て可能であり、1 パケット受信あるいは受信タイムアウトにより加算（インクリメント）される。1 パケット受信とは、メイン C P U 6 0 1 から例えば 1 B y t e のパケット単位（伝送単位）で送信されるデータを受信したことを意味する。受信タイムアウトとは、パケット単位の 1 個分のデータが例えば 1 B y t e である場合、1 B y t e 未満のデータしか受信していない状況でタイムアウトが発生したことを意味する。

【 0 1 2 2 】

外部通信データのバイトナンバー D 2 ~ D 9 には、メイン C P U 6 0 1 から送信されたパケットデータが割り当てられる。パケットデータは、メイン C P U 6 0 1 からサブ C P U 7 0 1 へと送信されるコマンドに相当する。パケットデータは、通信仕様に基づいて 8 B y t e 固定長と定められている。

【 0 1 2 3 】

外部通信データのバイトナンバー D 1 0 , D 1 1 には、主基板通信 L S I 6 1 0 に関する通信情報が割り当てられる。具体的にいうと、バイトナンバー D 1 0 には、主基板通信 L S I 6 1 0 から送信されるパケットデータのデータサイズが割り当てられる。バイトナンバー D 1 1 には、主基板通信 L S I 物理層エラー等が受信ステータス（図 3 9 参照）として割り当てられる。主基板通信 L S I 物理層エラーとは、メイン C P U 6 0 1 から供給されたデータを主基板通信 L S I 6 1 0 が受信する際に第 1 U A R T 6 1 5 により検出され得るハードウェア上の通信エラーであり、例えば図 3 9 に示すオーバーランエラー、

10

20

30

40

50

フレーミングエラー、パリティエラー等である。なお、パケットデータのデータサイズは、通信仕様に基づいて 8 Byte 固定長であるので、バイトナンバー D 1 0 には、常に 8 Byte を示す固定値が割り当てられる。

【 0 1 2 4 】

外部通信データのバイトナンバー D 1 2 , D 1 3 には、副基板通信 L S I 7 1 0 に関連する通信情報が割り当てられる。なお、バイトナンバー D 1 2 , D 1 3 には、後述するように副基板通信 L S I 7 1 0 のデータ受信時に発生する受信ステータス等が割り当てられる。そのため、外部通信データにおけるバイトナンバー D 1 2 , D 1 3 は、単に予約領域として確保されており、例えばダミーデータとして固定値 ' 0 0 0 0 H ' が割り当てられる。

10

【 0 1 2 5 】

外部通信データのバイトナンバー D 1 4 , D 1 5 には、巡回冗長検査 (C y c l i c R e d u n d a n c y C h e c k) による CRC データが割り当てられる。巡回冗長検査は、バイトナンバー D 0 ~ D 1 3 を対象として行われる。

【 0 1 2 6 】

図 3 8 に示すように、副基板通信 L S I 7 1 0 からサブ C P U 7 0 1 へと送信される内部通信データは、基本的に図 3 7 に示す通信データと同一構造のフレームからなる。

【 0 1 2 7 】

内部通信データのバイトナンバー D 0 ~ D 1 1 には、先述した外部通信データのバイトナンバー D 0 ~ D 1 1 の内容がそのまま複写されて割り当てられる。

20

【 0 1 2 8 】

内部通信データのバイトナンバー D 1 2 , D 1 3 には、副基板通信 L S I 7 1 0 に関連する通信情報が割り当てられる。具体的にいうと、バイトナンバー D 1 2 には、副基板通信 L S I 物理層エラー等が受信ステータスとして割り当てられる。副基板通信 L S I 物理層エラーとは、主基板通信 L S I 6 1 0 から供給されたデータを副基板通信 L S I 7 1 0 が受信する際に第 2 U A R T 7 1 6 により検出され得るハードウェア上の通信エラーであり、例えば図 3 9 に示すオーバーランエラー、フレーミングエラー、パリティエラー等である。バイトナンバー D 1 3 には、副基板通信 L S I 7 1 0 が主基板通信 L S I 6 1 0 から供給されたデータを受信する際に検出され得る後述の論理エラーがパケット種別として割り当てられる。

30

【 0 1 2 9 】

内部通信データのバイトナンバー D 1 4 , D 1 5 には、外部通信データと同様に巡回冗長検査による CRC データが割り当てられる。巡回冗長検査は、バイトナンバー D 0 ~ D 1 3 を対象として行われる。

【 0 1 3 0 】

図 3 9 に示すように、受信ステータスは、B 0 ~ B 7 のビット単位の番号 (ビットナンバー) で区分けされたフォーマットからなる。

【 0 1 3 1 】

受信ステータスのビットナンバー B 0 ~ B 3 には、エラーカウントが割り当てられる。エラーカウントは、受信エラー発生総数となる、パリティ、フレーミング、及びオーバーランに係るエラー発生総数を示し、0 ~ 1 5 の値が割り当て可能とされる。

40

【 0 1 3 2 】

受信ステータスのビットナンバー B 4 には、物理層エラーとしてオーバーランエラーの有無が割り当てられる。例えば、オーバーランエラーが有る場合、ビットナンバー B 4 には「 1 」が割り当てられ、オーバーランエラーが無い場合、ビットナンバー B 4 には「 0 」が割り当てられる。

【 0 1 3 3 】

受信ステータスのビットナンバー B 5 には、物理層エラーとしてフレーミングエラーの有無が割り当てられる。例えば、フレーミングエラーが有る場合、ビットナンバー B 5 には「 1 」が割り当てられ、フレーミングエラーが無い場合、ビットナンバー B 5 には「 0

50

」が割り当てられる。

【0134】

受信ステータスのビットナンバー B 6 には、物理層エラーとしてパリティエラーの有無が割り当てられる。例えば、パリティエラーが有る場合、ビットナンバー B 6 には「1」が割り当てられ、パリティエラーが無い場合、ビットナンバー B 6 には「0」が割り当てられる。

【0135】

受信ステータスのビットナンバー B 7 には、タイムアウトの有無が割り当てられる。例えば、タイムアウトが発生した場合、ビットナンバー B 7 には「1」が割り当てられ、タイムアウトが発生しなかった場合、ビットナンバー B 7 には「0」が割り当てられる。

10

【0136】

図 4 0 に示すように、パケット種別は、B 0 ~ B 7 のビット単位の番号（ビットナンバー）で分けされたフォーマットからなる。

【0137】

パケット種別のビットナンバー B 0 ~ B 4 には、論理エラーの種類が割り当てられる。例えば、ビットナンバー B 0 ~ B 4 には、論理エラーが無い場合、「00000」のビット列が割り当てられ、CRCエラーが有る場合、「00001」のビット列が割り当てられ、主基板通信 L S I 6 1 0 がメイン C P U 6 0 1 から受信したデータにサイズ不足が有る場合、「00010」のビット列が割り当てられ、副基板通信 L S I 7 1 0 が主基板通信 L S I 6 1 0 から受信したデータにサイズ不足が有る場合、「00100」のビット列が割り当てられ、その他の論理エラーが有る場合、その論理エラーに対応付けられたビット列が割り当てられる。なお、パケット種別のビットナンバー B 0 ~ B 4 に割り当てられる CRC エラーは、副基板通信 L S I 7 1 0 が主基板通信 L S I 6 1 0 からデータを受信する際に発生し得るものである。主基板通信 L S I 6 1 0 がメイン C P U 6 0 1 からデータを受信する際のサイズ不足は、主基板通信 L S I 6 1 0 の受信ステータスとしてタイムアウトが発生した場合に生じるものである。副基板通信 L S I 7 1 0 が主基板通信 L S I 6 1 0 からデータを受信する際のサイズ不足は、副基板通信 L S I 7 1 0 の受信ステータスとしてタイムアウトが発生した場合に生じるものである。

20

【0138】

パケット種別のビットナンバー B 5 ~ B 7 には、通信分類が割り当てられる。例えば、ビットナンバー B 5 ~ B 7 には、主制御回路 6 0 との通信（主制御通信）に該当する場合、「000」のビット列が割り当てられ、その他の通信に該当する場合、その通信に対応付けられたビット列が割り当てられる。

30

【0139】

図 4 1 (a) に示すように、メイン C P U 6 0 1 は、コマンドを含む 8 B y t e 固定長のパケットデータ P 0 ~ P 7 をシリアルデータとして主基板通信 L S I 6 1 0 に送信する。例えば、パケットデータ P 0 は、コマンドに係るデータを示し、パケットデータ P 1 ~ P 6 は、コマンドに対応するパラメータデータを示し、パケットデータ P 7 は、パケットデータ P 0 ~ P 6 のチェックサムとして例えば B C C (B l o c k C h e c k C h a r a c t e r) を示す。主基板通信 L S I 6 1 0 では、受信したパケットデータ P 0 ~ P 7 に対して物理層エラー等のチェックを行い、さらに受信結果等を付加したデータに対して A E S 暗号化が行われる。

40

【0140】

図 4 1 (b) に示すように、主基板通信 L S I 6 1 0 は、メイン C P U 6 0 1 からパケットデータ P 0 ~ P 7 を受信すると、当該パケットデータ P 0 ~ P 7 を含む 1 6 B y t e 固定長の外部通信データ D 0 ~ D 1 5 をシリアルデータとして副基板通信 L S I 7 1 0 に送信する。このとき、主基板通信 L S I 6 1 0 から送信されるシリアルデータには、A E S 6 1 4 により暗号化され、かつ、変調回路としての第 2 マンチェスター回路 6 1 9 により変調された外部通信データ D 0 ~ D 1 5 が載せられる。パケットデータ P 0 ~ P 7 は、外部通信データ D 0 ~ D 1 5 のうちの例えば D 2 ~ D 9 に配置される（図 3 7 参照）。

50

【0141】

図41(c)に示すように、副基板通信LSI710は、主副基板通信LSI610からシリアルデータとして外部通信データD0~D15を受信すると、当該外部通信データD0~D15に応じた可変長の内部通信データSTX(Start of Text), DLE(Data Link Escape), D0~D15をシリアルデータとしてサブCPU701に送信する。このとき、副基板通信LSI710から送信されるシリアルデータには、AES714により復号化され、かつ、復調回路としての第2マンチェスター回路719により復調された内部通信データD0~D15が載せられる。メインCPU601からのパケットデータP0~P7は、内部通信データD0~D15のうちの例えばD2~D9に配置される(図38参照)。D0~D15は、シリアル形式のバイナリデータとして送信される一方、STXやDLEは、後述するように制御キャラクタとして送信される。

10

【0142】

例えば、副基板通信LSI710から送信されるデータに後述の制御データ(受信コマンドに該当するデータ、図34参照)に該当するものが無い場合、通信伝文の開始を示す制御キャラクタの「STX」のみを先頭に付加した内部通信データSTX, D0~D15が送信される。このとき、データ送信サイズとして最小送信バイト数は、D0~D15の16ByteにSTXの1Byte分を加えた17Byteとなる。一方、副基板通信LSI710から送信されるデータに制御データに該当するものが有る場合、「STX」を先頭に付加すると共に、制御データを含むブロック(図41(c)では一例としてバイトナンバーD12)の前にその旨を示す制御キャラクタの「DLE」を付加した内部通信データSTX, DLE, D0~D15が送信される。これにより、データ送信サイズとして最大送信バイト数は、全てのブロックD0~D15に制御データが含まれている場合を仮定すると、理論的にはD0~D15の16Byteとこれらに対応するDLEの最大16ByteとSTXの1Byteとを合計した33Byteとなる。副基板通信LSI710は、送信すべきデータ中に制御データを検出すると、該当するバイトナンバーのブロックをエスケープ処理し、当該ブロックの前にDLEを付加する。エスケープ処理は、該当するブロック(バイトナンバー)のデータと所定値との排他的論理和を算出することにより実行される。

20

【0143】

以上説明したように、メインCPU601は、遊技に係る所定の制御処理を行う第1の制御処理手段を実現している。サブCPU701は、第1の制御処理手段からのコマンドに応じて第1の制御処理手段とは別の特定の制御処理を行う第2の制御処理手段を実現している。

30

【0144】

また、主基板通信LSI610は、第1の制御処理手段からコマンドを第1の通信速度で受信するとともに、当該コマンドを含む通信データを第1の通信速度とは異なる第2の通信速度で送信する第1の通信手段を実現している。副基板通信LSI710は、第1の通信手段から第2の通信速度で通信データを受信し、当該通信データを第2の制御処理手段へと送信する第2の通信手段を実現している。

40

【0145】

また、主基板通信LSI610の専用コントローラ611は、コマンドを所定の伝送単位ごとに検出するための第1の受信待ち時間を第1の通信速度に基づいて算出する第1の受信待ち時間算出手段と、コマンドを所定の伝送単位ごとに第1の受信待ち時間に基づいて検出しながら受信する第1の受信手段と、を実現している。副基板通信LSI710の専用コントローラ711は、通信データを所定の伝送単位ごとに検出するための第2の受信待ち時間を第2の通信速度に基づいて算出する第2の受信待ち時間算出手段と、通信データを所定の伝送単位ごとに第2の受信待ち時間に基づいて検出しながら受信する第2の受信手段と、を実現している。

【0146】

50

また、主基板通信 L S I 6 1 0 の専用コントローラ 6 1 1 及び第 1 U A R T 6 1 5 は、コマンドの受信に際して第 1 の通信エラーを検出する第 1 の通信エラー検出手段を実現している。専用コントローラ 6 1 1 は、第 1 の通信エラーが検出された場合、当該第 1 の通信エラーに関する第 1 エラー情報を生成する第 1 エラー情報生成手段と、生成された第 1 エラー情報を、コマンドと共に通信データに含めて当該通信データを送信する第 1 の送信手段と、を実現している。副基板通信 L S I 7 1 0 の専用コントローラ 7 1 1 及び第 2 U A R T 7 1 6 は、通信データの受信に際して第 2 の通信エラーを検出する第 2 通信エラー検出手段を実現している。専用コントローラ 7 1 1 は、第 2 の通信エラーが検出された場合、当該第 2 の通信エラーに関する第 2 エラー情報を生成する第 2 エラー情報生成手段と、生成された第 2 エラー情報を、コマンド及び第 1 エラー情報を含む通信データに含めて当該通信データを送信する第 2 の送信手段と、を実現している。

10

【 0 1 4 7 】

また、サブ C P U 7 0 1 及び U A R T 7 0 1 A は、通信データの受信に際して第 3 の通信エラーを検出する第 3 通信エラー検出手段を実現している。このサブ C P U 7 0 1 は、後述する受信データ解析処理（図 2 9 参照）を実行することにより、第 3 の通信エラーが検出された場合、当該第 3 の通信エラーに関する第 3 エラー情報を生成する第 3 エラー情報生成手段と、第 2 の送信手段から受信した通信データと第 3 エラー情報に基づいて通信エラーの解析を行う通信エラー解析手段と、を実現している。

【 0 1 4 8 】

また、主基板通信 L S I 6 1 0 において、A E S 回路 6 1 4 は、通信データを所定の暗号方式で暗号化する暗号化手段を実現しており、第 2 マンチェスター回路 6 1 9 は、暗号化手段により暗号化された通信データを二相位相偏移変調方式により変調する変調手段を実現している。副基板通信 L S I 7 1 0 において、第 2 マンチェスター回路 7 1 9 は、変調手段により変調された通信データを二相位相偏移変調方式により復調する復調手段を実現しており、A E S 回路 7 1 4 は、復調手段により復調された通信データを所定の暗号方式により復号化する復号化手段を実現している。

20

【 0 1 4 9 】

次に、図 1 0 ~ 1 6 を参照して、メイン R O M 6 0 2 に記憶されている各種テーブル等の構成について説明する。メイン R O M 6 0 2 には、図柄配置テーブル、図柄コード、図柄組合せテーブル、ボーナス作動時テーブル、内部抽籤テーブル、内部当籤役決定テーブルが記憶されている。

30

【 0 1 5 0 】

[図柄配置テーブル及び図柄コード]

図 1 0 (a) に示すように、図柄配置テーブルは、各リールの回転方向における各図柄の位置と、各位置に配された図柄の種類を特定するデータ（以下、図柄コード（図 1 0 (b) 参照））とを規定している。

【 0 1 5 1 】

図柄配置テーブルは、リールインデックスが検出されるときに表示窓 4 L , 4 C , 4 R 内の中段（センターライン 8 上）に存在する図柄の位置を「 0 」として、リールの回転方向に進む順に、各図柄の位置に対して「 0 」～「 2 0 」をそれぞれ割り当てている。したがって、リールインデックスが検出されてから図柄何個分の回転が行われたかを管理しつつ、図柄配置テーブルを参照することによって、主として表示窓 4 L , 4 C , 4 R の中段に存在する図柄の位置及びその図柄の種類を常に管理することが可能である。

40

【 0 1 5 2 】

[図柄組合せテーブル]

本実施形態においては、入賞判定ラインとなるセンターライン 8 に沿って各リール 3 L , 3 C , 3 R により表示される図柄の組合せが、図柄組合せテーブルにより規定されている図柄の組合せと一致する場合に、メイン C P U 6 0 1 により入賞と判定され、メダルの払い出し、再遊技の作動、ボーナスゲームの作動といった特典が遊技者に対して与えられる。

50

【 0 1 5 3 】

図 1 1 に示すように、図柄組合せテーブルは、特典の種類に応じて予め定められた図柄の組合せと、表示役と、払出枚数とを規定している。表示役は、入賞判定ライン（センターライン 8）に沿って表示された図柄の組合せを識別するデータである。

【 0 1 5 4 】

表示役は、各ビットに対して固有の図柄の組合せが割り当てられた 1 バイトのデータとして表される。例えば、各リール 3 L, 3 C, 3 R の図柄「ベル」が入賞判定ライン（センターライン 8）に沿って表示されたとき、表示役として「ベル（0 0 0 0 0 0 1 0）」が決定される。

【 0 1 5 5 】

また、払出枚数として 1 以上の数値が決定された場合、メダルの払い出しが行われる。本実施形態では、表示役としてチェリー、ベル、又はスイカが決定されたときメダルの払い出しが行われる。また、払出枚数は、投入枚数に応じて規定されており、基本的に投入枚数が少ないときの方がより多くの払出枚数が決定される。

【 0 1 5 6 】

また、表示役としてリプレイが決定されたとき、再遊技の作動が行われる。表示役として B B が決定されたとき、ボーナスの作動が行われる。なお、入賞判定ライン（センターライン 8）に沿って表示された図柄の組合せが、図柄組合せテーブルにより規定されている図柄の組合せの何れとも一致しない場合には、いわゆる「ハズレ」となる。

【 0 1 5 7 】

[ボーナス作動時テーブル]

図 1 2 に示すように、ボーナス作動時テーブルは、ボーナスの作動が行われるときに、メイン R A M 6 0 3 に設けられた各種格納領域に格納するデータを規定している。

【 0 1 5 8 】

作動中フラグは、作動が行われるボーナスの種類を識別するためのデータである。本実施形態では、ボーナスの種類として B B（第 1 種特別役物に係る役物連続作動装置）及び R B（第 1 種特別役物）を設けている。R B の作動は、B B の作動が行われている間、連続的に行われる。

【 0 1 5 9 】

B B の作動は、規定枚数に達するメダルの払い出しが行われた場合に終了する。R B の作動は、規定回数に達する遊技が行われた場合、規定回数に達する入賞があった場合、又は、B B の作動が終了した場合の何れかによって終了する。ボーナス終了枚数カウンタ、遊技可能回数カウンタ及び入賞可能回数カウンタは、ボーナスの終了契機となる上記規定枚数或いは上記規定回数に達したか否かを管理するためのデータである。

【 0 1 6 0 】

より具体的には、ボーナス作動時テーブルにより規定されている数値が上記各カウンタに格納され、ボーナスの作動を通じてその減算が行われていく。その結果、各カウンタの値が「0」に更新されたことを条件に該当ボーナスの作動が終了する。

【 0 1 6 1 】

[内部抽籤テーブル]

図 1 3 及び図 1 4 に示すように、内部抽籤テーブルとしては、一般遊技状態用内部抽籤テーブル及び R B 作動中用内部抽籤テーブルが設けられている。内部抽籤テーブルは、当籤番号に応じて、データポイントと抽籤値とを規定している。データポイントは、内部抽籤テーブルを参照して行う抽籤の結果として取得されるデータであり、後述の内部当籤役決定テーブルにより規定されている内部当籤役を指定するためのデータである。データポイントには、小役・リプレイ用データポイント及びボーナス用データポイントが設けられている。

【 0 1 6 2 】

本実施形態では、予め定められた数値の範囲「0 ~ 6 5 5 3 5」から抽出される乱数値を、各当籤番号に応じた抽籤値で順次減算し、減算の結果が負となったか否か（いわゆる

10

20

30

40

50

「桁かり」が生じたか否か)の判定を行うことによって内部的な抽籤が行われる。これにより、抽籤値として規定されている数値が大きいほど、これが割り当てられたデータ(つまり、データポイント)が決定される確率が高い。なお、各当籤番号の当籤確率は、「各当籤番号に対応する抽籤値/抽出される可能性のある全ての乱数値の個数(65536)」によって表すことができる。

【0163】

また、本実施の形態では、ボーナスの作動が行われているか否かといった状況に応じて、複数種類の内部抽籤テーブル(図13の一般遊技状態用内部抽籤テーブル及び図14のRB作動中用内部抽籤テーブル)を使い分けることにより、決定される内部当籤役の種類や当籤確率を変動させ、この結果、遊技者が抱く期待に起伏が生じるようにしている。

10

【0164】

[内部当籤役決定テーブル]

図15及び図16に示すように、内部当籤役決定テーブルとしては、小役・リプレイ用内部当籤役決定テーブル及びボーナス用内部当籤役決定テーブルが設けられている。内部当籤役決定テーブルは、データポイントに応じて内部当籤役を規定している。データポイントが決定されると、内部当籤役が一義的に取得される構成となっている。

【0165】

内部当籤役は、入賞判定ライン(センターライン8)に沿って表示を許可する各リール3L, 3C, 3Rの図柄の組合せを識別するデータである。内部当籤役は、表示役と同様に、各ビットに対して固有の図柄の組合せが割り当てられた1バイトのデータとして表される。なお、データポイントが「0」のとき、内部当籤役の内容は「ハズレ」となるが、これは前述の図柄組合せテーブルにより規定されている図柄の組合せの表示が何れも許可されないことを示す。

20

【0166】

図15に示すように、小役・リプレイ用内部当籤役決定テーブルは、メダルの払い出しに係る内部当籤役又は再遊技の作動に係る内部当籤役を規定している。図16に示すように、ボーナス用内部当籤役決定テーブルは、ボーナスの作動に係る内部当籤役を規定している。

【0167】

次に、図17~19を参照して、メインRAM603に設けられている各種格納領域の構成について説明する。メインRAM603には、内部当籤役格納領域、表示役格納領域、持越役格納領域、作動中フラグ格納領域が設けられている。

30

【0168】

[内部当籤役格納領域]

図17に示すように、内部当籤役格納領域は、前述の1バイトのデータにより表される内部当籤役を格納する。ビットに「1」が立っているとき、該当する図柄の組合せの表示が許可される。全ビットが「0」であるとき、その内容はハズレとなる。なお、メインRAM603には、前述の表示役が格納される表示役格納領域が設けられている。表示役格納領域の構成は、内部当籤役格納領域の構成と同様となっている。ビットに「1」が立っているとき、該当する図柄の組合せが入賞判定ライン(センターライン8)に沿って表示されたことになる。

40

【0169】

[持越役格納領域]

図18に示すように、持越役格納領域は、前述の抽籤の結果、ボーナスの作動に係る内部当籤役が決定されたときにこれを格納する。持越役格納領域に格納されたボーナスの作動に係る内部当籤役(以下、持越役)は、対応する図柄の組合せが入賞判定ライン(センターライン8)に表示されるまで、その内容がクリアされずに保持される構成となっている。そして、持越役格納領域に持越役が格納されている間は、前述の抽籤の結果にかかわらず、これが内部当籤役格納領域に格納される。

【0170】

50

[作動中フラグ格納領域]

【 0 1 7 1 】

図 1 9 に示すように、作動中フラグ格納領域は、1 バイトからなる作動中フラグを格納する。作動中フラグは、各ビットに対して固有のボーナスが割り当てられている。ビットに「1」が立っているとき、該当するボーナスの作動が行われている。なお、本実施形態においては、全ビットが「0」であるときの状態を一般遊技状態と定義する。

【 0 1 7 2 】

次に、図 2 0 ~ 2 6 を参照して、主制御回路 6 0 のメイン CPU 6 0 1 により実行されるプログラムの内容について説明する。

【 0 1 7 3 】

[メイン CPU の制御によるメインフローチャート]

図 2 0 は、メイン CPU 6 0 1 の制御によるメインフローチャートを示す。図 2 0 に示すように、パチスロ 1 に電源が投入されると、はじめに、メイン CPU 6 0 1 は、初期化処理を行う (S 1) 。

【 0 1 7 4 】

次に、メイン CPU 6 0 1 は、メイン RAM 6 0 3 における指定格納領域のクリアを行う (S 2) 。例えば、内部当籤役格納領域や表示役格納領域等、1 回の遊技ごとに消去が必要となる格納領域に格納されたデータがクリアされる。

【 0 1 7 5 】

次に、メイン CPU 6 0 1 は、図 2 1 を参照して説明するメダル受付・スタートチェック処理を行う (S 3) 。この処理では、メダルセンサやスタートスイッチの入力のチェック等が行われる。

【 0 1 7 6 】

次に、メイン CPU 6 0 1 は、乱数値を抽出し、メイン RAM 6 0 3 に設けられた乱数値格納領域に格納する (S 4) 。

【 0 1 7 7 】

次に、メイン CPU 6 0 1 は、図 2 2 を参照して説明する内部抽籤処理を行う (S 5) 。この処理では、乱数値に基づいた抽籤により内部当籤役の決定が行われる。

【 0 1 7 8 】

次に、メイン CPU 6 0 1 は、スタートコマンドを副制御回路 7 0 に対して送信する (S 6) 。スタートコマンドは、内部当籤役等を特定するパラメータを含んで構成される。スタートコマンドは、メイン CPU 6 0 1 内の UART 6 0 1 A から主基板通信 L S I 6 1 0 及び副基板通信 L S I 7 1 0 を通じてサブ CPU 7 0 1 に供給される。

【 0 1 7 9 】

次に、メイン CPU 6 0 1 は、全リール 3 L , 3 C , 3 R の回転開始を要求する (S 7) 。なお、全リール 3 L , 3 C , 3 R の回転開始が要求されると、一定の周期 (1 . 1 1 7 3 m s e c) で実行される割込処理 (図 2 6 参照) によってステッピングモータ 5 0 L , 5 0 C , 5 0 R の駆動が制御され、各リール 3 L , 3 C , 3 R の回転が開始される。

【 0 1 8 0 】

次に、メイン CPU 6 0 1 は、図 2 3 を参照して説明するリール停止制御処理を行う (S 8) 。この処理では、ストップスイッチ 7 L S , 7 C S , 7 R S の入力のチェックが行われ、ストップボタン 1 7 L , 1 7 C , 1 7 R が押されたタイミングと内部当籤役とに基づいて該当リール 3 L , 3 C , 3 R の回転が停止される。

【 0 1 8 1 】

次に、メイン CPU 6 0 1 は、入賞判定ライン (センターライン 8) に沿って表示された図柄の組合せを検索し、その結果に基づいて払出枚数等を決定する (S 9) 。検索の結果、入賞判定ライン (センターライン 8) に沿って表示された図柄の組合せが図柄組合せテーブルにより規定されている図柄の組合せと一致する場合、対応する表示役及び払出枚数が決定される。

【 0 1 8 2 】

10

20

30

40

50

次に、メインCPU601は、表示コマンドを副制御回路70に対して送信する(S10)。表示コマンドは、表示役や払出枚数等を特定するパラメータを含んで構成される。表示コマンドは、メインCPU601内のUART601Aから主基板通信LSI610及び副基板通信LSI710を通じてサブCPU701に供給される。

【0183】

次に、メインCPU601は、メダル払出処理を行う(S11)。決定された払出枚数に基づいて、ホッパー装置34の駆動やクレジット枚数の更新が行われる。

【0184】

次に、メインCPU601は、払出枚数に基づいて、ボーナス終了枚数カウンタを更新する(S12)。払出枚数として決定された数値がボーナス終了枚数カウンタから減算される。

10

【0185】

次に、メインCPU601は、ボーナス作動中フラグがオンであるか否かを判別する(S13)。メインCPU601は、ボーナス作動中フラグがオンであると判別したときには、図25を参照して説明するボーナス終了チェック処理を行う(S14)。ボーナス終了チェック処理では、ボーナスの終了契機を管理するための各種カウンタを参照して、ボーナスの作動を終了するか否かがチェックされる。

【0186】

メインCPU601は、S14の後、又は、S13においてボーナス作動中フラグがオンではないと判別したときには、図24を参照して説明するボーナス作動チェック処理を行う(S15)。ボーナス作動チェック処理では、ボーナスの作動を開始するか否かがチェックされる。この処理が終了すると、メインCPU601は、S2に移る。

20

【0187】

[メダル受付・スタートチェック処理]

図21は、メインCPU601によるメダル受付・スタートチェック処理を示す。図21に示すように、メインCPU601は、自動投入カウンタは0であるか否かを判別する(S31)。メインCPU601は、自動投入カウンタは0であると判別したときには、メダル通過許可を行う(S32)。これにより、セレクト51のソレノイドの駆動が行われ、セレクト内のメダルの通過が促される。

【0188】

メインCPU601は、自動投入カウンタは0ではないと判別したときには、自動投入カウンタを投入枚数カウンタに複写する(S33)。次に、メインCPU601は、自動投入カウンタをクリアする(S34)。S33及びS34は、再遊技を行うための処理である。

30

【0189】

メインCPU601は、S32又はS34の後で、投入枚数カウンタの最大値として3をセットする(S35)。次に、メインCPU601は、ボーナス作動中フラグがオンであるか否かを判別する(S36)。メインCPU601は、ボーナス作動中フラグがオンであると判別したときには、投入枚数カウンタの最大値を変更する(S37)。例えば、最大値が2に変更される。

40

【0190】

メインCPU601は、S37の後、又は、S36においてボーナス作動中フラグがオンではないと判別したときには、メダルの通過は検出されたか否かを判別する(S38)。メインCPU601は、メダルの通過は検出されたと判別したときには、投入枚数カウンタは最大値に達したか否かを判別する(S39)。メインCPU601は、投入枚数カウンタは最大値に達していないと判別したときには、投入枚数カウンタを1加算する(S40)。

【0191】

次に、メインCPU601は、有効ラインカウンタに5を格納する(S41)。次に、メインCPU601は、メダル投入コマンドを副制御回路70に対して送信する(S42

50

)。メダル投入コマンドは、投入枚数等を特定するためのパラメータを含んで構成されている。メダル投入コマンドは、メインCPU601内のUART601Aから主基板通信LSI610及び副基板通信LSI710を通じてサブCPU701に供給される。

【0192】

メインCPU601は、S39において投入枚数カウンタは最大値であると判別したときには、クレジットカウンタを1加算する(S43)。メインCPU601は、S43の後、S42の後、又は、S38においてメダルの通過が検出されていないと判別したときには、ベットスイッチ13Sのチェックを行う(S44)。これにより、ベットボタン12に対応する数値が投入枚数カウンタに加算される一方でクレジットカウンタから減算される。

10

【0193】

次に、メインCPU601は、投入枚数カウンタは最大値に達したか否かを判別する(S45)。メインCPU601は、投入枚数カウンタは最大値に達していないと判別したときには、S38に移る一方で、投入枚数カウンタは最大値に達したと判別したときには、スタートスイッチ6Sはオンであるか否かを判別する(S46)。

【0194】

メインCPU601は、スタートスイッチ6Sはオンではないと判別したときには、S38に移る一方で、スタートスイッチ6Sはオンであると判別したときには、メダル通過禁止を行う(S47)。セレクト51のソレノイドの駆動が行われず、メダルの排出が促される。この処理が終了すると、メインCPU601は、メダル受付・スタートチェック処理を終了する。

20

【0195】

[内部抽籤処理]

図22は、メインCPU601による内部抽籤処理を示す。図22に示すように、メインCPU601は、内部抽籤テーブル及び抽籤回数を決定する(S61)。これにより、作動中フラグ格納領域が参照され、ボーナスの作動の有無等に応じて、内部抽籤テーブル及び抽籤回数が決定される。なお、抽籤回数は、内部抽籤テーブルにより規定された各当籤番号について、抽籤値の減算及び桁かりが生じたか否かの判定を行う回数を示す。

【0196】

次に、メインCPU601は、乱数値格納領域に格納されている乱数値を取得し、判定用乱数値としてセットする(S62)。次に、メインCPU601は、当籤番号の初期値として1をセットする(S63)。

30

【0197】

次に、メインCPU601は、内部抽籤テーブルを参照し、当籤番号に対応する抽籤値を取得する(S64)。次に、メインCPU601は、判定用乱数値から抽籤値を減算する(S65)。次に、メインCPU601は、桁かりが行われたか否かを判別する(S66)。メインCPU601は、桁かりが行われていないと判別したときには、抽籤回数を1減算し、当籤番号を1加算する(S67)。

【0198】

次に、メインCPU601は、抽籤回数は0であるか否かを判別する(S68)。メインCPU601は、抽籤回数は0ではないと判別したときには、S64に移る一方で、抽籤回数は0であると判別したときには、小役・リプレイ用データポイントとして0をセットし、ボーナス用データポイントとして0をセットする(S69)。

40

【0199】

メインCPU601は、S66において桁かりが行われたと判別したときには、現在の当籤番号に応じて、小役・リプレイ用データポイント及びボーナス用データポイントを取得する(S70)。メインCPU601は、S70又はS69の後で、小役・リプレイ用内部当籤役決定テーブルを参照し、小役・リプレイ用データポイントに基づいて内部当籤役を取得する(S71)。

【0200】

50

次に、メインCPU601は、取得した内部当籤役を内部当籤役格納領域に格納する(S72)。次に、メインCPU601は、持越役格納領域に格納されているデータは0であるか否かを判別する(S73)。メインCPU601は、持越役格納領域に格納されているデータは0であると判別したときは、ボーナス用内部当籤役決定テーブルを参照し、ボーナス用データポイントに基づいて内部当籤役を取得する(S74)。次に、メインCPU601は、取得した内部当籤役を持越役格納領域に格納する(S75)。

【0201】

メインCPU601は、S75の後、又は、S73において持越役格納領域に格納されているデータは0ではないと判別したときには、持越役格納領域と内部当籤役格納領域との論理和をとり、その結果を内部当籤役格納領域に格納する(S76)。これにより、ボーナスの作動に係る内部当籤役の持ち越しが行われる。この処理が終了すると、メインCPU601は、内部抽籤処理を終了する。

10

【0202】

[リール停止制御処理]

図23は、メインCPU601によるリール停止制御処理を示す。図23に示すように、メインCPU601は、有効なストップボタン17L, 17C, 17Rが押されたか否かを判別する(S101)。メインCPU601は、有効なストップボタン17L, 17C, 17Rが押されていないと判別したときには、これが押されるまで待機する。

【0203】

メインCPU601は、有効なストップボタン17L, 17C, 17Rが押されたと判別したときには、該当するストップボタン17L, 17C, 17Rの操作を無効化する(S102)。各ストップボタン17L, 17C, 17Rの有効及び無効の状態は、メインRAM603に設けられた所定の格納領域において管理される。

20

【0204】

次に、メインCPU601は、チェック回数として5をセットする(S103)。本実施形態では、滑りコマ数の最大数を「4」としていることから、ストップボタン17L, 17C, 17Rが押されたときに該当表示窓4L, 4C, 4Rの中段にある図柄の位置を含め、そこから4コマ先の図柄の位置までがチェックの対象となる。つまり、「0」、「1」、「2」、「3」及び「4」の5つの数値の何れかが滑りコマ数として決定される。

【0205】

30

次に、メインCPU601は、内部当籤役に基づいて、ストップボタン17L, 17C, 17Rが押されたときに対応する表示窓4L, 4C, 4Rの中段にある図柄の位置(以下、停止開始位置)を含めたチェック回数の範囲内にある各図柄の位置の中で、最も優先順位の高い図柄の位置を検索する(S104)。この処理では、内部当籤役によって表示が許可されている図柄の組合せを、入賞判定ライン(センターライン8)に沿って表示することが可能となる図柄の位置が、最も優先順位の高い図柄の位置として決定される。

【0206】

次に、メインCPU601は、検索の結果に基づいて滑りコマ数を決定する(S105)。停止開始位置から上記最も優先順位の高い図柄の位置までの図柄の個数が滑りコマ数として決定される。次に、メインCPU601は、停止予定位置待ちへ移行する(S106)。停止予定位置待ちへ移行すると、後述の割込処理によってステッピングモータ50L, 50C, 50Rの駆動が制御され、最も優先順位の高い図柄の位置が対応する表示窓4L, 4C, 4Rの中段に到達するのを待って該当リール3L, 3C, 3Rの回転が停止される。

40

【0207】

次に、メインCPU601は、リール停止コマンドを副制御回路70に対して送信する(S107)。リール停止コマンドは、停止したリールの種別等を特定するパラメータを含んで構成されている。リール停止コマンドは、メインCPU601内のUART601Aから主基板通信LSI610及び副基板通信LSI710を通じてサブCPU701に供給される。

50

【 0 2 0 8 】

次に、メインCPU601は、操作が有効なストップボタン17L, 17C, 17Rがあるか否かを判別する(S108)。つまり、まだ回転中のリール3L, 3C, 3Rがあるか否かが判別される。メインCPU601は、操作が有効なストップボタン17L, 17C, 17Rがあると判別したときには、S101に移る一方で、操作が有効なストップボタン17L, 17C, 17Rがないと判別したときには、リール停止制御処理を終了する。

【 0 2 0 9 】

[ボーナス作動チェック処理]

図24は、メインCPU601によるボーナス作動チェック処理を示す。図24に示すように、メインCPU601は、表示役はBBであるか否かを判別する(S121)。メインCPU601は、表示役はBBであると判別したときには、ボーナス作動時テーブルを参照し、BB作動時処理を行う(S122)。この処理では、BB作動中フラグがオンにされ、ボーナス終了枚数カウンタに所定値がセットされる。

10

【 0 2 1 0 】

次に、メインCPU601は、持越役格納領域をクリアする(S123)。次に、メインCPU601は、ボーナス開始コマンドを副制御回路に対して送信する(S124)。ボーナス開始コマンドは、メインCPU601内のUART601Aから主基板通信LSI610及び副基板通信LSI710を通じてサブCPU701に供給される。この処理が終了すると、メインCPU601は、ボーナス作動チェック処理を終了する。

20

【 0 2 1 1 】

メインCPU601は、S121において表示役はBBではないと判別したときには、表示役はリプレイであるか否かを判別する(S125)。メインCPU601は、表示役はリプレイであると判別したときには、投入枚数カウンタの値を自動投入カウンタに複写する(S126)。

【 0 2 1 2 】

メインCPU601は、S125において表示役はリプレイではないと判別したときには、BB作動中フラグはオンであるか否かを判別する(S127)。メインCPU601は、BB作動中フラグはオンではないと判別したときには、ボーナス作動チェック処理を終了する一方で、BB作動中フラグはオンであると判別したときには、RB作動中フラグはオンであるか否かを判別する(S128)。

30

【 0 2 1 3 】

メインCPU601は、RB作動中フラグはオンであると判別したときには、ボーナス作動チェック処理を終了する一方で、RB作動中フラグはオンではないと判別したときには、ボーナス作動時テーブルを参照し、RB作動時処理を行う(S129)。この処理では、RB作動中フラグがオンにされ、入賞可能回数カウンタ及び遊技可能回数カウンタに所定値がセットされる。この処理が終了すると、メインCPU601は、ボーナス作動チェック処理を終了する。

【 0 2 1 4 】

[ボーナス終了チェック処理]

図25は、メインCPU601によるボーナス終了チェック処理を示す。図25に示すように、メインCPU601は、ボーナス終了枚数カウンタは0であるか否かを判別する(S141)。メインCPU601は、ボーナス終了枚数カウンタは0であると判別したときには、BB終了時処理を行う(S142)。この処理では、BB作動中フラグ及びRB作動中フラグがオフされ、ボーナスの終了契機を管理するための各種カウンタがクリアされる。次に、メインCPU601は、ボーナス終了コマンドを副制御回路70に対して送信する(S143)。ボーナス終了コマンドは、メインCPU601内のUART601Aから主基板通信LSI610及び副基板通信LSI710を通じてサブCPU701に供給される。この処理が終了すると、メインCPU601は、ボーナス終了チェック処理を終了する。

40

50

【0215】

メインCPU601は、S141においてボーナス終了枚数カウンタは0ではないと判別したときには、入賞可能回数カウンタ又は遊技可能回数カウンタを更新する(S144)。これにより、遊技可能回数カウンタが1減算され、また、入賞があった場合に入賞可能回数カウンタが1減算される。次に、メインCPU601は、入賞可能回数カウンタ又は遊技可能回数カウンタは0であるか否かを判別する(S145)。

【0216】

メインCPU601は、入賞可能回数カウンタ又は遊技可能回数カウンタは0ではないと判別したときには、ボーナス終了チェック処理を終了する一方で、入賞可能回数カウンタ又は遊技可能回数カウンタは0であると判別したときには、RB終了時処理を行う(S146)。この処理では、RB作動中フラグがオフされ、入賞可能回数カウンタ及び遊技可能回数カウンタがクリアされる。この処理が終了すると、メインCPU601は、ボーナス終了チェック処理を終了する。

10

【0217】

次に、図27~31に示すフローチャートを参照して、副制御回路70の遊技に関する動作について説明する。

【0218】

[受信割込み処理]

図27は、サブCPU701による受信割込み処理を示す。図27に示すように、サブCPU701は、主制御回路60(メインCPU601)から主基板通信LSI610及び副基板通信LSI710を経由して供給された受信データを取得する(S181)。このとき、受信データは、サブCPU701内のUART701Aを通じてシリアルデータとして受信される。

20

【0219】

次に、サブCPU701は、受信データは「STX」であるか否かを判別する(S182)。サブCPU701は、受信データは「STX」であると判別したときは、受信データバッファ及び受信カウンタをクリアするとともに、受信エラーフラグをオフにセットし(S183)、後述のS196に移る。受信データバッファ、受信カウンタ、受信エラーフラグは、サブRAM703の所定領域に確保される。受信データバッファは、受信データを一時記憶するために用いられる。受信カウンタは、例えば受信データをバイトナンバーで示されるブロック単位で1Byteずつ計数するために用いられる。受信エラーフラグは、データ受信時のエラーの有無を識別するために用いられる。

30

【0220】

S182において、受信データは「STX」でないと判別すると、サブCPU701は、受信データは「DLE」であるか否かを判別する(S184)。サブCPU701は、受信データは「DLE」であると判別したときは、エスケープ処理フラグをオンにセットし(S185)、後述のS196に移る。エスケープ処理フラグは、サブRAM703の所定領域に確保される。エスケープ処理フラグは、エスケープ処理を実行する必要があるか無いかを識別するために用いられる。

【0221】

S184において、受信データは「DLE」でないと判別すると、サブCPU701は、エスケープ処理フラグはオンであるか否かを判別する(S186)。サブCPU701は、エスケープ処理フラグはオンであると判別した場合は、受信データについてエスケープ処理を実行し(S187)、その後、エスケープ処理フラグをオフにセットする(S188)。

40

【0222】

サブCPU701は、S188の後、又は、S186においてエスケープ処理フラグはオンでないと判別した場合は、受信データ及び受信ステータスをサブRAM703の所定領域に保存する(S189)。次に、サブCPU701は、受信カウンタを1加算して更新する(S190)。

50

【 0 2 2 3 】

次に、サブCPU701は、タイムアウトタイマをセットする(S191)。タイムアウトタイマは、データ受信時の通信エラーの有無を受信待ち時間によって判別するためのものである。本実施形態において、サブCPU701のタイムアウトタイマは、後述する主基板通信LSI610や副基板通信LSI710のタイムアウトタイマにより計時される受信待ち時間よりも長い例えば8Byte分程度のデータを受信するための待ち時間が計時されるように構成されている。

【 0 2 2 4 】

次に、サブCPU701は、受信カウンタは16Byteを計数したか否かを判別する(S192)。サブCPU701は、受信カウンタは16Byteを計数したと判別した場合は、タイムアウトタイマをクリアし(S193)、その後、S194に移る。サブCPU701は、受信カウンタは16Byteを計数していないと判別した場合は、後述のS196に移る。

10

【 0 2 2 5 】

次に、サブCPU701は、受信データの中からコマンド部に相当するデータと受信ステータスデータとを抽出し、これらのデータを受信データ登録キューに登録する(S194)。受信データ登録キューは、サブRAM703の所定領域に確保される。

【 0 2 2 6 】

次に、サブCPU701は、図29を参照して説明する通信LSI受信データ解析処理を行う(S195)。この通信LSI受信データ解析処理によれば、メインCPU601と主基板通信LSI610との間における通信エラー、主基板通信LSI610と副基板通信LSI710との間における通信エラー、副基板通信LSI710とサブCPU701との間における通信エラー等といった全ての通信経路上における各種の通信エラーが特定される。この通信LSI受信データ解析処理については後述する。

20

【 0 2 2 7 】

次に、サブCPU701は、副基板通信LSI710から供給された受信データに物理層エラーはあるか否かを判別する(S196)。この物理層エラーの有無を判別する処理は、主としてサブCPU701に内蔵されたUART701Aにより行われる。この際に検出され得る物理層エラーは、受信データ内の受信ステータス(バイトナンバーD11, D12に示される主基板通信LSI610及び副基板通信LSI710に係る受信ステータス)ではなく、サブCPU701がデータを受信した際にUART701Aにより検出されるオーバーランエラー、フレーミングエラー、パリティエラー等である。

30

【 0 2 2 8 】

S196において、受信データに物理層エラーがあると判別すると、サブCPU701は、受信エラーフラグをオンにセットする(S197)。その後、サブCPU701は、受信割込み処理を終了する。受信データに物理層エラーはないと判別すると、サブCPU701は、受信割込み処理を終了する。

【 0 2 2 9 】

[主基板通信処理]

図28は、サブCPU701による主基板通信処理を示す。図28に示すように、サブCPU701は、タイムアウトは発生したか否かを判別する(S201)。タイムアウトは、タイムアウトタイマにより計時される待ち時間を経過しても16Byte分のデータが受信されない場合に発生する。

40

【 0 2 3 0 】

S201において、タイムアウトは発生したと判別すると、サブCPU701は、'COM3 ERR2'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録する(S202)。一方、タイムアウトは発生しなかったと判別すると、サブCPU701は、後述のS204に移る。次に、サブCPU701は、受信データバッファ及び受信カウンタをクリアし(S203)、S201に移る。

【 0 2 3 1 】

50

次に、サブCPU701は、受信データ登録キューから受信データ（コマンドデータと受信タスデータ）を取得する（S204）。そして、サブCPU701は、受信データ登録キューに受信データはあるか否かを判別する（S205）。

【0232】

S205において、受信データ登録キューに受信データはありと判別した場合、サブCPU701は、次のS206に移る。一方、受信データ登録キューに受信データはないと判別した場合、サブCPU701は、S201に移る。

【0233】

次に、サブCPU701は、取得した受信ステータスの内容に基づき、受信データにはエラーがないか否かを判別する（S206）。受信データにはエラーがないと判別した場合、サブCPU701は、コマンドデータの範囲についてチェックを行う（S207）。すなわち、サブCPU701は、コマンドデータのデータ種別を確認する。一方、受信データにはエラーがあると判別した場合、サブCPU701は、S201に移る。

10

【0234】

次に、サブCPU701は、コマンドデータは所定の範囲内（所定のデータ種別）にあるか否かを判別する（S208）。コマンドデータは所定の範囲内にあると判別した場合、サブCPU701は、受信データについてBCCチェック処理を行う（S209）。このBCCチェック処理は、パケットデータP0～P6のチェックサムとして再算出したBCCとパケットデータP7に収められたBCCとが一致するか否かに基づいて行われる。一方、コマンドデータは所定の範囲内ないと判別した場合、サブCPU701は、S201に移る。

20

【0235】

次に、サブCPU701は、BCCチェック処理の結果としてBCCは正常か否かを判別する（S210）。BCCは正常と判別した場合、サブCPU701は、コマンドデータからコマンドの種別を抽出する（S211）。コマンドの種別としては、例えば、スタートコマンド、表示コマンド、メダル投入コマンド、リール停止コマンド、ボーナス開始コマンド、ボーナス終了コマンド等のほか、無操作状態を示す無操作コマンド等がある。一方、BCCは正常でないとして判別した場合、サブCPU701は、S201に移る。

【0236】

次に、サブCPU701は、コマンド種別が無操作コマンドか否かを判別する（S212）。無操作コマンドではないその他のコマンドと判別した場合、サブCPU701は、今回のコマンドとして前回と異なるコマンドを受信したか否かを判別する（S213）。一方、無操作コマンドであると判別した場合、サブCPU701は、S201に移る。

30

【0237】

S213において、今回のコマンドとして前回と異なるコマンドを受信したと判別した場合、サブCPU701は、今回受信したコマンドをメッセージキューに登録し（S214）、S201に移る。一方、今回のコマンドとして前回と同じコマンドを受信したと判別した場合、サブCPU701は、そのままS201に移る。

【0238】

[通信LSI受信データ解析処理]

図29は、サブCPU701による通信LSI受信データ解析処理を示す。図29に示すように、サブCPU701は、受信データのうちのバイトナンバーD0～D13のデータについて巡回冗長検査によりCRCを算出する（S221）。

40

【0239】

次に、サブCPU701は、算出したCRCは異常か否かを判別する（S222）。CRCは異常と判別した場合、サブCPU701は、'COM3 ERR1'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする（S223）。一方、CRCは正常と判別した場合、サブCPU701は、次のS224に移る。

【0240】

50

次に、サブCPU701は、受信データの中から主基板通信LSI受信ステータスを取得する(S224)。そして、サブCPU701は、主基板通信LSI受信ステータスに物理層エラーはあるか否かを判別する(S225)。

【0241】

S225において、主基板通信LSI受信ステータスに物理層エラーがあると判別した場合、サブCPU701は、'COM1 ERR1'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする(S226)。一方、物理層エラーはないと判別した場合、サブCPU701は、次のS227に移る。

【0242】

次に、サブCPU701は、受信データの中から副基板通信LSI受信ステータスを取得する(S227)。そして、サブCPU701は、副基板通信LSI受信ステータスに物理層エラーはあるか否かを判別する(S228)。

【0243】

S228において、副基板通信LSI受信ステータスに物理層エラーがあると判別した場合、サブCPU701は、'COM2 ERR1'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする(S229)。一方、物理層エラーはないと判別した場合、サブCPU701は、次のS230に移る。

【0244】

次に、サブCPU701は、受信データの中から副基板通信LSIパケット種別を取得する(S230)。そして、サブCPU701は、取得した副基板通信LSIパケット種別から論理エラー種類として主基板通信LSIサイズ不足はあるか否かを判別する(S231)。

【0245】

S231において、副基板通信LSIパケット種別に論理エラー種類として主基板通信LSIサイズ不足があると判別した場合、サブCPU701は、'COM1 ERR2'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする(S232)。一方、主基板通信LSIサイズ不足はないと判別した場合、サブCPU701は、次のS233に移る。

【0246】

次に、サブCPU701は、取得した副基板通信LSIパケット種別から論理エラー種類として副基板通信LSIサイズ不足はあるか否かを判別する(S233)。

【0247】

S233において、副基板通信LSIパケット種別に論理エラー種類として副基板通信LSIサイズ不足があると判別した場合、サブCPU701は、'COM2 ERR2'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする(S234)。一方、副基板通信LSIサイズ不足はないと判別した場合、サブCPU701は、次のS235に移る。

【0248】

次に、サブCPU701は、取得した副基板通信LSIパケット種別から論理エラー種類として副基板通信LSIのCRCエラーはあるか否かを判別する(S235)。

【0249】

S235において、副基板通信LSIパケット種別に論理エラー種類として副基板通信LSIのCRCエラーがあると判別した場合、サブCPU701は、'COM2 ERR3'を該当するエラー情報としてサブRAM703のエラー情報履歴格納領域703dに登録するとともに、受信エラーフラグをオンにセットする(S236)。その後、サブCPU701は、通信LSI受信データ解析処理を終了する。一方、副基板通信LSIのCRCエラーはないと判別した場合、サブCPU701は、サブCPU701は、通信LSI受信データ解析処理を終了する。

10

20

30

40

50

【 0 2 5 0 】

[サブCPUにより行われる演出登録タスク]

図30は、サブCPU701により行われる演出登録タスクを示す。図30に示すように、サブCPU701は、メッセージキューからメッセージを取り出す(S241)。次に、サブCPU701は、メッセージは有るか否かを判別する(S242)。サブCPU701は、メッセージは有ると判別したときには、メッセージから遊技情報を複写する(S243)。例えば、パラメータによって特定される、内部当籤役、回転が停止したリールの種別、表示役、作動中フラグ等といった各種データがサブRAM703に設けられた所定の格納領域に複写される。

【 0 2 5 1 】

次に、サブCPU701は、図31を参照して説明する演出内容決定処理を行う(S244)。この処理では、受信したコマンドの種別に応じて、演出内容の決定や演出データの登録等が行われる。

【 0 2 5 2 】

サブCPU701は、S244の後、又は、S242においてメッセージは無かったと判別したときには、アニメーションデータの登録を行う(S245)。次に、サブCPU701は、サウンドデータの登録を行う(S246)。次に、サブCPU701は、ランプデータの登録を行う(S247)。アニメーションデータの登録、サウンドデータの登録及びランプデータの登録は、演出内容決定処理において登録された演出データに基づいて行われる。この処理が終了すると、S241に移る。

【 0 2 5 3 】

[演出内容決定処理]

図31は、サブCPU701による演出内容決定処理を示す。図31に示すように、サブCPU701は、スタートコマンド受信時であるか否かを判別する(S261)。サブCPU701は、スタートコマンド受信時であると判別したときには、演出用乱数値を抽出し、内部当籤役等に基づいて演出番号を抽籤により決定し、登録する(S262)。演出番号は、今回において実行する演出内容を指定するデータである。

【 0 2 5 4 】

次に、サブCPU701は、登録されている演出番号に基づいて、スタート時の演出データを登録する(S263)。演出データは、アニメーションデータ、サウンドデータ、及びランプデータを指定するデータである。演出データが登録されると、対応するアニメーションデータ等が決定され、映像の表示等の演出が実行される。この処理が終了すると、サブCPU701は、演出内容決定処理を終了する。

【 0 2 5 5 】

次に、サブCPU701は、スタートコマンド受信時ではないと判別したときには、リール停止コマンド受信時であるか否かを判別する(S264)。サブCPU701は、リール停止コマンド受信時であると判別したときには、登録されている演出番号とストップボタンの種別に基づいて、停止時の演出データを登録する(S265)。この処理が終了すると、サブCPU701は、演出内容決定処理を終了する。

【 0 2 5 6 】

次に、サブCPU701は、リール停止コマンド受信時ではないと判別したときには、表示コマンド受信時であるか否かを判別する(S266)。サブCPU701は、表示コマンド受信時であると判別したときには、登録されている演出番号に基づいて、表示時の演出データを登録する(S267)。この処理が終了すると、サブCPU701は、演出内容決定処理を終了する。

【 0 2 5 7 】

次に、サブCPUサブCPU701は、表示コマンド受信時ではないと判別したときには、ボーナス開始コマンド受信時であるか否かを判別する(S268)。サブCPU701は、ボーナス開始コマンド受信時であると判別したときには、ボーナス開始用の演出データを登録する(S269)。この処理が終了すると、サブCPU701は、演出内容決

10

20

30

40

50

定処理を終了する。

【0258】

次に、サブCPU701は、ボーナス開始コマンド受信時ではないと判別したときには、ボーナス終了コマンド受信時であるか否かを判別する(S270)。サブCPU701は、ボーナス終了コマンド受信時ではないと判別したときには、演出内容決定処理を終了する。一方、ボーナス終了コマンド受信時であると判別した場合、サブCPU701は、ボーナス終了用の演出データを登録する(S261)。この処理が終了すると、サブCPU701は、演出内容決定処理を終了する。

【0259】

上述したように、サブCPU701による受信割込み処理、主基板通信処理、及び通信LSI受信データ解析処理によれば、各種の通信に係るエラー情報がサブRAM703のエラー情報履歴格納領域703dに登録される。サブRAM703に登録されたエラー情報は、例えばホールコンピュータ等といった遠隔のデータ管理サーバに送信可能とされ、エラーの原因をパチスロ単体だけでなくホールコンピュータ等でも解析可能である。

【0260】

次に、係員がエラー情報履歴を利用する際におけるパチスロ1について説明する。パチスロ1のサブCPU701は、図33に示すエラー情報履歴を液晶表示装置10に表示させるために、係員による通常操作と簡易操作との2種類の操作法を採用している。通常操作を実行する場合は、係員がドアキー110を右回転させてフロントドア2bのロック機構を解放し、設定キーをオン操作して設定用鍵型スイッチをオンにすることで、液晶表示領域10Aに図32に示すメニュー画面が表示される。そして、係員が操作キーを操作して、「エラー情報履歴」項目100aを選択することで、液晶表示領域10Aに図33に示すエラー情報履歴画面が表示される。一方、簡易操作を実行する場合は、係員は、エラー発生時や非遊技時にドアキー110を左回転させてエラーのリセットを行い、その状態を一定時間、例えば5秒間以上保持する。これにより、液晶表示領域10Aには、図33に示すエラー情報履歴画面が表示される。

【0261】

サブCPU701は、係員が選択ボタン11Aと決定ボタン11Bを用いて、「エラー情報履歴」項目100aを選択する操作を検出すると、図33に示すように、液晶表示領域10Aにエラー情報履歴を表示する。エラー情報履歴には、例えば図中にハッチングで示すように、通信に係るCOMエラーとして、前述した「COM1 ERR1 (COM1エラー1)」、「COM3 ERR2 (COM3エラー2)」、「COM2 ERR1 (COM2エラー1)」、「COM2 ERR3 (COM2エラー3)」等が含まれる場合がある。

【0262】

なお、サブCPU701は、係員が選択ボタン11Aと決定ボタン11Bを用いて、例えば「COM2 ERR3 (COM2エラー3)」項目100bを選択する操作を検出すると、当該エラー情報履歴に基づいて送信情報を生成し、当該送信情報がホールコンピュータ等に送信されるように構成することも可能である。

【0263】

次に、図44～53に示すフローチャートを参照して、主基板通信LSI610及び副基板通信LSI710の通信に係る動作について説明する。

【0264】

[メイン制御シーケンス(主基板通信LSI)]

図44は、主基板通信LSIによるメイン制御シーケンスを示す。図44に示すように、主基板通信LSI610の専用コントローラ611は、図46を参照して説明する初期設定処理を行う(S401)。この初期設定処理によれば、予め定められた通信仕様に基づいて通信に係る各種の設定情報がセットされる。初期設定処理については後述する。

【0265】

次に、専用コントローラ611は、図47を参照して説明する受信処理を行う(S40

10

20

30

40

50

2)。この受信処理によれば、メインCPU601から供給されるコマンド等のデータが通信仕様に基づいて受信される。この受信処理については後述する。

【0266】

次に、専用コントローラ611は、送信要求はあるか否かを判別する(S403)。このような送信要求の有無は、後述の送信要求フラグに基づいて判別される。送信要求があると判別した場合、専用コントローラ611は、図48を参照して説明する送信処理を行う(S404)。その後、専用コントローラ611は、S402に移る。一方、送信要求はないと判別した場合、専用コントローラ611は、送信処理を行うことなくS402に移る。送信処理については後述する。

【0267】

[受信割込み処理(主基板通信LSI)]

図45は、主基板通信LSIによる受信割込み処理を示す。図45に示すように、主基板通信LSI610の専用コントローラ611は、メインCPU601からUART601A及び第1UART615を経由して供給された受信データを取得する(S421)。

【0268】

次に、専用コントローラ611は、メインCPU601から供給された受信データに物理層エラーはあるか否かを判別する(S422)。この物理層エラーの有無を判別する処理は、主として主基板通信LSI610に内蔵された第1UART615により行われる。この際に検出され得る物理層エラーは、第1UART615により検出されるオーバーランエラー、フレーミングエラー、パリティエラー等である。

【0269】

S422において、受信データに物理層エラーがあると判別すると、専用コントローラ611は、検出した物理層エラーを主基板通信LSI受信ステータスにセットし(S423)、その後S424に移る。主基板通信LSI受信ステータスは、図37に示すように、主基板通信LSI610から副基板通信LSI710へと送信されるシリアルデータのバイトナンバーD11のブロックにセットされる。一方、受信データに物理層エラーはないと判別すると、専用コントローラ611は、後のS425に移る。

【0270】

次に、専用コントローラ611は、エラーカウンタを1加算して更新する(S424)。このようなエラーカウンタは、主基板通信LSI受信ステータスのうちのビットナンバーB0~B3にセットされ、エラーカウンタにより受信エラー発生総数が示される(図39参照)。

【0271】

次に、専用コントローラ611は、メインCPU601からの受信データを送信バッファ(キャッシュメモリ613)に順次保存し(S425)、その後、受信カウンタを1加算して更新する(S426)。受信カウンタは、メインCPU601から8Byte固定長のデータサイズで送られてくるデータを計数するために用いられる。

【0272】

次に、専用コントローラ611は、タイムアウトタイマをセットし(S427)、この受信割込み処理を終了する。タイムアウトタイマは、データ受信時の通信エラーの有無を受信待ち時間によって判別するためのものである。本実施形態において、主基板通信LSI610における受信時のタイムアウトタイマは、パケット単位(伝送単位)で通信エラーを検出するために、少なくとも1Byte分のデータを受信することが可能な待ち時間が計時されるようになっている。具体的にいうと、主基板通信LSI610のタイムアウトタイマは、例えば48ビット(6Byte)分のデータを受信することが可能な待ち時間として、通信速度19200bpsを基に2.5msecが計時されるように構成されている。

【0273】

[初期設定処理(主基板通信LSI)]

図46は、主基板通信LSIによる初期設定処理を示す。図46に示すように、主基板

10

20

30

40

50

通信 L S I 6 1 0 の専用コントローラ 6 1 1 は、第 1 U A R T 6 1 5 について初期設定を行う (S 4 4 1) 。具体的にいうと、専用コントローラ 6 1 1 は、設定レジスタ 6 1 2 に予め記憶されている通信仕様等に基づく設定データを参照し、第 1 U A R T 6 1 5 のコントロールレジスタにボーレート (送受信に係る通信速度) 、送受信時のデータ長、パリティ、ストップビット等をセットする。本実施形態においては、例えば、メイン C P U 6 0 1 との間の通信速度が 1 9 2 0 0 b p s 、データ長が 8 ビット、パリティが偶数パリティ、ストップビットが 1 ビットとしてセットされる。

【 0 2 7 4 】

次に、専用コントローラ 6 1 1 は、受信に係る通信速度のボーレート設定値から第 1 U A R T 6 1 5 の受信時におけるタイムアウト値を算出する (S 4 4 2) 。具体的にいうと、専用コントローラ 6 1 1 は、例えばボーレート設定値が 1 9 2 0 0 b p s で少なくとも 4 8 ビット分のデータを受信する場合、 $1 / \text{ボーレート} \times 4 8$ によりタイムアウト値として 2 . 5 m s e c を得る。こうして得られたタイムアウト値は、タイムアウトタイマにセットされる。

10

【 0 2 7 5 】

次に、専用コントローラ 6 1 1 は、第 2 U A R T 6 1 6 について初期設定を行い (S 4 4 2) 、この初期設定処理を終了する。具体的にいうと、専用コントローラ 6 1 1 は、設定レジスタ 6 1 2 に予め記憶されている通信仕様等に基づく設定データを参照し、第 2 U A R T 6 1 6 のコントロールレジスタにボーレート (受信に係る通信速度) 、送受信時のデータ長、パリティ、ストップビット等をセットする。本実施形態においては、例えば、副基板通信 L S I 7 1 0 との間の通信速度が 1 1 5 2 0 0 b p s 、データ長が 8 ビット、パリティが偶数パリティ、ストップビットが 1 ビットとしてセットされる。

20

【 0 2 7 6 】

[受信処理 (主基板通信 L S I)]

図 4 7 は、主基板通信 L S I による受信処理を示す。図 4 7 に示すように、主基板通信 L S I 6 1 0 の専用コントローラ 6 1 1 は、メイン C P U 6 0 1 からの受信データの取得に際してタイムアウトタイマを用いてタイムアウトが発生したか否かを判別する (S 4 6 1) 。

【 0 2 7 7 】

S 4 6 1 において、タイムアウトが発生していないと判別した場合、専用コントローラ 6 1 1 は、この受信処理を終了する。一方、タイムアウトが発生したと判別した場合、専用コントローラ 6 1 1 は、パケット受信番号を 1 加算して更新する (S 4 6 2) 。

30

【 0 2 7 8 】

次に、専用コントローラ 6 1 1 は、受信データは 8 B y t e 未満か否かを判別する (S 4 6 3) 。受信データは 8 B y t e 未満であると判別した場合、専用コントローラ 6 1 1 は、主基板通信 L S I 受信ステータスにエラー情報としてタイムアウトをセットする (S 4 6 4) 。エラー情報としてのタイムアウトは、図 3 9 に示すように、主基板通信 L S I 受信ステータスにおけるビットナンバー B 7 のビットを「 1 」としてセットされる。一方、受信データは 8 B y t e 未満でない、すなわち少なくとも 8 B y t e の受信データであると判別した場合、専用コントローラ 6 1 1 は、次の S 4 6 5 に移る。

40

【 0 2 7 9 】

次に、専用コントローラ 6 1 1 は、送信要求フラグをセットし (S 4 6 5) 、この受信処理を終了する。送信要求フラグは、キャッシュメモリ 6 1 3 の所定領域に確保され、主基板通信 L S I 6 1 0 が送信すべきデータの有無を識別するために用いられる。

【 0 2 8 0 】

[送信処理 (主基板通信 L S I)]

図 4 8 は、主基板通信 L S I による送信処理を示す。図 4 8 に示すように、主基板通信 L S I 6 1 0 の専用コントローラ 6 1 1 は、送信要求フラグに基づいてデータの送信要求があるか否か、すなわちメイン C P U 6 0 1 からのコマンド等を含む受信データがあるか否かを判別する (S 4 8 1) 。

50

【 0 2 8 1 】

S 4 8 1において、データの送信要求があると判別した場合、専用コントローラ611は、パケット受信番号を送信バッファにセットする(S 4 8 2)。送信バッファは、キャッシュメモリ613の所定領域に確保され、メインCPU601からサブCPU701へと供給されるコマンド等を含む通信データ等を一時記憶するために用いられる。一方、データの送信要求がないと判別した場合、専用コントローラ611は、この送信処理を終了する。

【 0 2 8 2 】

次に、専用コントローラ611は、メインCPU601からの受信データ(パケットデータ:データ固定長8Byte)を送信バッファにセットする(S 4 8 3)。続いて、専用コントローラ611は、主基板通信LSI受信ステータスを送信バッファにセットする(S 4 8 4)。また、専用コントローラ611は、ダミーデータを送信バッファにセットする(S 4 8 5)。さらに、専用コントローラ611は、巡回冗長検査によりCRCを計算し、その計算結果としてのCRCデータを送信バッファにセットする(S 4 8 6)。これにより、送信バッファからは、バイトナンバーD0~D15の16Byteからなる外部通信データ(図37参照)がシリアル形式の送信データとして1Byteずつ順次出力される。このようにして主基板通信LSI610から副基板通信LSI710へと送信されるデータは、主基板通信LSI610においてマンチェスター変調及びAES暗号化された固定データ長16Byteのデータであり、通信仕様に基づいて通信速度115200bpsで伝送される。

【 0 2 8 3 】

次に、専用コントローラ611は、16Byte分のデータを送信したか否かを判別する(S 4 8 7)。16Byte分のデータを送信していないと判別した場合、専用コントローラ611は、第2UART616の送信ポートから送信データを送信し(S 4 8 8)、その後再びS 4 8 7に戻る。一方、16Byte分のデータを送信したと判別した場合、専用コントローラ611は、受信データ、受信カウンタ、及び送信要求フラグをクリアし(S 4 8 9)、この送信処理を終了する。

【 0 2 8 4 】

[メイン制御シーケンス(副基板通信LSI)]

図49は、副基板通信LSIによるメイン制御シーケンスを示す。図49に示すように、副基板通信LSI710の専用コントローラ711は、図51を参照して説明する初期設定処理を行う(S 5 0 1)。この初期設定処理によれば、予め定められた通信仕様に基づいて通信に係る各種の設定情報がセットされる。初期設定処理については後述する。

【 0 2 8 5 】

次に、専用コントローラ711は、図52を参照して説明する受信処理を行う(S 5 0 2)。この受信処理によれば、メインCPU601から主基板通信LSI610を通じて供給されるコマンド等を含む外部通信データが通信仕様に基づいて受信される。この受信処理については後述する。

【 0 2 8 6 】

次に、専用コントローラ711は、送信要求はあるか否かを判別する(S 5 0 3)。このような送信要求の有無は、後述の送信要求フラグに基づいて判別される。送信要求があると判別した場合、専用コントローラ711は、図53を参照して説明する送信処理を行う(S 5 0 4)。その後、専用コントローラ711は、S 5 0 2に移る。一方、送信要求はないと判別した場合、専用コントローラ711は、送信処理を行うことなくS 5 0 2に移る。送信処理については後述する。

【 0 2 8 7 】

[受信割込み処理(副基板通信LSI)]

図50は、副基板通信LSIによる受信割込み処理を示す。図50に示すように、副基板通信LSI710の専用コントローラ711は、主基板通信LSI610から第2UART716を経由して供給された受信データを取得する(S 5 2 1)。

【0288】

次に、専用コントローラ711は、主基板通信LSI610から供給された受信データに物理層エラーはあるか否かを判別する(S522)。この物理層エラーの有無を判別する処理は、主として副基板通信LSI710に内蔵された第2UART716により行われる。この際に検出され得る物理層エラーは、第2UART716により検出されるオーバーランエラー、フレーミングエラー、パリティエラー等である。

【0289】

S522において、受信データに物理層エラーはあると判別すると、専用コントローラ711は、検出した物理層エラーを副基板通信LSI受信ステータスにセットし(S523)、その後S524に移る。副基板通信LSI受信ステータスは、図38に示すように、副基板通信LSI710からサブCPU701へと送信されるシリアルデータのバイトナンバーD12のブロックにセットされる。一方、受信データに物理層エラーはないと判別すると、専用コントローラ711は、後のS525に移る。

10

【0290】

次に、専用コントローラ711は、エラーカウントを1加算して更新する(S524)。このようなエラーカウントは、副基板通信LSI受信ステータスのうちのビットナンバーB0~B3にセットされ、エラーカウントにより受信エラー発生総数が示される(図39参照)。

【0291】

次に、専用コントローラ711は、主基板通信LSI610からの受信データを送信バッファ(キャッシュメモリ713)に順次保存し(S525)、その後、受信カウンタを1加算して更新する(S526)。受信カウンタは、主基板通信LSI610から16Byte固定長のデータサイズで送られてくるデータを計数するために用いられる。

20

【0292】

次に、専用コントローラ711は、タイムアウトタイマをセットし(S527)、この受信割込み処理を終了する。このような副基板通信LSI710のタイムアウトタイマも、パケット単位(伝送単位)で通信エラーを検出するために、少なくとも1Byte分のデータを受信することが可能な待ち時間が計時されるようになっている。具体的にいうと、副基板通信LSI710のタイムアウトタイマは、例えば48ビット(6Byte)分のデータを受信することが可能な待ち時間として、通信速度115200bpsを基に約0.4msecが計時されるように構成されている。

30

【0293】

[初期設定処理(副基板通信LSI)]

図51は、副基板通信LSIによる初期設定処理を示す。図51に示すように、副基板通信LSI710の専用コントローラ711は、第1UART715について初期設定を行う(S541)。具体的にいうと、専用コントローラ711は、設定レジスタ712に予め記憶されている通信仕様等に基づく設定データを参照し、第1UART715のコントロールレジスタにボーレート(送受信に係る通信速度)、送受信時のデータ長、パリティ、ストップビット等をセットする。本実施形態においては、例えば、サブCPU701との間の通信速度が115200bps、データ長が8ビット、パリティが偶数パリティ、ストップビットが1ビットとしてセットされる。

40

【0294】

次に、専用コントローラ711は、第2UART716について初期設定を行う(S542)。具体的にいうと、専用コントローラ711は、設定レジスタ712に予め記憶されている通信仕様等に基づく設定データを参照し、第2UART716のコントロールレジスタにボーレート(受信に係る通信速度)、送受信時のデータ長、パリティ、ストップビット等をセットする。本実施形態においては、例えば、主基板通信LSI610との間の通信速度が115200bps、データ長が8ビット、パリティが偶数パリティ、ストップビットが1ビットとしてセットされる。

【0295】

50

次に、専用コントローラ711は、受信に係る通信速度のボーレート設定値から第2UART716の受信時におけるタイムアウト値を算出し(S543)、この初期設定処理を終了する。具体的にいうと、専用コントローラ711は、例えばボーレート設定値が115200bpsで少なくとも48ビット分のデータを受信する場合、1/ボーレート×48によりタイムアウト値として約0.4msを得る。こうして得られたタイムアウト値は、タイムアウトタイマにセットされる。

【0296】

[受信処理(副基板通信LSI)]

図52は、副基板通信LSIによる受信処理を示す。図52に示すように、副基板通信LSI710の専用コントローラ711は、主基板通信LSI610からの受信データの取得に際してタイムアウトタイマを用いてタイムアウトが発生したか否かを判別する(S561)。

10

【0297】

S561において、タイムアウトが発生していないと判別した場合、専用コントローラ711は、この受信処理を終了する。一方、タイムアウトが発生したと判別した場合、専用コントローラ711は、受信データは16Byteか否かを判別する(S562)。

【0298】

S562において、受信データは16Byteでない、例えば16Byte未満であると判別した場合、専用コントローラ711は、副基板通信LSI受信ステータスにエラー情報としてタイムアウトをセットする(S563)。エラー情報としてのタイムアウトは、図39に示すように、副基板通信LSI受信ステータスにおけるビットナンバーB7のビットを「1」としてセットされる。一方、受信データは16Byteであると判別した場合、専用コントローラ711は、次のS564に移る。

20

【0299】

次に、専用コントローラ711は、受信データのうちのバイトナンバーD0~D13のデータについて巡回冗長検査によりCRCを算出する(S564)。

【0300】

次に、専用コントローラ711は、算出したCRCは正常か否かを判別する(S565)。CRCは正常と判別した場合、専用コントローラ711は、後のS567に移る。一方、CRCは異常と判別した場合、専用コントローラ711は、副基板通信LSIパケット種別に論理エラー種類としてCRCエラーをセットする(S566)。副基板通信LSIパケット種別は、図38に示すように、副基板通信LSI710からサブCPU701へと送信されるシリアルデータのバイトナンバーD13のブロックにセットされる。

30

【0301】

次に、専用コントローラ711は、送信要求フラグをセットし(S567)、この受信処理を終了する。送信要求フラグは、キャッシュメモリ713の所定領域に確保され、副基板通信LSI710が送信すべきデータの有無を識別するために用いられる。

【0302】

[送信処理(副基板通信LSI)]

図53は、副基板通信LSIによる送信処理を示す。図53に示すように、副基板通信LSI710の専用コントローラ711は、送信要求フラグに基づいてデータの送信要求があるか否か、すなわちメインCPU601から主基板通信LSI610を通じて送られてきたコマンド等を含む受信データがあるか否かを判別する(S581)。

40

【0303】

S581において、データの送信要求があると判別した場合、専用コントローラ711は、主基板通信LSI610からの受信データ(外部通信データ:データ固定長16Byte)のうちのバイトナンバーD0~D11のブロックを送信バッファにセットする(S582)。続いて、専用コントローラ711は、副基板通信LSI受信ステータスにエラーカウントをセットし(S583)、当該副基板通信LSI受信ステータスをバイトナンバーD12のブロックとして送信バッファにセットする(S584)。

50

【0304】

また、専用コントローラ711は、副基板通信LSIパケット種別をバイトナンバーD13のブロックとして送信バッファにセットする(S585)。さらに、専用コントローラ711は、送信バッファのバイトナンバーD0～D13のブロックについて巡回冗長検査によりCRCを計算し、その計算結果としてのCRCデータを送信バッファにセットする(S586)。これにより、送信バッファには、バイトナンバーD0～D15の16Byteからなる内部通信データ(図38参照)がシリアル形式の送信データとして一時記憶される。

【0305】

こうして送信バッファに送信すべきデータ(D0～D15)が一時記憶(待機)されると、専用コントローラ711は、最初に第1UART715の送信ポートから通信伝文の開始を示す「STX」に対応するデータを送信する(S587)。

10

【0306】

そして、専用コントローラ711は、16Byte分のデータ(D0～D15)を送信したか否かを判別する(S588)。16Byte分のデータ(D0～D15)を送信したと判別した場合、専用コントローラ711は、受信データ、受信カウンタ、及び送信要求フラグをクリアし(S593)、この送信処理を終了する。

【0307】

一方、S588において、16Byte分のデータ(D0～D15)を送信していないと判別した場合、専用コントローラ711は、現時点のタイミングで送信バッファから出力される送信データは「STX」又は「DLE」と同じ値に該当するか否かを判別する(S589)。

20

【0308】

S589において、送信データは「STX」又は「DLE」と同じ値に該当すると判別した場合、専用コントローラ711は、第1UART715の送信ポートから制御データを含むブロックであることを示す「DLE」に対応するデータを送信し(S590)、該当する送信データについてエスケープ処理を行う(S591)。エスケープ処理では、該当するブロックとその次順以降のブロックのデータ送信順がそれぞれ1つずつ繰り下げられる。一方、送信データは「STX」又は「DLE」と同じ値に該当しないと判別した場合、専用コントローラ711は、「DLE」の送信やエスケープ処理を行うことなく、次のS592に移る。

30

【0309】

次に、専用コントローラ711は、第1UART715の送信ポートから送信バッファにセットとされた送信データ(D0～D15)を送信し(S592)、その後再びS588に戻る。これにより、送信バッファからは、バイトナンバーD0～D15を含む内部通信データ(図38参照)がシリアル形式の送信データとして1Byteずつ順次出力される。このようにして副基板通信LSI710からサブCPU701へと送信されるデータは、副基板通信LSI710においてマンチェスター復調及びAES復号化されたものであって、さらに副基板通信LSI710においてバイトナンバーD0～D15のブロックに「STX」や「DLE」を含む可変長17～33Byteのデータとされ、通信仕様に基づいて通信速度115200bpsで伝送される。

40

【0310】

以上説明したように、本実施形態のパチスロ1によれば、次のような効果が得られる。

【0311】

本実施形態においては、メインCPU601から主基板通信LSI610へと固定データ長8Byteとして各種のコマンドが送信され、主基板通信LSI610から副基板通信LSI710へとより大きい固定データ長16Byteとしてコマンドを含む外部通信データが送信され、さらに副基板通信LSI710からサブCPU701へと17～33Byteの可変データ長としてコマンドを含む内部通信データが送信される。

【0312】

50

これにより、サブCPU701は、コマンドだけでなくその他の通信エラーに関する情報を含む内部通信データを受信することができる。すなわち、サブCPU701においては、メインCPU601からコマンドのみを受信する場合よりも受信データサイズが大きい内部通信データを受信するので、受信待ち時間を無駄に発生させないようにすることができ、ひいてはメインCPU601からサブCPU701への通信上におけるボトルネックを解消することができる。

【0313】

また、サブCPU701が受信した内部通信データには、コマンド以外の情報として通信エラーに係る各種の情報が含まれるので、サブCPU701は、通信エラーの情報に基づいてそれに関連する処理を実行することができ、効率よく作動させることができる。

10

【0314】

また、主基板通信LSI610及び副基板通信LSI710は、コマンド及び通信データを例えば1Byteの伝送単位ごとに小刻みに検出しながら受信することができる一方、サブCPU701は、そのような伝送単位に制限されることなく、より大きい例えば16Byteというある程度一括したデータ量ごとに通信データをまとめて検出しながら受信することができる。これにより、主基板通信LSI610及び副基板通信LSI710は、周期的に効率よくデータを送受信することができ、サブCPU701は、ある程度まとまったデータ量として通信データを効率よく受信することができる。

【0315】

また、本実施形態においては、メインCPU601から主基板通信LSI610へと通信速度19200bps（第1の通信速度）でコマンドが送信され、主基板通信LSI610から副基板通信LSI710へとより速い通信速度115200bps（第2の通信速度）でコマンドを含む通信データが送信される。さらに、副基板通信LSI710からサブCPU701へと通信速度115200bps（第2の通信速度）でコマンドを含む通信データが送信される。

20

【0316】

このとき、主基板通信LSI610では、コマンドを所定の伝送単位となる1Byteごとに検出するための受信待ち時間（第1の受信待ち時間）が第1の通信速度に基づいて2.5msと算出され、算出された第1の受信待ち時間（2.5ms）に基づいて所定の伝送単位ごとにコマンドが検出されることで受信される。一方、副基板通信LSI710では、コマンドを含む通信データを所定の伝送単位となる1Byteごとに検出するための受信待ち時間（第2の受信待ち時間）が第2の通信速度に基づいて約0.4msと算出され、算出された第2の受信待ち時間（約0.4ms）に基づいて所定の伝送単位ごとに通信データが検出されることで受信される。

30

【0317】

すなわち、相対的に低スペックのメインCPU601に応じた通信仕様に基づいて主基板通信LSI610がコマンドを受信する第1の通信速度と、相対的に高スペックのサブCPU701に応じた通信仕様に基づいて副基板通信LSI710が通信データを受信する第2の通信速度とが互いに異なる速度で設定されていても、それぞれの通信速度に適した第1の受信待ち時間（2.5ms）及び第2の受信待ち時間（約0.4ms）を使用することができる。

40

【0318】

これにより、通信データを最後に受信するサブCPU701においては、通信データを受信する際に受信待ち時間に係る無駄時間をできる限り生じさせないようにし、通信上のボトルネックを解消することができ、サブCPU701を効率よく作動させることができる。

【0319】

また、サブCPU701に通信データが達する手前の副基板通信LSI710における第2の受信待ち時間（約0.4ms）が主基板通信LSI610における第1の受信待ち時間（2.5ms）よりも短いので、その分、サブCPU701における通信デー

50

タの受信処理を軽減することができる。

【0320】

また、本実施形態によれば、相対的に低スペックで通信速度が低速とされるメインCPU601と、相対的に高スペックで通信速度が高速とされるサブCPU701とを備えたパチスロ1に最適な通信システムを実現することができる。

【0321】

また、本実施形態においては、メインCPU601から主基板通信LSI610へとコマンドが送信され、主基板通信LSI610から副基板通信LSI710へとコマンドを含む通信データが送信され、さらに副基板通信LSI710からサブCPU701へとコマンドを含む通信データが送信される。

10

【0322】

その際、主基板通信LSI610は、コマンドの受信に際してサイズ不足や物理層エラー（第1の通信エラー）を検出すると、それらを示すデータサイズや主基板通信LSI受信ステータス（第1エラー情報）をコマンドに該当するパケットデータと共に通信データに含めて送信する。また、副基板通信LSI710は、主基板通信LSI610からの通信データの受信に際して物理層エラーやサイズ不足を含む論理エラー（第2の通信エラー）を検出すると、それらを示す副基板通信LSI受信ステータスや副基板通信LSIパケット種別（第2エラー情報）をコマンド（パケットデータ）及び上記第1エラー情報と共に通信データに含めて送信する。

【0323】

20

さらに、サブCPU701は、通信データの受信に際してCRCエラーやタイムアウト発生に係るエラー（第3の通信エラー）を検出すると、それらを示すエラー情報として‘COM3 ERR1’、‘COM3 ERR2’（第3エラー情報）を登録する。また、サブCPU701は、副基板通信LSI710から受信した通信データに基づき、主基板通信LSI610に係るエラー情報として‘COM1 ERR1’、‘COM1 ERR2’（第1エラー情報）を登録し、副基板通信LSI710に係るエラー情報として‘COM2 ERR1’、‘COM2 ERR2’、‘COM2 ERR3’（第2エラー情報）を登録する。

【0324】

これにより、サブCPU701は、通信エラーとして区別して登録された‘COM1 ERR1’、‘COM1 ERR2’、‘COM2 ERR1’、‘COM2 ERR2’、‘COM2 ERR3’、COM3 ERR1’、‘COM3 ERR2’に基づいて通信エラーの原因や発生箇所を詳細に特定・解析することができる。

30

【0325】

また、副基板通信LSI710は、コマンド等をバイナリデータとして通信データに含ませるとともに、当該バイナリデータの送信開始を示すSTXや、そのバイナリデータ内にある制御データを示すDLEといった制御キャラクタも通信データに含ませた上で当該通信データをサブCPU701へと送信する。すなわち、副基板通信LSI710とサブCPU701との間では、コード変換が必要なテキストデータに比べてデータサイズが比較的小さいバイナリデータによりコマンドが送受信される。

40

【0326】

これにより、サブCPU701においては、比較的小さいサイズのバイナリデータを、STXやDLEという制御キャラクタに基づいて検出しつつ、所定のデータ量を取得したか否かを判別することによって受信することができるので、受信待ち時間をできる限り生じさせないようにすることができ、副基板通信LSI710とサブCPU701との間において効率よくデータ通信を行うことができる。なお、本実施形態においては、副基板通信LSI710とサブCPU701との間でバイナリデータと共に制御キャラクタを通信データに含めて送信しているが、例えば主基板通信LSI610と副基板通信LSI710との間でバイナリデータと共に制御キャラクタを通信データに含めて送信するようにしてもよい。

50

【0327】

また、本実施形態においては、メインCPU601から主基板通信LSI610へとコマンドが送信され、主基板通信LSI610から副基板通信LSI710へとコマンドを含む通信データが、AES暗号方式により暗号化され、さらにマンチェスター変調方式により変調された上で送信される。副基板通信LSI710では、主基板通信LSI610から受信した通信データが、マンチェスター変調方式により復調され、さらに復調された通信データがAES暗号方式により復号化された後、サブCPU701へと送信される。これにより、本実施形態では、マンチェスター変調方式により通信データを正しく安定的に送受信することができる。

【0328】

また、マンチェスター変調方式でやり取りされる通信データには、クロックレートを埋め込むことができるので、主基板6Aと副基板7Aとの間にクロック信号を生成するためのデバイス等を別途設ける必要がなくなることから、通信に係る伝送路を光ファイバケーブルとしても容易に簡素化することができる。

【0329】

また、主基板6Aと副基板7Aとの間でクロック信号を光学的に生成せずとも光ファイバケーブルを介して通信データをそのまま送受信することができ、デジタルデータの変調回路として安価なマンチェスター回路を用いることから、安価なデバイス及び伝送路によって主基板6Aと副基板7Aとを接続することができる。

【0330】

本発明の他の実施形態としては、図54～60に示すような構成でもよい。なお、以下の説明において、先述した実施形態によるものと同一又は類似の構成要素については、同一符号を付してその説明を省略する。

【0331】

図54は、本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す。図54に示すように、本実施形態においては、第3マンチェスター回路620、720は、第1SPI617、717と組み合わせて用いられ、この第1SPI617、717を通じてデータを送受信し得るように構成されている。また、本実施形態では、第3マンチェスター回路620と第3マンチェスター回路720とは、互いに電氣的に通信用ケーブルを介して接続されている。

【0332】

本実施形態の主基板6Aにおいては、メインCPU601からのコマンドを含むデータ（パケットデータ）が、UART601Aから第1UART615に供給され、この第1UART615で物理層エラーの検出等が行われた後、AES614で暗号化され、さらにマスターとなる第1SPI617を通じて第3マンチェスター回路620に供給され、この第3マンチェスター回路620で変調されるように構成されている。このようにして変調されたデータは、コマンドを含むシリアルデータとされ、通信用ケーブルを通じて副基板7Aへと送信される。

【0333】

副基板7Aにおいては、主基板6Aから送信されたコマンドを含むシリアルデータが、通信用ケーブルを通じて第3マンチェスター回路720に供給され、この第3マンチェスター回路720で復調された後、スレーブとなる第1SPI717を通じてAES714に供給され、さらにAES714において復号化された後、第1UART715を通じてUART701Aに供給されることにより、サブCPU701がメインCPU601からのコマンドを受信し得るようになっている。

【0334】

図55は、本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す。図56は、図55に示す接続形態でのデータの流れを示す説明図である。本実施形態においては、図55に示すように、マンチェスター変調及び復調が行われないうに構成されている。具体的にいうと、第2UART616、716は、マンチェスター回路等と組

10

20

30

40

50

み合わされて使用されず、単独でデータを送受信し得るように構成されている。

【0335】

本実施形態の主基板6Aにおいては、メインCPU601からのコマンドを含むデータ（パケットデータ）が、UART601Aから第1UART615に供給され、この第1UART615で物理層エラーの検出等が行われた後、AES614で暗号化され、コマンドを含むシリアルデータとして第2UART616を通じて副基板7Aへと送信される。

【0336】

副基板7Aにおいては、主基板6Aから送信されたコマンドを含むシリアルデータが、第6UART716を通じてAES714に供給され、さらにAES714において復号化された後、第1UART715を通じてUART701Aに供給されることにより、サブCPU701がメインCPU601からのコマンドを受信し得るようになっている。

10

【0337】

また、図56に示すように、メインCPU601から主基板通信LSI610へと送信されるデータは、8Byteの平文からなるパケットデータであり、その際の通信速度（ボーレート）は、19200bpsとされる。主基板通信LSI610から副基板通信LSI710へと送信されるデータは、暗号化された16Byteのデータであり、その際の通信速度は、115200bpsとされる。副基板通信LSI710からサブCPU701へと送信されるデータは、AES復号化された16Byteの平文データであり、その際の通信速度は、115200bpsとされる。

20

【0338】

図57は、本発明の他の実施形態に係る遊技機の主基板と副基板との接続形態を示す。図58は、図57に示す接続形態でのデータの流れを示す説明図である。本実施形態においては、図57に示すように、AES暗号化及び復号化が行われないように構成されている。具体的にいうと、主基板通信LSI610及び副基板通信LSI710においては、主として第4マンチェスター回路621, 721が使用され、この第4マンチェスター回路621, 721が単独でデータを送受信し得るようになっている。

【0339】

本実施形態の主基板6Aにおいては、メインCPU601からのコマンドを含むデータ（パケットデータ）が、UART601Aから第4マンチェスター回路621に供給され、この第4マンチェスター回路621から直接副基板7Aへと送信される。

30

【0340】

副基板7Aにおいては、主基板6Aから送信されたコマンドを含むデータが、第4マンチェスター回路721を通じて直接取り込まれ、この第4マンチェスター回路721からUART701Aへと供給されることにより、サブCPU701がメインCPU601からのコマンドを受信し得るようになっている。

【0341】

また、図58に示すように、メインCPU601から主基板通信LSI610へと送信されるデータは、8Byteの平文からなるパケットデータであり、その際の通信速度（ボーレート）は、19200bpsとされる。主基板通信LSI610から副基板通信LSI710へと送信されるデータは、マンチェスター変調された8Byteの平文データであり、その際の通信速度は、19200bpsとされる。副基板通信LSI710からサブCPU701へと送信されるデータは、マンチェスター復調された8Byteの平文データであり、その際の通信速度は、19200bpsとされる。

40

【0342】

図57及び図58に示す実施形態においては、メインCPU601から主基板通信LSI610へとコマンドが送信され、主基板通信LSI610から副基板通信LSI710へとコマンドを含む通信データがマンチェスター変調方式により変調された上で直接送信される。副基板通信LSI710では、主基板通信LSI610から受信した通信データがマンチェスター変調方式により復調された後、サブCPU701へとそのまま送信され

50

る。このような構成では、マンチェスター変調方式により速やかにデータを変調及び復調しながら通信データを正しく安定的に送受信することができる。

【0343】

図59は、本発明の他の実施形態に係る遊技機（パチンコ）の外観を示す斜視図である。図60は、図59に示す遊技機の主制御回路及び副制御回路の構成を示すブロック図である。本発明は、図59に示すようなパチンコ1'にも適用可能である。図60に示すように、パチンコ1'は、主制御回路60に接続される特有の構成要素として、特別図柄表示装置80、普通図柄表示装置81、特別図柄保留表示装置82、普通図柄保留表示装置83、カウントセンサ84、一般入賞球センサ85、通過球センサ86、始動入賞球センサ87、普通電動役物ソレノイド88、大入賞口ソレノイド89、バックアップクリアスイッチ90、払出・発射制御回路350、払出装置34A、発射装置35B、カードユニット34C、貸し出し用操作部34D等を有する。このようなパチンコ1'においても、液晶表示装置10やスピーカ48、49、及びランプ20等が副制御回路70に接続されている。そして、主制御回路60及び副制御回路70は、主基板通信LSI610及び副基板通信LSI710を備えており、これらの主基板通信LSI610及び副基板通信LSI710を介して互いに接続されている。

10

【0344】

なお、本発明は、上述した各実施形態に限定されるものではない。

【0345】

各実施形態において例示した通信速度やタイムアウト値としての受信待ち時間、伝送単位等に係る数値は、あくまでも一例として挙げたものであり、これらの数値は、CPUのスペックや通信LSIの仕様に依りて適宜変更可能である。

20

【0346】

通信手段は、通信LSIに限らず、集積回路の規模に応じて例えばICにより構成してもよい。

【0347】

通信手段は、主制御回路と副制御回路との間の通信に限らず、例えばホールコンピュータと副制御回路との間で通信を行うものとして設けてもよい。

【符号の説明】

【0348】

1 パチスロ（遊技機）
 1' パチンコ（遊技機）
 6A 主制御基板（主基板）
 7A 副制御基板（副基板）
 60 主制御回路
 70 副制御回路
 600 マイクロコンピュータ
 601 メインCPU（第1の制御処理手段）
 610 主基板通信LSI（第1の通信手段）
 611 専用コントローラ（第1の受信待ち時間算出手段、第1の受信手段、第1の
 通信エラー検出手段、第1エラー情報生成手段、第1の送信手段）
 614 AES回路（暗号化手段）
 615 第1UART（第1の通信エラー検出手段）
 616 第2UART
 618 第1マンチェスター回路
 619 第2マンチェスター回路（変調手段）
 620 第3マンチェスター回路（変調手段）
 621 第4マンチェスター回路（変調手段）
 701 サブCPU（第2の制御処理手段、第3通信エラー検出手段、第3エラー情
 報生成手段、通信エラー解析手段）

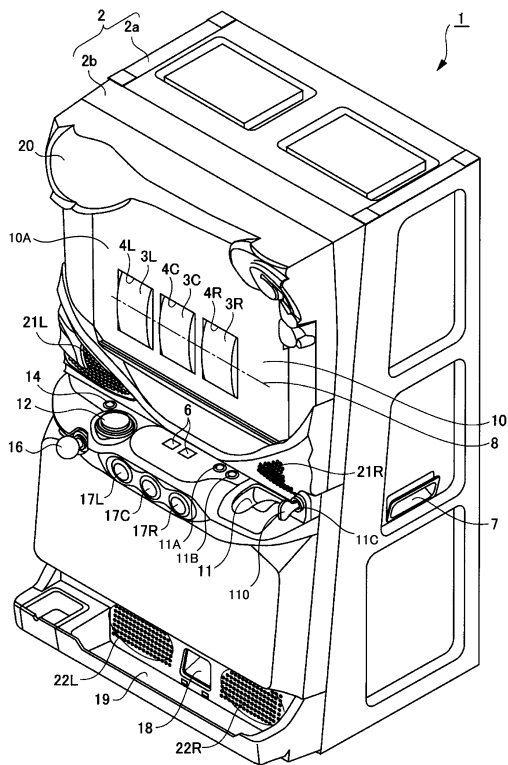
30

40

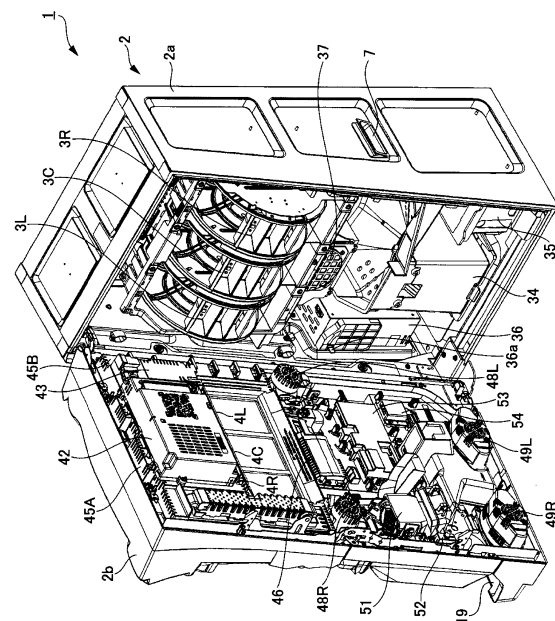
50

- 701A UART (第3通信エラー検出手段)
- 710 副基板通信LSI (第2の通信手段)
- 711 専用コントローラ (第2の受信待ち時間算出手段、第2の受信手段、第2通信エラー検出手段、第2エラー情報生成手段、第2の送信手段)
- 714 AES回路 (復号化手段)
- 715 第1UART
- 716 第2UART (第2の通信エラー検出手段)
- 718 第1マンチェスター回路
- 719 第2マンチェスター回路 (復調手段)
- 720 第3マンチェスター回路 (復調手段)
- 721 第4マンチェスター回路 (復調手段)

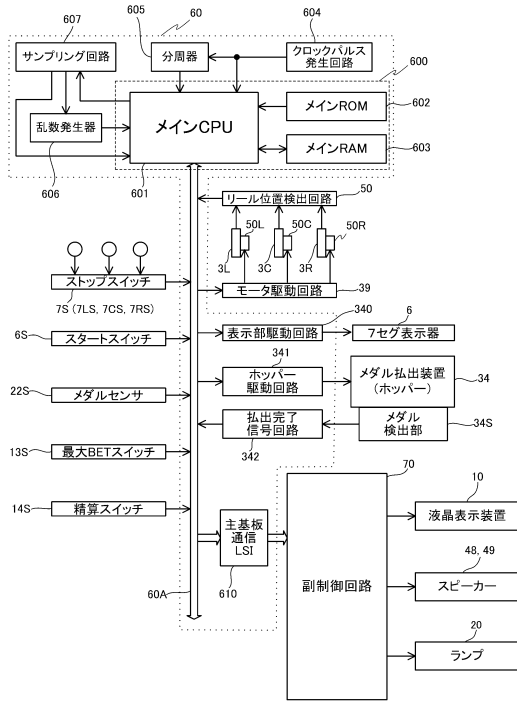
【図1】



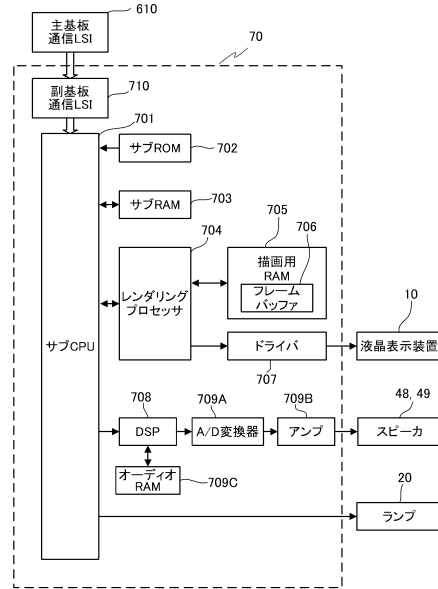
【図2】



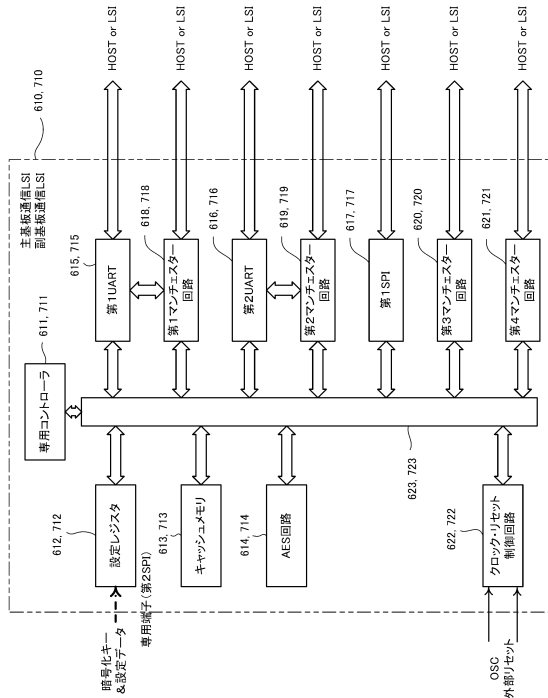
【図3】



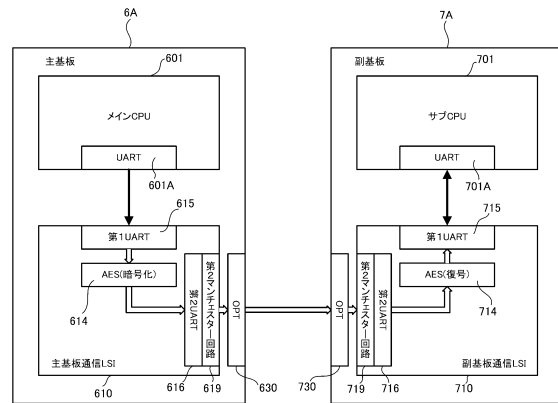
【図4】



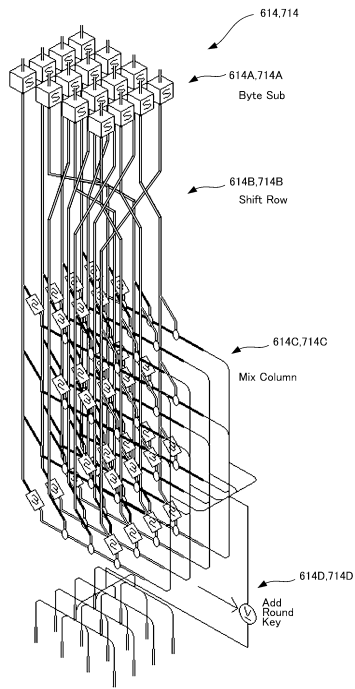
【図5】



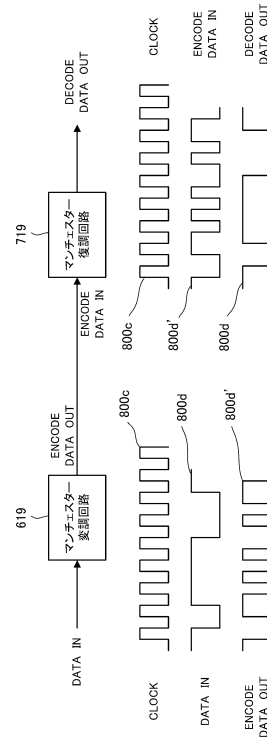
【図6】



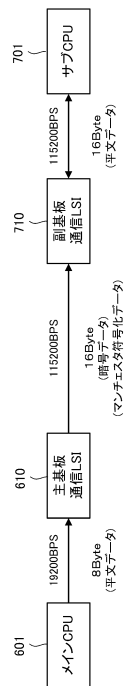
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

(a) 図柄配置テーブル

左リール		中リール		右リール	
図柄位置	図柄	図柄位置	図柄	図柄位置	図柄
20	赤7	20	赤7	20	赤7
19	スイカ	19	ベル	19	リブレイ
18	リブレイ	18	リブレイ	18	ベル
17	ベル	17	スイカ	17	スイカ
16	チェリー	16	チェリー	16	チェリー
15	スイカ	15	ベル	15	リブレイ
14	リブレイ	14	リブレイ	14	ベル
13	ベル	13	チェリー	13	チェリー
12	スイカ	12	ベル	12	リブレイ
11	リブレイ	11	リブレイ	11	ベル
10	ベル	10	スイカ	10	スイカ
9	スイカ	9	ベル	9	リブレイ
8	リブレイ	8	リブレイ	8	ベル
7	ベル	7	チェリー	7	チェリー
6	スイカ	6	ベル	6	リブレイ
5	リブレイ	5	リブレイ	5	ベル
4	ベル	4	スイカ	4	スイカ
3	チェリー	3	チェリー	3	チェリー
2	スイカ	2	ベル	2	リブレイ
1	リブレイ	1	リブレイ	1	ベル
0	ベル	0	チェリー	0	チェリー

(b) 図柄コード

図柄コード	内容	
	図柄	データ
1	赤7	00000001
2	チェリー	00000010
3	ベル	00000011
4	スイカ	00000100
5	リブレイ	00000101

【図 1 1】

図柄組合せテーブル

図柄の組合せ			表示役		払出枚数	
左リール	中リール	右リール	データ	内容	投入枚数:2	投入枚数:3
チェリー	ANY	ANY	00000001	チェリー	15	2
ベル	ベル	ベル	00000010	ベル	15	10
スイカ	スイカ	スイカ	00000100	スイカ	15	6
リプレイ	リプレイ	リプレイ	00001000	リプレイ	0 (再遊技)	
赤7	赤7	赤7	00010000	BB	0 (BB作動)	
エンドコード	-	-	-	-	-	-

【図 1 2】

ボーナス作動時テーブル

格納領域	BB作動時	RB作動時
作動中フラグ 格納領域	BB作動中フラグ	RB作動中フラグ
ボーナス終了枚数カウンタ	346	-
遊技可能回数カウンタ	-	8
入賞可能回数カウンタ	-	8

【図 1 3】

一般遊技状態用内部抽籤テーブル

当籤番号	抽籤値	データポイント	
		小役・リプレイ用	ボーナス用
1	650	1 (チェリー)	0
2	6760	2 (ベル)	0
3	800	3 (スイカ)	0
4	8980	4 (リプレイ)	0
5	150	0	1 (BB)

(乱数値の範囲: 0~65535)

【図 1 4】

RB作動中用内部抽籤テーブル

当籤番号	抽籤値	データポイント	
		小役・リプレイ用	ボーナス用
1	65536	2 (ベル)	0

(乱数値の範囲: 0~65535)

【図15】

小役・リプレイ用内部当籤役決定テーブル

小役・リプレイ用 データポイント	内部当籤役	
	データ	内容
0	00000000	ハズレ
1	00000001	チェリー
2	00000010	ベル
3	00000100	スイカ
4	00001000	リプレイ

【図16】

ボーナス用内部当籤役決定テーブル

ボーナス用 データポイント	内部当籤役	
	データ	内容
0	00000000	ハズレ
1	00010000	BB

【図17】

内部当籤役(表示役)格納領域

データ	内容
ビット7	0 未使用
ビット6	0 未使用
ビット5	0 未使用
ビット4	0~1 BB
ビット3	0~1 リプレイ
ビット2	0~1 スイカ
ビット1	0~1 ベル
ビット0	0~1 チェリー

【図18】

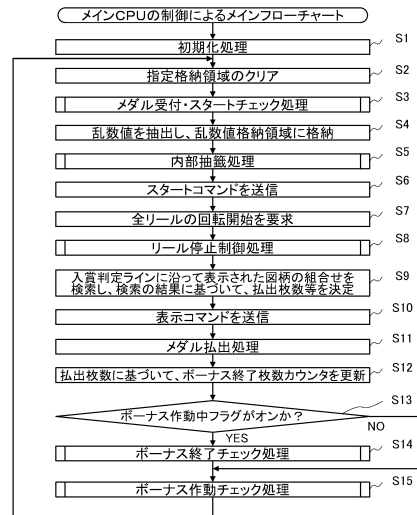
持越役格納領域

データ	内容
ビット7	0 未使用
ビット6	0 未使用
ビット5	0 未使用
ビット4	0~1 BB
ビット3	0 未使用
ビット2	0 未使用
ビット1	0 未使用
ビット0	0 未使用

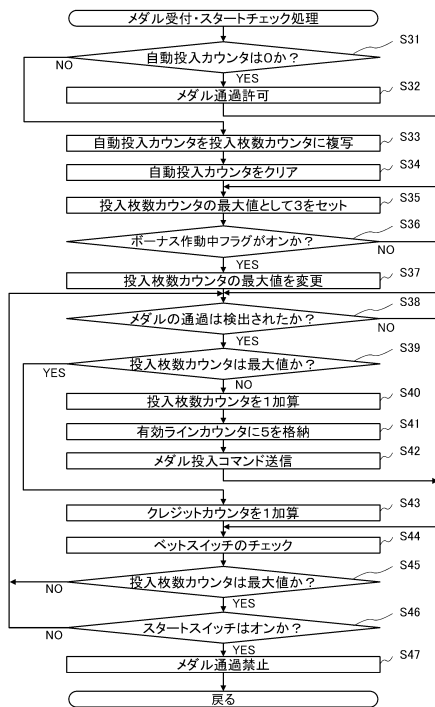
【図19】

作動中フラグ格納領域		
データ		内容
ビット7	0	未使用
ビット6	0	未使用
ビット5	0	未使用
ビット4	0	未使用
ビット3	0	未使用
ビット2	0	未使用
ビット1	0~1	RB作動中フラグ
ビット0	0~1	BB作動中フラグ

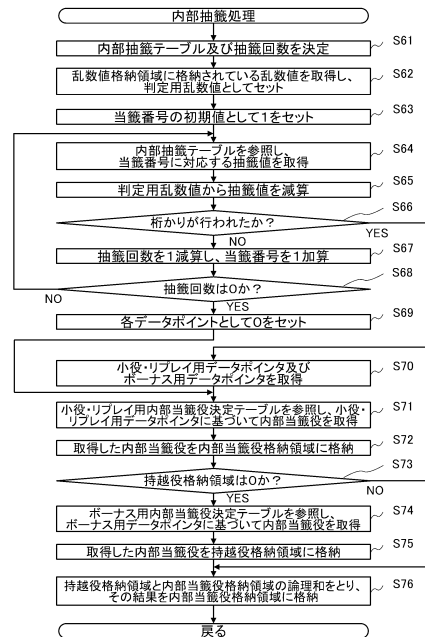
【図20】



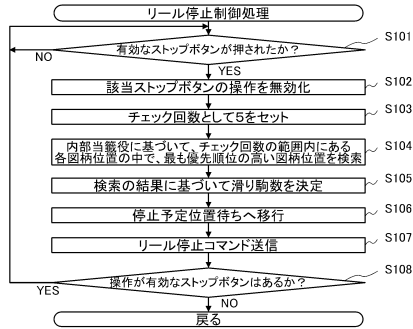
【図21】



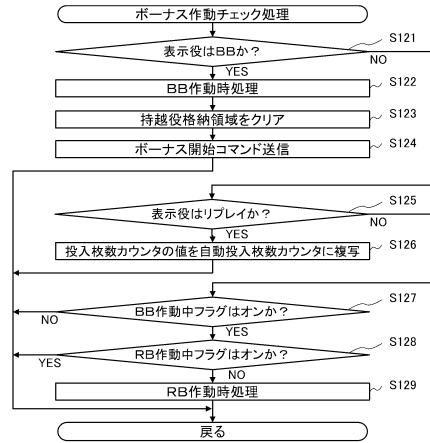
【図22】



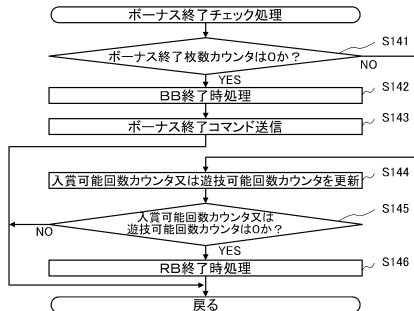
【図23】



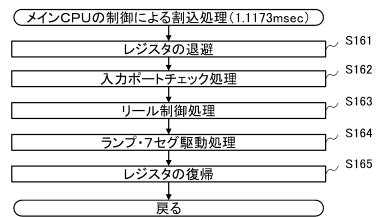
【図24】



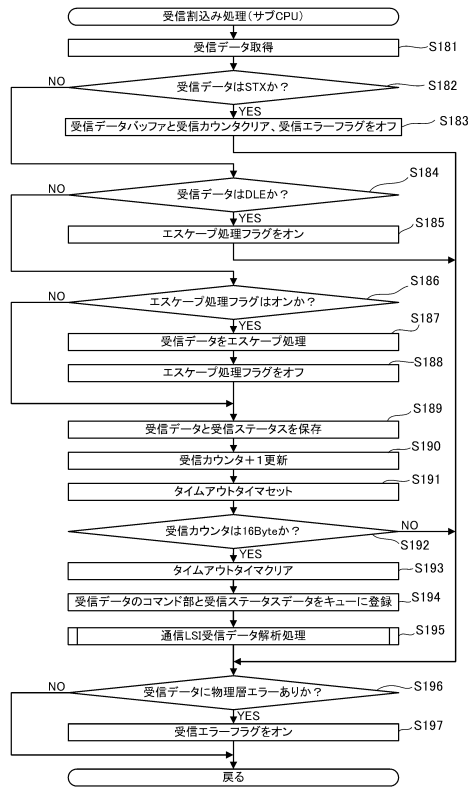
【図25】



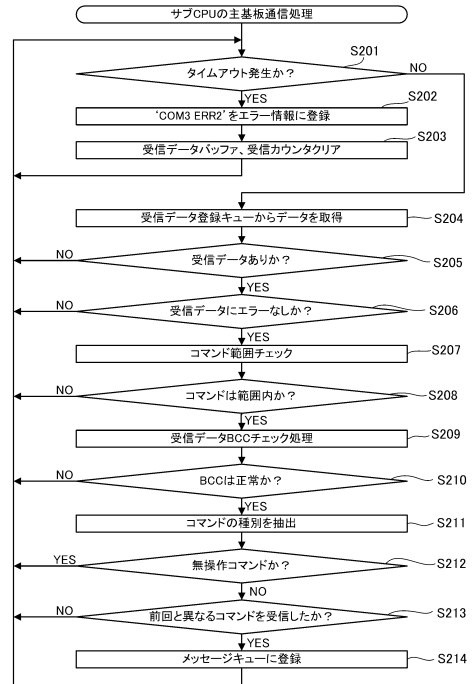
【図26】



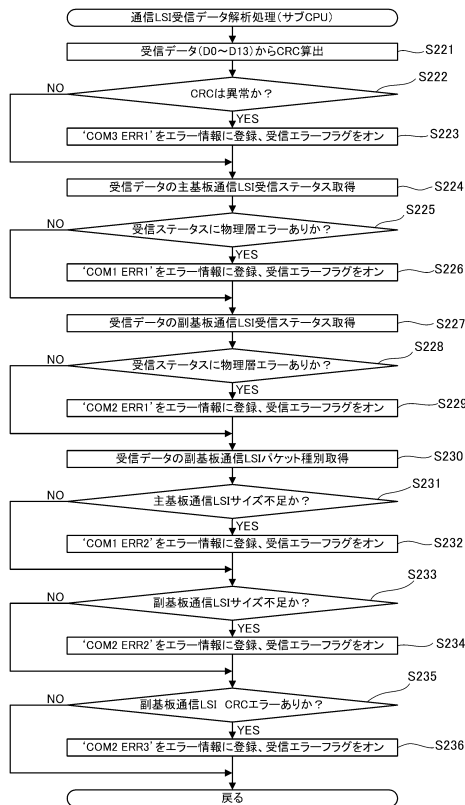
【図 27】



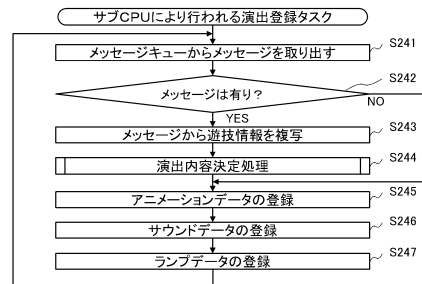
【図 28】



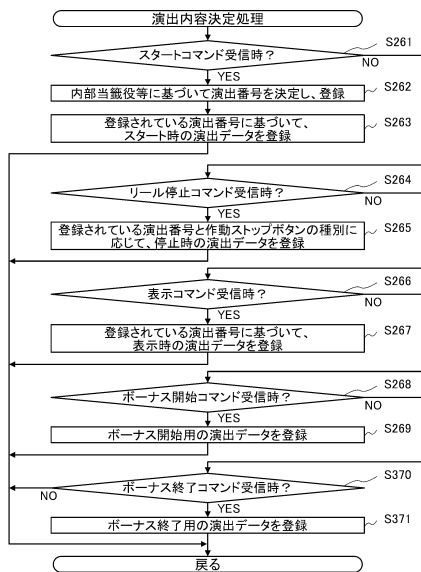
【図 29】



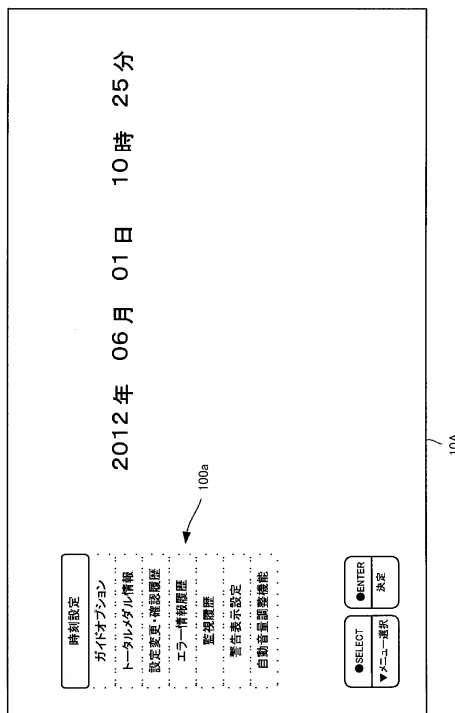
【図 30】



【図 3 1】



【図 3 2】



【図 3 3】

Page 1/7

No	エラー内容	発生日時	解除日時
1	SEL TO	2012/06/01 00:10:09	
2	POWER UP	2012/05/31 22:00:10	
3	POWER DOWN	2012/05/31 09:15:45	
4	COM1_ERR1	2012/05/30 15:23:17	
5	POWER UP	2012/05/30 10:03:52	
6	POWER DOWN	2012/05/29 22:02:36	
7	COM3_ERR2	2012/05/29 14:59:22	
8	POWER UP	2012/05/28 20:57:49	
9	COM2_ERR1	2012/05/28 15:25:55	
10	COM2_ERR3	2012/05/28 03:18:53	
11	POWER UP	2012/05/27 23:02:06	
12	POWER DOWN	2012/05/27 18:01:33	
13	SEL TO	2012/05/27 04:00:00	
14	POWER UP	2012/05/26 22:10:00	
15	POWER DOWN	2012/05/26 09:15:27	

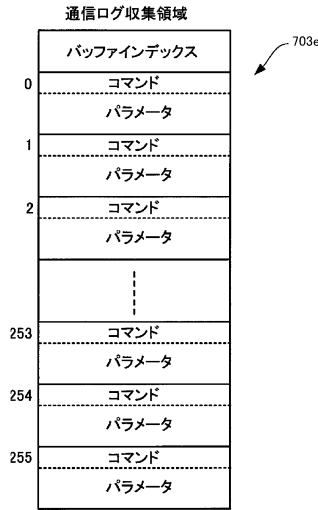
100b

●SELECT カール移動
●ENTER 戻る
●SELECT+ENTER データクリア

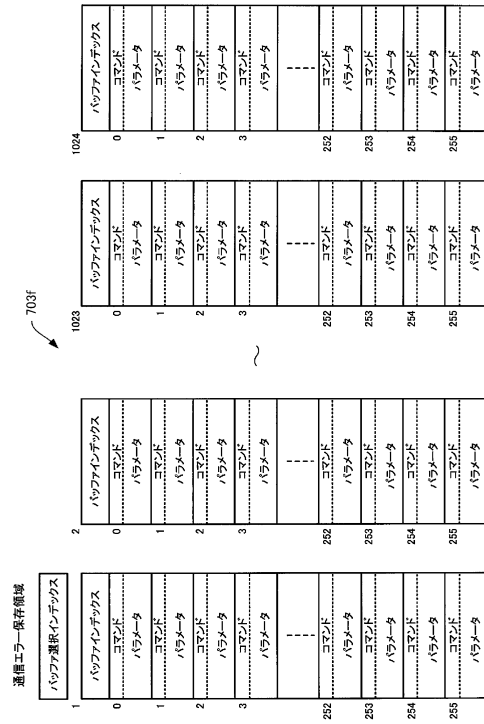
【図 3 4】

No	受信コマンド			前回受信コマンド	
	Data	種別	パラメータ	種別	パラメータ
1	01H	初期化	—	—	—
2	02H	デモ表示	—	—	—
3	03H	遊技メダル投入	メダル投入枚数	デモ表示	—
4	03H	遊技メダル投入	メダル投入枚数	遊技メダル投入	メダル投入枚数
5	03H	遊技メダル投入	メダル投入枚数	払出終了	—
6	03H	遊技メダル投入	メダル投入枚数	ボーナス開始	—
7	03H	遊技メダル投入	メダル投入枚数	エラー	エラー解除
8	04H	スタート	—	遊技メダル投入	—
9	04H	スタート	—	演出状態	—
10	05H	回動回転開始	—	スタート	—
11	06H	リール停止	第1停止	回動回転開始	—
12	06H	リール停止	第2停止	リール停止	—
13	06H	リール停止	第3停止	リール停止	—
14	07H	表示	—	リール停止	全リール停止
15	08H	払出終了	—	表示	—
16	09H	遊技状態変更	日誌終了	—	—
17	0AH	ボーナス終了	通常遊技再開	—	—
18	0BH	エラー	—	—	—
19	0CH	精算サウンド	—	—	—
20	0DH	ボーナス開始	—	払出終了	—
21	0EH	クレジット情報	—	—	—
22	0FH	演出状態	—	スタート	—
23	10H	無操作	—	—	—

【図 3 5】



【図 3 6】



【図 3 7】

主基板通信LSI→副基板通信LSI(外部通信データ)

Byte	内容	説明
D0	パケット受信番号	0~65535, 1パケット受信か、受信中のタイムアウトで加算
D1		
D2		
D3		
D4		
D5		
D6		
D7		
D8		
D9		
D10	データサイズ	パケットデータのサイズ: 8固定(以外は異常)
D11	受信ステータス	
D12	DUMMY	ダミー: 0000H 固定
D13		副基板通信LSI予約領域
D14	CRC	D0~D13のCRCデータ
D15		

【図 3 8】

副基板通信LSI→サブOPU(内部通信データ)

Byte	内容	説明
D0	パケット受信番号	
D1		
D2		
D3		
D4		
D5		
D6		
D7		
D8		
D9		
D10	データサイズ	主基板通信LSIからの送信データ(副基板通信LSIの受信データ)をコピー
D11	受信ステータス	
D12	受信ステータス	副基板通信LSI受信物理層エラー
D13	パケット種別	副基板通信LSI受信論理エラー
D14	CRC	D0~D13のCRCデータ(再計算)
D15		

【図 39】

受信ステータス(主基板通信LSI及び副基板通信LSI共通)

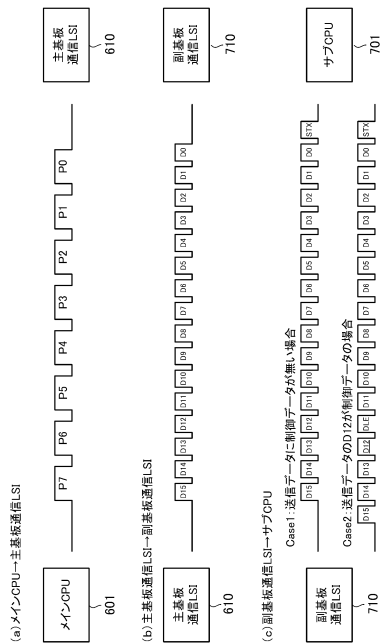
Bit	内容	説明
B0	エラーカウンタ	受信エラー発生総数、パリティ、フレーミング、オーバーランエラー発生総数(0~15)
B1		
B2		
B3	オーバーラン	データオーバーランエラーの有(1)/無(0)
B4	フレーミング	フレーミングエラーの有(1)/無(0)
B5	パリティ	パリティエラーの有(1)/無(0)
B6	タイムアウト	タイムアウト:タイムアウトの有(1)/無(0)
B7		

【図 40】

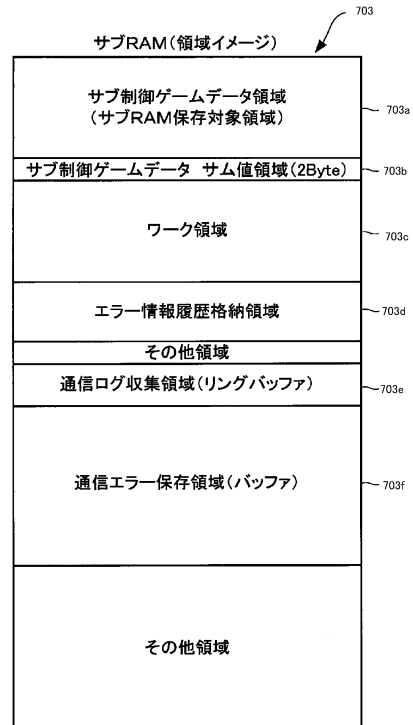
パケット種別

Bit	内容	説明
B0	論理エラー種類	'00000':エラーなし
B1		'00001':CRCエラー
B2		'00010':主基板通信LSIサイズ不足
B3		'00100':副基板通信LSIサイズ不足
B4		'その他':未定義
B5	通信分類	'000':主制御通信
B6		'その他':未定義
B7		

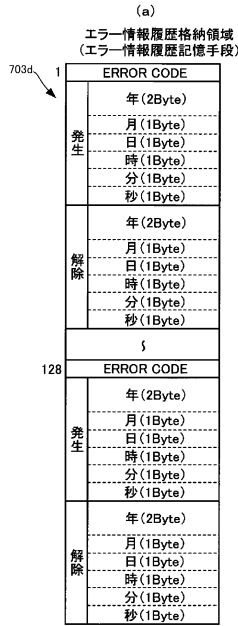
【図 41】



【図 42】



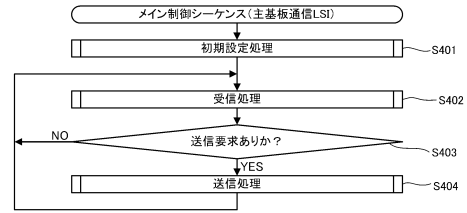
【図 4 3】



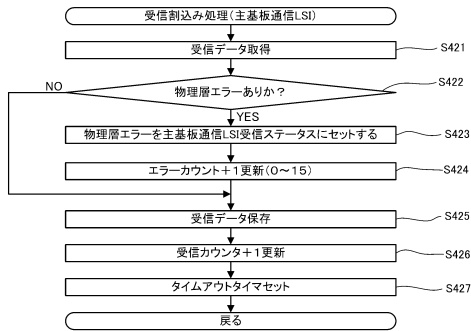
(b)

ERR CODEの内容	備考
1 SEL TO	
2 POWER UP	
3 POWER DOWN	
4 DOOR OPEN	
5 DOOR CLOSE	
6 MEM ERR ALM	サム異常
7 COM1 ERR1	主基板通信LSI物理層エラー
8 COM1 ERR2	主基板通信LSIサイズ不足
9 COM2 ERR1	副基板通信LSI物理層エラー
10 COM2 ERR2	副基板通信LSIサイズ不足
11 COM2 ERR3	副基板通信LSI CRCエラー
12 COM3 ERR1	サブGPU CRCエラー
13 COM3 ERR2	サブGPU サイズ不足

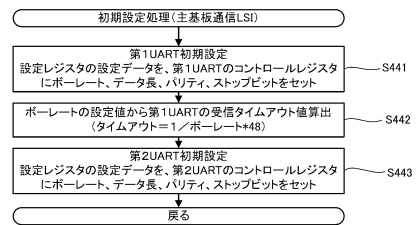
【図 4 4】



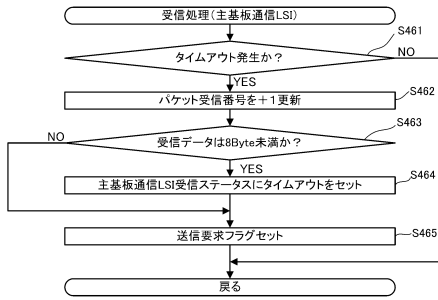
【図 4 5】



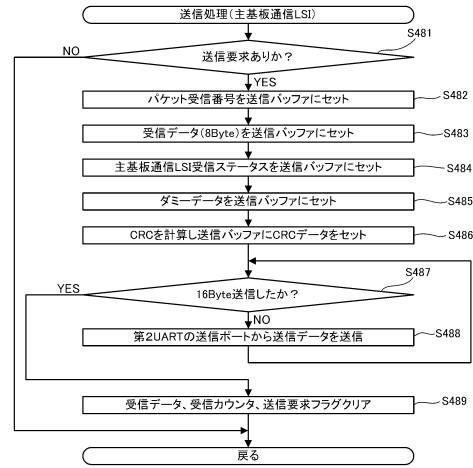
【図 4 6】



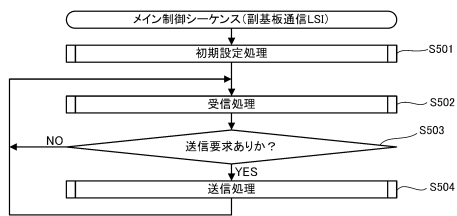
【図47】



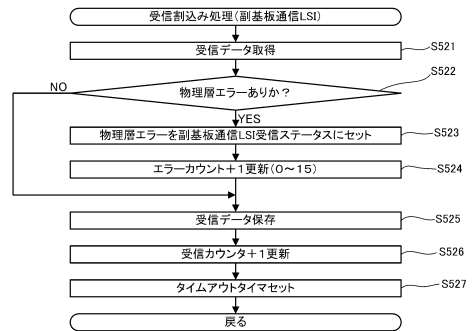
【図48】



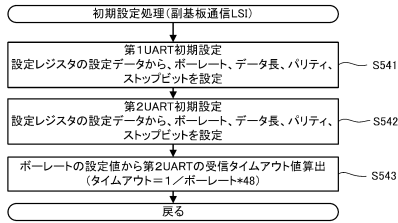
【図49】



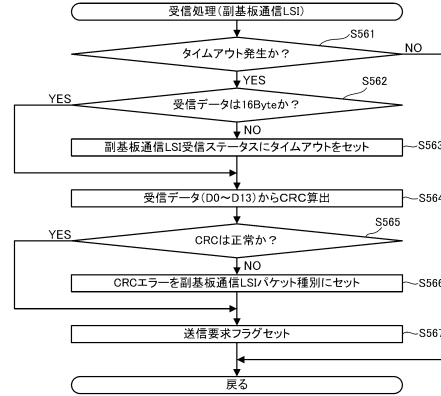
【図50】



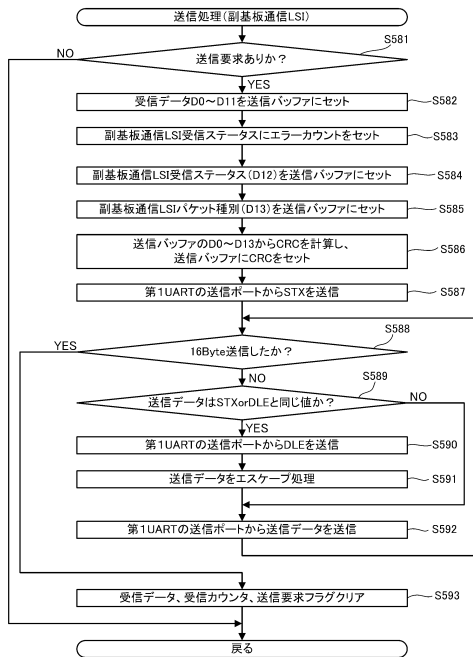
【図51】



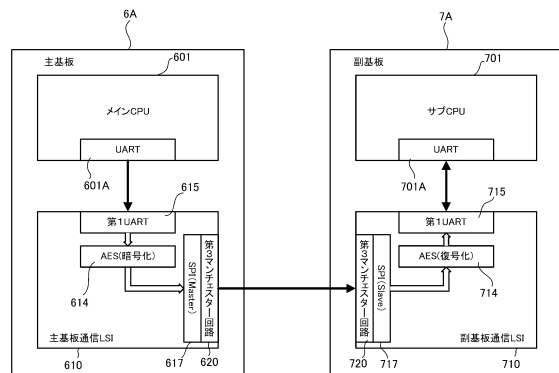
【図52】



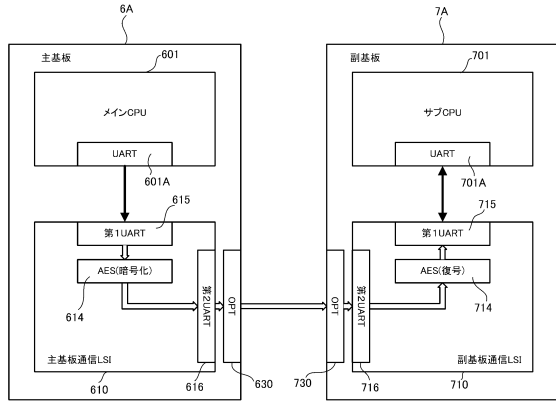
【図53】



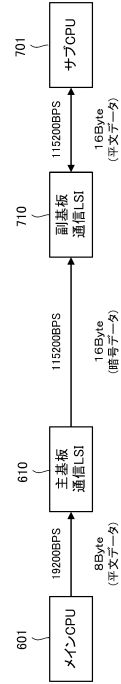
【図54】



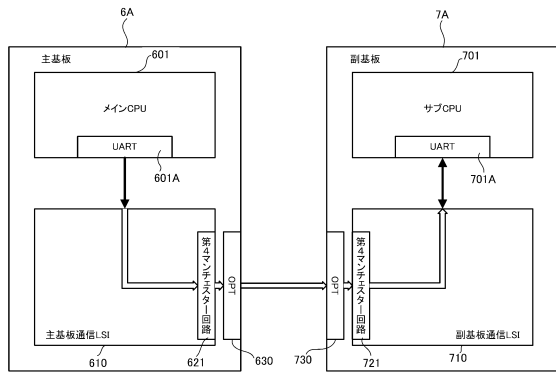
【図55】



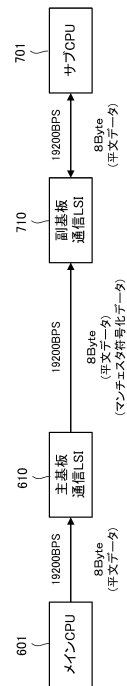
【図56】



【図57】



【図58】



フロントページの続き

(72)発明者 牧迫 伸治
東京都江東区有明三丁目7番26号

審査官 東 治企

(56)参考文献 特開2016-193360(JP,A)
特開2011-147764(JP,A)
特開2004-321544(JP,A)
特開2005-087643(JP,A)
特開2009-153798(JP,A)
特開2006-204324(JP,A)
特開平04-142832(JP,A)
特開昭55-008166(JP,A)
特開2013-111429(JP,A)
特開昭61-077447(JP,A)

(58)調査した分野(Int.Cl., DB名)

A63F	5/04
A63F	7/02
G09C	1/00
H04L	27/00 - 27/30