



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201308888 A1

(43)公開日：中華民國 102 (2013) 年 02 月 16 日

(21)申請案號：101116525

(22)申請日：中華民國 101 (2012) 年 05 月 09 日

(51)Int. Cl. : *H03F3/45 (2006.01)*

*H03F3/16 (2006.01)*

*H03F3/213 (2006.01)*

(30)優先權：2011/05/13 日本

2011-108736

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72)發明人：大貫達也 OHNUKI, TATSUYA (JP)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：8 項 圖式數：24 共 114 頁

(54)名稱

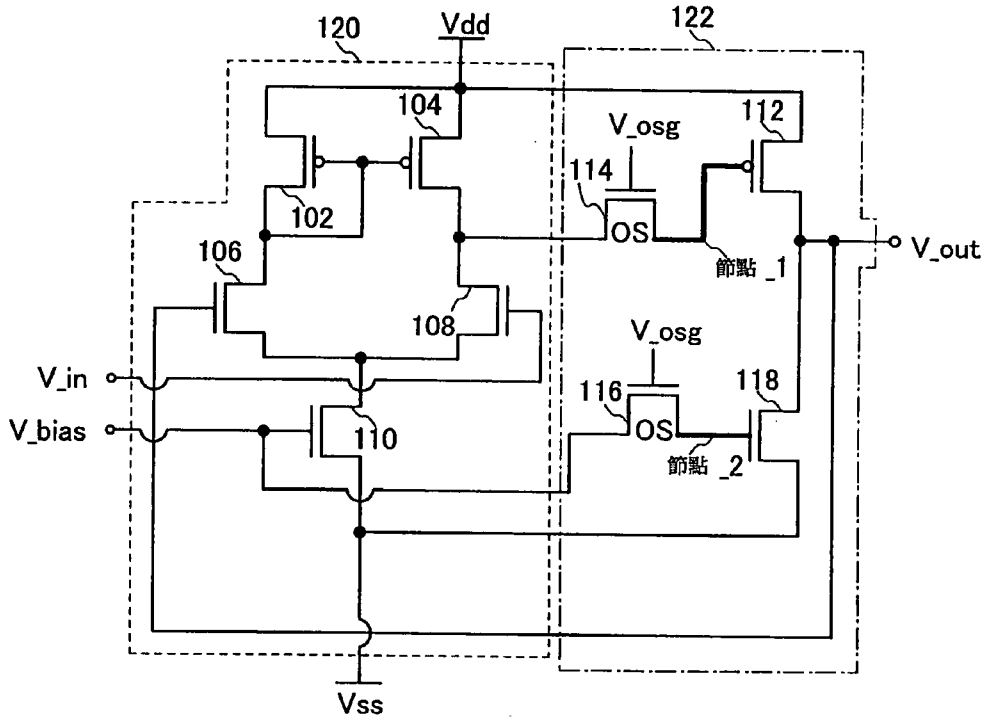
半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

在包含輸入電位及參考電位輸入的差動放大器、增益級、及輸出輸出電位的輸出級的半導體裝置中，藉由提供具有低的關閉狀態的漏電流之電晶體給輸出級，以固定地保持增益級供應的電位，而提供具有低耗電的半導體裝置。使用包含氧化物半導體層及包含於氧化物半導體層中的通道形成區之電晶體，作為具有低的關閉狀態的漏電流之電晶體。

100



- 102 : 第一電晶體
- 104 : 第二電晶體
- 106 : 第三電晶體
- 108 : 第四電晶體
- 110 : 第五電晶體
- 112 : 第六電晶體
- 114 : 第七電晶體
- 116 : 第八電晶體
- 118 : 第九電晶體
- 120 : 差動放大器
- 122 : 增益級



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201308888 A1

(43) 公開日：中華民國 102 (2013) 年 02 月 16 日

(21) 申請案號：101116525

(22) 申請日：中華民國 101 (2012) 年 05 月 09 日

(51) Int. Cl. : *H03F3/45 (2006.01)*

*H03F3/16 (2006.01)*

*H03F3/213 (2006.01)*

(30) 優先權：2011/05/13 日本

2011-108736

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY  
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：大貫達也 OHNUKI, TATSUYA (JP)

(74) 代理人：林志剛

申請實體審查：無 申請專利範圍項數：8 項 圖式數：24 共 114 頁

(54) 名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57) 摘要

在包含輸入電位及參考電位輸入的差動放大器、增益級、及輸出輸出電位的輸出級的半導體裝置中，藉由提供具有低的關閉狀態的漏電流之電晶體給輸出級，以固定地保持增益級供應的電位，而提供具有低耗電的半導體裝置。使用包含氧化物半導體層及包含於氧化物半導體層中的通道形成區之電晶體，作為具有低的關閉狀態的漏電流之電晶體。

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101116525

※申請日：101年05月09日

※IPC分類：H03F 3/45 (2006.01)

H03F 3/16 (2006.01)

H03F 3/213 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

在包含輸入電位及參考電位輸入的差動放大器、增益級、及輸出輸出電位的輸出級的半導體裝置中，藉由提供具有低的關閉狀態的漏電流之電晶體給輸出級，以固定地保持增益級供應的電位，而提供具有低耗電的半導體裝置。使用包含氧化物半導體層及包含於氧化物半導體層中的通道形成區之電晶體，作為具有低的關閉狀態的漏電流之電晶體。

三、英文發明摘要：

To provide a semiconductor device with low power consumption, in a semiconductor device including a differential amplifier to which an input potential and a reference potential are input, a gain stage, and an output stage from which an output potential is output, a potential supplied from the gain stage can be held constant by providing the output stage with a transistor with low leakage current in an off state. As the transistor with low leakage current in an off state, a transistor including an oxide semiconductor layer and a channel formation region included in the oxide semiconductor layer is used.

四、指定代表圖：

(一) 本案指定代表圖為：第 ( 1 ) 圖。

(二) 本代表圖之元件符號簡單說明：

102：第一電晶體

104：第二電晶體

106：第三電晶體

108：第四電晶體

110：第五電晶體

112：第六電晶體

114：第七電晶體

116：第八電晶體

118：第九電晶體

120：差動放大器

122：增益級

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體裝置。注意，在本說明書中，半導體裝置意指半導體元件或是任何包含半導體元件的裝置。關於半導體元件，舉例而言，可為閘極絕緣式場效電晶體。半導體裝置也包含包括半導體元件的半導體電路、例如顯示器的電光裝置、及電子裝置。

【先前技術】

電壓隨動器是輸出等於輸入電位的電位之半導體裝置。在半導體裝置的實例之半導體積體電路中，電壓隨動器用於電位產生電路的緩衝器。

此外，藉由使用二個電壓隨動器，能夠固持輸入電位訊號（專利文獻 1）。

同時，近年來，具有半導體特徵的金屬氧化物（於下稱為氧化物半導體）引起注意。氧化物半導體可以應用至電晶體（請參見專利文獻 2 及 3）。

[參考文獻]

[專利文獻 1] 日本公開專利申請號 2007-096594

[專利文獻 2] 日本公開專利申請號 2007-123861

[專利文獻 1] 日本公開專利申請號 2007-096055

【發明內容】



在電壓隨動器作為電位產生電路的緩衝器的情形中，電位產生電路被固定地驅動。換言之，這意指來自電位產生電路的電位訊號的固定輸入，而這增加半導體裝置的耗電。

因此，慮及上述，本發明的一實施例之目的是提供具有低耗電的半導體裝置。

根據本發明的一實施例，在包含輸入電位（於下也稱為  $V_{in}$ ）和參考電位（於下也稱為  $V_{bias}$ ）輸入的差動放大器及輸出輸出電位（於下也稱為  $V_{out}$ ）的增益級之半導體裝置中，藉由提供具有低的關閉狀態漏電流的電晶體給增益級，使電連接至輸出電位  $V_{out}$  輸出之輸出端的電晶體的閘極電位保持固定。

根據本發明的另一實施例，在包含輸入電位  $V_{in}$  和參考電位  $V_{bias}$  輸入的差動放大器、輸出等於輸入電位  $V_{in}$  之輸出電位  $V_{out}$  的輸出級、以及設於差動放大器與輸出級之間且電連接至差動放大器和輸出級的增益級之半導體裝置中，藉由提供具有低的關閉狀態漏電流的電晶體給輸出級，使電連接至輸出電位  $V_{out}$  輸出之輸出端的電晶體的閘極電位保持固定。

關於具有低的關閉狀態漏電流的電晶體，舉例而言，使用包含氧化物半導體層以及包含在氧化物半導體層中的通道形成區之電晶體。

在本說明書中，關閉狀態漏電流意指當根據電晶體的源極之施加至閘極的電壓（也稱為  $V_{gs}$  或簡稱為  $V_g$ ）低於

電晶體的臨界電壓時，在源極與汲極之間流動的電流。因此，「電晶體關閉」意指將電壓  $V_{gs}$  設定在低於或等於電晶體的臨界電壓之值。此外，關閉狀態漏電流可以簡稱為閉狀態電流。

在本說明書中，「電源關閉」之說明意指設定高電位側電源電位線（於下也稱為  $V_{dd}$ ）與低電位側電源電位線（於下也稱為  $V_{ss}$ ）之間無電位差的狀態。此外，「電源開啓」之說明意指設定高電位側電源電位線與低電位側電源電位線之間有電位差的狀態。

根據本發明的一實施例，在具有低關閉狀態漏電流的電晶體關閉之後，從半導體裝置的差動放大器供應的電位仍然被保持；因此，不用供應輸入電位，仍然能輸出等於輸入電位的電位。因此，例如產生輸入電位的電路等周邊電路能停止以及提供具有更低耗電的半導體裝置。

此外，根據本發明的一實施例，在具有低關閉狀態漏電流的電晶體關閉之後，參考電位仍然能保持；因此，不用供應參考電位，半導體裝置仍然能操作。因此，例如產生參考電位的電路等周邊電路能停止且提供具有更低耗電的半導體裝置。

### 【實施方式】

於下，將參考附圖，詳述本發明的實施例。但是，本發明不限於下述說明，以及，習於此技藝者將瞭解，在不悖離本發明的精神及範圍之下，可以對模式及細節作出各

式各樣的修改。因此，本發明不應被解釋成侷限於下述實施例的說明。注意，在下述本發明的結構中相同的部或是具有相同功能的部份，在不同圖式中由相同的代號共同地表示並將省略其說明。

注意，在本說明書的各圖式中，在某些情形中，爲了清楚起見，放大每一元件的尺寸、膜厚、或區域。因此，比例不侷限於圖式中所示的比例等等。

注意，在本說明書中，使用例如「第一」、「第二」、及「第三」等詞，以避免在元件之間造成混淆，因此這些名詞並非限定元件的數目。因此，舉例而言，「第一」一詞可以由「第二」、「第三」等詞適當地取代。

在本說明書中，「A 電連接至 B」或「B 電連接至 A」包含 A 與 B 彼此直接連接的情形以及 A 與 B 經由介於其間的物體而彼此連接。

在本說明書中，「源極」包含源極電極、區域或是電連接至源極電極的物體（例如，源極區或源極端）、等等。此外，「汲極」包含汲極電極、區域或是電連接至汲極電極的物體（例如，汲極區或源極端）、等等。由於源極和汲極視電晶體的結構、操作條件、等等而變，所以，難以界定何者爲源極或汲極。因此，爲了區別，將源極端和汲極端中之一稱爲第一端，而另一者稱爲第二端。注意，「閘極」包含閘極電極、區域或是電連接至閘極電極的物體（例如，閘極端）等等。

## [實施例 1]

在本實施例中，將說明根據本發明的一實施例之半導體裝置。圖 23A 及 23B 顯示根據本發明的一實施例之半導體裝置。

圖 23A 中所示的半導體裝置包含差動放大器 12 以及增益級 14，在差動放大器 12 中，輸入電位  $V_{in}$  輸入的第一輸入端以及參考電位  $V_{bias}$  輸入的第二輸入端彼此電連接，增益級 14 包含至少第一電晶體 16、第二電晶體 18、第三電晶體 20、以及第四電晶體 22 且電連接至輸出輸出電位  $V_{out}$  的輸出端。差動放大器 12 電連接至電源電位線  $V_{dd}$  及  $V_{ss}$ 。第一電晶體 16 的第一端經由差動放大器 12 而電連接至第一輸入端，以及，第一電晶體 16 的第二端電連接至第三電晶體 20 的閘極。第二電晶體 18 的第一端經由差動放大器 12 而電連接至第二輸入端。第二電晶體 18 的第二端電連接至第四電晶體 22 的閘極。第三電晶體 20 的第一端電連接至電源電位線  $V_{dd}$ 。第三電晶體 20 的第二端及第四電晶體 22 的第一端電連接至輸出端。第四電晶體 22 的第二端電連接至電源電位線  $V_{ss}$ 。第一電晶體 16 及第二電晶體 18 均為每微米通道寬度的關閉狀態漏電流低於或等於  $1 \times 10^{-17} A$  之電晶體。

此外，在圖 23A 中的半導體裝置中，第三電晶體 20 是 p 通道電晶體，第四電晶體 22 是 n 通道電晶體；但是，電晶體的導電率型可以視差動放大器 12 的電路配置而適當地改變。

圖 23B 中所示的半導體裝置包含：差動放大器 12，其中，輸入電位  $V_{in}$  輸入的第一輸入端以及參考電位  $V_{bias}$  輸入的第二輸入端彼此電連接；輸出級 15，包含至少第一電晶體 16、第二電晶體 18、第三電晶體 20、及第四電晶體 22，且電連接至輸出輸出電位  $V_{out}$  的輸出端；以及，增益級 13，設在差動放大器 12 與輸出級 15 之間且電連接至差動放大器 12 與輸出級 15。差動放大器 12 及增益級 13 電連接至電源電位線  $V_{dd}$  和  $V_{ss}$ 。第一電晶體 16 的第一端經由差動放大器 12 和增益級 13 而電連接至第一輸入端，以及，第一電晶體 16 的第二端電連接至第三電晶體 20 的閘極。第二電晶體 18 的第一端經由差動放大器 12 及增益級 13 而電連接至第二輸入端。第二電晶體 18 的第二端電連接至第四電晶體 22 的閘極。第三電晶體 20 的第一端電連接至電源電位線  $V_{dd}$ 。第三電晶體 20 的第二端及第四電晶體 22 的第一端電連接至輸出端。第四電晶體 22 的第二端電連接至電源電位線  $V_{ss}$ 。第一電晶體 16 及第二電晶體 18 均為每微米通道寬度的關閉狀態漏電流低於或等於  $1 \times 10^{-17} A$  之電晶體。

此外，在圖 23B 中的半導體裝置中，第三電晶體 20 是 p 通道電晶體，第四電晶體 22 是 n 通道電晶體；但是，電晶體的導電率型可以視差動放大器 12 和增益級 13 的電路配置而適當地改變。

在圖 23A 及 23B 中的每一半導體裝置中，在第一電晶體 16 和第二電晶體 18 的閘極電位設定在用於開啓第一

電晶體 16 和第二電晶體 18 的電位（於下，也稱為電位  $V_{osg}$ ）之狀態中，以在輸入電位  $V_{in}$  和參考電位  $V_{bias}$  輸入之後關閉第一電晶體 16 和第二電晶體 18 之方式，使第三電晶體 20 和第四電晶體 22 的閘極電位固持。這是因為由於第一電晶體 16 和第二電晶體 18 的關閉狀態漏電流低，所以，圖 23A 和 23B 中由粗線標示的節點被帶入浮動狀態。

接著，將以電壓隨動器作為根據本發明的一實施例之半導體裝置的實例來作說明。

圖 1 顯示根據本發明的一實施例之電壓隨動器的實例。圖 1 中的電壓隨動器 100 包含第一至第九電晶體。於下說明第一至第九電晶體的連接關係。

第一電晶體 102 的第一端和第二電晶體 104 的第一端電連接至電源電位線  $V_{dd}$ ；第一電晶體 102 的第二端電連接至第一電晶體 102 的閘極、第二電晶體 104 的閘極、以及第三電晶體 106 的第一端；第二電晶體 104 的第二端電連接至第四電晶體 108 的第一端；第三電晶體 106 的第二端及第四電晶體 108 的第二端電連接至第五電晶體 110 的第一端；以及，第五電晶體 110 的第二端電連接至電源電位線  $V_{ss}$ 。

第六電晶體 112 的第一端電連接至電源電位線  $V_{dd}$ ；第七電晶體 114 的第一端電連接至第二電晶體 104 的第二端以及第四電晶體 108 的第一端；第七電晶體 114 的第二端電連接至第六電晶體 112 的閘極；第八電晶體 116 的第

一端電連接至第五電晶體 110 的閘極；第八電晶體 116 的第二端電連接至第九電晶體 118 的閘極；以及，第九電晶體 118 的第一端電連接至第五電晶體 110 的第二端及電源電位線  $V_{ss}$ 。

第四電晶體 108 的閘極電連接至輸入電位  $V_{in}$  輸入的第一輸入端，第六電晶體 112 的第二端和第九電晶體 118 的第二端電連接至輸出輸出電位  $V_{out}$  的輸出端，以及，第五電晶體 110 的閘極電連接至參考電位  $V_{bias}$  輸入的第二輸入端。

第一電晶體 102、第二電晶體 104、及第六電晶體 112 是 p 通道電晶體；第三電晶體 106、第四電晶體 108、第五電晶體 110、及第九電晶體 118 是 n 通道電晶體。

第七電晶體 114 及第八電晶體 116 均為每微米通道寬度的關閉狀態漏電流（關閉狀態電流）低於或等於  $1 \times 10^{-17} \text{A}$  的電晶體。關閉狀態電流較佳地低於或等於  $1 \times 10^{-18} \text{A}$ 、更較佳地低於或等於  $1 \times 10^{-21} \text{A}$ 、又較佳地低於或等於  $1 \times 10^{-24} \text{A}$ 。

在圖式中，高電位側電源電位線以  $V_{dd}$  表示，低電位側電源電位線以  $V_{ss}$  表示（這也應用至下述說明）。

在電壓隨動器 100 中，包含第一電晶體 102、第二電晶體 104、第三電晶體 106、第四電晶體 108、及第五電晶體 110 的電路組被稱為差動放大器 120。

在電壓隨動器 100 中，包含第六電晶體 112、第七電晶體 114、第八電晶體 116、及第九電晶體 118 的電路組

被稱為增益級 122。注意，在電壓隨動器 100 中，增益級 122 也作為輸出級。

於此，簡要地說明習知的電壓隨動器的操作。圖 2 顯示習知的電壓隨動器的實例以說明操作。形成圖 2 中習知的電壓隨動器之電晶體以及其連接關係對應於省略掉第七電晶體 114 和第八電晶體 116 的電壓隨動器 100。注意，使用電壓隨動器 100 的代號以說明習知的電壓隨動器的操作。

首先，藉由供應至形成增益級 122 的第六電晶體 112 和第九電晶體 118 的閘極之電位，從電源開啓及參考電位  $V_{bias}$  和輸入電位  $V_{in}$  被充份供應的習知電壓隨動器，輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$ 。注意，輸入電位  $V_{in}$  被充份供應的狀態意指藉由輸入電位  $V_{in}$  而使電流在第四電晶體 108 的第一端與第二端之間固定地流動的狀態。參考電位  $V_{bias}$  被充份供應的狀態意指電流在第五電晶體 110 的第一端與第二端之間以及在第九電晶體 118 的第一端與第二端之間固定地流動的狀態。

換言之，藉由從差動放大器 120 供應之電位，從電源開啓及參考電位  $V_{bias}$  和輸入電位  $V_{in}$  被充份供應的習知電壓隨動器，輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$ 。

因此，在習知的電壓隨動器中，固定地供應輸入電位  $V_{in}$  和參考電位  $V_{bias}$  以取得輸出電位  $V_{out}$ 。

接著，說明根據本發明的一實施例之電壓隨動器 100 的操作。藉由供應至形成增益級 122 的第六電晶體 112 和



第九電晶體 118 的閘極之電位，從用於開啓第七電晶體 114 和第八電晶體 116 的電位 ( $V_{osg}$ ) 充份地供應至第七電晶體 114 和第八電晶體 116 的閘極之電壓隨動器 100，輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$ 。注意，電位  $V_{osg}$  被充份供應的狀態意指第七電晶體 114 和第八電晶體 116 開啓的狀態。

換言之，第七電晶體 114 和第八電晶體 116 開啓的電壓隨動器與習知的電壓隨動器類似地操作。

在第七電晶體 114 和第八電晶體 116 由固定地輸出之等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$  關閉 (電位  $V_{osg}$  的供應停止) 的情形中，由於第七電晶體 114 與第八電晶體 116 均為具有低關閉狀態電流的電晶體，所以，在第七電晶體 114 的第二端與第六電晶體 112 的閘極之間的節點\_1 (對應於圖 1 中的粗線標示的部份) 以及在第八電晶體 116 的第二端與第九電晶體 118 的閘極之間的節點\_2 (對應於圖 1 中的粗線標示的部份) 均變成浮動狀態。

節點\_1 的電位是從差動放大器 120 供應的電位且不會經由第七電晶體 114 而波動，因而被固定地保持。節點\_2 的電位等於參考電位  $V_{bias}$  且不會經由第八電晶體 116 而波動，因而被固定地保持。

因此，供應至第六電晶體 112 的閘極之電位及供應至第九電晶體 118 的閘極之電位，是要輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$  所需的電位，它們在節點\_1 及節點\_2 中被固定地保持。

因此，電壓隨動器 100 不需要固定地供應輸入電位  $V_{in}$  及參考電位  $V_{bias}$ ，且即使當輸入電位  $V_{in}$  及參考電位  $V_{bias}$  停止時，只要電源開啓，根據節點\_1 的保持電位及節點\_2 的保持電位，仍然輸出等於正好在停止供應電位  $V_{osg}$  之前的輸入電位  $V_{in}$  之輸出電位  $V_{out}$ 。亦即，即使當例如產生輸入電位  $V_{in}$  及參考電位  $V_{bias}$  的電路等周邊電路停止時，電壓隨動器 100 仍然能操作；因此，電壓隨動器 100 的耗電降低。

注意，在本說明書中，低功率操作意指下述操作：在輸入電位  $V_{in}$ 、參考電位  $V_{bias}$ 、及電位  $V_{osg}$  被充份地供應之根據本發明的一實施例之電壓隨動器中，藉由關閉具有低關閉狀態電流的電晶體以及停止輸入電位  $V_{in}$  和參考電位  $V_{bias}$  的供應，輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$ 。

爲了改變低功率操作期間輸出之電壓隨動器 100 的輸出電位  $V_{out}$ ，僅需要再度地開啓第七電晶體 114 和第八電晶體 116，以及，在充份地供應等於所需的輸出電位  $V_{out}$  之輸入電位  $V_{in}$  之後，關閉第七電晶體 114 和第八電晶體 116。

此外，即使在低功率操作期間關閉電壓隨動器 100 的電源之情形中，節點\_1 的電位及節點\_2 的電位仍然保持固定；因此，當電源再度開啓時，正好在電源關閉之前輸出的輸出電位  $V_{out}$  再度輸出，而未供應輸入電位  $V_{in}$ 、參考電位  $V_{bias}$ 、及電位  $V_{osg}$ 。因此，當電源再度開啓時

，電壓隨動器 100 的電路比習知電路配置的電路更快速地啓動。

在電壓隨動器 100 中，第五電晶體 110 和第九電晶體 118 均作為固定電流源。因此，電阻器等可以替代第五電晶體 110 和第九電晶體 118。

此外，只要增益級 122 設有具有低關閉狀態漏電流的電晶體且從差動放大器供應的電位在電壓隨動器 100 中被保持，則對於均作為固定電流源（第五電晶體 110 和第九電晶體 118）的電晶體至電源電位線  $V_{ss}$  的電連接並無限制。亦即，均作為固定電流源的電晶體電連接至電源電位線  $V_{dd}$  之電壓隨動器也包含在發明的一實施例中。注意，當均作為固定電流源的電晶體電連接至電源電位線  $V_{dd}$  時，形成差動放大器 120 和增益級 122 之其它電晶體的連接關係適當地改變。

關於作為第七電晶體 114 和第八電晶體 116 的具有上述關閉狀態電流值之電晶體的實例，可為通道形成區形成於例如氧化物半導體層等寬能隙半導體層中之電晶體。此外，在氧化物半導體中，作為載子供應者的氫較佳地降低至相當低的程度。因此，在氧化物半導體層的通道形成區中，氫濃度較佳地低於或等於  $5 \times 10^{19}/\text{cm}^3$ ，更較佳地氫濃度低於或等於  $5 \times 10^{18}/\text{cm}^3$  以及氧比例超過化學計量成分比例。以二次離子質譜術（SIMS），測量用於形成通道形成區的氧化物半導體中的氫濃度。

使用含有至少銦（In）或鋅（Zn）的金屬氧化物，較

佳地形成氧化物半導體層。特別地，較佳的是含有 In 及 Zn。關於用於降低包含氧化物半導體的電晶體的電特徵變化之穩定物，除了 In 和 Zn 之外，較佳的是又含有鎵 (Ga)。較佳地含有錫 (Sn) 作為穩定物。較佳地含有鉛 (Pb) 作為穩定物。較佳地含有鋁 (Al) 作為穩定物。

關於其它穩定物，可以含有例如鏷 (La)、鈰 (Ce)、鐮 (Pr)、釹 (Nd)、釷 (Sm)、鎔 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、銩 (Tm)、鐳 (Yb)、或鐳 (Lu) 等一或多種鏷系元素。

在氧化物半導體層中的載子濃度較佳地低於  $1.0 \times 10^{14}/\text{cm}^3$ 。藉由降低載子濃度，電晶體的關閉狀態電流降低。

在電壓隨動器 100 中，對於用於第一電晶體 102、第二電晶體 104、第三電晶體 106、第四電晶體 108、第五電晶體 110、第六電晶體 112、及第九電晶體 118 的半導體材料並無限定。舉例而言，使用矽半導體材料。

注意，關於第三電晶體 106、第四電晶體 108、第五電晶體 110、及第九電晶體 118，可為通道形成區由例如氧化物半導體層等寬能隙半導體層形成的電晶體。

經由上述，根據本發明的一實施例之半導體裝置的電壓隨動器比習知的電壓隨動器消耗更少的電力。此外，也在包含電壓隨動器的半導體裝置中，耗電降低。

注意，根據本發明的一實施例之半導體裝置的電壓隨動器之電路配置不限於本實施例中所述，只要藉由提供具

有低關閉狀態漏電流的電晶體給增益級而能固定地保持從差動放大器供應的電位即可。舉例而言，差動放大器及增益級均設有另一電晶體。

注意，本實施例的內容及其部份可以與其它實施例的內容或部份自由地結合。

#### [實施例 2]

在本實施例中，將說明配置部份不同於實施例 1 中所示的配置之半導體裝置的配置實施例。

雖然實施例 1 中所述的電壓隨動器 100 包含差動放大器 120 和增益級 122 等二級，但是，根據本發明的一實施例之電壓隨動器不限於此配置。舉例而言，增益級可以設在差動放大器與輸出級之間。

舉例而言，圖 3 顯示電壓隨動器 200，其是包三級的電壓隨動器的配置實例：差動放大器 230、增益級 232、及輸出級 234。注意，電壓隨動器 200 是電壓隨動器 100 的變化實施例；因此，在圖 3 中適當地使用電壓隨動器 100 的代號。

圖 3 中的電壓隨動器 200 包含第一至第十三電晶體及一電容器。於下說明電晶體及電容器的連接關係。

第一電晶體 202 的第一端和第二電晶體 204 的第一端電連接至電源電位線  $V_{dd}$ ；第一電晶體 202 的第二端電連接至第一電晶體 202 的閘極、第二電晶體 204 的閘極、以及第三電晶體 206 的第一端；第二電晶體 204 的第二端電

連接至第四電晶體 208 的第一端；第三電晶體 206 的第二端及第四電晶體 208 的第二端電連接至第五電晶體 210 的第一端；以及，第五電晶體 210 的第二端電連接至電源電位線  $V_{ss}$ 。

第六電晶體 212 的第一端電連接至電源電位線  $V_{dd}$ ；第二電晶體 204 的第一端及第四電晶體 208 的第一端電連接至第六電晶體 212 的閘極及電容器 214 的一電極；第六電晶體 212 的第二端及電容器 214 的另一電極電連接至第七電晶體 216 的第二端及第七電晶體 216 的閘極；第七電晶體 216 的第二端電連接至第八電晶體 218 的第一端；第八電晶體 218 的第二端電連接至第八電晶體 218 的閘極以及第九電晶體 220 的第一端；以及，第九電晶體 220 的第二端電連接至電源電位線  $V_{ss}$ 。

第十電晶體 222 的第一端電連接至電源電位線  $V_{dd}$ ；第十一電晶體 224 的第一端電連接至第七電晶體 216 的閘極；第十電晶體 222 的閘極電連接至第十一電晶體 224 的第二端；第十二電晶體 226 的第一端電連接至第八電晶體 218 的閘極；第十二電晶體 226 的第二端電連接至第十三電晶體 228 的閘極；第十電晶體 222 的第二端電連接至第十三電晶體 228 的第一端；以及，第十三電晶體 228 的第二端電連接至電源電位線  $V_{ss}$ 。

第四電晶體 208 的閘極電連接至輸入電位  $V_{in}$  輸入的第一輸入端；第三電晶體 206 的閘極、第十電晶體 222 的第二端、和第十三電晶體 228 的第一端電連接至輸出輸

出電位  $V_{out}$  的輸出端，以及，第五電晶體 210 的閘極和第九電晶體 220 的閘極電連接至參考電位  $V_{bias}$  輸入的第二輸入端。

第一電晶體 202、第二電晶體 204、第六電晶體 212、第八電晶體 218 及第十三電晶體 228 是 p 通道電晶體；第三電晶體 206、第四電晶體 208、第五電晶體 210、第七電晶體 216、第九電晶體 220、第十電晶體 222、第十一電晶體 224、及第十二電晶體 226 是 n 通道電晶體。

第十一電晶體 224 及第十二電晶體 226 為每微米通道寬度的關閉狀態漏電流（關閉狀態電流）均低於或等於  $1 \times 10^{-17} \text{A}$  之電晶體。關閉狀態電流較佳地低於或等於  $1 \times 10^{-18} \text{A}$ 、更較佳地低於或等於  $1 \times 10^{-21} \text{A}$ 、又較佳地為  $1 \times 10^{-24} \text{A}$ 。

在電壓隨動器 200 中，包含第一電晶體 202、第二電晶體 204、第三電晶體 206、第四電晶體 208、及第五電晶體 210 的電路組被稱為差動放大器 230。

在電壓隨動器 200 中，包含第六電晶體 212、電容器 214、及第九電晶體 220 的電路組被稱為增益級 232。

在電壓隨動器 200 中，包含第七電晶體 216、第八電晶體 218、第十電晶體 222、第十一電晶體 224、第十二電晶體 226、及第十三電晶體 228 的電路組被稱為輸出級 234。

以類似於習知的電壓隨動器的方式，從第十一電晶體 224 和第十二電晶體 226 開啓的電壓隨動器 200，輸出等

於輸入電位  $V_{in}$  的輸出電位  $V_{out}$ 。

在第十一電晶體 224 和第十二電晶體 226 由固定地輸出之等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$  關閉（電位  $V_{osg}$  的供應停止）的情形中，由於第十一電晶體 224 與第十二電晶體 226 均為具有低關閉狀態電流的電晶體，所以，在第七電晶體 224 的第二端與第十電晶體 222 的閘極之間的節點\_3（對應於圖 3 中的粗線標示的部份）以及在第十二電晶體 226 的第二端與第十三電晶體 228 的閘極之間的節點\_4（對應於圖 3 中的粗線標示的部份）均變成浮動狀態。

節點\_3 的電位是從增益級 232 供應的電位且不會經由第十一電晶體 224 而波動，因而被固定地保持。節點\_4 的電位是根據參考電位  $V_{bias}$  而從增益級 232 供應的電位且不會經由第十二電晶體 226 而波動，因而被固定地保持。

因此，電壓隨動器 200 能執行低功率操作；因此，電壓隨動器 200 的耗電降低。

舉例而言，在包含於輸出級 234 中的電晶體的通道寬度（也簡稱為電晶體的尺寸）比包含於差動放大器 200 中的電晶體的通道寬度（尺寸）長很多（大很多）時，在供應用於輸出等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$  給第十電晶體 222 的閘極和第十三電晶體 228 的閘極時，發生延遲。

此時，藉由提供通道寬度（尺寸）比包含於差動放大



器 230 中的電晶體的通道寬度還長（大）且比包含於輸出級 234 中的電晶體的通道寬度還短（小）之電晶體給增益級 232，能抑制延遲發生。亦即，藉由在電壓隨動器 200 中設置增益級，能抑制延遲；因此，等於輸入電位  $V_{in}$  的輸出電位  $V_{out}$  穩定地輸出。

爲了改變低功率操作期間輸出之電壓隨動器 200 的輸出電位  $V_{out}$ ，僅需要再度地開啓第十一電晶體 224 和第十二電晶體 226，以及，在充份地供應狀態等於所需的輸出電位  $V_{out}$  之輸入電位  $V_{in}$  之後，關閉第十一電晶體 224 和第十二電晶體 226。注意，輸入電位  $V_{in}$  被充份地供應的狀態意指藉由輸入電位  $V_{in}$  而使電流在第四電晶體 208 的第一端與第二端之間固定地流動的狀態。

此外，即使在低功率操作期間關閉電壓隨動器 200 的電源之情形中，當電源再度開啓時，正好在電源關閉之前輸出的輸出電位  $V_{out}$  以類似於電壓隨動器 100 的方式輸出。因此，當電源再度開啓時，電壓隨動器 200 的電路比習知電路配置的電路更快速地啓動。

在電壓隨動器 200 中，第五電晶體 210、第九電晶體 220、和第十三電晶體 228 均作爲固定電流源。因此，電阻器等可以替代第五電晶體 210、第九電晶體 220、和第十三電晶體 228。即使在以電阻器替代設在增益級 232 中的固定電流源的情形中，藉由在輸出級 234 中設置第十二電晶體 226，節點\_4 仍然能固持電位。因此，電壓隨動器 200 能執行低功率操作。

此外，只要輸出級 234 設有具有低關閉狀態漏電流的電晶體且從增益級 232 供應的電位在電壓隨動器 200 中被保持，則對於均作為固定電流源（第五電晶體 210 和第九電晶體 220）的電晶體至電源電位線  $V_{ss}$  的電連接並無限制。亦即，均作為固定電流源的電晶體電連接至電源電位線  $V_{dd}$  之電壓隨動器也包含在發明的一實施例中。注意，當均作為固定電流源的電晶體電連接至電源電位線  $V_{dd}$  時，形成差動放大器 230 和輸出級 234 之其它電晶體的連接關係適當地改變。

關於作為第十一電晶體 224 和第十二電晶體 226 的具有上述關閉狀態電流值之電晶體的實例，如實施例 1 中所述般，可為通道形成區形成於例如氧化物半導體層等寬能隙半導體層中之電晶體。因此，在第十一電晶體 224 和第十二電晶體 226 中各電晶體的氧化物半導體層的通道形成區中，氫濃度較佳地低於或等於  $5 \times 10^{19}/\text{cm}^3$ ，更較佳地氫濃度低於或等於  $5 \times 10^{18}/\text{cm}^3$  以及氧比例超過化學計量成分比例。氧化物半導體層中的載子濃度較佳地低於  $1.0 \times 10^{14}/\text{cm}^3$ 。藉由降低載子濃度，電晶體的關閉狀態電流降低。使用實施例 1 中所述的金屬氧化物膜，形成氧化物半導體層。

在電壓隨動器 200 中，對於用於第一電晶體 202、第二電晶體 204、第三電晶體 206、第四電晶體 208、第五電晶體 210、第六電晶體 212、第七電晶體 216、第八電晶體 218、第九電晶體 220、第十電晶體 222、及第十三

電晶體 228 的半導體材料並無限定。舉例而言，使用矽半導體材料。

注意，設置使用例如氧化物半導體等寬能隙半導體以形成通道形成區的電晶體，以作為第三電晶體 206、第四電晶體 208、第五電晶體 210、第七電晶體 216、第九電晶體 220、及第十電晶體 222。

電容器 214 包含使用導體膜形成的成對電極以及設於成對電極之間的絕緣膜。使用形成包含在電壓隨動器 200 中的任何電晶體之步驟，形成電容器 214。

經由上述，根據本發明的一實施例之半導體裝置的電壓隨動器比習知的電壓隨動器消耗更少的電力。此外，也在包含電壓隨動器的半導體裝置中，耗電降低。

注意，根據本發明的一實施例之半導體裝置的電壓隨動器之電路配置不限於本實施例中所述，只要藉由提供具有低關閉狀態漏電流的電晶體給輸出級而能固定地保持從增益級供應的電位即可。舉例而言，差動放大器、增益級、及輸出級均設有另一電晶體。

此外，根據本發明的一實施例之半導體裝置能應用至包含運算放大器、放大器電路、比較器、等等的各種應用。

舉例而言，根據本發明的一實施例之半導體裝置作為根據二輸入之間的電位差以輸出輸出電位的運算放大器。

運算放大器如下所述地配置：在圖 3 中的電壓隨動器 200 的電路配置中，供應另一輸入電位  $V_{in1}$  以取代輸出

電位  $V_{out}$  而作為供應至第三電晶體 206 的閘極之電位。舉例而言，電壓隨動器 200 的第三電晶體 206 的閘極連接至輸入電位  $V_{in1}$  輸入的第三端而非第十電晶體 222 的第二端、第十三電晶體 228 的第一端、及輸出端（請參見圖 24）。

運算放大器的操作如下所述：供應至第六電晶體 212 的閘極由供應至第三電晶體 206 的閘極之輸入電位（ $V_{in1}$ ）與供應至第四電晶體 208 的閘極之輸入電位（ $V_{in}$ ）之間的差降低。當供應至第六電晶體 212 的閘極之電位降低時，第六電晶體 212 趨向於具有大量的開啓狀態電流（開啓狀態）以及供應至第十電晶體 222 的閘極之電位上升。因此，第十電晶體 222 的第二端的電位（輸出端的電位或源極電位），亦即，輸出電位  $V_{out}$  也上升。

運算放大器不需要如同電壓隨動器般被固定地供予輸入電位  $V_{in}$ 、輸入電位  $V_{in1}$ 、及參考電位  $V_{bias}$ 。即使當輸入電位  $V_{in}$ 、輸入電位  $V_{in1}$ 、及參考電位  $V_{bias}$  的供應停止時，只要電源開啓，根據節點\_3 的固持電位及節點\_4 的固持電位，輸出正好在停止供應之前的電位。亦即，即使當例如產生輸入電位  $V_{in}$ 、輸入電位  $V_{in1}$ 、及參考電位  $V_{bias}$  的電路等周邊電路停止時，運算放大器仍然能操作；因此，運算放大器的耗電降低。亦即，根據本發明的一實施例之運算放大器能執行低功率操作。

爲了改變低功率操作期間輸出之根據本發明的一實施例之運算放大器的輸出電位  $V_{out}$ ，僅需要再度地開啓第

十一電晶體 224 和第十二電晶體 226，以及，在充份地供應變成所需電位的輸入電位  $V_{in}$  及輸入電位  $V_{in1}$  之後，關閉第十一電晶體 224 和第十二電晶體 226。

此外，即使在低功率操作期間關閉根據本發明的一實施例之運算放大器的電源之情形中，當電源再度開啓時，正好在電源關閉之前輸出的輸出電位  $V_{out}$  以類似於電壓隨動器 100 及電壓隨動器 200 的方式再輸出。因此，當電源再度開啓時，根據本發明的一實施例之運算放大器的電路比習知電路配置的電路更快速地啓動。

注意，根據本發明的一實施例之半導體裝置的運算放大器之電路配置不限於本實施例中所述，只要藉由提供具有低關閉狀態漏電流的電晶體給輸出級而能固定地保持從差動放大器供應的電位即可。舉例而言，可以設置複數增益級，或者差動放大器、增益級、及輸出級中每一級均設有另一電晶體。

經由上述，根據本發明的一實施例之半導體裝置的運算放大器比習知的電壓隨動器消耗更少的電力。此外，也在包含運算放大器的半導體裝置中，耗電降低。

此處，將說明在根據本發明的一實施例之半導體裝置中使用具有非常低的關閉狀態電流之電晶體的優點。

根據本發明的一實施例之半導體裝置中包含具有非常低的關閉狀態電流之電晶體；因此，當電源再度開啓時，能再度輸出正好在電源關閉之前輸出的輸出電位  $V_{out}$ 。這是因為藉由包含氧化物半導體的電晶體而取得非依電

性。

此外，藉由使用利用自旋電子的磁隧道接面元件（MTJ 元件），可取得非依電性半導體裝置。當設於絕緣膜上方及下方的鐵電膜的磁化方向平行時，設定低電阻狀態，或當其方向反平行時，設定高電阻狀態，MTJ 元件儲存資料。因此，在非依電性上，MTJ 元件的原理與根據本發明的一實施例的半導體裝置中的氧化物半導體的原理完全不同。

現在，參考表 1，比較包含 MTJ 元件與包括包含氧化物半導體的電晶體之非依電性半導體裝置。

[表 1]

	自旋電子(MTJ 元件)	氧化物半導體/Si
抗熱性	居禮溫度	約 500°C 製程溫度(在 150°C 的可靠度)
驅動方法	電流驅動	電壓驅動
寫入原理	改變鐵電體的磁化方向	開/關 FET
Si LSI	適用於雙極 LSI(由於雙極裝置不適合高集成度,所以,MOS 裝置對於高集成度是較佳的。注意,W 變得較大。)	適用於 MOS LSI
費用	大(由於高焦爾熱)	比 MTJ 元件的費用小 2 至 3 個或更多的數量級(由於寄生電容的充電及放電)
非依電性	使用旋轉	使用低關閉狀態電流
寫入循環次數	無限制	無限制
3D 結構	困難(最多二層)	容易(層的數目無限制)
材料	磁性稀土元素	氧化物半導體材料
元件成本	高	低(可以視氧化物半導體材料(例如 In)而稍高)

如表 1 中所示，MTJ 元件由電流驅動，以致於藉由改變鐵電膜的磁化方向以輸入或固持電位。相對地，包含氧化物半導體的電晶體由電壓驅動，以致於藉由開關電晶體的狀態以輸入或固持電位。

理論上，MTJ 元件及包含氧化物半導體的電晶體都能取得非依電性，且對於固持電荷的次數並無限制。

MTJ 元件因為使用磁性材料，所以，具有當溫度高於或等於居禮溫度時磁性損失的缺點。此外，MTJ 元件由於使用電流驅動而與矽雙極裝置並容的；但是，矽雙極裝置不適合高集成度。此外，雖然 MTJ 元件要求低寫入電流

，但是，MTJ 元件具有耗電隨著記憶體容量增加而增加的問題。

爲了取得高集成度的裝置，各種元件相堆疊以取得三維集成。但是，對於包含 MTJ 元件的半導體裝置，此三維集成是困難的。相反地，包括包含氧化物半導體的電晶體之半導體裝置適用於堆疊的三維集成。

在原理上，MTJ 元件對磁場具有低抵抗性，以致於當 MTJ 元件曝露至高磁場時磁化方向容易改變。此外，需要控制導因於用於 MTJ 元件的奈米級磁性體的磁性波動。

此外，以稀土元素用於 MTJ 元件；因此，將 MTJ 元件的製程併入對金屬污染敏感之形成矽半導體的製程時，需要特別注意。MTJ 元件的每位元材料成本是昂貴的。

另一方面，包含氧化物半導體的電晶體具有類似於矽 MOSFET 的元件結構及操作原理，但使用例如金屬氧化物以形成通道形成區除外。此外，包含氧化物半導體層的電晶體不受磁場影響。因此，根據本發明的一實施例之半導體裝置相較於包含 MTJ 元件的非依電性半導體裝置，具有抗磁場的高穩定度。此外，根據本發明的一實施例之半導體裝置與矽積體電路是高度共容的。

從上述中，爲了取得非依電性半導體裝置，較佳地使用具有非常低的關閉狀態電流的電晶體，特別是包含氧化物半導體的電晶體。

注意，本實施例的內容及其部份可以其它實施例的內容或其部份自由地結合。



## [實施例 3]

在本實施例中，將說明任一上述實施例中說明的半導體裝置中包含的電晶體的製造方法。

在任一上述實施例中說明的電壓隨動器中，使用包含半導體材料的基底，以一般方法形成 p 通道及 n 通道電晶體。注意，在本實施例中，爲了圖式簡明起見，p 通道及 n 通道電晶體中之一顯示於半導體基底上。

以下述方式形成具有非常低的關閉狀態電流之電晶體：p 通道及 n 通道電晶體形成於包含半導體材料的基底上，接著，在 p 通道及 n 通道電晶體上形成包含氧化物半導體的電晶體。此外，使用 p 通道及 n 通道電晶體設於其上的半導體基底 700 作爲形成基底，以及，包含氧化物半導體的電晶體設於基底之上，因而降低電壓隨動器中電晶體佔據的面積；因此，取得電壓隨動器的微小化。

p 通道或 n 通道電晶體形成於其上的半導體基底 700 包含作爲源極和汲極的高濃度雜質區 701、低濃度雜質區 702、閘極絕緣膜 703、閘極電極 704、以及層間絕緣膜 705（請參見圖 4）。

通道形成區形成於氧化物半導體層中的電晶體 710 包含：氧化物半導體層 711，形成在 p 通道或 n 通道電晶體設於其上的半導體基底 700 上；源極電極 712a 和汲極電極 712b，彼此分開地形成且接觸氧化物半導體層 711；閘極絕緣膜 713，形成於至少氧化物半導體層 711 的通道形

成區上；以及，閘極電極 714，形成於閘極絕緣膜 713 上而與氧化物半導體層 711 重疊（請參見圖 4）。

層間絕緣膜 705 也作為氧化物半導體層 711 的基部絕緣膜。

層間絕緣膜 705 至少在其表面上含有氧，且由藉由熱處理而使部份氧脫附的絕緣氧化物形成。關於藉由熱處理而使部份氧脫附的絕緣氧化物，較佳地使用氧比例高於化學計量成分比例中的氧比例之材料。這是因為氧因熱處理而供應至接觸層間絕緣膜 705 的氧化物半導體 711。

關於氧比例高於化學計量成分比例中的氧比例之材料，舉例而言，可為  $\text{SiO}_x$  表示的矽氧化物，其中， $x > 2$ 。但是，可以不限定地使用氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧化鉛、氧化鈮、等等，以形成層間絕緣膜 705。

注意，層間絕緣膜 705 可以由複數堆疊膜形成。舉例而言，層間絕緣膜 705 可以具有氧化矽膜形成於氮化矽膜之上的層疊結構。

從氧比例高於化學計量成分比例中的氧比例之絕緣氧化物中，部份氧藉由熱處理而容易脫附。當部份氧藉由熱處理而容易脫附時，以熱脫附光譜（TDS）分析取得的脫附氧量（轉換成氧原子的值）大於或等於  $1.0 \times 10^{18}$  原子/ $\text{cm}^3$ ，較佳地大於或等於  $1.0 \times 10^{20}$  原子/ $\text{cm}^3$ ，更較佳地大於或等於  $3.0 \times 10^{20}$  原子/ $\text{cm}^3$ 。

此處，於下述中將說明使用 TDS 分析之方法。在

TDS 分析中被釋放的氣體量與 TDS 光譜的積分值成比例。因此，從氧化物的 TDS 光譜的積分值至標準樣品的參考值，計算脫附的氣體量。標準樣品的參考值意指在含有預定原子的樣品（標準樣品）中預定原子的密度相對於光譜的積分值的比例。

舉例而言，從含有預定密度之氫的矽晶圓（標準樣品）的 TDS 光譜及氧化物的 TDS 光譜，以下述公式，取得氧化物的脫附氧分子（ $O_2$ ）的量（ $N_{O_2}$ ）。

[公式1]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

$N_{H_2}$  是藉由將從標準樣品脫附之氫分子（ $H_2$ ）的數量轉換成密度而取得的值。 $S_{H_2}$  是標準樣品之氫分子（ $H_2$ ）的 TDS 光譜之積分值。換言之，標準樣品的參考值為  $N_{H_2}/S_{H_2}$ 。 $S_{O_2}$  是絕緣氧化物的氧分子（ $O_2$ ）的 TDS 光譜之積分值。 $\alpha$  是影響 TDS 光譜強度的係數。關於上述公式的細節，請參考日本專利公開專利申請號 H6-275697。

注意，使用含有  $1 \times 10^{16}$  原子/cm<sup>3</sup> 的氫原子之矽晶圓作為標準樣品，以 ESCO Ltd. 製造的熱脫附光譜設備 EMD-WA1000S/W，測量以 TDS 分析取得的脫附氧的數量（轉換成氧原子的值）。

在 TDS 分析中，氧被部份地偵測為氧原子。從氧分子的離子化率，計算氧分子與氧原子之間的比例。由於係數  $\alpha$  包含氧分子的離子化率，所以，經由被釋放的氧原子的數目之估算，也能計算被釋放的氧原子的數目。

此外， $\text{N}_{\text{O}_2}$  是脫附的氧分子（ $\text{O}_2$ ）的數量。因此，被轉換成氧原子的脫附的氧量是脫附的氧分子（ $\text{O}_2$ ）的數目的二倍。

以濺射法、CVD 法、等等，較佳地以濺射法，形成層間絕緣膜 705。當形成氧化矽膜以作為層間絕緣膜 705 時，使用石英靶作為靶（較佳地，合成石英），以及使用氫氣作為濺射氣體。或者，使用矽靶作為靶，以及使用含氧的氣體作為濺射氣體。關於含氧的氣體，可以使用氫氣及氧氣的混合氣體或是僅使用氧氣。

在形成層間絕緣膜 705 之後以及在形成要被處理成氧化物半導體層 711 的氧化物半導體膜之前，執行第一熱處理。第一熱處理是用於移除含於層間絕緣膜 705 中的水及氫的步驟。因此，第一熱處理的溫度較佳地高於或等於含於層間絕緣膜 705 中的水及氫脫附的溫度（脫附的水及氫的數量具有峰值時的溫度）以及低於 p 通道或 n 通道電晶體形成於上的半導體基底 700 之品質改變或變形的溫度，舉例而言，低於稍後執行的第二熱處理的溫度。

然後，在形成氧化物半導體膜之後，執行第二熱處理。第二熱處理是用於從氧化物半導體膜中移除氧化物半導體膜形成時混入其中的水及氫的步驟，又是藉由使用層間絕緣膜 705 作為氧的供應源以供應氧至氧化物半導體膜的步驟。舉例而言，以高於或等於  $200^\circ\text{C}$  且低於半導體 700 的應變點之溫度，較佳地執行第二熱處理。但是，第二熱處理的時機不限於此，可以是在氧化物半導體膜被處

理成氧化物半導體層 711 之後。依此方式，降低氧化物半導體膜中的氫濃度，因而能防止電晶體的臨界電壓偏移至負向。

關於供應氧至氧化物半導體膜的步驟，能夠藉由使用氧電漿或是使用離子佈植法的氧摻雜處理，來執行氧摻雜。以使用離子佈植法的氧摻雜處理，將氧過度地含於氧化物半導體膜中。藉由第二熱處理或是第二熱處理之後的氧摻雜處理，能夠降低要形成的電晶體 710 的電特徵之變異。

注意，較佳的是，在第二熱處理中，氫、水、羥基、氫化物、等等不包含於氮氣或例如氮氣、氖氣、或氫氣等稀有氣體中。或者，導入於熱處理設備中之氮或例如氮氣、氖氣、或氫氣等稀有氣體之純度較佳地為高於或等於 6N ( 99.9999% )，又較佳地為高於或等於 7N ( 99.99999% ) ( 亦即，雜質濃度為 1 ppm 或更低，較佳地為 0.1ppm 或更低 )。

此外，氧化物半導體膜或氧化物半導體層 711 的結晶性可以視第二熱處理的條件或是氧化物半導體膜或氧化物半導體層 711 的材料而為單晶結構或是非單晶結構。非單晶結構包含微結晶結構以及多晶結構。舉例而言，氧化物半導體膜或是氧化物半導體層 711 是具有 90% 或更高或是 80% 或更高的結晶度之微結晶半導體層。此外，非單晶結構包含未包含晶體區的非晶結構以及包含晶體區的非晶結構。包含晶體區的非晶結構的實例為氧化物半導體層

，在所述氧化物半導體層中，部份微晶體（具有大於或等於 1 nm 且小於或等於 20 nm 的粒徑，典型地大於或等於 2 nm 且小於或等於 4 nm）混入於非晶結構中。

氧化物半導體膜或氧化物半導體層 711 要形成於上的表面之層間絕緣膜 705 的平均表面粗糙度（Ra）較佳地小於或等於 1 nm，較佳地小於或等於 0.3 nm，以便當氧化物半導體膜是結晶時對齊晶向。藉由增進氧化物半導體膜或是氧化物半導體層 711 要形成於上的層間絕緣膜 705 的平坦性，氧化物半導體膜或是氧化物半導體層 711 具有高表面平坦性；因此，能取得具有更高的場效遷移率的電晶體。

在具有非晶結構的氧化物半導體膜或是氧化物半導體層 711 的情形中，相當容易取得平坦表面，以致於藉由使用此氧化物半導體膜以形成電晶體時，能降低界面散射，相當容易取得相當高的遷移率。

在具有晶體結構（單晶結構、包含具有結晶性的區域之非晶結構、多晶結構、及微晶結構）的氧化物半導體膜或是氧化物半導體層 711 的情形中，可以進一步降低塊體中的缺陷。在該情形中，氧化物半導體膜或是氧化物半導體層 711 的表面平坦度增進，取得比具有非晶結構的氧化物半導體膜情形中的遷移率還高的遷移率。爲了增進表面平坦度，氧化物半導體膜或是氧化物半導體層 711 較佳地形成於平坦表面上（在本實施例中，層間絕緣膜 705）。如上所述，氧化物半導體膜或是氧化物半導體層 711 形成

於平均表面粗糙度（ $R_a$ ）小於或等於 1 nm、較佳地小於或等於 0.3 nm 的表面上。

此處，藉由將 JIS B 0601：2001（ISO 4287:1997）定義的中心線平均粗糙度（ $R_a$ ）擴張成三維以致能夠將  $R_a$  應用至測量平面，而取得平均表面粗糙度（ $R_a$ ）。平均表面粗糙度（ $R_a$ ）可以表示為從參考表面至特定表面的偏移絕對值的平均值。

此處，假定在粗糙度曲線的中心線之方向上從粗糙度曲線拾取具有測量長度  $L$  的部份，被拾取的部份的粗糙度曲線的中心線線的方向由  $X$  軸代表，縱軸放大的方向（垂直於  $X$  軸的方向）以  $Y$  軸表示，以及粗糙度曲線以  $Y=F(X)$  表示，以下述公式（1），顯示中心線平均粗糙度（ $R_a$ ）。

[公式2]

$$Ra = \frac{1}{L} \int_0^L |F(X)| dX \quad (1)$$

當由測量資料表示的表面之測量表面表示為  $Z=F(X, Y)$  時，平均表面粗糙度（ $R_a$ ）是從參考表面至特定表面的偏移絕對值的平均值，且由下述公式（2）表示。

[公式3]

$$Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |F(X, Y) - Z_0| dXdY \quad (2)$$

此處，特定表面是粗糙度測量的標的之表面，且是由座標（ $X_1, Y_1$ ）、（ $X_1, Y_2$ ）、（ $X_2, Y_1$ ）、及（ $X_2, Y_2$ ）表示的四點所圍繞的長方形區。當特定表面是理想上平坦時特定表面的面積以  $S_0$  代表。

此外，參考表面意指在特定表面的平均高度處平行於 X-Y 表面的表面。簡而言之，當特定表面的高度的平均值由  $Z_0$  代表時，參考表面的高度也以  $Z_0$  表示。

使用原子力顯微鏡 (AFM)，測量平均表面粗糙度 (Ra)。

爲了使層間絕緣膜 705 的平均表面粗糙度如上所述地小於或等於 1 nm，較佳地小於或等於 0.3 nm，執行化學機械拋光 (CMP) 處理。在形成氧化物半導體膜之前，較佳地在第一熱處理之前，執行 CMP 處理。

於此，執行一次或多次 CMP 處理。當多次執行 CMP 處理時，較佳地以高拋光率執行第一拋光，接著是低拋光率的最後拋光。

爲了平坦化層間絕緣膜 705，執行電漿處理等以取代 CMP 處理。在電漿處理中可以使用稀有氣體。藉由電漿處理，惰性氣體的離子被濺射至處理表面，以致藉由濺射效果，將處理表面上的不均勻平坦化。此電漿處理也稱爲逆濺射。

可以執行上述處理中之一或更多，以將層間絕緣膜 705 平坦化。舉例而言，僅有逆濺射被執行，或是執行 CMP 處理，然後執行乾蝕刻。注意，較佳的是執行乾蝕刻或逆濺射，以防止水進入氧化物半導體膜要形成於上的層間絕緣膜 705。特別地，當在第一熱處理之後執行平坦化處理時，較佳地執行乾蝕刻或逆濺射。

舉例而言，形成氧化物半導體膜，在其上形成蝕刻遮



罩，然後執行蝕刻之方式，以此方式，選擇性地形成氧化物半導體層 711。或者，可以使用噴墨法等等。

關於氧化物半導體膜，能夠使用例如 In-Sn-Ga-Zn 為基礎的金屬氧化物、In-Hf-Ga-Zn 為基礎的金屬氧化物、In-Al-Ga-Zn 為基礎的金屬氧化物、In-Sn-Al-Zn 為基礎的金屬氧化物、In-Sn-Hf-Zn 為基礎的金屬氧化物、或 In-Hf-Al-Zn 為基礎的金屬氧化物等四成分金屬氧化物。或者，能夠使用例如 In-Ga-Zn 為基礎的金屬氧化物（也稱為 IGZO）、In-Al-Zn 為基礎的金屬氧化物、In-Sn-Zn 為基礎的金屬氧化物、Al-Ga-Zn 為基礎的金屬氧化物、Sn-Al-Zn 為基礎的金屬氧化物、In-Hf-Zn 為基礎的金屬氧化物、In-La-Zn 為基礎的金屬氧化物、In-Ce-Zn 為基礎的金屬氧化物、In-Pr-Zn 為基礎的金屬氧化物、In-Nd-Zn 為基礎的金屬氧化物、In-Sm-Zn 為基礎的金屬氧化物、In-Eu-Zn 為基礎的金屬氧化物、In-Gd-Zn 為基礎的金屬氧化物、In-Tb-Zn 為基礎的金屬氧化物、In-Dy-Zn 為基礎的金屬氧化物、In-Ho-Zn 為基礎的金屬氧化物、In-Er-Zn 為基礎的金屬氧化物、In-Tm-Zn 為基礎的金屬氧化物、In-Yb-Zn 為基礎的金屬氧化物、In-Lu-Zn 為基礎的金屬氧化物、或 Sn-Ga-Zn 為基礎的金屬氧化物等三成分金屬氧化物；例如 In-Zn 為基礎的金屬氧化物、Sn-Zn 為基礎的金屬氧化物、Al-Zn 為基礎的金屬氧化物、Zn-Mg 為基礎的金屬氧化物、Sn-Mg 為基礎的金屬氧化物、In-Mg 為基礎的金屬氧化物、或 In-Ga 為基礎的金屬氧化物等二成份金屬

氧化物；氧化銦；氧化錫；氧化鋅；等等。注意， $n$  成分的金屬氧化物包含  $n$  種金屬氧化物。舉例而言，In-Ga-Zn 為基礎的金屬氧化物意指含有銦 (In)、鎵 (Ga)、及鋅 (Zn) 的氧化物，且對於其成分比例並無特別限制。In-Ga-Zn 為基礎的金屬氧化物可以含有 In、Ga、及 Zn 以外的元素。

或者，以  $\text{InMO}_3(\text{ZnO})_m$  (滿足  $m > 0$ ， $m$  不是整數) 表示的金屬氧化物材料用於氧化物半導體膜。注意，M 代表選自 Ga、Fe、Mn、及 Co 中之一或更多金屬元素。又或者，以  $\text{In}_3\text{SnO}_5(\text{ZnO})_n$  (滿足  $n > 0$ ， $n$  是整數) 表示的金屬氧化物材料用於氧化物半導體膜。

舉例而言，能夠使用原子比為  $\text{In} : \text{Ga} : \text{Zn} = 1:1:1$  ( $=1/3:1/3:1/3$ ) 或  $\text{In} : \text{Ga} : \text{Zn} = 2:2:1$  ( $=2/5:2/5:1/5$ ) 的 In-Ga-Zn 為基礎的金屬氧化物、或是成分在上述成分附近的任何金屬氧化物。或者，能夠使用原子比為  $\text{In} : \text{Sn} : \text{Zn} = 1:1:1$  ( $=1/3:1/3:1/3$ )、 $\text{In} : \text{Sn} : \text{Zn} = 2:1:3$  ( $=1/3:1/6:1/2$ )、或  $\text{In} : \text{Sn} : \text{Zn} = 2:1:5$  ( $=1/4:1/8:5/8$ ) 的 In-Sn-Zn 為基礎的金屬氧化物、或是成分在上述成分附近的任何金屬氧化物。

但是，不限於上述材料，可以視所需的半導體特徵 (例如，場效遷移率、臨界電壓、及變異) 而使用具有適當成分的材料。為了取得所需半導體特徵，較佳的是將載子密度、雜質濃度、缺陷密度、金屬元素與氧之間的原子比、原子間距離、密度、等等設定在適當值。

舉例而言，在使用 In-Sn-Zn 為基礎的金屬氧化物的情形中，可以相當容易取得高場效遷移率。但是，也是在使用 In-Ga-Zn 為基礎的氧化物之情形中，藉由降低塊體中的缺陷密度，增加場效遷移率。

舉例而言，「在具有 In:Ga:Zn=A:B:C (A+B+C=1) 的原子比例之 In-Ga-Zn 為基礎的金屬氧化物的  $r$ -附近之具有 In:Ga:Zn=a:b:c (a+b+c=1) 的原子成分之 In-Ga-Zn 為基礎的金屬氧化物」的說明意指 a、b、及 c 滿足下述關係： $(a-A)^2+(b-B)^2+(c-C)^2 \leq r^2$ ，而且，舉例而言， $r$  可為 0.05。其它金屬氧化物滿足此關係。

注意，較佳的是，在各別金屬氧化物中的氧比例超過這些化學計量成分比例。過量的氧可以在要形成的氧化物半導體膜中防止因氧空乏而產生載子。

注意，能應用至氧化物半導體膜的金屬氧化物的能隙較佳地大於或等於 2 eV，更較佳地大於或等於 2.5 eV，又更較佳地大於或等於 3 eV。依此方式，藉由使用具有寬能隙的金屬氧化物，可以降低電晶體的關閉狀態電流。

注意，氧化物半導體膜含有氫。注意，在某些情形中，除了以氫原子形式之外，氫還可以以氫分子、水、羥基、或氫化物的形式含於氧化物半導體膜中。較佳的是，含於氧化物半導體膜中的氫儘可能地少。

注意，在氧化物半導體膜中的鹼金屬及鹼土金屬的濃度較佳地低於或等於  $1 \times 10^{18}$  原子/cm<sup>3</sup>，更較佳地低於或等於  $2 \times 10^{16}$  原子/cm<sup>3</sup>。當鹼金屬及鹼土金屬接合至氧化物半

導體時，可以產生載子，造成電晶體的關閉狀態電流增加。

注意，對於氧化物半導體膜的形成方法及厚度並無特別限定，且考慮要形成的電晶體的尺寸等等，以決定它們。舉例而言，氧化物半導體膜的形成方法可以是濺射法、塗著法、印刷法、分子束磊晶法、脈衝式雷射沈積法、等等。氧化物半導體膜的厚度大於或等於 3 nm 且小於或等於 50 nm。這是因為具有 50 nm 或更厚的氧化物半導體膜可以造成要形成的電晶體的常導通電特徵。此外，當電晶體的通道長度是 30  $\mu$ m 時，氧化物半導體膜的厚度設定為小於或等於 5 nm 以防止短通道效應。

舉例而言，在使用 In-Zn 為基礎的金屬氧化物而以濺射法形成氧化物半導體膜的情形中，靶具有的成份比中 In/Zn 為 1 至 100 原子比，較佳地 1 至 20 原子比，更較佳地 1 至 10 原子比。Zn 的原子比在上述較佳範圍中，因而場效遷移率增進。此處，當化合物的原子比是 In:Zn:O=X:Y:Z 時，較佳的是滿足  $Z > 1.5X + Y$ ，以致於含有過量的氧。

在使用 In-Sn-Zn 為基礎的金屬氧化物而以濺射法形成氧化物半導體膜的情形中，靶具有原子比為 In:Sn:Zn=1:2:2、2:1:3、1:1:1、20:45:35、等等的成分比例。較佳地，In-Sn-Zn 為基礎的金屬氧化物也含有過量的氧。

在本實施例中，關於較佳實例，使用 In-Ga-Zn 基礎

的金屬氧化物，以濺射法形成氧化物半導體膜。使用稀有氣體（例如氬）、氧氣、或稀有氣體與氧氣的混合氣體作為濺射氣體。

In-Ga-Zn 為基礎的金屬氧化物靶的實例包含具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:1$  [莫耳比] 的成分比之靶、具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:2$  [莫耳比] 的成分比之靶、具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1:1:4$  [莫耳比] 的成分比之靶、以及具有  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=2:1:8$  [莫耳比] 的成分比之靶。

較佳地使用氬、水、羥基、氫化物、等等被移除的高純度氣體作為用於形成氧化物半導體膜的濺射氣體。為了使濺射氣體成為高純度氣體，移除附著至處理室的內壁等的氣體，以及，在形成氧化物半導體膜之前，p 通道或 n 通道電晶體形成於上的半導體基底 700 接受熱處理。或者，導入於處理室中之濺射氣體是高純度氣體。在該情形中，氬氣之純度高於或等於 9N (99.9999999%)，露點為  $-121^\circ\text{C}$ ，水及氬的濃度分別為 0.1 ppb 及 0.5 ppb。氧氣之純度高於或等於 8N (99.9999999%)，露點為  $-121^\circ\text{C}$ ，水及氬的濃度均為 1 ppb。及 0.5 ppb。在 p 通道或 n 通道電晶體形成於上的半導體基底 700 保持在高溫的狀態中，形成氧化物半導體膜，因而降低氧化物半導體膜中的雜質濃度。此處，p 通道或 n 通道電晶體形成於上的半導體基底 700 的溫度高於或等於  $150^\circ\text{C}$ ，較佳地高於或等於  $200^\circ\text{C}$ ，更較佳地高於或等於  $400^\circ\text{C}$ 。注意，降低導因於因濺射法而進入氧化物半導體膜之氬、水、羥基、氫化物、等等

之損傷。

在具有結晶結構的氧化物半導體中，較佳地使用具有  $c$  軸對齊的結晶氧化物半導體 (CAAC-OS)。當氧化物半導體膜是 CAAC-OS 膜時，電晶體的可靠度增進。

注意，CAAC-OS 膜意指當從  $a$ - $b$  平面、表面、或介面的方向觀視時，包含具有  $c$  軸對齊及三角形或六角形原子配置的晶體之氧化物半導體膜。在晶體中，金屬原子以層疊方式配置，或者，金屬原子與氧原子沿著  $c$  軸以層疊方式配置，以及， $a$  軸或  $b$  軸的方向在  $a$ - $b$  平面中變化 (晶體圍繞  $c$  軸旋轉)。

廣義而言，CAAC-OS 膜意指非單晶氧化物半導體，所述非單晶氧化物半導體包含一現象，其中，當從垂直於  $a$ - $b$  平面的方向觀視時具有三角形、六角形、正三角形、或正六角形的原子配置，以及，當從垂直於  $c$  軸方向觀視時金屬原子以層疊方式配置或金屬原子與氧原子以層疊方式配置。

CAAC-OS 膜不是單晶，但是這並非意謂 CAAC-OS 膜僅由非晶成分組成。雖然 CAAC-OS 膜包含結晶部份 (晶體區)，但是，在某些情形中，晶體區與另一晶體區之間的邊界並不清楚。

氮可以取代包含於 CAAC-OS 膜中的部份氧。包含於 CAAC-OS 膜中的個別晶體的  $c$  軸可以在一方向 (例如，垂直於 CAAC-OS 膜形成於上的基底表面、或是 CAAC-OS 膜的表面、膜表面、或介面之方向) 上對齊。或者，包含

於 CAAC-OS 膜中的個別的晶體區的的 a-b 平面的法線可以在一方向上對齊（例如，垂直於基底表面、或是 CAAC-OS 膜的表面、膜表面、介面之方向）。

CAAC-OS 膜視其成分等而為導體、半導體、或是絕緣體。此外，CAAC-OS 膜視其成分等而使可見光透射或不透射。

關於此 CAAC-OS 膜的實施例，有形成為膜狀以及從垂直於膜的表面或支撐基底的表面或介面之方向觀視為具有三角或六角形原子配置的材料，以及，其中，當觀測膜的剖面時，金屬原子以層疊方式配置或是金屬原子和氧原子（或氮原子）以層疊方式配置。

詳述包含於 CAAC-OS 膜中的晶體結構之實例。在下述說明中，在圖 6A 至 6E、圖 7A 至 7C、及圖 8A 至 8C 中，原則上，向上方向對應於 c 軸方向及垂直於 c 軸方向的平面對應於 a-b 平面。當簡單地使用「上半部」及「下半部」時，它們意指在 a-b 平面上方的上半部、以及在 a-b 平面下方的下半部。此外，在圖 6A 至 6E 中，由圓圈圍繞的 O 代表四配位 O，雙圓圈圍繞的 O 代表三配位 O。

圖 6A 顯示包含一個六配位銦原子（於下稱為 In）及接近 In 原子的六個四配位氧（於下稱為四配位 O）原子的結構。此處，包含一金屬原子及接近其的氧原子的結構稱為小基團。圖 6A 中的結構真實地為八面體結構，但是，為了簡明起見而顯示為平面結構。注意，三個四配位 O 原子存在於圖 6A 中的上半部及下半部中。在圖 6A 中所

示的小基團中，電荷為 0。

圖 6B 顯示包含一個五配位鎵（於下稱為鎵）原子、接近 Ga 原子的三個三配位氧（於下稱為三配位 O）原子、及接近 Ga 原子（或是接近鄰近的 Ga 原子）的二個四配位 O 原子之結構。所有三配位 O 原子存在於 a-b 平面上。一個四配位 O 原子存在於圖 6B 中的上半部及下半部中。由於 In 原子具有五個配位基，所以，In 原子也具有圖 6B 中所示的結構。在圖 6B 中所示的小基團中，電荷為 0。

圖 6C 顯示包含一個四配位鋅（於下稱為 Zn）原子及接近 Zn 原子的四個四配位 O 原子。在圖 6C 中，一個四配位 O 原子存在於上半部，三個四配位 O 原子存在於下半部中。或者，在圖 6C 中，三個四配位 O 原子存在於上半部中以及一個四配位 O 原子存在於下半部中。在圖 6C 中所示的小基團中，電荷為 0。

圖 6D 顯示包含一個六配位 Sn 原子及接近 Sn 原子的六個四配位 O 原子。在圖 6D 中，三個四配位 O 原子存在於於上半部及下半部中。在圖 6D 中所示的小基團中，電荷為 +1。

圖 6E 顯示包含二個 Zn 原子的小基團。在圖 6E 中，一個四配位 O 原子存在於上半部及下半部中。在圖 6E 中所示的小基團中，電荷為 -1。

此處，複數小基團形成中基團，以及，複數中基團形成大基團（也稱為單一胞）。



現在，說明小基團之間的接合規則。相對於圖 6A 中的六配位 In 原子之上半部中的三個 O 原子在向下方向上均具有三個接近的 In 原子，以及，在下半部中的三個 O 原子在向上方向上均具有三個接近的 In 原子。圖 6B 中相對於五配位 Ga 原子的上半部中的一個 O 原子在向下方向具有一個接近的 Ga 原子，以及，在下半部中的一個 O 原子在向上方向上具有一個接近的 Ga 原子。圖 6C 中相對於四配位 Zn 原子的上半部中的一個 O 原子在向下方向上具有一個接近的 Zn 原子，以及，在下半部中的三個 O 原子在向上方向上均具有三個接近的 Zn 原子。依此方式，在金屬原子上方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的下方之金屬原子數目。類似地，在金屬原子下方的四配位 O 原子的數目等於接近每一四配位 O 原子且在每一四配位 O 原子的上方之金屬原子數目。由於四配位 O 原子的軸數為 4，所以，在 O 原子的下方及上方之接近的金屬原子的總數為 4。因此，當在金屬原子上方及在另一金屬原子下方的四配位 O 原子的總數為 4 時，二種包含金屬原子的小基團可以彼此接合。舉例而言，在六配位金屬（In 或 Sn）原子經由下半部中的三個四配位 O 原子接合的情形中，其接合至五配位金屬（Ga 或 In）或四配位金屬（Zn）原子。

軸數為 4、5、或 6 的金屬原子經由 c 軸方向上的四配位 O 而接合至另一金屬原子。上述之外，還可藉由結合複數小基團以致於層疊結構的總電荷為 0，而以不同方

式形成中基團。

圖 7A 顯示包含於 In-Sn-Zn-O 為基礎的材料之層疊結構中的中基團的模型。圖 7B 顯示包含三中基團的大基團。注意，圖 7C 顯示從 c 軸方向觀測的圖 7B 中的層疊結構的情形中之原子配置。

在圖 7A 中，為簡明起見而省略三配位 O 原子，以及，以圓圈顯示四配位 O 原子；圓圈中的數目顯示四配位 O 原子的數目。舉例而言，存在於相對於 Sn 原子的上半部及下半部中的三個四配位 O 原子以圓圈包圍 3 表示。類似地，在圖 7A 中，存在於相對於 In 原子的上半部及下半部中的一個四配位 O 原子以圓圈包圍 1 表示。圖 7A 也顯示接近下半部中的一個四配位 O 原子及上半部中的三個四配位 O 原子的 Zn 原子、以及接近上半部中的一個四配位 O 原子及下半部中的三個四配位 O 原子之 Zn 原子。

在包含於圖 7A 中的 In-Sn-Zn-O 為基礎的材料的層疊結構中的中基團中，從頂部依序地，接近上半部及下半部中的三個四配位 O 原子之 Sn 原子接合至接近上半部及下半部中的一個四配位 O 原子之 In 原子、In 原子接合至接近上半部中的三個四配位 O 原子之 Zn 原子、Zn 原子經由相對於 Zn 原子的下半部中的一個四配位 O 原子而接合至接近上半部及下半部中的三個四配位 O 原子之 In 原子、In 原子接合至包含二 Zn 原子且接近上半部中的一個四配位 O 原子的小基團，以及，小基團經由相對於小基團的下半部中的一個四配位 O 原子而接合至接近上半部及下

半部中的三個四配位 O 原子之 Sn 原子。複數這些中基團接合，以致於形成大基團。

此處，將三配位 O 原子的一鍵的電荷及四配位 O 原子的一鍵的電荷分別假定為  $-0.667$  和  $-0.5$ 。舉例而言，（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位或六配位）Sn 原子的電荷分別為  $+3$ 、 $+2$ 、及  $+4$ 。因此，包含 Sn 原子的小基團中的電荷為  $+1$ 。因此，需要抵消  $+1$  的  $-1$  電荷以形成包含 Sn 原子的層疊結構。關於具有  $-1$  的電荷之結構，可為如圖 6E 所示之包含二個 Zn 原子的小基團。舉例而言，藉由包含二個 Zn 原子的一個小基團，可以抵消包含 Sn 原子的一個小基團的電荷，以致於層疊結構的總電荷為 0。

具體而言，當圖 7B 中所示的大基團重複時，取得 In-Sn-Zn-O 為基礎的晶體 ( $\text{In}_2\text{SnZn}_3\text{O}_8$ )。注意，取得的 In-Sn-Zn-O 為基礎的晶體之層疊結構表示為成分公式  $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$  ( $m$  為 0 或自然數)。

上述規則也應用至下述氧化物：上述四成分金屬氧化物、三成分金屬氧化物、或二成分金屬氧化物。

圖 8A 顯示包含於 In-Ga-Zn 為基礎的金屬氧化物材料的層疊結構中的中基團的模型。

在圖 8A 中包含於 In-Ga-Zn-O 為基礎的金屬氧化物材料的層疊結構中的中基團中，從頂部依序地，接近上半部及下半部中的三個四配位 O 原子之 In 原子接合至接近上半部中的一個四配位 O 原子之 Zn 原子、Zn 原子經由相對

於 Zn 原子的下半部中的三個四配位 O 原子而接合至接近上半部及下半部中的一個四配位 O 原子之 Ga 原子、Ga 原子經由相對於 Ga 原子的下半部中的一個四配位 O 原子而接合至接近上半部及下半部中的三個四配位 O 原子之 In 原子。複數這些中基團接合，以致於形成大基團。

圖 8B 顯示包含三個中基團的大基團。注意，圖 8C 顯示從 c 軸方向觀測的圖 8B 中的層疊結構之情形中之原子配置。

此處，由於（六配位或五配位）In 原子的電荷、（四配位）Zn 原子的電荷、及（五配位）Ga 原子的電荷分別為 +3、+2、及 +3，包含 In 原子、Zn 原子、及 Ga 原子中任何原子的小基團的電荷為 0。結果，具有這些小基團的結合之中基團的總電荷總是 0。

爲了形成 In-Ga-Zn 爲基礎的金屬氧化物材料之層疊結構，不僅使用圖 8A 中所示的中基團，也可使用 In 原子、Zn 原子、及 Ga 原子的配置不同於圖 8A 中的配置之中基團，以形成大基團。

於此，說明 CAAC-OS 膜的形成方法。

首先，以濺射法、分子束磊晶法、原子層沈積法、脈衝式雷射沈積法、等等，形成氧化物半導體膜。注意，藉由使半導體基底 700 保持在高溫下而形成氧化物半導體膜，則晶體區對非晶區的比例是高的。此時，舉例而言，半導體基底 700 的溫度是例如高於或等於 150°C 且低於或等於 700°C，較佳地高於或等於 150°C 且低於或等於 450°C

，更較佳地高於或等於 200°C 且低於或等於 350°C。

此處，形成的氧化物半導體膜接受熱處理。藉由熱處理，晶體區對非晶部份的比例是高的。在熱處理中，施加至 p 通道及 n 通道電晶體設置其於上的半導體基底 700 之溫度，舉例而言，高於或等於 200°C 且低於 p 通道及 n 通道電晶體設置其於上的半導體基底 700 品質改變或變形的溫度，舉例而言，高於或等於 150°C，較佳地高於或等於 200°C，更較佳地高於或等於 400°C。執行熱處理大於或等於 3 分鐘，較佳地大於或等於 3 分鐘且短於或等於 24 小時。當熱處理的時間增加時，使晶體區對非晶區的比例更高；但是，生產力降低。注意，在氧化氛圍或惰性氣體氛圍中，但是不限於此，執行熱處理。可以在降壓下執行熱處理。

氧化氛圍是含有氧化氣體的氛圍。氧化氣體的實例包含氧、臭氧、氧化亞氮、等等。較佳的是，將非較佳地含於氧化物半導體膜中的成分（例如，水及氫）從氧化氛圍中儘可能地移除。舉例而言，氧、臭氧、或氧化亞氮之純度等於或高於 8N（99.999999%），較佳地等於或高於 9N（99.9999999%）。

氧化氛圍可以含有例如稀有氣體等惰性氣體。中。氧化氛圍含有濃度高於或等於 10 ppm 的氧化氣。

注意，惰性氛圍含有惰性氣體（例如，氮氣或稀有氣體）以及含有濃度低於 10 ppm 之例如氧化氣體等反應氣體。

注意，以快速熱退火（RTA）設備用於所有熱處理。藉由使用 RTA 設備，僅在短時間內，能以更高溫度執行熱處理。因此，氧化物半導體膜具有更高的晶體區對非晶區的比例以及能防止生產力下降。

但是，用於所有熱處理的設備不限於 RTA 設備；舉例而言，使用設有以來自電阻式加熱器等熱傳導或熱輻射來加熱要處理的物品之設備。用於所有熱處理的熱處理設備包含電熱爐以及例如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備等快速熱退火（RTA）設備。LRTA 設備是藉由例如鹵素燈、金屬鹵化物燈、氬電弧燈、碳電弧燈、高壓鈉燈、或高壓水銀燈等燈發射的光（電磁波）之輻射，將要處理的物體加熱。GRTA 設備是使用高溫氣體作為熱媒介以將要處理的物體加熱。此處，高溫氣體的溫度較佳地高於要處理的物體的熱溫度。

藉由使用氮濃度為  $1 \times 10^{17}$  原子/cm<sup>3</sup> 至  $5 \times 10^{19}$  原子/cm<sup>3</sup> 之 In-Ga-Zn 為基礎的金屬氧化物，形成具有 c 軸對齊的六角晶體結構的金屬氧化物，以及，含有 Ga 及 Zn 的一或更多層設在二層的 In-O 晶體平面（含有銦及氧的晶體平面）之間。

以上述方式形成 CAAC-OS 膜。

相較於具有非晶結構的氧化物半導體膜，CAAC-OS 膜在金屬與氧之間的鍵具有高的整齊性。換言之，換言之，在具有非晶結構的氧化物半導體膜中，與金屬原子協調的氧原子的數目根據相鄰的金屬的種類而變，而在

CAAC-OS 膜中，與金屬原子協調的氧原子的數目實質上相等。因此，即使在顯微程度下，幾乎未觀測到氧空乏，且能防止導因於氫原子（包含氫離子）、鹼金屬原子、等等的電荷轉移及導電率的不穩定。

因此，以 CAAC-OS 膜用於通道形成區，形成電晶體，因而在光照射或對電晶體執行偏壓溫度應力（BT）測試之前及之後之間，電晶體的臨界電壓的改變量受抑制，以及，電晶體具有穩定的電特徵。

接著，在氧化物半導體膜上形成蝕刻掩罩，以及執行蝕刻，以致於形成氧化物半導體層 711（請參見圖 5A）。

然後，源極電極 712a 與汲極電極 712b 形成為彼此分開地且接觸氧化物半導體層 711（請參見圖 5B）。

舉例而言，以濺射法形成導體膜（例如金屬膜或被添加賦予一導電率型的雜質元素之矽膜），在導體膜上形成蝕刻掩罩，以及執行蝕刻，依此方式，選擇性地形成源極電極 712a 和汲極電極 712b。或者，可以使用噴墨法。注意，要成為源極電極 712a 和汲極電極 712b 的導體膜可以由單層或複數堆疊層形成。舉例而言，導體膜可以具有三層結構，其中，Al 層夾在 Ti 層之間，注意，源極電極 712a 和汲極電極 712b 也作為訊號線。

接著，在至少氧化物半導體層 711 的通道形成區上形成閘極絕緣膜 713（請參見圖 5C）。

舉例而言，以使用絕緣材料（例如，氮化矽、氮氧化矽、氧氮化矽、或氧化矽）之濺射法，形成閘極絕緣膜

713。注意，閘極絕緣膜 713 可以由單層或複數堆疊層形成。此處，舉例而言，採用以氧氮化矽層堆疊於氮化矽層上的雙層結構之層疊結構。注意，在以濺射法形成閘極絕緣膜 713 的情形中，能防止氫及水進入氧化物半導體層 711。此外，由於能供應氧以補償氧空乏，所以閘極絕緣膜 713 較佳地為絕緣氧化物。

注意，「氮氧化矽」含有的氮比氧多。此外，「氧氮化矽」含有的氧比氮多。

以乾蝕刻，處理氧化物半導體膜。舉例而言，氟氣或三氯化硼氣體與氟氣的混合氣體可以作為乾蝕刻氣體。但是，並無特別限定；可以使用濕蝕刻或是其它能夠處理氧化物半導體膜的方法。

閘極絕緣膜 713 至少在接觸氧化物半導體層 711 的部份中含有氧、以及較佳地由部份氧因熱處理而脫附的絕緣氧化物所形成。換言之，較佳地使用給定的任何材料作為層間絕緣膜 705 的材料。當使用氧化矽以形成接觸氧化物半導體層 711 的閘極絕緣膜 713 的一部份時，氧能供應至氧化物半導體層 711 以及防止電晶體的電阻降低。

注意，當使用例如矽酸鈣 ( $\text{HfSiO}_x$  ( $x>0$ ))、添加氮的矽酸鈣 ( $\text{HfSi}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、添加氮的鋁酸鈣 ( $\text{HfAl}_x\text{O}_y\text{N}_z$  ( $x>0, y>0, z>0$ ))、氧化鈣、氧化鈮、或氧化釩等高 k 材料以形成閘極絕緣膜 713 時，能降低閘極漏電流。此處，閘極漏電流意指在閘極電極與源極或汲極電極之間流動的漏電流。此外，使用高 k 材料形成的層



及使用氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、及氧化鎵中任一者形成的層可以堆疊。注意，即使當閘極絕緣膜 713 具有層疊結構時，使用上述絕緣氧化物，較佳地形成與氧化物半導體層 711 接觸的部份。此外，爲了不從氧化物半導體層 711 釋放氧，在絕緣氧化物上較佳地形成幾乎不使氧滲透的氧化鋁等等。舉例而言，關於閘極絕緣膜 713，依序地堆疊濺射法沈積的氧化矽、濺射法沈積的氧化鋁、及氧氮化矽。

閘極絕緣膜 713 的厚度大於或等於 1 nm 且小於或等於 300 nm，較佳地大於或等於 5 nm 且小於或等於 50 nm。當閘極絕緣膜 713 的厚度大於或等於 5 nm 時，閘極漏電流特別地降低。

此處，在惰性氣體氛圍或氧氣氛圍中，又執行第三熱處理（較佳地，高於或等於 200°C 且低於或等於 400°C，舉例而言，高於或等於 250°C 且低於或等於 350°C）。注意，在與第二熱處理相同的條件下執行第三熱處理，舉例而言，高於或於 200°C 且低於或等於半導體基底 700 的應變點，較佳地，高於或等於 200°C 且低於或等於 400°C，更較佳地高於或等於 250°C 且低於或等於 350°C。餘留在氧化物半導體層 711 中的氫及水因第三熱處理而擴散至閘極絕緣膜 713。此外，氧因第三熱處理而供應至氧化物半導體層 711，其中，閘極絕緣膜 713 作爲供應源。

不僅在閘極絕緣膜 713 形成在氧化物半導體層 711 之後，也可以在導體膜形成爲閘極電極 714 之後，執行第三

熱處理。

此處，在氧化物半導體層 711 中的氫濃度低於或等於  $5.0 \times 10^{19}$  原子/cm<sup>3</sup>，較佳地低於或等於  $5.0 \times 10^{18}$  原子/cm<sup>3</sup>。

接著，在閘極絕緣膜 713 上形成導體膜，在導體膜上形成蝕刻遮罩，以致於形成閘極電極（請參見圖 5D）。注意，閘極電極 714 至少作為掃描線。

使用與源極電極 712a 和汲極電極 712b 相同的材料及方法，形成閘極電極 714。

雖然未顯示，但是，藉由使用閘極電極 714 作為遮罩，將摻雜劑較佳地添加至氧化物半導體層 711，以致於源極區和汲極區形成於氧化物半導體層 711 中。注意，此處，以離子佈植法或離子摻雜法，添加摻雜劑。或者，藉由在含有摻雜劑的氣體之氛圍中執行電漿處理，以添加摻雜劑。關於添加的摻雜劑，使用氮、磷、硼、等等。

在使用光阻材料形成蝕刻掩罩的情形中，在形成圖 5D 中所示的電晶體 710 時，藉由灰化以移除光阻掩罩。

雖然未顯示，但是，可以形成保護絕緣膜以遮蓋電晶體 710。當保護絕緣膜是單層時，形成例如氧化鋁膜等幾乎不使氧、氫、及水滲透的絕緣膜。當保護絕緣膜是堆疊層時，較佳地形成絕緣氧化物膜以及幾乎不使氧、氫、及水滲透的絕緣膜，在所述絕緣氧化物膜中，氧比例高於化學計量成分比例中的氧比例，以及因熱處理而釋放部份氧。舉例而言，形成以用於層間絕緣膜 705 為例的絕緣氧化物膜與氧化鋁膜的堆疊。注意，藉由使用氧化鋁膜作為保

護絕緣膜，能防止氧化物半導體層 711 中的氧被釋放至外部以及防止氫及水從外部進入氧化物半導體層 711；因此，使電晶體 710 的電特徵有利。

在形成保護絕緣膜之後，執行類似於第二或第三熱處理的熱處理。

依上述方式，在圖 4 中設於半導體基底上的電晶體上，形成通道形成區形成於氧化物半導體層中的電晶體。

依上述方式形成的電晶體具有每微米通道寬度的關閉狀態電流，在室溫下，其低於或等於  $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ )、 $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ )、 $1 \text{ zA}$  ( $1 \times 10^{-21} \text{ A}$ )、或  $1 \text{ yA}$  ( $1 \times 10^{-24} \text{ A}$ )。

由於佈線具有較低的電阻，所以，在掃描線及訊號線中任一者或二者中，較佳地使用銅以形成用於掃描線及訊號線的導體層。

此外，被描述成通道形成區形成在氧化物半導體層中的電晶體是舉例說明；因此，通道形成區形成在氧化物半導體層中的電晶體具有各種模式而不限於上述電晶體。

將參考圖 20A 及 20B 等，說明以 In-Sn-Zn 為基礎的金屬氧化物膜（於下，稱為 In-Sn-Zn-O 膜）用於氧化物半導體膜之電晶體的實例。

圖 20A 及 20B 是具有頂部閘極頂部接觸結構的共平面電晶體的上視圖及剖面視圖。圖 20A 是電晶體的上視圖，圖 20B 顯示沿著圖 20A 中的 A-B 虛線取得的 A-B 剖面。

圖 20B 中所示的電晶體包含基底 500；設於基底 500 之上的基部絕緣膜 502；設於基部絕緣膜 502 的周圍中的保護絕緣膜 504；設於基部絕緣膜 502 及保護絕緣膜 504 之上且包含高電阻區 506a 和低電阻區 506b 之氧化物半導體膜 506；設於氧化物半導體膜 506 上的閘極絕緣膜 508；閘極電極 510，設置成與氧化物半導體膜 506 重疊而與閘極絕緣膜 508 設於其間；設置成接觸閘極電極 510 的側表面之側壁絕緣膜 512；設置成接觸至少低電阻區 506b 的成對電極 514；層間絕緣膜 516，設置成遮蓋至少氧化物半導體膜 506、閘極電極 510、及成對電極 514；以及，佈線 518，設置成經由形成在層間絕緣膜 516 中的開口而連接至成對電極 514 中至少之一。

基底 500 對應於半導體基底 700。使用氧化矽膜，形成對應於層間絕緣膜 705 的基部絕緣膜 502。使用 In-Sn-Zn-O 膜，形成對應於氧化物半導體層 711 的氧化物半導體膜 506。使用鎢膜形成對應於源極電極 712a 和汲極電極 712b 的成對電極 514。使用氧化矽膜，形成對應於閘極絕緣膜 713 的閘極絕緣膜 508。對應於閘極電極 714 的閘極電極 510 具有氮化鉭膜與鎢膜的層疊結構。層間絕緣膜 516 具有氧氮化矽膜及聚醯亞胺膜的層疊結構。佈線 518 均具有鈦膜、鋁膜、及鈦膜依序形成的層疊結構。關於電晶體的製造方法，可以適當地參考本實施例的說明。

雖然未顯示，但是，可以設置保護膜以遮蓋層間絕緣膜 516 及佈線 518。藉由保護膜，因層間絕緣膜 516 的表

面導電而產生的微量漏電流可以降低，因此，電晶體的關閉狀態電流降低。

此外，將說明使用不同於上述的 In-Sn-Zn-O 膜作為氧化物半導體膜的電晶體的另一實例。

圖 21A 及 21B 是上視圖及剖面視圖，顯示本實施例中形成的電晶體的結構。圖 21A 是電晶體的上視圖。圖 21B 是沿著圖 21A 中的 C-D 虛線取得的 C-D 剖面圖。

圖 21B 中所示的電晶體包含基底 600；設於基底 600 之上的基部絕緣膜 602；設於基部絕緣膜 602 上的氧化物半導體膜 606；接觸氧化物半導體膜 606 之成對電極 614；設於氧化物半導體膜 606 及成對電極 614 上的閘極絕緣膜 608；閘極電極 610，設置成與氧化物半導體膜 606 重疊而以閘極絕緣膜 608 設於其間；層間絕緣膜 616，設置成遮蓋閘極絕緣膜 608 和閘極電極 610；佈線 618，經由形成於層間絕緣膜 616 中的開口而連接至成對電極 614；以及，保護膜 620，設置成遮蓋層間絕緣膜 616 及佈線 618。關於電晶體的製造方法，可以適當地參考本實施例的說明。

基底 600 對應於半導體基底 700。使用氧化矽膜，形成對應於層間絕緣膜 705 的基部絕緣膜 602。使用 In-Sn-Zn-O 膜，形成對應於氧化物半導體層 711 的氧化物半導體膜 606。使用鎢膜形成對應於源極電極 712a 和汲極電極 712b 的成對電極 614。使用氧化矽膜，形成對應於閘極絕緣膜 713 的閘極絕緣膜 608。對應於閘極電極 714 的

閘極電極 610 具有氮化鉬膜與鎢膜的層疊結構。層間絕緣膜 616 具有氧氮化矽膜及聚醯亞胺膜的層疊結構。佈線 618 均具有鈦膜、鋁膜、及鈦膜依序形成的層疊結構。使用聚醯亞胺膜，形成保護膜 620。

注意，在具有圖 21A 中所示的結構之電晶體中，閘極電極 610 與成對電極 614 中之一重疊的部份之寬度稱為  $L_{ov}$ 。類似地，未與氧化物半導體膜 606 重疊的成對電極 614 中之部份的寬度稱為  $dW$ 。

由於各種原因，用於包含在根據本發明的一實施例之半導體裝置中的電晶體之絕緣式閘極電晶體之真正測量到的場效遷移率低於其原始遷移率：此現象不僅發生於使用氧化物半導體的情形。原因之一在於半導體內部的缺陷或是在半導體與絕緣膜之間的介面處的缺陷會降低遷移率。當使用李文森（Levinson）模型時，理論上能夠計算無缺陷存在於半導體內部之假設下的場效遷移率。

假設半導體之原始遷移率以及測量的場效遷移率分別為  $\mu_0$  及  $\mu$ ，以及電位障壁（例如晶粒邊界）存在於半導體中時，以下述公式（3）表示測量的場效遷移率  $\mu$ 。此處， $E$  代表電位障壁的高度， $k$  代表波茲曼常數， $T$  代表絕對溫度。

[公式4]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (3)$$

當電位障壁被假定為歸因於缺陷時，根據李文森模式，電位障壁的高度  $E$  以下述公式（4）表示。

[公式5]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (4)$$

此處， $e$  代表基本電荷， $N$  代表通道中每單位面積之平均缺陷密度， $\epsilon$  代表半導體的介電係數， $n$  代表通道的載子表面密度， $C_{ox}$  代表每單位面積的電容， $V_g$ （閘極與源極之間的電位差）代表閘極電壓， $t$  代表通道的厚度。

在用於絕緣式閘極電晶體中的半導體層的厚度小於或等於 30 nm 的情形中，通道形成區的厚度被視為與半導體層的厚度相同。線性區中的汲極電流  $I_d$  以下述公式（5）表示。注意，當  $V_g$  高於電晶體的臨界電壓時，電流在源極與汲極之間流動，稱為汲極電流。

[公式6]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (5)$$

此處， $L$  代表通道長度， $W$  代表通道寬度， $L$  及  $W$  均為  $10 \mu\text{m}$ 。此外， $V_d$  代表汲極電壓。當以  $V_g$  除上述等式的二側，然後二側取對數時，得到下述公式（6）。

[公式7]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g} \quad (6)$$

公式 6 的右側是  $V_g$  的函數。從公式 6 中，發現從以  $\ln(I_d/V_g)$  為縱軸及  $1/V_g$  為橫軸的線之斜率，可以取得缺陷密度  $N$ 。亦即，從電晶體的  $I_d-V_g$  特徵曲線，評估缺陷密度。銦（In）、錫（Sn）、及鋅（Zn）的比例為 1:1:1 的氧化物半導體的缺陷密度  $N$  約為  $1 \times 10^{12}/\text{cm}^2$ 。

根據以此方式取得的缺陷密度，從公式 3 和公式 4，計算出  $\mu_0$  為  $120 \text{ cm}^2/\text{Vs}$ 。包含缺陷之 In-Sn-Zn 為基礎的金屬氧化物之測量的場效遷移率約為  $40 \text{ cm}^2/\text{Vs}$ 。但是，假設無缺陷存在於半導體的內部及半導體與絕緣膜之間的介面，則預期氧化物半導體的遷移率  $\mu_0$  為  $120 \text{ cm}^2/\text{Vs}$ 。

注意，即使當無缺陷存在於氧化物半導體膜內部時，在通道形成區與閘極絕緣膜之間的介面的散射仍影響電晶體的傳輸特性。換言之，在離開通道形成區與閘極絕緣膜之間的介面一距離  $x$  的位置之場效遷移率  $\mu_1$  以公式 (7) 表示。

[公式7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right) \quad (7)$$

此處， $D$  代表閘極方向上的電場， $B$  及  $l$  是常數。 $B$  及  $l$  是從真實測量結果取得，以及，根據上述測量結果， $B$  是  $4.75 \times 10^7 \text{ cm/s}$ ， $l$  是  $10 \text{ nm}$ （介面散射影響到達的深度）。當  $D$  增加（亦即，當閘極電壓增加時）時，公式 7 的第二項增加，以致於遷移率  $\mu_1$  降低。

圖 9 顯示電晶體的場效遷移率  $\mu_2$  的計算結果，電晶體具有包含內部沒有缺陷的理想氧化物半導體之通道形成區。關於計算，使用 Synopsys Inc. 製造的裝置模擬軟體 Sentaaurus Device，以及，將氧化物半導體的能帶隙、電子親和力、相對介電係數、及厚度分別假定為  $3.1 \text{ eV}$ 、 $4.6 \text{ eV}$ 、 $15$  及  $30 \text{ nm}$ 。此外，閘極電極、源極電極、和汲極電極的功函數分別假定為  $5.5 \text{ eV}$ 、 $4.6 \text{ eV}$ 、及  $4.6 \text{ eV}$ 。



閘極絕緣膜的厚度假定為 100 nm，以及，其相對介電係數假定為 4.1。通道長度及通道寬度均假定為 10  $\mu$  m，汲極電壓  $V_d$  假定為 0.1 V。

如圖 9 所示，在閘極電壓稍微超過 1V 處場效遷移率具有 100  $\text{cm}^2/\text{Vs}$  或更大的峰值，且因為介面散射的影響增加而隨著閘極電壓更高而下降。注意，為了降低介面散射，較佳的是氧化物半導體層的表面是原子等級平坦的（原子層平坦）。

使用具有此場效遷移率的氧化物半導體形成的微小電晶體之電特徵的計算結果顯示於圖 10A 至 10C、圖 11A 至 11C、及圖 12A 至 12C。圖 13A 及 13B 顯示用於計算的電晶體的剖面結構。圖 13A 及 13B 中所示的電晶體均包含半導體區 1030a 和半導體區 1030c，半導體區 1030a 和半導體區 1030c 在氧化物半導體層中具有  $n^+$  型導電率。半導體區 1030a 和半導體區 1030c 的電阻率均是  $2 \times 10^{-3} \Omega \text{ cm}$ 。

圖 13A 中的電晶體形成於基部絕緣體 1010 和嵌入絕緣體 1020 上，嵌入絕緣體 1020 嵌入於基部絕緣體 1010 中且由氧化鋁形成。電晶體包含半導體區 1030a、半導體區 1030c、設於半導體區 1030a 與 1030c 之間且作為通道形成區的本質半導體區 1030b、以及閘極電極 1050。閘極電極 1050 的寬度是 33 nm。

閘極絕緣體 1040 形成於閘極電極 1050 與半導體區 1030b 之間。側壁絕緣體 1060a 及側壁絕緣體 1060b 形成

於閘極電極 1050 的二側表面上，以及，絕緣體 1070 形成於閘極電極 1050 上以防止閘極電極 1050 與另一佈線之間短路。側壁絕緣體具有 5 nm 的寬度。源極電極 1080a 和汲極電極 1080b 設置成分別接觸半導體區 1030a 和半導體區 1030c。注意，本電晶體的通道寬度是 40 nm。

圖 13B 的電晶體與圖 13A 的電晶體相同之處在於其形成於基部絕緣體 1010 及氧化鋁形成的嵌入絕緣體 1020 之上以及其包含半導體區 1030a、半導體區 1030c、設於它們之間的本質半導體區 1030b、具有 33 nm 寬度的閘極電極 1050、閘極絕緣體 1040、側壁絕緣體 1060a、側壁絕緣體 1060b、絕緣體 1070、源極電極 1080a、和汲極電極 1080b。

圖 13A 中所示的電晶體與圖 13B 中所示的電晶體的不同之處在於側壁絕緣體 1060a 及側壁絕緣體 1060b 之下的半導體區的導電率型。在圖 13A 中的電晶體中，在側壁絕緣體 1060a 及側壁絕緣體 1060b 之下的半導體區是具有  $n^+$  型導電率的部份半導體區 1030a 以及具有  $n^+$  型導電率的部份半導體區 1030c，而在圖 13B 中所示的電晶體中，在側壁絕緣體 1060a 及側壁絕緣體 1060b 之下的半導體區是部份本質半導體區 1030b。換言之，在圖 13B 的半導體層中，設置寬度  $L_{off}$  的區域，其既未與半導體區 1030a（半導體區 1030c）重疊，也未與閘極電極 1050 重疊。此區域稱為偏移區，以及，寬度  $L_{off}$  稱為偏移長度。如圖中所見般，偏移長度等於側壁絕緣體 1060a（側壁絕緣體

1060b) 的寬度。

計算中所使用的其它參數如上所述。關於計算，使用 Synopsys Inc. 製造的相同裝置模擬軟體。圖 10A 至 10C 顯示具有圖 13A 中所示的結構之電晶體的汲極電流  $I_d$  (實線) 及場效遷移率  $\mu$  (虛線) 之閘極電壓  $V_g$  (閘極與源極之間的電位差) 的相依性。在汲極電壓 (汲極與源極之間的電位差) 為 +1V 之假設下，藉由計算取得汲極電流  $I_d$ ，以及在汲極電壓為 +0.1 V 之假設下，藉由計算取得場效遷移率  $\mu$ 。

圖 10A 顯示閘極絕緣體的厚度為 15 nm 的情形中電晶體的閘極電壓  $V_g$  相依性，圖 10B 顯示閘極絕緣體厚度為 10 nm 的情形中電晶體的閘極電壓  $V_g$  相依性，圖 10C 顯示閘極絕緣體的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。當閘極絕緣膜更薄時，特別是在關閉狀態時的汲極電流  $I_d$  (關閉狀態電流) 顯著地降低。相反地，場效遷移率  $\mu$  的峰值及開啓狀態時的汲極電流  $I_d$  (開啓狀態電流) 並無顯著改變。圖形顯示在約 1V 的閘極電壓時汲極電流超過  $10 \mu A$ 。

此外，圖 11A 至 11C 顯示具有圖 13B 中所示的結構且偏移長度  $L_{off}$  為 5 nm 之電晶體的汲極電流  $I_d$  (實線) 及場效遷移率  $\mu$  (虛線) 之閘極電壓  $V_g$  的相依性。在汲極電壓為 +1V 之假設下，藉由計算取得汲極電流  $I_d$ ，以及在汲極電壓為 +0.1 V 之假設下，藉由計算取得遷移率  $\mu$ 。圖 11A 顯示閘極絕緣體的厚度為 15 nm 的情形中電晶體

的閘極電壓  $V_g$  相依性，圖 11B 顯示閘極絕緣體的厚度為 10 nm 的情形中電晶體的閘極電壓相依性，圖 11C 顯示閘極絕緣體的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。

此外，圖 12A 至 12C 顯示具有圖 13B 中所示的結構及偏移長度  $L_{off}$  為 15 nm 之電晶體的汲極電流  $I_d$ （實線）及場效遷移率  $\mu$ （虛線）之閘極電壓  $V_g$  相依性。在汲極電壓為 +1V 之假設下，藉由計算取得汲極電流  $I_d$ ，以及在汲極電壓為 +0.1 V 之假設下，藉由計算取得場效遷移率  $\mu$ 。圖 12A 顯示閘極絕緣體的厚度為 15 nm 的情形中電晶體的閘極電壓  $V_g$  相依性，圖 12B 顯示閘極絕緣體的厚度為 10 nm 的情形中電晶體的閘極電壓相依性，圖 12C 顯示閘極絕緣體的厚度為 5 nm 的情形中電晶體的閘極電壓相依性。

在任一結構中，隨著閘極絕緣體更薄，關閉狀態電流顯著地降低，而場效遷移率  $\mu$  的峰值及開啓狀態電流並無明顯改變。

注意，在圖 10A 至 10C 中場效遷移率  $\mu$  的峰值約為  $80 \text{ cm}^2/\text{V} \cdot \text{s}$ ，在圖 11A 至 11C 中約為  $60 \text{ cm}^2/\text{V} \cdot \text{s}$ ，以及，在圖 12A 至 12C 中約為  $40 \text{ cm}^2/\text{V} \cdot \text{s}$ ；因此，遷移率  $\mu$  的峰值隨著偏移長度  $L_{off}$  增加而降低。此外，同理可用於關閉狀態電流。開啓狀態電流也隨著偏移長度  $L_{off}$  增加而降低；但是，開啓狀態電流的下降比關閉狀態電流的下降更緩和。此外，圖形顯示在任一結構中，在閘極電壓約

1V 時，汲極電流超過  $10 \mu A$ 。

接著，在本實施例中所述的多個電晶體之中，將說明通道形成區形成於含有 In、Sn、及 Zn 作為主成分的氧化物半導體層中的電晶體。

藉由形成不被處理成氧化物半導體層的氧化物半導體膜並在形成氧化物半導體膜之後加熱基板或執行熱處理，則通道形成區形成於包含 In、Sn、及 Zn 作為主成分的氧化物半導體層中的電晶體具有有利的特徵。注意，主成分意指包含於成分中之 5 原子% 或更高的元素。注意，基底對應於半導體基底 700。

在形成含有 In、Sn、及 Zn 作為主成分的氧化物半導體膜之後刻意地加熱基底，能增進電晶體的場效遷移率。此外，電晶體的臨界電壓正向地偏移而使電晶體常關。

舉例而言，圖 14A 至 14C 均顯示電晶體的特徵，在電晶體中，包含包括 In、Sn、及 Zn 作為主成分且具有  $3 \mu m$  的通道長度 L 及  $10 \mu m$  的通道寬度 W 之氧化物半導體層以及厚度 100 nm 的閘極絕緣膜。注意， $V_d$  設定於 10 V。

圖 14A 顯示電晶體之特徵，電晶體的包含 In、Sn、及 Zn 作為主成分之氧化物半導體膜是藉由濺射法且未刻意地加熱基底而形成的。電晶體的場效遷移率為  $18.8 \text{ cm}^2/\text{Vs}$ 。另一方面，當在刻意地加熱基底時形成包含 In、Sn、及 Zn 作為主成分的氧化物半導體膜時，場效遷移率增進。圖 14B 顯示電晶體的特徵，電晶體的包含 In、Sn

、及 Zn 作為主成分之氧化物半導體膜是在 200°C 中加熱基底時形成的。電晶體的場效遷移率為  $32.2 \text{ cm}^2/\text{Vs}$ 。

在形成包含 In、Sn、及 Zn 作為主成分的氧化物半導體膜之後執行熱處理，進一步增進場效遷移率。圖 14C 顯示電晶體的特徵，電晶體之包含 In、Sn、及 Zn 作為主成分的氧化物半導體膜是在 200°C 中以濺射形成並接著接受 650°C 的熱處理。電晶體的場效遷移率為  $34.5 \text{ cm}^2/\text{Vsec}$ 。

基底的刻意加熱降低濺射形成期間被吸入氧化物半導體膜中的濕氣。此外，在形成之後的熱處理能夠從氧化物半導體膜釋放及移除氫、羥基、或濕氣。依此方式，能夠增進場效遷移率。假定此場效遷移率的增進不僅藉由脫水或脫氫來移除雜質而取得，也可藉由降低導因於密度增加的原子間距離之縮減而取得。此外，藉由從氧化物半導體移除雜質而高度純化，以使氧化物半導體晶化。在使用此高度純化的非單晶氧化物半導體的情形中，理想地，預期取得超過  $100 \text{ cm}^2/\text{Vs}$  的場效遷移率。

包含 In、Sn、及 Zn 作為主成分的氧化物半導體膜以下述方式結晶：氧離子植入氧化物半導體膜；藉由熱處理以釋放包含於氧化物半導體膜中的氫、羥基、或濕氣；以及，經由熱處理或稍後執行的另一熱處理，以使氧化物半導體膜結晶。藉由此結晶處理或再結晶處理，取得具有有利結晶性的非單晶氧化物半導體。

形成期間基底的刻意加熱及／或形成之後的熱處理不僅有助於增進場效遷移率，也有助於使電晶體常關。在使

用包含 In、Sn、及 Zn 作為主成分且未刻意地加熱基底而形成的氧化物半導體膜作為通道形成區的電晶體中，臨界電壓趨向於負向偏移。相對地，當使用刻意地加熱基底時形成的氧化物半導體膜時，能夠解決臨界電壓負向偏移的問題。亦即，臨界電壓偏移，以致於電晶體變成常關；藉由比較圖 14A 和 14B，能確認此趨勢。

注意，藉由改變 In、Sn、及 Zn 的比例，也能控制臨界電壓；當 In、Sn、及 Zn 的成分比例為 2:1:3 時，形成常關電晶體。此外，藉由如下所述地設定靶的成分比例，取得具有高結晶性的氧化物半導體膜：In:Sn:Zn=2:1:3。

基底的刻意加熱之溫度或是熱處理的溫度為 150°C 或更高，較佳地 200°C 或更高，又較佳地為 400°C 或更高。當在高溫下執行形成或熱處理時，電晶體是常關的。

藉由在形成期間刻意地加熱基底及／或在形成後執行熱處理，能增進抗閘極偏壓應力的穩定度。舉例而言，當在 150°C 下以 2 MV/cm 的強度施加閘極偏壓一小時時，臨界電壓的漂移小於  $\pm 1.5\text{V}$ ，較佳地小於  $\pm 1.0\text{V}$ 。

對下述二電晶體執行 BT 測試：在氧化物半導體膜形成後未執行熱處理的樣品 1；以及在氧化物半導體膜沈積後執行 650°C 熱處理的樣品 2。

首先，在基底溫度 25°C 及 10V 的  $V_d$ （源極與汲極之間的電位差）下，測量這些電晶體的  $V_g-I_d$  特徵。然後，基底溫度設定於 150°C，且  $V_d$  設定於 0.1V。之後，施加 20V 的  $V_g$ ，以致於施加至閘極絕緣膜 608 的電場的強度

為  $2 \text{ MV/cm}$ ，以及，所述條件保持一小時。接著，將  $V_g$  設定於  $0\text{V}$ 。然後，在基底溫度  $25^\circ\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g$ - $I_d$  特徵。此處理稱為正 BT 測試。

以類似方式，首先，在基底溫度  $25^\circ\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g$ - $I_d$  特徵。然後，基底溫度設定於  $150^\circ\text{C}$ ，且  $V_d$  設定於  $0.1\text{V}$ 。之後，施加  $-20\text{V}$  的  $V_g$ ，以致於施加至閘極絕緣膜 608 的電場的強度為  $-2 \text{ MV/cm}$ ，以及，所述條件保持一小時。接著，將  $V_g$  設定於  $0\text{V}$ 。然後，在基底溫度  $25^\circ\text{C}$  及  $10\text{V}$  的  $V_d$  下，測量這些電晶體的  $V_g$ - $I_d$  特徵。此處理稱為負 BT 測試。

圖 15A 及 15B 分別顯示樣品 1 的正 BT 測試結果及負 BT 測試結果。圖 16A 及 16B 分別顯示樣品 2 的正 BT 測試結果及負 BT 測試結果。

導因於正 BT 測試及導因於負 BT 測試的樣品 1 的臨界電壓偏移量分別為  $1.80 \text{ V}$  及  $-0.42\text{V}$ 。導因於正 BT 測試及導因於負 BT 測試的樣品 2 的臨界電壓偏移量分別為  $0.79 \text{ V}$  及  $0.76\text{V}$ 。發現在樣品 1 及樣品 2 中，BT 測試之前及之後之間的臨界電壓的偏移量小且可靠度高。

在氧氛圍中執行熱處理；或者，在氮或惰性氣體氛圍中、或是在降壓下，首先執行熱處理，然後在含氧的氛圍中執行熱處理。在脫水或脫氫後，氧供應至氧化物半導體膜，因而進一步增加熱處理的有利效果。關於脫水或脫氫後供應氧的方法，可以使用氧離子由電場加速且佈植至氧化物半導體膜中的方法。



在氧化物半導體膜中或是在氧化物半導體膜以及與其堆疊的膜之間的介面，容易造成導因於氧空乏的缺陷；當藉由熱處理而在氧化物半導體膜中包含過量的氧時，稍後造成的氧空乏能由過量的氧補償。過量的氧是主要存在於晶格之間的氧。當氧的濃度設定在  $1 \times 10^{16}/\text{cm}^3$  至  $2 \times 10^{20}/\text{cm}^3$  時，能夠在氧化物半導體膜中包含過量的氧而不會造成晶體變形等等

當執行熱處理以致於至少部份氧化物半導體包含晶體時，能夠取得更穩定的氧化物半導體膜。舉例而言，當以 X 光繞射 (XRD) 來分析使用具有 In:Sn:Zn=1:1:1 的成分比之靶而以濺射但未刻意地加熱基底所形成的氧化物半導體膜時，觀測到光暈圖案。藉由使形成的氧化物半導體膜接受熱處理而將其晶化。熱處理的溫度適當地設定：舉例而言，當以  $650^\circ\text{C}$  執行熱處理時，以 X 光繞射分析，可以觀測到清楚的繞射峰值。

執行 In-Sn-Zn-O 膜的 XRD 分析。使用 Bruker AXS 製造的 X 光繞射儀 D8 ADVANCE，執行 XRD 分析，以及，以平面外方法執行測量。

製備樣品 A 及樣品 B 以及對其執行 XRD 分析。於下，將說明樣品 A 和樣品 B 的形成方法。

在已接受脫氫處理的石英基底上形成厚度 100 nm 的 In-Sn-Zn-O 膜。

在氧氛圍中，以 100 W (DC) 功率之濺射設備，形成 In-Sn-Zn-O 膜。使用具有 In:Sn:Zn=1:1:1 [原子比] 之

In-Sn-Zn-O 靶作為靶。注意，在沈積期間的基底加熱溫度設定在  $200^{\circ}\text{C}$ 。使用依此方式形成的樣品作為樣品 A。

接著，以類似於樣品 A 的方法形成的樣品接受  $650^{\circ}\text{C}$  的熱處理。關於熱處理，首先執行氮氛圍中的熱處理一小時，以及，又執行氧氛圍中的熱處理一小時但未降低溫度。使用此方式製造的樣品作為樣品 B。

圖 19 顯示樣品 A 及樣品 B 的 XRD 光譜。在樣品 A 中觀測到沒有導因於晶體的峰值，但是，在樣品 B 中，當  $2\theta$  約  $35^{\circ}$ 、及  $37^{\circ}$  至  $38^{\circ}$  時，觀測到導因於晶體的峰值。

如上所述，藉由在包含 In、Sn、及 Zn 作為主成分的氧化物半導體形成期間刻意地加熱基底、及／或藉由在形成後執行熱處理，能增進電晶體的特徵。

這些基底加熱及熱處理具有防止不利於氧化物半導體的氫及羥基等雜質被包含於膜中的有利效果或者具有從膜中移除氫及羥基的有利效果。亦即，藉由從氧化物半導體中移除作為施子雜質的氫，而將氧化物半導體純化，因而取得常關電晶體。氧化物半導體的高度純化使得電晶體的關閉狀態電流能夠為  $1\text{ aA}$  或更低。此處，關閉狀態電流的單位代表每微米通道寬度的電流。

圖 22 顯示測量時電晶體的關閉狀態電流與基底溫度（絕對溫度）的倒數之間的關係。此處，為了簡明起見，水平軸代表以  $1000$  乘以測量時基底溫度的倒數而取得的值（ $1000/T$ ）。

具體而言，如圖 22 所示，當基底溫度分別為 125°C、85°C、及室溫（27°C）時，關閉狀態電流為低於或等於 1 aA/ $\mu\text{m}$ （ $1 \times 10^{-18}$  A/ $\mu\text{m}$ ）、低於或等於 100 zA/ $\mu\text{m}$ （ $1 \times 10^{-19}$  A/ $\mu\text{m}$ ）、及低於或等於 1 zA/ $\mu\text{m}$ （ $1 \times 10^{-21}$  A/ $\mu\text{m}$ ）。較佳地，在分別為 125°C、85°C、及室溫時，關閉狀態電流分別為低於或等於 0.1 aA/ $\mu\text{m}$ （ $1 \times 10^{-19}$  A/ $\mu\text{m}$ ）、低於或等於 10 zA/ $\mu\text{m}$ （ $1 \times 10^{-20}$  A/ $\mu\text{m}$ ）、及低於或等於 0.1 zA/ $\mu\text{m}$ （ $1 \times 10^{-22}$  A/ $\mu\text{m}$ ）。

注意，為了防止膜形成期間氫及濕氣被包含於氧化物半導體膜中，較佳的是藉由充份地抑制從處理室的外部洩露及經由處理室的內壁之脫氣，以增加濺射氣體的純度。舉例而言，較佳地使用具有低於或等於 -70°C 的露點之氣體作為濺射氣體，以防止濕氣包含於膜中。此外，較佳的是使用高度純化的靶以致於未含有例如氫和濕氣等雜質。雖然藉由熱處理而能夠從包含 In、Sn、及 Zn 作為主成分的氧化物半導體的膜中移除濕氣，但是，由於在更高溫度下濕氣從包含 In、Sn、及 Zn 作為主成分的氧化物半導體釋出而非從包含 In、Ga、及 Zn 作為主成分的氧化物半導體釋出，所以，較佳地形成原始地未包含濕氣之膜。

評估氧化物半導體膜形成後執行 650°C 熱處理之樣品的基底溫度與電晶體之電特徵之間的關係。

用於測量的電晶體具有 3  $\mu\text{m}$  的通道長度 L、10  $\mu\text{m}$  的通道寬度 W、0  $\mu\text{m}$  的  $L_{OV}$ 、及 0  $\mu\text{m}$  的 dW。注意， $V_d$  設定於 10V。注意，基底溫度為 -40°C、-25°C、25°C、75

$^{\circ}\text{C}$ 、 $125^{\circ}\text{C}$ 、及  $150^{\circ}\text{C}$ 。此處，在閘極電極與成對的電極中之一相重疊的部份之寬度稱為  $L_{ov}$ ，以及，未與氧化物半導體膜重疊的成對電極之部份的寬度稱為  $dW$ 。

圖 17 顯示  $I_d$  (實線) 及場效遷移率 (虛線) 之  $V_g$  相依性。圖 18A 顯示基底溫度與臨界電壓之間的關係，圖 18B 顯示基底溫度與場效遷移率之間的關係。

從圖 18A 中，發現臨界電壓隨著基底溫度增加而變低。注意，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的範圍中，臨界電壓從  $1.09\text{V}$  下降至  $-0.23\text{V}$ 。

從圖 18B 中，發現場效遷移率隨著基底溫度增加而降低。注意，在  $-40^{\circ}\text{C}$  至  $150^{\circ}\text{C}$  的範圍中，場效遷移率從  $36\text{ cm}^2/\text{Vs}$  下降至  $32\text{ cm}^2/\text{Vs}$ 。因此，發現在上述溫度範圍中電特徵的變異小。

在以包含  $\text{In}$ 、 $\text{Sn}$ 、及  $\text{Zn}$  作為主成分的此氧化物半導體用於通道形成區的電晶體中，以維持在  $1\text{ aA}/\mu\text{m}$  或更低的關閉狀態電流，取得高於或等於  $30\text{ cm}^2/\text{Vs}$ 、較佳地高於或等於  $40\text{ cm}^2/\text{Vs}$ 、又更較佳地高於或等於  $60\text{ cm}^2/\text{Vs}$  之場效遷移率，這可以取得 LSI 所需的開啓狀態電流。舉例而言，在  $L/W$  為  $33\text{ nm}/40\text{ nm}$  的 FET 中，當閘極電壓為  $2.7\text{V}$  及汲極電壓為  $1.0\text{V}$  時， $12\text{ }\mu\text{A}$  或更高的開啓狀態電流能夠流通。此外，在電晶體操作所需的溫度範圍中，能夠確保充分的電特徵。根據這些特徵，即使當包含氧化物半導體的電晶體設於使用  $\text{Si}$  半導體形成的積體電路中時，仍然能夠取得具有新穎功能的積體電路，而不降低操

作速度。

注意，本實施例的內容或其部份能與其它實施例的內容或其部份自由地結合。

本申請案係根據 2011 年 5 月 13 日向日本專利局申請的日本專利申請序號 2011-108736，其整體內容於此以引用方式一併列入。

**【圖式簡單說明】**

圖 1 是電路圖，顯示根據本發明的一實施例之電壓隨動器的實例。

圖 2 是電路圖，顯示習知的電壓隨動器的實例。

圖 3 是電路圖，顯示根據本發明的一實施例之電壓隨動器的實例。

圖 4 是剖面視圖，顯示根據本發明的一實施例之電晶體。

圖 5A 至 5D 是剖面視圖，顯示根據本發明的一實施例之電晶體的製造方法。

圖 6A 至 6E 顯示根據本發明的一實施例之氧化物材料的結構。

圖 7A 至 7C 顯示根據本發明的一實施例之氧化物材料的結構。

圖 8A 至 8C 顯示根據本發明的一實施例之氧化物材料的結構。

圖 9 顯示包含氧化物半導體的電晶體中場效遷移率的

閘極電壓相依性的計算結果。

圖 10A 至 10C 顯示包含氧化物半導體的電晶體中場效遷移率與汲極電流的閘極電壓相依性的計算結果。

圖 11A 至 11C 顯示包含氧化物半導體的電晶體中場效遷移率與汲極電流的閘極電壓相依性的計算結果。

圖 12A 至 12C 顯示包含氧化物半導體的電晶體中場效遷移率與汲極電流的閘極電壓相依性的計算結果。

圖 13A 及 13B 顯示用於計算的電晶體的剖面結構。

圖 14A 至 14C 顯示包含氧化物半導體的電晶體的特徵。

圖 15A 及 15B 顯示樣品 1 的電晶體的 BT 測試後的  $V_g-I_d$  特徵。

圖 16A 及 16B 顯示顯示樣品 2 的電晶體的 BT 測試後的  $V_g-I_d$  特徵。

圖 17 顯示包含氧化物半導體的電晶體中場效遷移率與汲極電流的閘極電壓相依性。

圖 18A 及 18B 顯示包含氧化物半導體的電晶體的電特徵與基底溫度的相依性。

圖 19 顯示樣品 A 及樣品 B 的 XRD 光譜。

圖 20A 及 20B 是上視圖及剖面視圖，顯示根據本發明的一實施例之電晶體。

圖 21A 及 21B 是上視圖及剖面視圖，顯示根據本發明的一實施例之電晶體。

圖 22 顯示包含氧化物半導體的電晶體測量時關閉狀

態電流與基底溫度的相依性。

圖 23A 及 23B 均顯示根據本發明的一實施例之半導體裝置的概念圖。

圖 24 是電路圖，顯示根據本發明的一實施例之運算放大器。

**【主要元件符號說明】**

12：差動放大器

13：增益級

14：增益級

15：輸出級

16：第一電晶體

18：第二電晶體

20：第三電晶體

22：第四電晶體

100：電壓隨動器

102：第一電晶體

104：第二電晶體

106：第三電晶體

108：第四電晶體

110：第五電晶體

112：第六電晶體

114：第七電晶體

116：第八電晶體

- 118 : 第九電晶體
- 120 : 差動放大器
- 122 : 增益級
- 200 : 電壓隨動器
- 202 : 第一電晶體
- 204 : 第二電晶體
- 206 : 第三電晶體
- 208 : 第四電晶體
- 210 : 第五電晶體
- 212 : 第六電晶體
- 214 : 電容器
- 216 : 第七電晶體
- 218 : 第八電晶體
- 220 : 第九電晶體
- 222 : 第十電晶體
- 224 : 第十一電晶體
- 226 : 第十二電晶體
- 228 : 第十三電晶體
- 230 : 差動放大器
- 232 : 增益級
- 234 : 輸出級
- 500 : 基底
- 502 : 基部絕緣膜
- 504 : 保護絕緣膜



- 506a : 高電阻區
- 506b : 低電阻區
- 506 : 氧化物半導體膜
- 508 : 閘極絕緣膜
- 510 : 閘極電極
- 512 : 側壁絕緣膜
- 514 : 成對電極
- 516 : 層間絕緣膜
- 518 : 佈線
- 600 : 基底
- 602 : 基部絕緣膜
- 606 : 氧化物半導體膜
- 608 : 閘極絕緣膜
- 610 : 閘極電極
- 614 : 成對電極
- 616 : 層間絕緣膜
- 618 : 佈線
- 620 : 保護膜
- 700 : 半導體基底
- 701 : 高濃度雜質區
- 702 : 低濃度雜質區
- 703 : 閘極絕緣膜
- 704 : 閘極電極
- 705 : 層間絕緣膜

- 710 : 電晶體
- 711 : 氧化物半導體層
- 712a : 源極電極
- 712b : 汲極電極
- 713 : 閘極絕緣膜
- 714 : 閘極電極
- 1010 : 基部絕緣體
- 1020 : 嵌入絕緣體
- 1030a : 半導體區
- 1030b : 半導體區
- 1030c : 半導體區
- 1040 : 閘極絕緣體
- 1050 : 閘極電極
- 1060a : 側壁絕緣體
- 1060b : 側壁絕緣體
- 1070 : 絕緣體
- 1080a : 源極電極
- 1080b : 汲極電極

七、申請專利範圍：

1. 一種半導體裝置，包括：

第一輸入端，輸入電位輸入至該第一輸入端；

第二輸入端，參考電位輸入至該第二輸入端；

第一輸出端，輸出電位從該第一輸出端輸出；

差動放大器，電連接至該第一輸入端及該第二輸入端

；以及

增益級，包括第一電晶體、第二電晶體、第三電晶體、及第四電晶體，以及電連接至該第一輸出端；

其中，該差動放大器電連接至第一電源電位線及第二電源電位線，

其中，該第一電源電位線的電位高於該第二電源電位線的電位，

其中，該第一電晶體的第一端電連接至該差動放大器的第二輸出端，

其中，該第一電晶體的第二端電連接至該第三電晶體的閘極，

其中，該第二電晶體的第一端電連接至該第二輸入端，

其中，該第二電晶體的第二端電連接至該第四電晶體的閘極，

其中，該第三電晶體的第一端電連接至該第一電源電位線，

其中，該第三電晶體的第二端及該第四電晶體的第一

端電連接至該第一輸出端，

其中，該第四電晶體的第二端電連接至該第二電源電位線，以及，

其中，該第一電晶體及該第二電晶體均為每微米通道寬度關閉狀態漏電流低於或等於  $1 \times 10^{-17} \text{A}$  之電晶體。

2. 一種半導體裝置，包括：

第一輸入端，輸入電位輸入至該第一輸入端；

第二輸入端，參考電位輸入至該第二輸入端；

第一輸出端，輸出電位從該第一輸出端輸出；

差動放大器，電連接至該第一輸入端及該第二輸入端；

輸出級，包括第一電晶體、第二電晶體、第三電晶體、及第四電晶體，以及電連接至該第一輸出端；以及

增益級，設置在該差動放大器與該輸出級之間且電連接至該差動放大器及該輸出級，

其中，該差動放大器及該增益級電連接至第一電源電位線及第二電源電位線，

其中，該第一電源電位線的電位高於該第二電源電位線的電位，

其中，該第一電晶體的第一端電連接至該增益級的第二輸出端，

其中，該第一電晶體的第二端電連接至該第三電晶體的閘極，

其中，該第二電晶體的第一端電連接至該增益級的第

三輸出端，

其中，該第二電晶體的第二端電連接至該第四電晶體的閘極，

其中，該第三電晶體的第一端電連接至該第一電源電位線，

其中，該第三電晶體的第二端及該第四電晶體的第一端電連接至該輸出端，

其中，該第四電晶體的第二端電連接至該第二電源電位線，以及，

其中，該第一電晶體及該第二電晶體均為每微米通道寬度關閉狀態漏電流低於或等於  $1 \times 10^{-17} \text{A}$  之電晶體。

3. 如申請專利範圍第 1 項之半導體裝置，其中，該第一電晶體及該第二電晶體均包含氧化物半導體層和包含在該氧化物半導體層中的通道形成區。

4. 如申請專利範圍第 2 項之半導體裝置，其中，該第一電晶體及該第二電晶體均包含氧化物半導體層和包含在該氧化物半導體層中的通道形成區。

5. 一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；

第八電晶體；

第九電晶體，

其中，該第一電晶體的第一端以及該第二電晶體的第一端電連接至第一電源電位線，

其中，該第一電晶體的第二端電連接至該第一電晶體的閘極、該第二電晶體的閘極、及該第三電晶體的第一端，

其中，該第二電晶體的第二端電連接至該第四電晶體的第一端，

其中，該第三電晶體的第二端及該第四電晶體的第二端電連接至該第五電晶體的第一端，

其中，該第五電晶體的第二端電連接至第二電源電位線，

其中，該第一電源電位線的電位高於該第二電源電位線的電位，

其中，該第六電晶體的第一端電連接至該第一電源電位線，

其中，該第七電晶體的第一端電連接至該第二電晶體的第二端及該第四電晶體的第一端，

其中，該第七電晶體的第二端電連接至該第六電晶體的閘極，

其中，該第八電晶體的第一端電連接至該第五電晶體的閘極，

其中，該第八電晶體的第二端電連接至該第九電晶體的閘極，

其中，該第九電晶體的第一端電連接至該第五電晶體的第二端及該第二電源電位線，

其中，該第四電晶體的閘極電連接至輸入電位輸入的第一輸入端，

其中，該第三電晶體的閘極、該第六電晶體的第二端、及該第九電晶體的第二端電連接至輸出端，

其中，該第五電晶體的閘極電連接至參考電位輸入的第二輸入端，

其中，該第一電晶體、該第二電晶體、及該第六電晶體是 p 通道電晶體，

其中，該第三電晶體、該第四電晶體、該第五電晶體、及該九電晶體是 n 通道電晶體，以及，

其中，該第七電晶體及該第八電晶體均為每微米通道寬度關閉狀態漏電流低於或等於  $1 \times 10^{-17} \text{A}$  之電晶體。

6. 如申請專利範圍第 5 項之半導體裝置，其中，該第七電晶體及該第八電晶體均包含氧化物半導體層和包含在該氧化物半導體層中的通道形成區。

7. 一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；  
第六電晶體；  
第七電晶體；  
第八電晶體；  
第九電晶體；  
第十電晶體；  
第十一電晶體；  
第十二電晶體；  
第十三電晶體；及  
電容器，

其中，該第一電晶體的第一端以及該第二電晶體的第一端電連接至第一電源電位線，

其中，該第一電晶體的第二端電連接至該第一電晶體的閘極、該第二電晶體的閘極、及該第三電晶體的第一端，

其中，該第二電晶體的第二端電連接至該第四電晶體的第一端，

其中，該第三電晶體的第二端及該第四電晶體的第二端電連接至該第五電晶體的第一端，

其中，該第五電晶體的第二端電連接至第二電源線，

其中，該第一電源電位線的電位高於該第二電源電位線的電位，

其中，該第六電晶體的第一端電連接至該第一電源電位線，



其中，該第二電晶體的第二端及該第四電晶體的第一端電連接至該第六電晶體的閘極及該電容器的一電極，

其中，該第六電晶體的第二端及該電容器的另一電極電連接至該第七電晶體的第一端及該第七電晶體的閘極，

其中，該第七電晶體的第二端電連接至該第八電晶體的第一端，

其中，該第八電晶體的第二端電連接至該第八電晶體的閘極及該第九電晶體的第一端，

其中，該第九電晶體的第二端電連接至該第二電源電位線，

其中，該第十電晶體的第一端電連接至該第一電源電位線，

其中，該第十一電晶體的第一端電連接至該第七電晶體的閘極，

其中，該第十電晶體的閘極電連接至該第十一電晶體的第二端，

其中，該第十二電晶體的第一端電連接至該第八電晶體的閘極，

其中，該第十二電晶體的第二端電連接至該第十三電晶體的閘極，

其中，該第十電晶體的第二端電連接至該第十三電晶體的第一端，

其中，該第十三電晶體的第二端電連接至該第二電源電位線，

其中，該第四電晶體的閘極電連接至輸入電位輸入的第一輸入端，

其中，該第三電晶體的閘極、該第十電晶體的第二端、及該第十三電晶體的第一端電連接至輸出電位輸出的輸出端，

其中，該第五電晶體的閘極及該第九電晶體的閘極電連接至參考電位輸入的第二輸入端，

其中，該第一電晶體、該第二電晶體、該第六電晶體、該第八電晶體及該第十三電晶體是 p 通道電晶體，

其中，該第三電晶體、該第四電晶體、該第五電晶體、該第七電晶體、該九電晶體及該第十電晶體是 n 通道電晶體，以及，

其中，該第十一電晶體及該第十二電晶體均為每微米通道寬度關閉狀態漏電流低於或等於  $1 \times 10^{-17} \text{A}$  之電晶體。

8. 如申請專利範圍第 7 項之半導體裝置，其中，該第十一電晶體及該第十二電晶體均包含氧化物半導體層和包含在該氧化物半導體層中的通道形成區。

圖 1

100

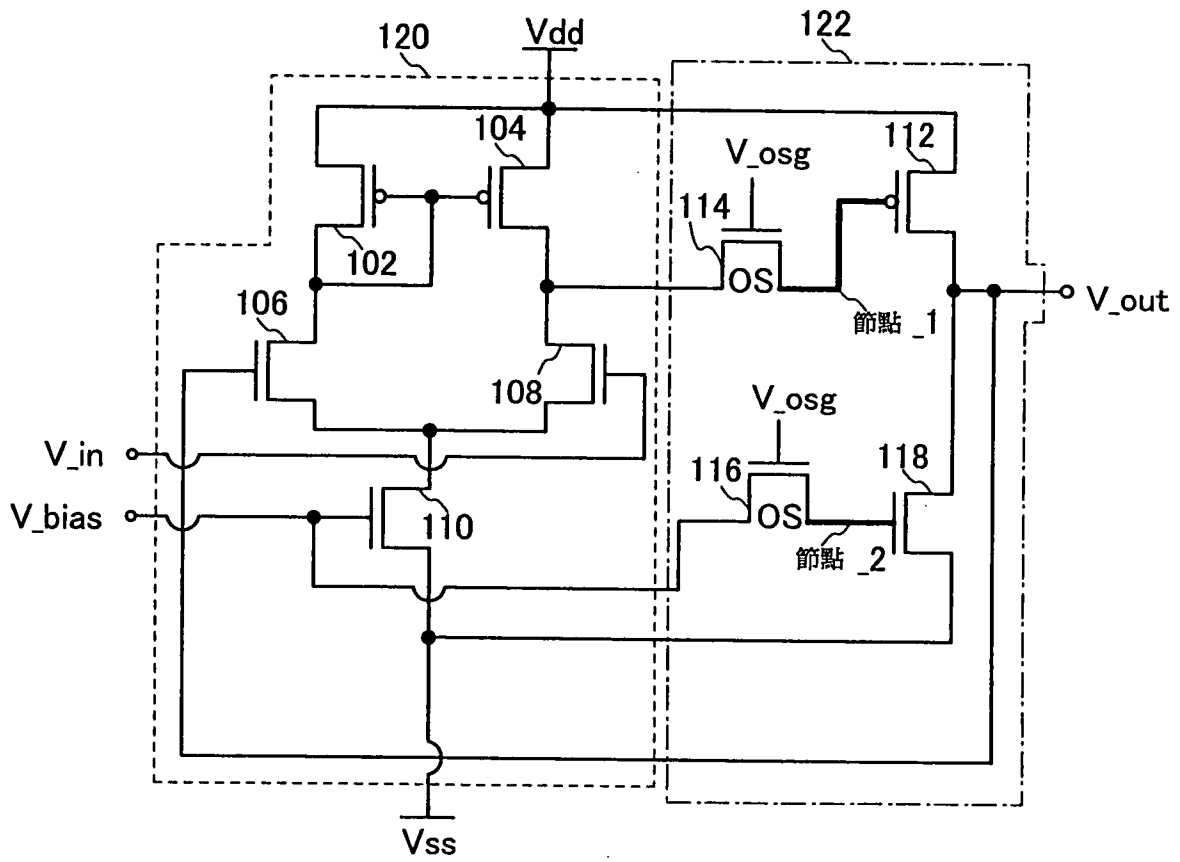


圖2

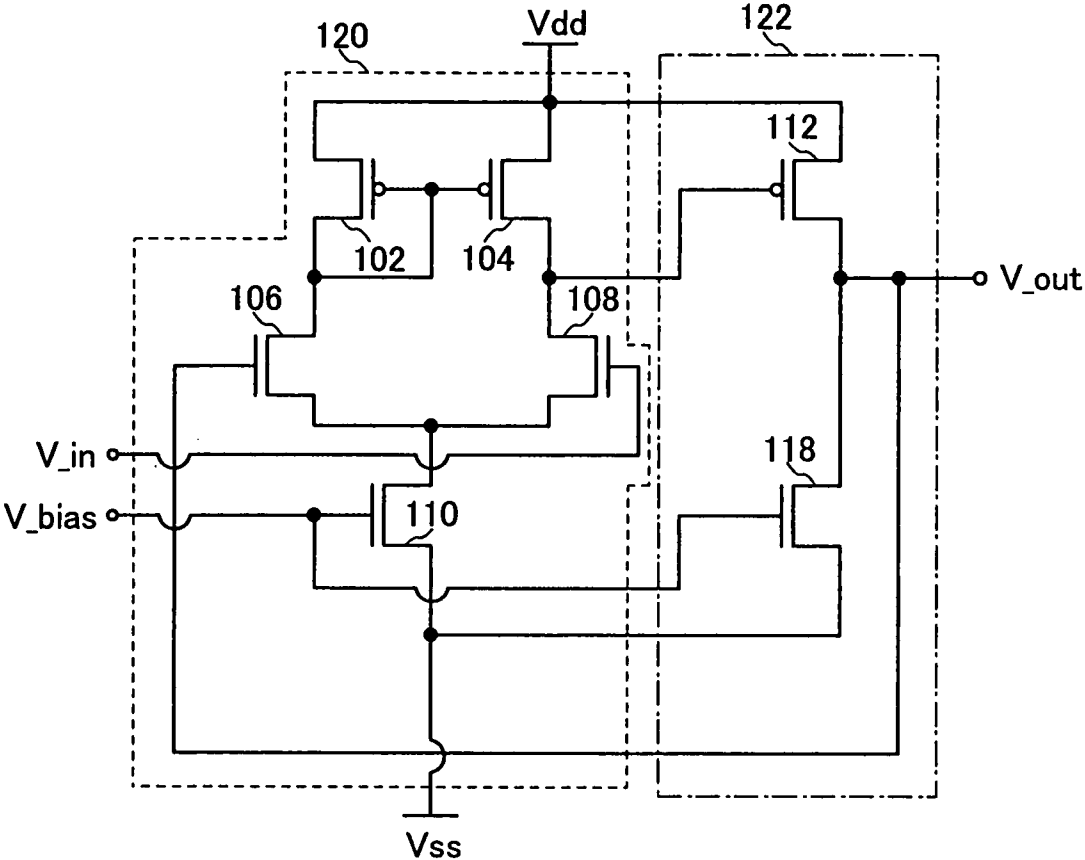


圖3

200

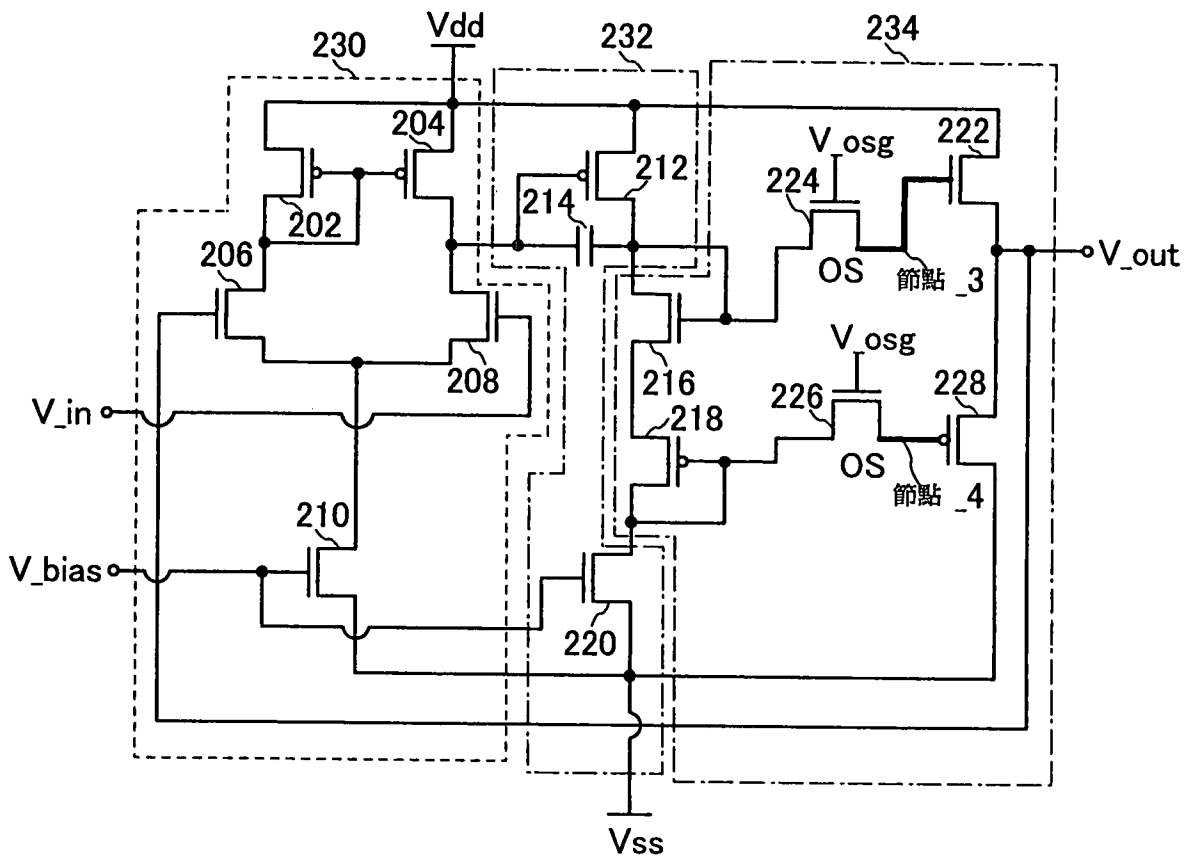


圖4

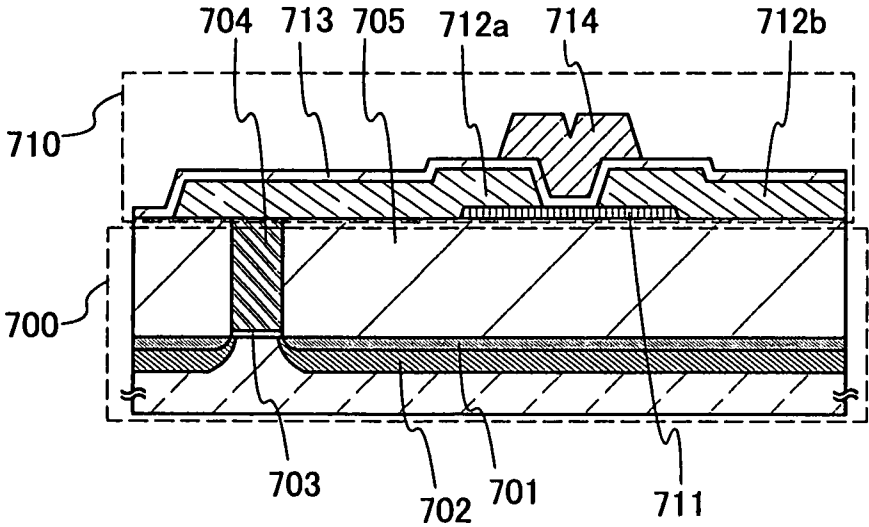


圖 5A

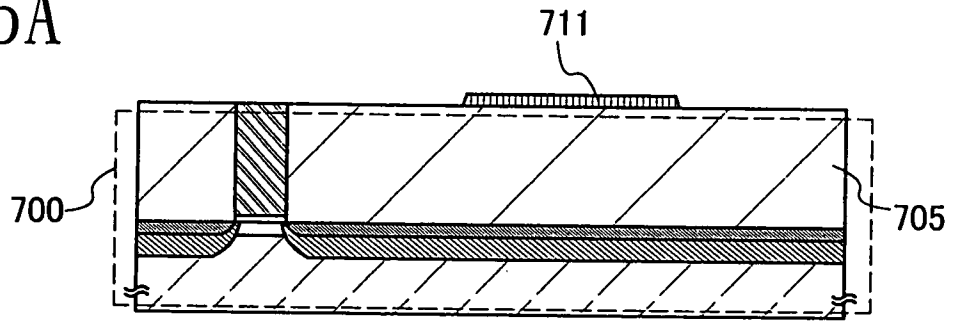


圖 5B

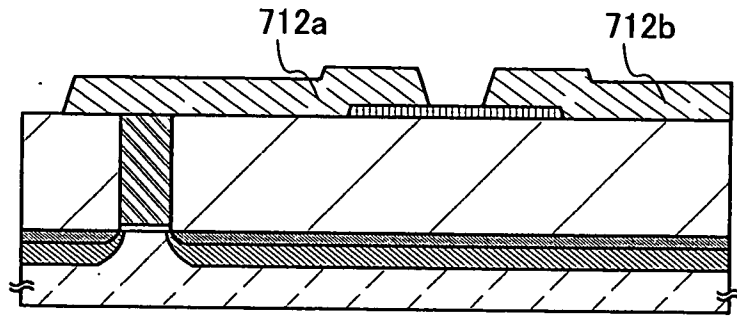


圖 5C

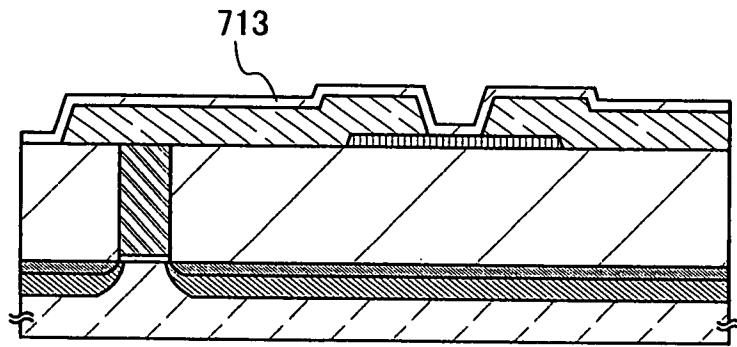


圖 5D

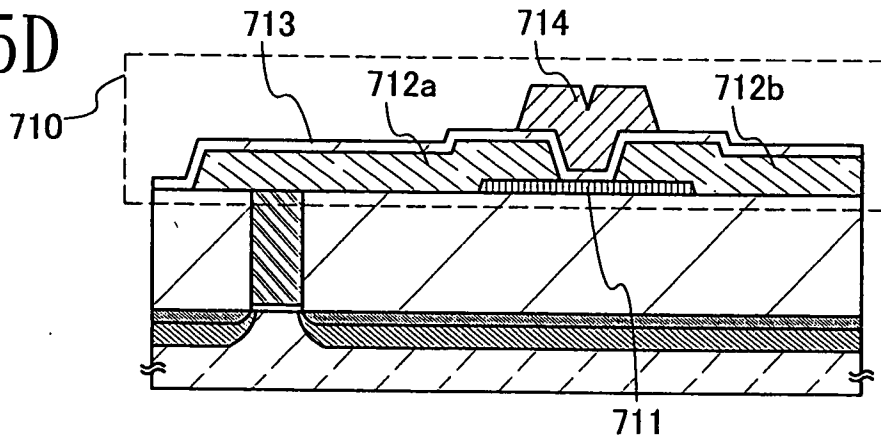


圖 6A

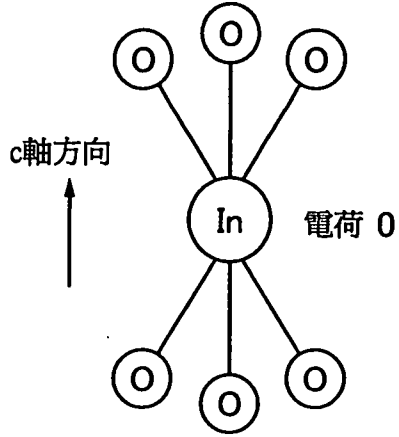


圖 6D

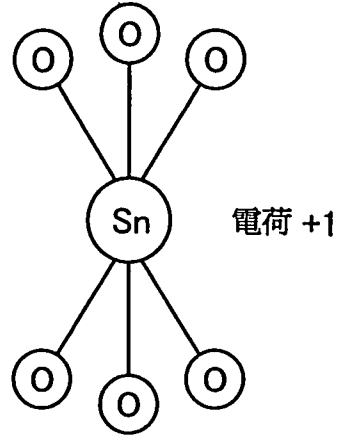


圖 6B

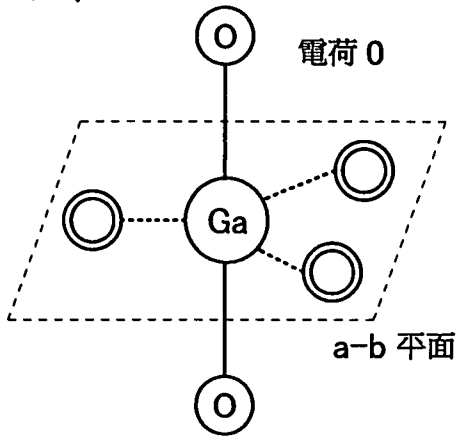


圖 6E

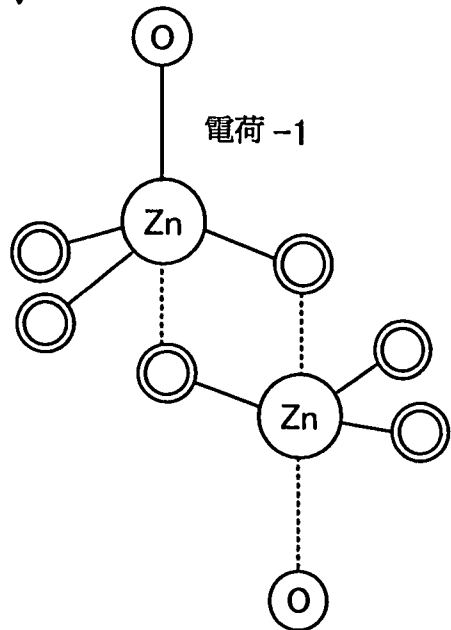


圖 6C

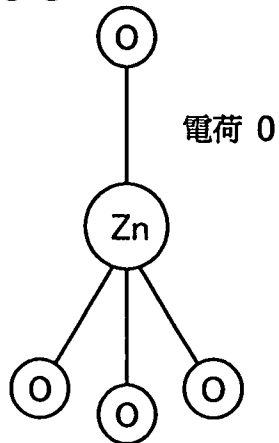




圖 7A

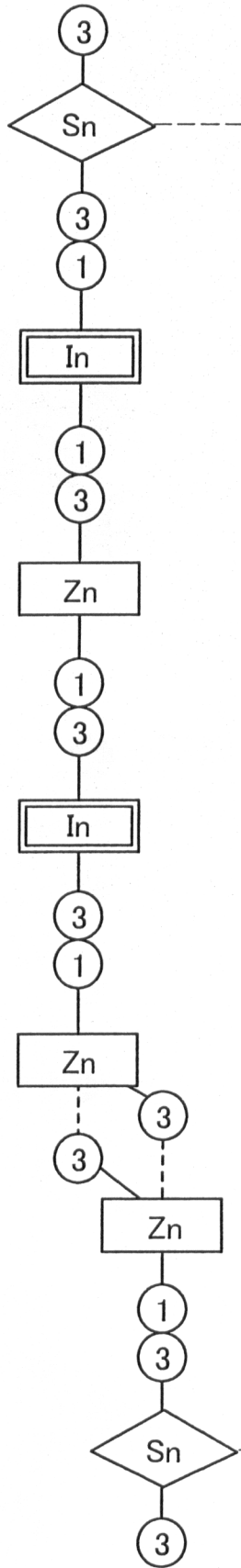


圖 7B

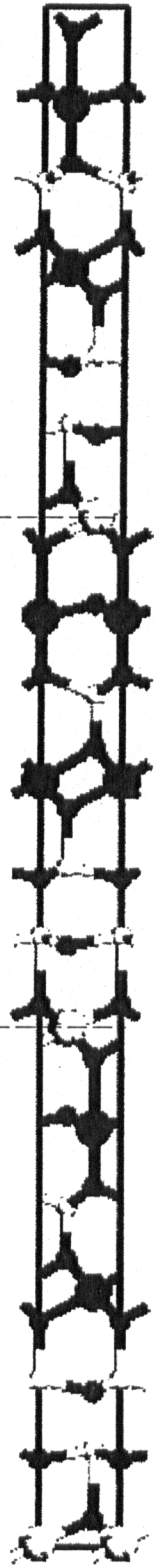
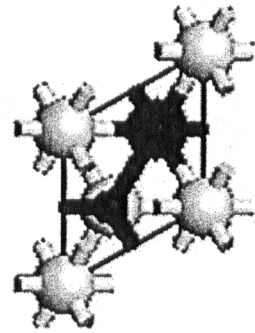


圖 7C



- In
- Sn
- Zn
- O

圖 8A

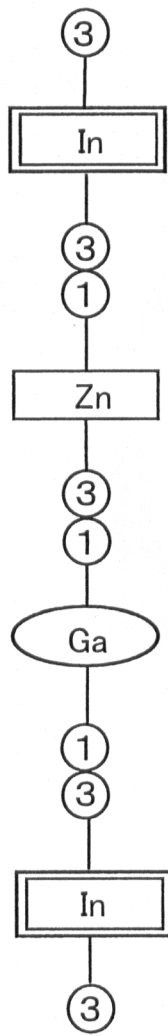


圖 8B

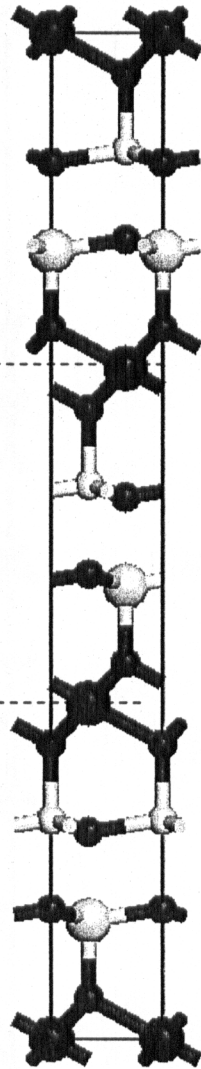
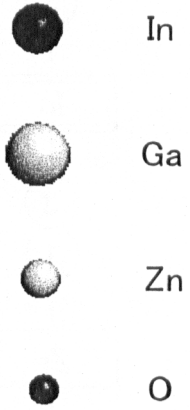
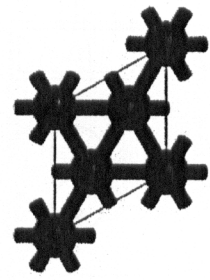


圖 8C



基團

圖 9

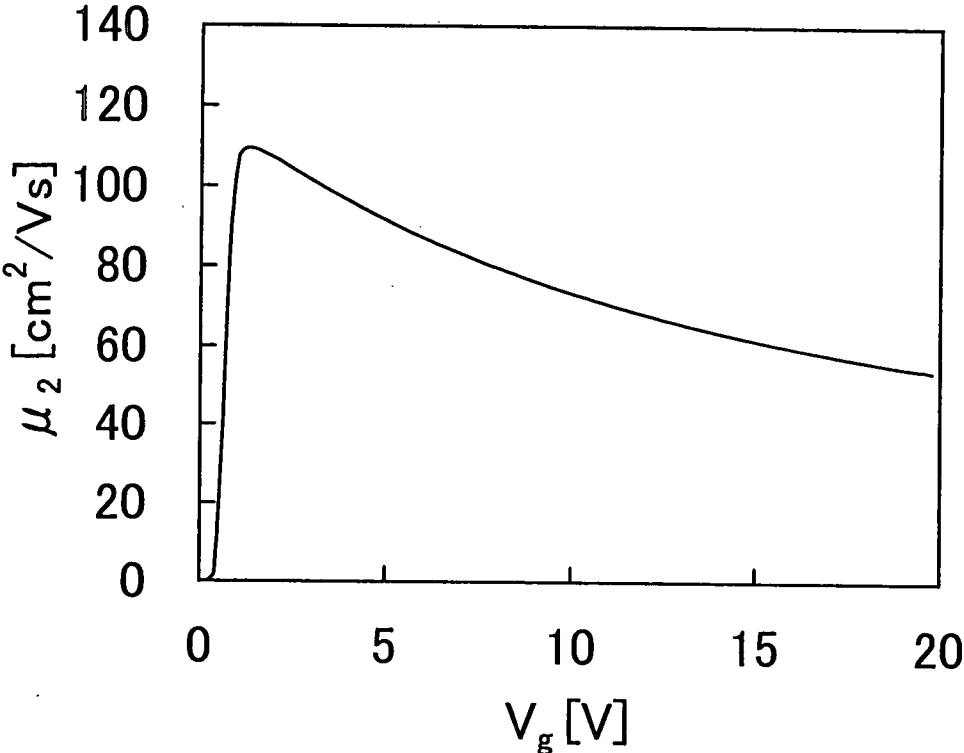


圖 10A

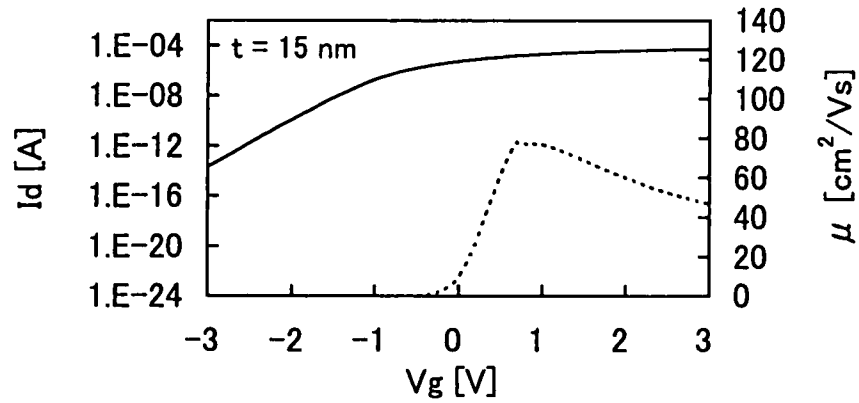


圖 10B

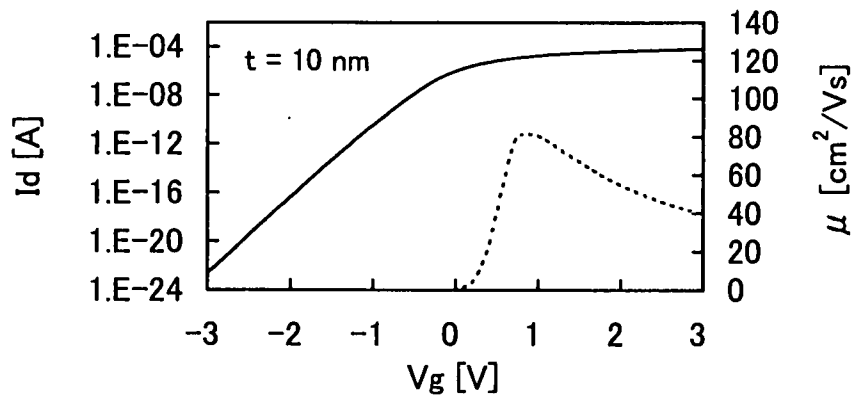


圖 10C

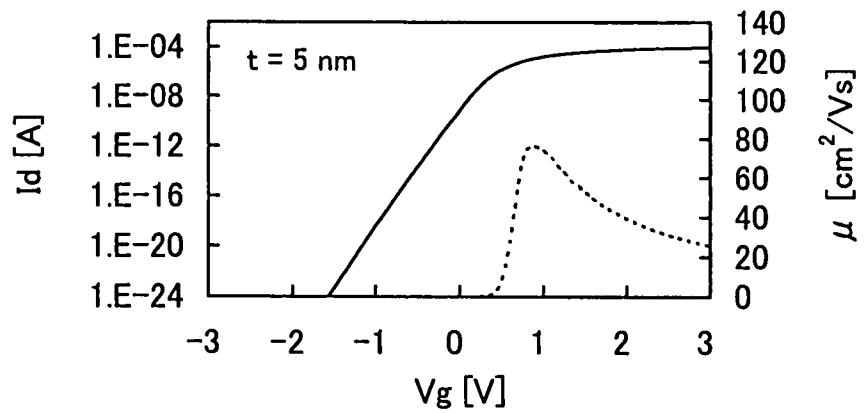


圖 11A

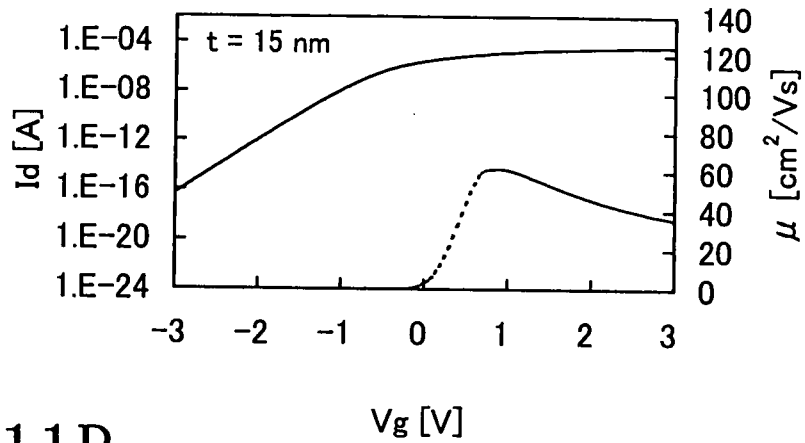


圖 11B

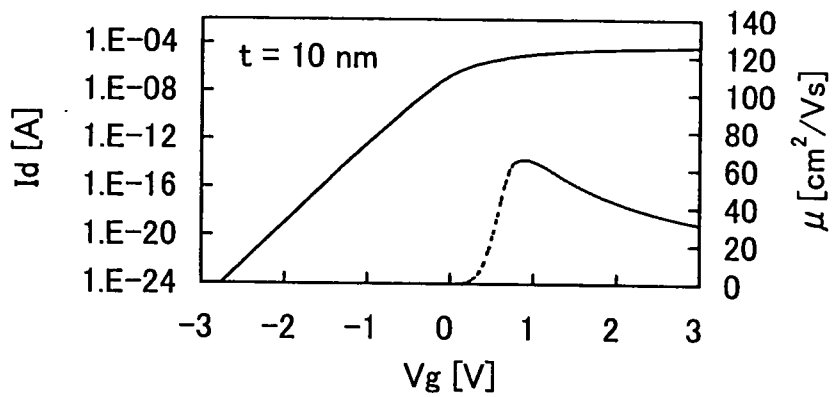


圖 11C

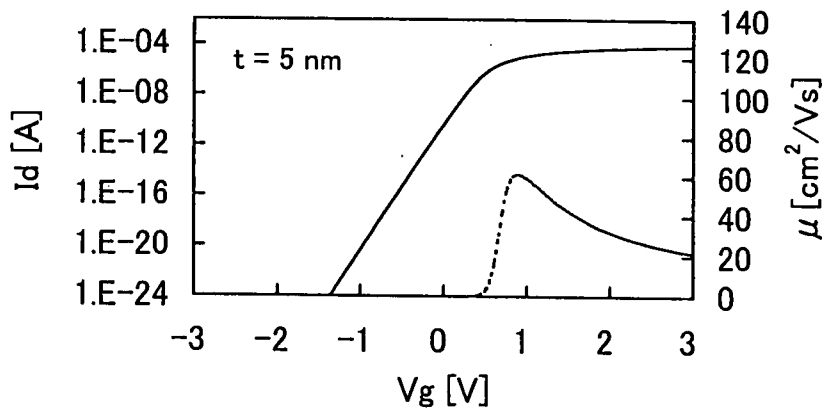


圖 12A

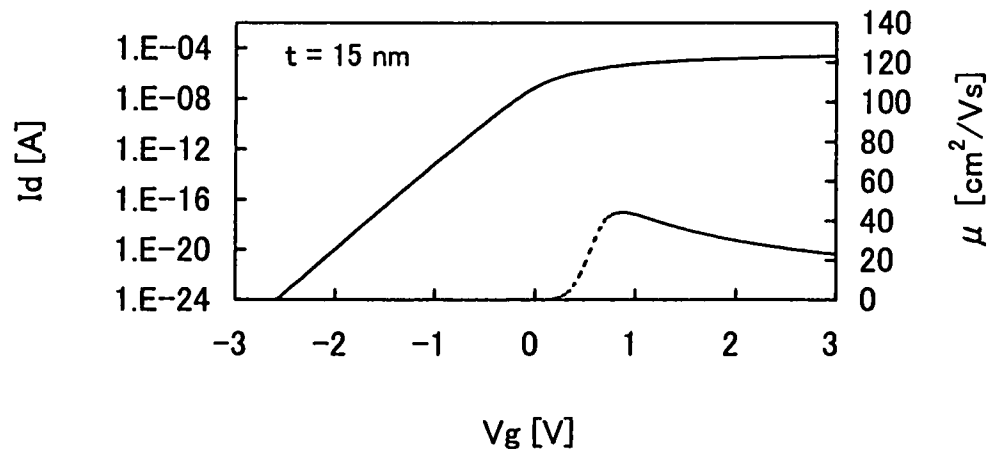


圖 12B

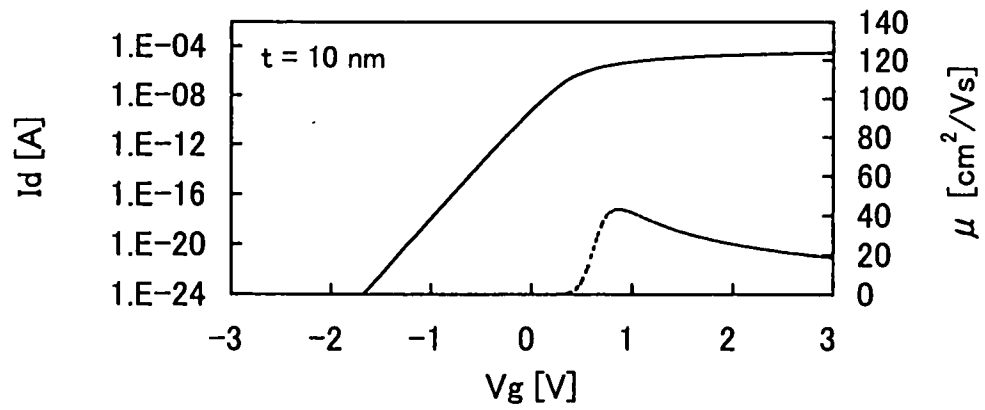


圖 12C

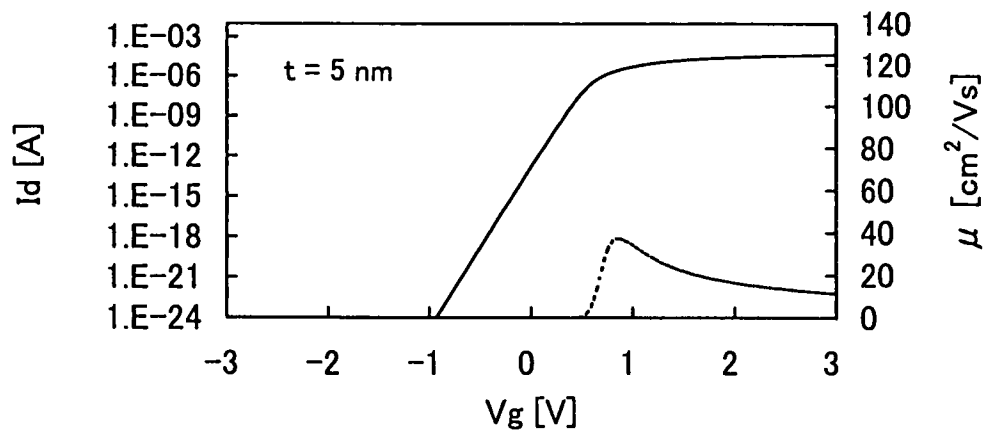


圖 13A

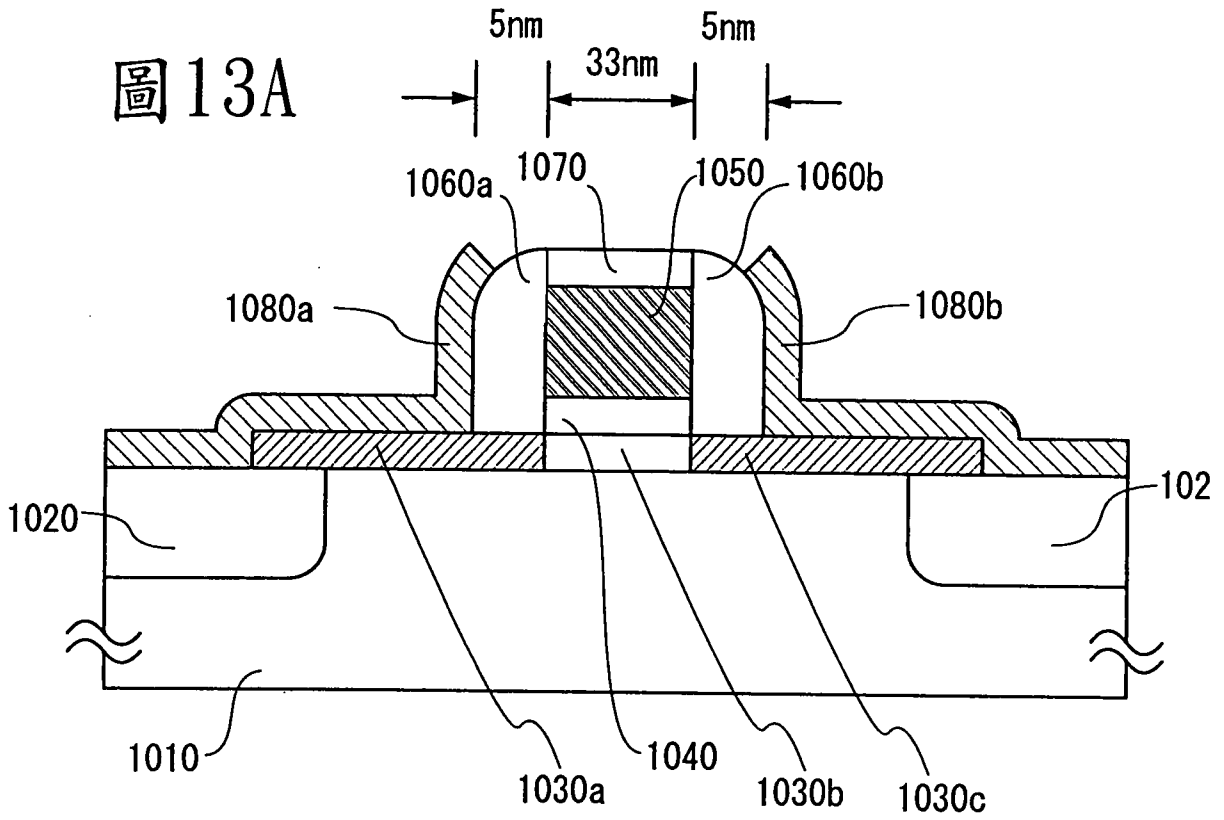


圖 13B

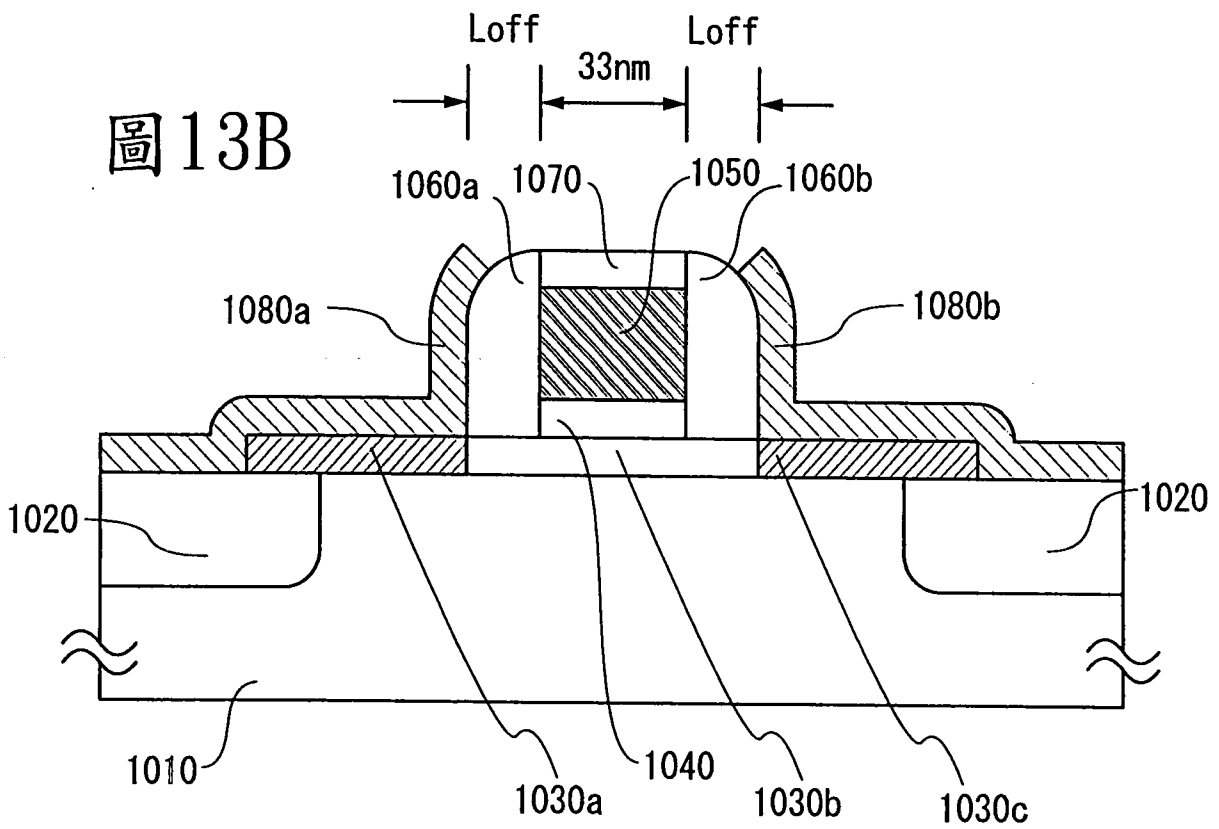


圖 14A

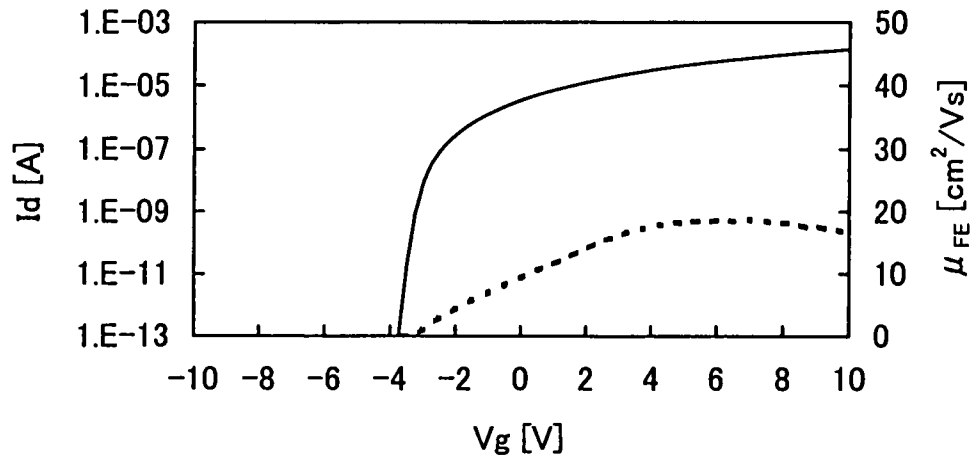


圖 14B

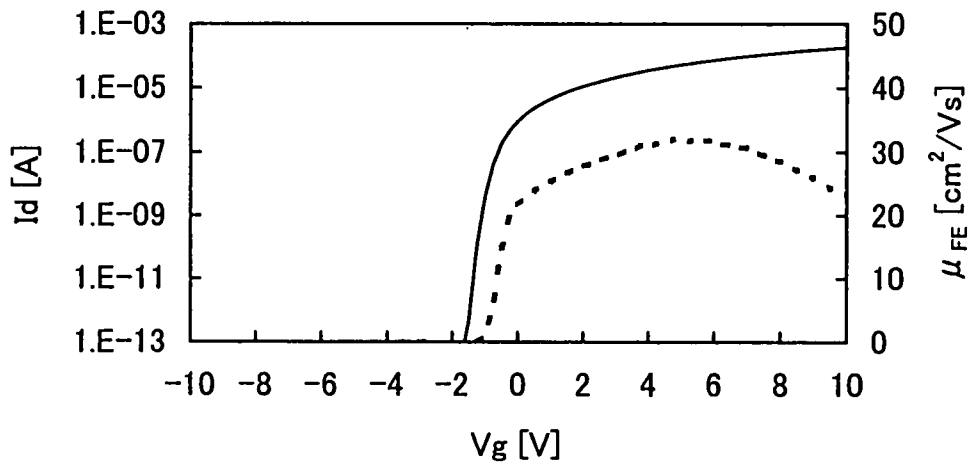


圖 14C

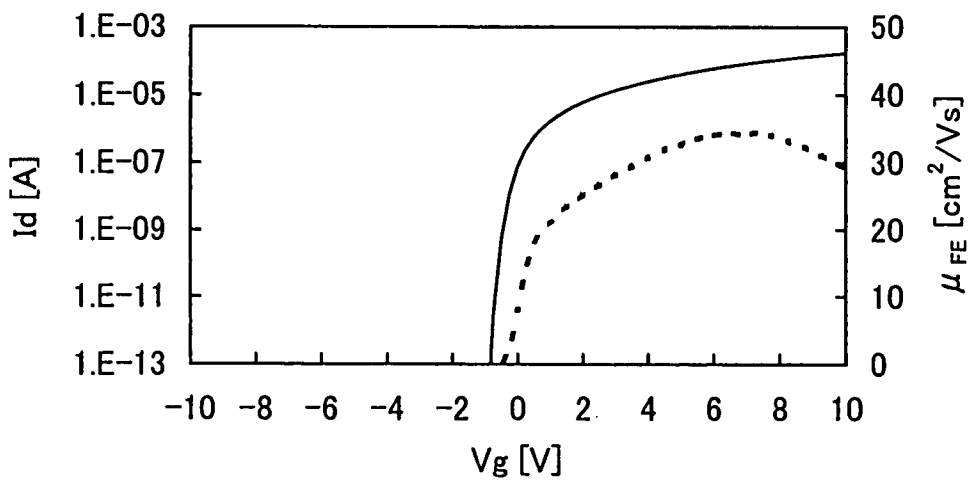




圖 15A

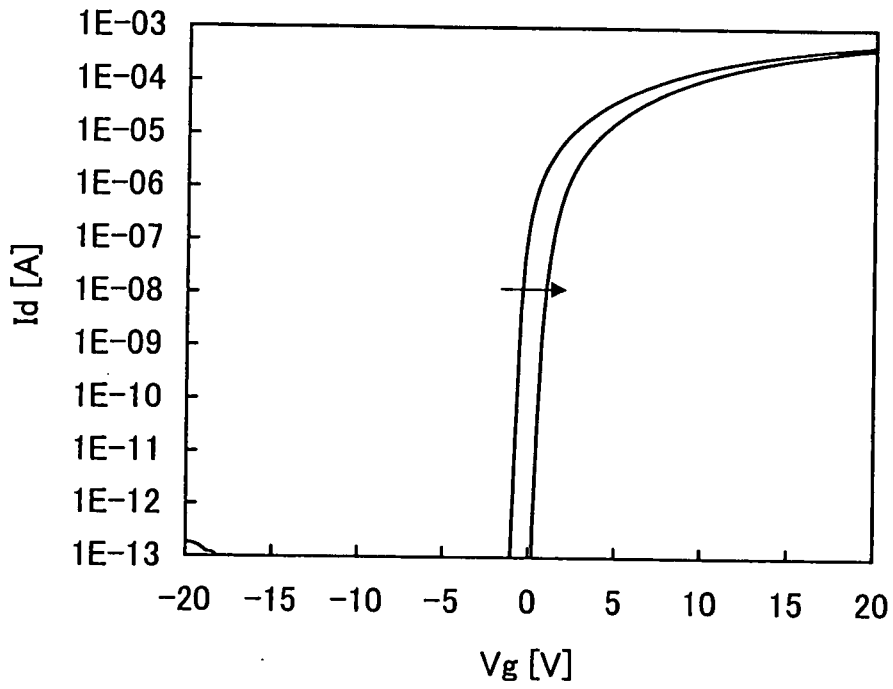


圖 15B

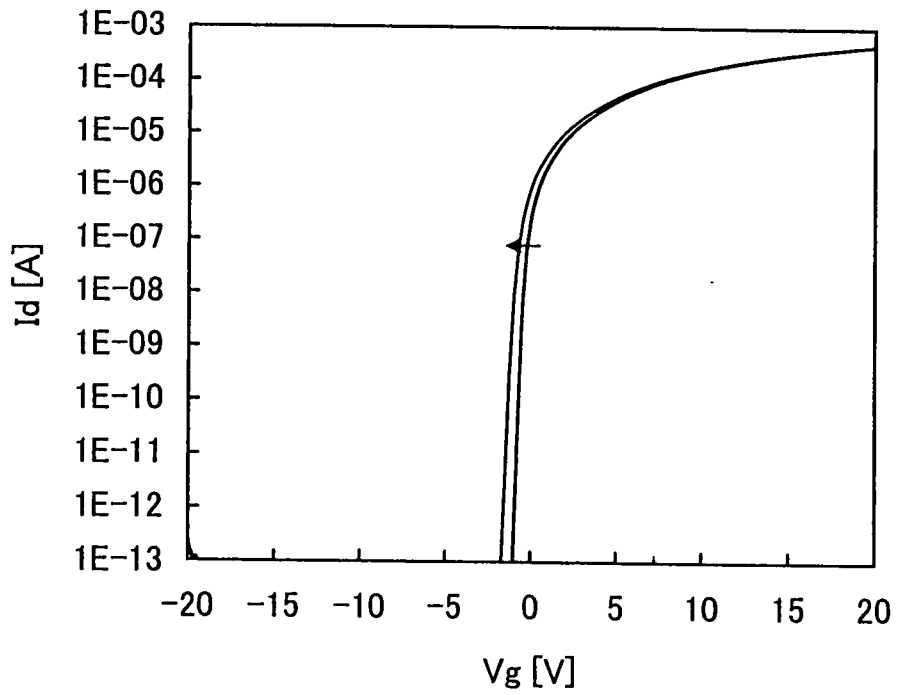


圖 16A

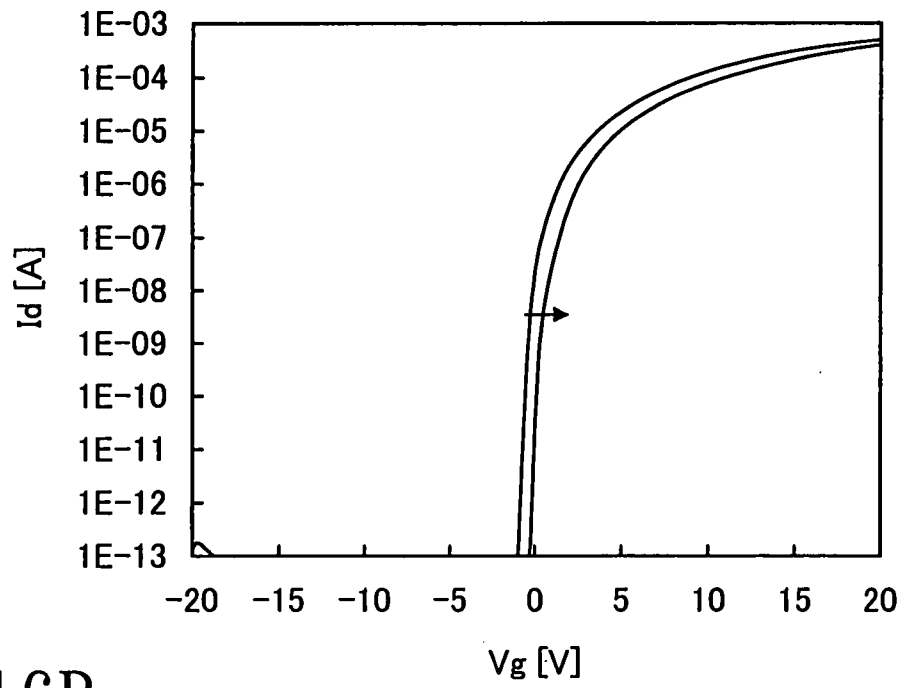


圖 16B

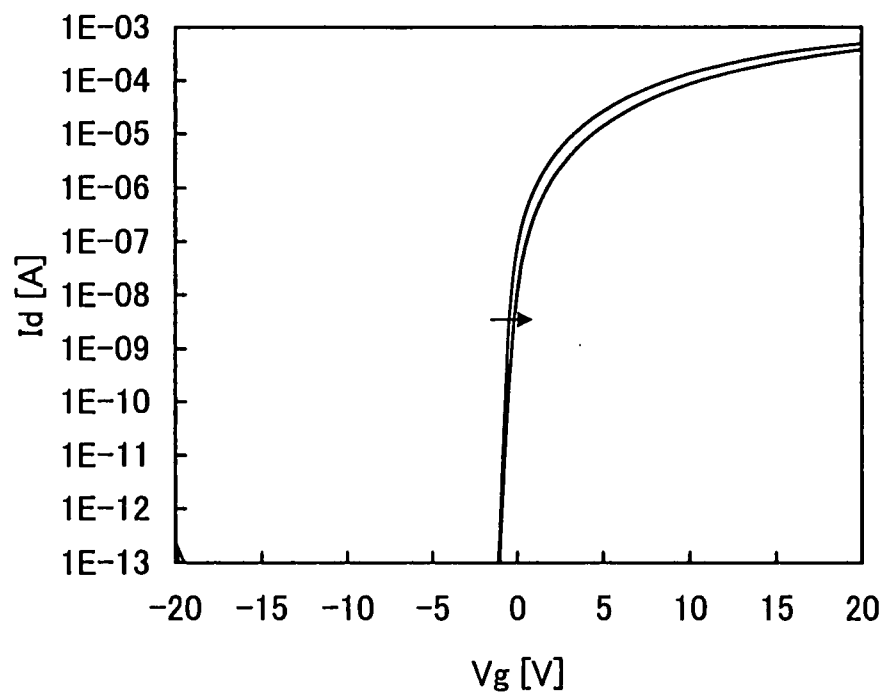


圖 17

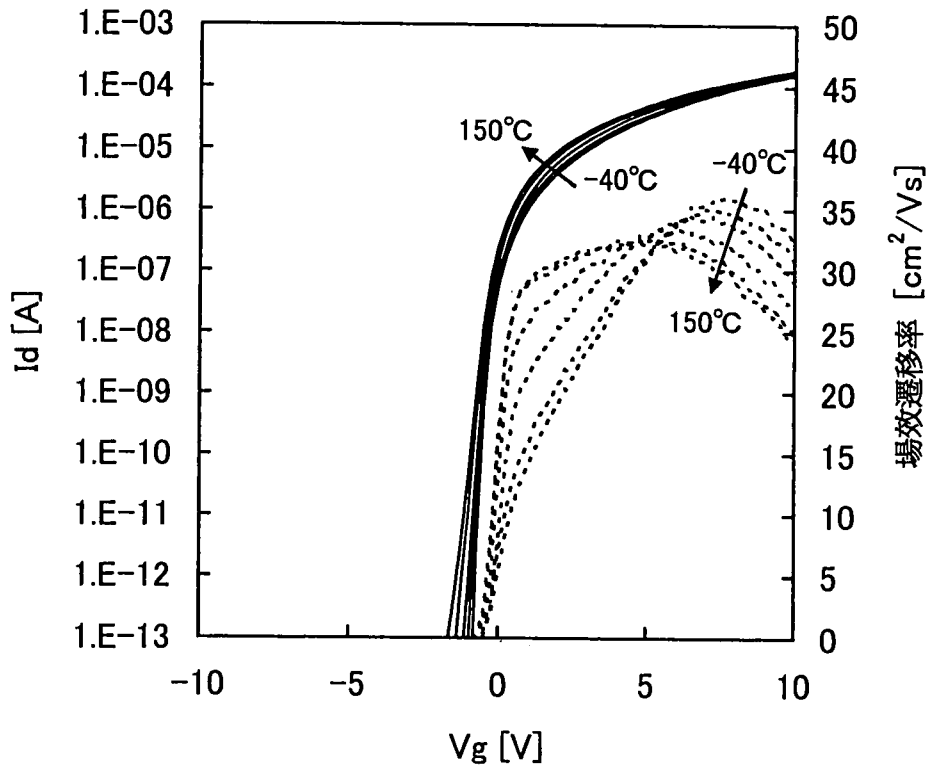


圖 18A

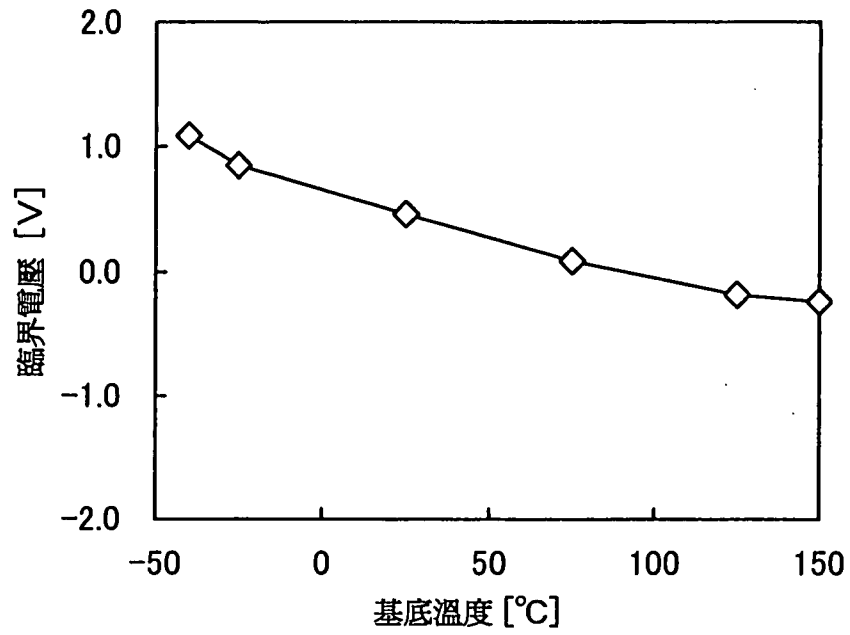


圖 18B

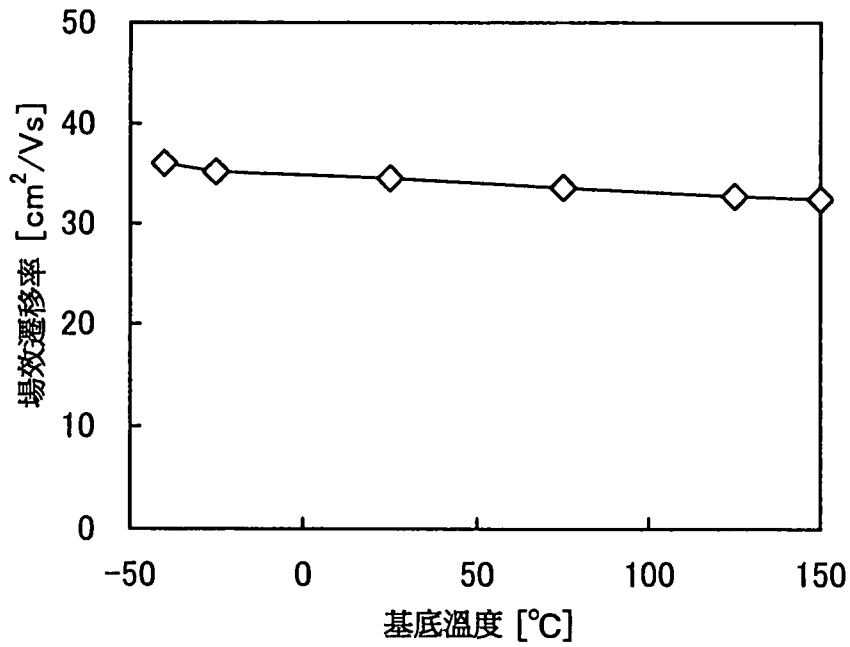


圖 19

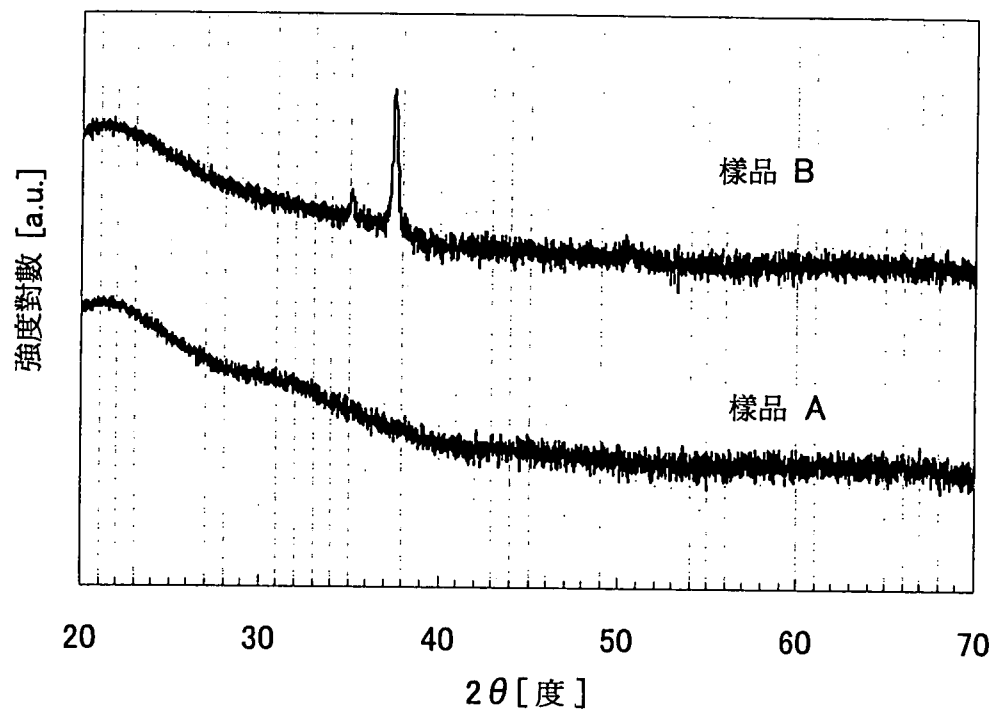


圖 20A

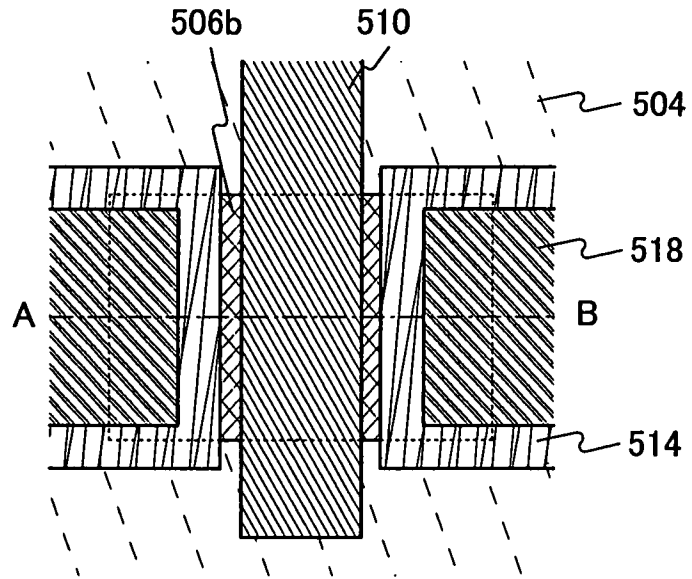


圖 20B

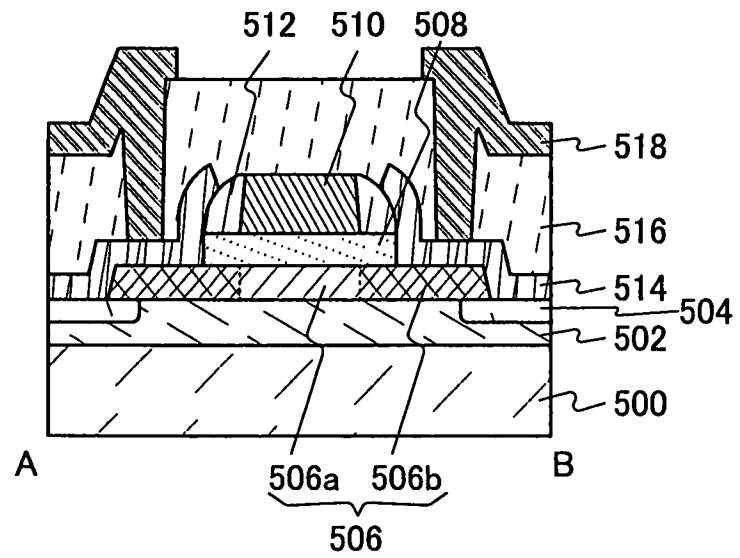


圖21A

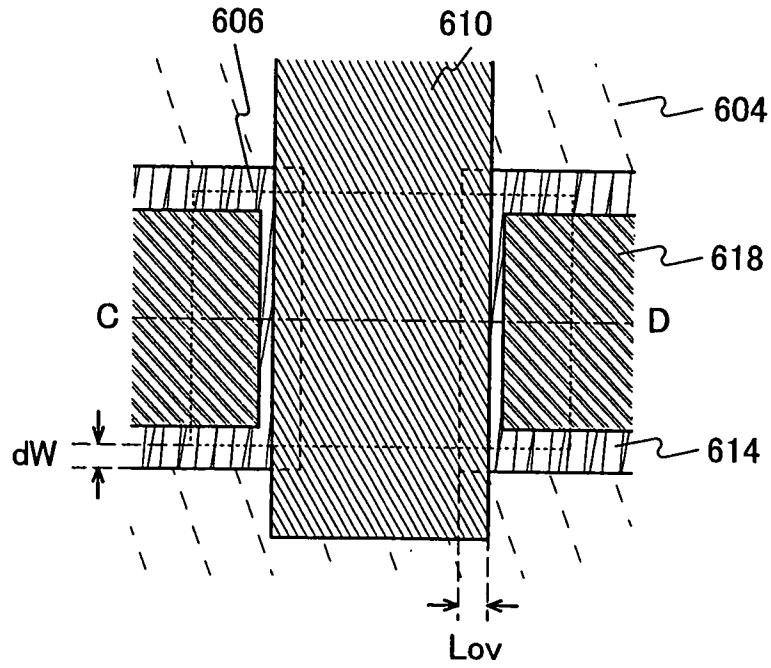


圖21B

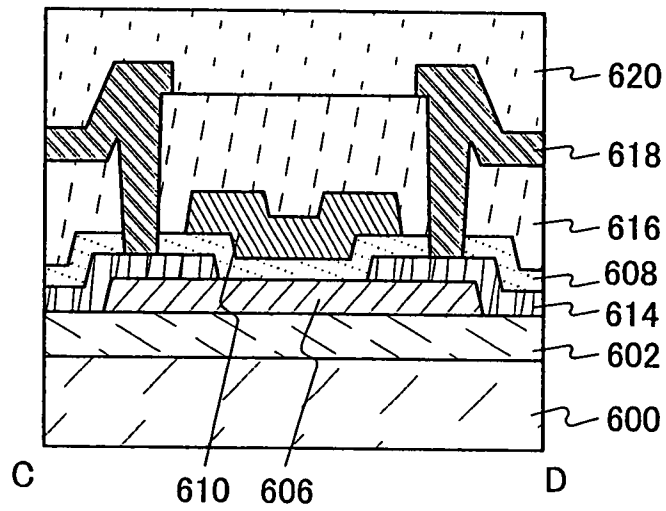


圖 22

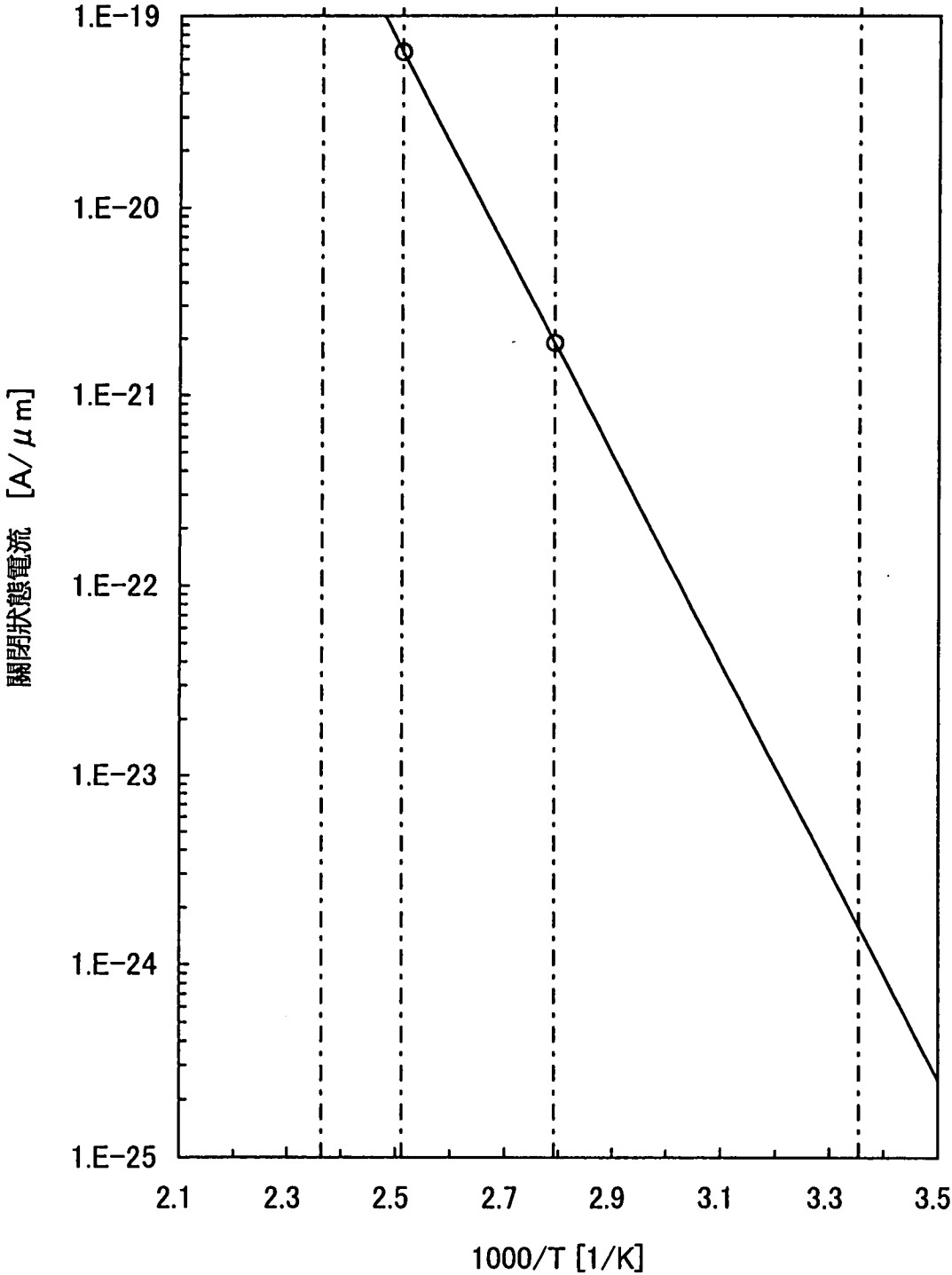




圖 23A

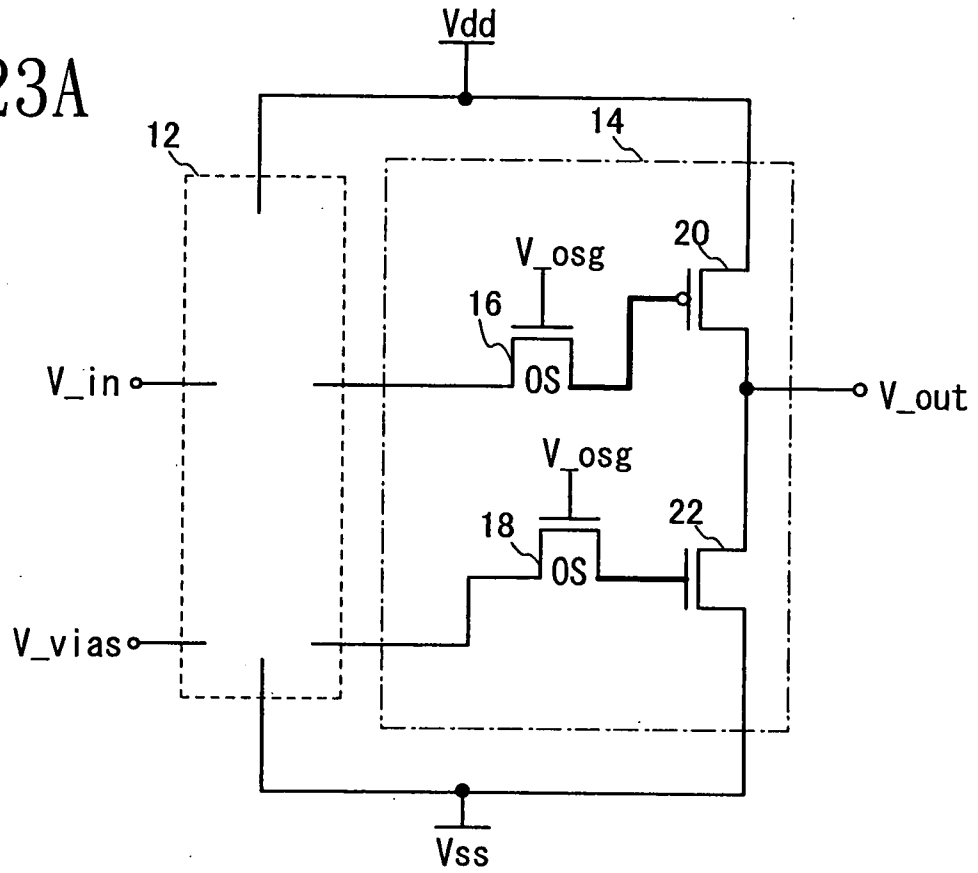


圖 23B

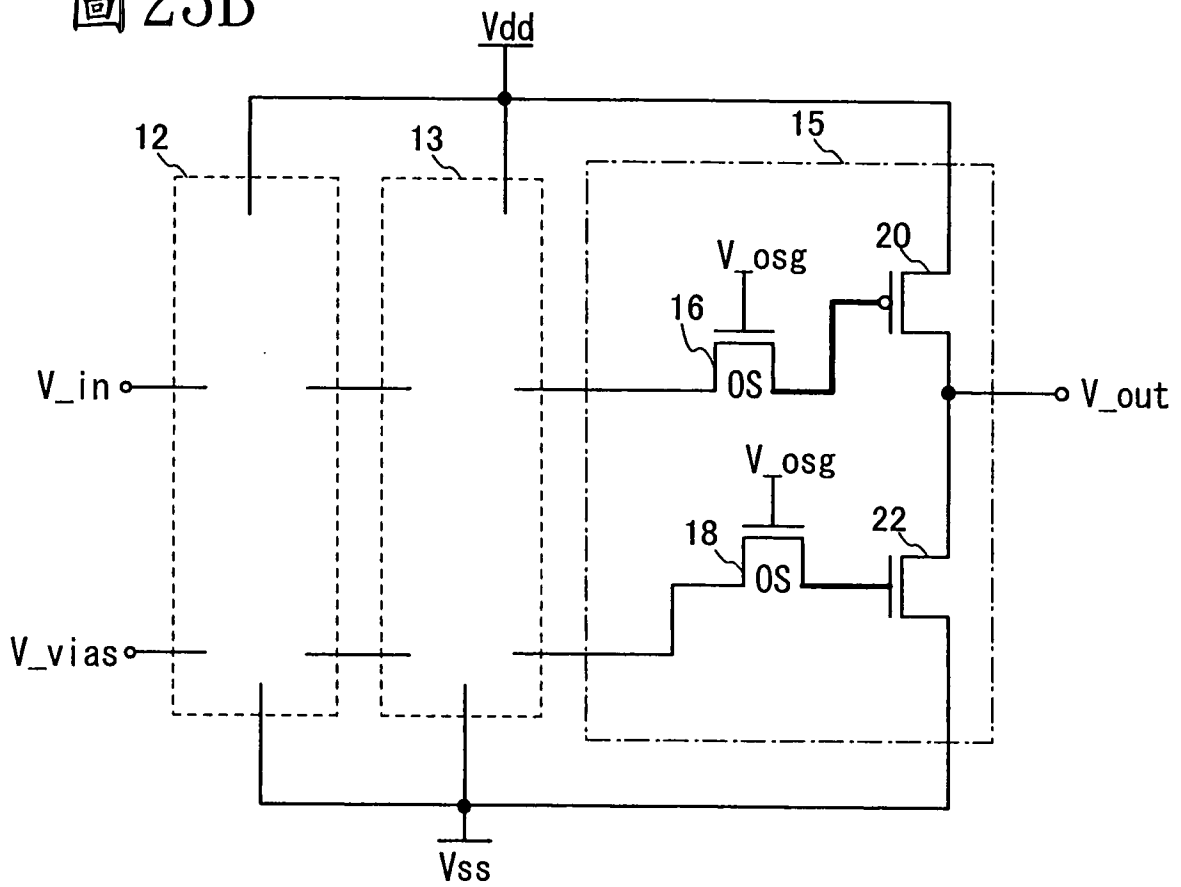


圖 24

